

申請日期： 90. 4. 3	案號： 90108005
類別： G06F13/00	

(以上各欄由本局填註)

發明專利說明書

501015

一、 發明名稱	中文	於資料處理系統中覆蓋記憶體之方法及裝置
	英文	METHOD AND APPARATUS FOR OVERLAYING MEMORY IN A DATA PROCESSING SYSTEM
二、 發明人	姓名 (中文)	1. 古魯斯瓦米 葛尼希 2. 蘇瑞達 P. 博哈塔瑞 3. 瓦勒斯 B. 哈伍德 三世 4. 蓋瑞 L. 米勒
	姓名 (英文)	1. GURUSWAMY GANESH 2. SURENDRA P. BHATTARAI 3. WALLACE B. HARWOOD III 4. GARY L. MILLER
	國籍	1. 印度 2. 尼泊爾 3. 美國 4. 美國
	住、居所	1. 美國德州奧斯丁市貝爾菲路6040號 2. 美國德州奧斯丁市曲橡路7025號 3. 美國德州奧斯丁市克里斯艾吉路2806號 4. 美國德州奧斯丁市青年路8316號
三、 申請人	姓名 (名稱) (中文)	1. 美商摩托羅拉公司
	姓名 (名稱) (英文)	1. MOTOROLA INC.
	國籍	1. 美國
	住、居所 (事務所)	1. 美國伊利諾州史堪伯市東阿崗崑路1303號摩托羅拉中心
	代表人 姓名 (中文)	1. F. 強 莫辛格
代表人 姓名 (英文)	1. F. JOHN MOTSINGER	



申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人	姓名 (中文)	5. 約瑟夫 傑李曼斯基
	姓名 (英文)	5. JOSEPH JELEMENSKY
	國籍	5. 美國
	住、居所	5. 美國德州奧斯丁市貝克里克大道8950號
三、 申請人	姓名 (名稱) (中文)	
	姓名 (名稱) (英文)	
	國籍	
	住、居所 (事務所)	
	代表人 姓名 (中文)	
	代表人 姓名 (英文)	



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

2000/04/04 09/542,747

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

相關之先前申請案

2000年4月4日已於美國提出本申請案，為專利申請案序號第09/542,747號。

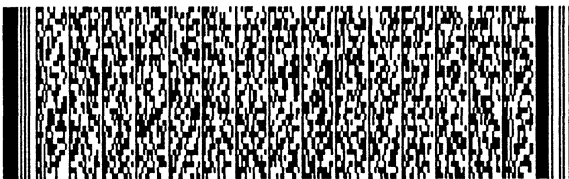
發明範圍

本發明係關於資料處理系統。特別係關於可將資料由一個記憶體覆蓋到另一個記憶體上的資料處理系統。

相關技藝

先前技藝嵌入式控制器支援不同的記憶體，包括晶片上下之記憶體。舉例說明，一些嵌入式控制器具有一快閃(FLASH)記憶區塊和一SRAM記憶區塊。在嵌入式控制器正常操作期間，有時須改變快閃記憶體內之資料。舉例說明，對做為一控制器之嵌入式控制器的發動器(或其他電機機械裝置)而言，需改變儲存於快閃記憶體中的各種參數，以便適當調整發動器。由於在嵌入式控制器正常操作時，不易為快閃記憶體設計程式，先前技藝嵌入式控制器便使用一覆蓋結構將資料由SRAM記憶區塊覆蓋到快閃記憶體上。

先前技藝覆蓋結構有許多問題。其中一個問題係關於資料轉換時間。資料傳輸時間係匯流排主控器要求資料到資料可得並接收所有存取終端信號之間的消逝時間。在存取快閃記憶體或已覆蓋快閃區時，維持相同的資料傳輸時間是必要的。先前技藝覆蓋結構無法維持晶片上或晶片下快閃記憶體相同的資料傳輸率。因此，嵌入式控制器將資料覆蓋的操作方式與將相同資料放入快閃記憶體的方式不



五、發明說明 (2)

同。

另一個問題是先前技藝所使用的覆蓋結構只可覆蓋整個記憶區塊。換言之，若覆蓋結構使用具有512位元組SRAM記憶體模組之嵌入式控制器，則須覆蓋任一模組中整個512位元組。由於反對將整個模組覆蓋，則須選擇性覆蓋部份的記憶體模組。同時也須選擇覆蓋部份的大小。

先前技藝覆蓋結構的另一個問題是，為了具有許多覆蓋區塊，需要許多具備個別匯流排介面單位(BIU)的記憶體模組。取得許多匯流排介面單位(BIU)需要會個別佔用晶片空件之BIU電路系統。

圖式簡述

經由範例描述本發明，且並不僅限於附圖，其中圖式如同指示相同元件之參考資料，其中：

圖1為根據本發明具體實施例之嵌入式控制器的區塊圖。

圖2及圖3為描述SRAM區覆蓋到快閃區上的範例區塊圖。

圖4為描述本發明之具體實施例操作的流程圖。

熟知此項技藝之人士將樂見圖式中簡單扼要，且不必然按比例繪製之元件描述。舉例說明，誇大圖式中與其他元件相關之某些元件的尺寸大小，將有助於了解本發明之具體實施例。

詳細說明

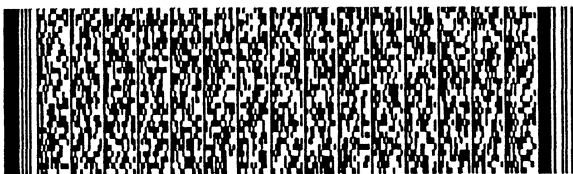
圖1為嵌入式控制器100之區塊圖。嵌入式控制器100包括一做為控制器100之中央處理單位的核心102。此核心



五、發明說明 (3)

102 連接一指令匯流排120及一負載/儲存匯流排122。此類型之結構係著名的"哈佛結構"。其他結構也可與本發明一起使用。舉例說明，可利用單一系統匯流排取代匯流排120及122。指令匯流排120係用以取得指令，而負載/儲存匯流排122則用以取得資料。一系統介面單位(SIU) 114連接指令匯流排120及一外部匯流排124。SIU 114則為外部成分或裝置提供一介面到嵌入式控制器100。

嵌入式控制器100包括非揮發性記憶體。此非揮發性記憶體可以是快閃記憶體，ROM，EEPROM，EPROM，或其他任何一種適合類型的記憶體。一個較佳具體實施例係使用快閃記憶體。圖1中的快閃記憶體104連接指令匯流排120。此外，還包括外部快閃記憶體116並連接外部匯流排124。此嵌入式控制器100也包括暫存記憶體。雖然此暫存記憶體可包含任何類型的隨機存取記憶體(RAM)，如靜態隨機存取記憶體(SRAM)或動態隨機存取記憶體(DRAM)，但一較佳具體實施例則使用SRAM模組。不過，仍可使用其他適當數量和類型的RAM模組。圖1中，SRAM 106連接負載/儲存匯流排122。此SRAM 106包括一非覆蓋區108和一覆蓋區110(如下所述)。此外，還包括外部SRAM 118並連接外部匯流排124。在指令匯流排120及負載/儲存匯流排122之間連接的係匯流排介面單位(BIU) 112。BIU 112之功能係提供指令匯流排120及負載/儲存匯流排122間的介面。在另一個可選擇的具體實施例中，BIU可為部份的非揮發性記憶體。

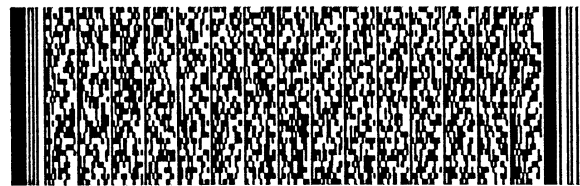


五、發明說明 (4)

如之前所述，在嵌入式控制器100正常操作期間，有時須改變快閃記憶體104內的參數或資料。然而，嵌入式控制器100在正常操作時，不易為快閃記憶體設計程式。由於容易改變SRAM 106中的參數，因此須將SRAM記憶體106覆蓋到快閃記憶體104上。

本發明之具體實施例提供一改良覆蓋結構。如之前所述，SRAM 106包括一非覆蓋區108和一覆蓋區110。在一個具體實施例中，SRAM 106為32千位元組，其中非覆蓋區108佔28千位元組，覆蓋區110則佔4千位元組。SRAM 106必然可為任一適合的尺寸，並可按所需形式區分。此覆蓋區110可做為一般用途RAM或用於覆蓋。非覆蓋區108則可做為一般用途RAM。在另一個可選擇的具體實施例中，整個SRAM 106被選定為覆蓋區。換言之，SRAM 106可以圖1描述之方式區分，或依照一部份的SRAM用於覆蓋，一部份的SRAM則不用於覆蓋這樣的方式區分。因此，單一RAM模組（諸如SRAM或DRAM）可有覆蓋及一般用途兩種功能。

圖2及3係描述SRAM區覆蓋到快閃記憶體上之範例區塊圖。圖2描述SRAM 106及快閃記憶體104。SRAM 106分為一非覆蓋區108和一覆蓋區110。覆蓋區110再分為八個個別區或分隔部份（覆蓋區0，覆蓋區1，覆蓋區2，覆蓋區3，覆蓋區4，覆蓋區5，覆蓋區6，及覆蓋區7）。範例中之覆蓋區為4千位元組，八個分隔部份則各為512位元組。其他具體實施例可包括任一數量之分隔部份或不同大小的分隔部份。圖2描述的本具體實施例允許八個分隔部份都可用於



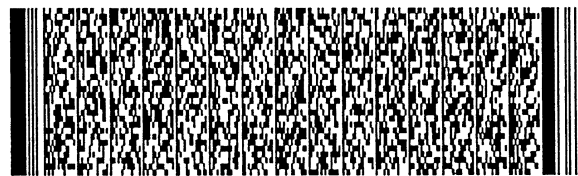
五、發明說明 (5)

覆蓋。此外，對用於覆蓋之分隔部份，可使用整個分隔部份或僅使用一小部份。

在一個具體實施例中，分隔部份為可程式軟體。舉例說明，SRAM 106 包括一控制暫存器，其具有許多可定義符合 SRAM 106 模式及分隔部份特徵的場。此控制暫存器包括一可安裝 RAM 模組到一覆蓋模式或一非覆蓋模式的模式場。在非覆蓋模式中，整個 RAM 模組為一般用途 RAM，並無覆蓋功能。在覆蓋模組中，則可建立如之前所述的覆蓋分隔部份。因此控制暫存器也包括一可授權各個分隔部份的授權場。如此一來，即使為覆蓋模式安裝 RAM，各分隔部份仍可授權覆蓋部份的快閃記憶體，或取消功能為一般用途 RAM。此控制暫存器還包括一將覆蓋分隔部份摺疊到連續記憶體位置的摺疊場。(將於圖 3 中另外描述此摺疊場)為了安裝各覆蓋分隔部份的尺寸，控制暫存器也包含一分隔部份尺寸場。

如之前所述，軟體可安裝控制暫存器，故可考慮安裝 RAM 模組及其分隔部份的彈性。此外，可在 RAM 模組或其他任一軟體或硬體可存取的適當位置內，發現此控制暫存器，如 SRAM 106。同樣的，若使用除了 SRAM 106 以外的其他 RAM 模組，也可與符合每個額外 RAM 模組的控制暫存器一同安裝。

SRAM 106 也包含基本位址暫存器。在一個具體實施例中，有八個各自對應圖 2 中描述之八個分隔部份的暫存器。同樣的，若有一些分隔部份，則多少會使用到基本位址暫



五、發明說明 (6)

存器。各個基本位址暫存器皆包含需覆蓋之快閃記憶體區段的基本或開始位址。基本位址暫存器也包含一可定義需覆蓋之快閃區段大小的場。舉例說明，各暫存器中的四個位元可用於指示尺寸大小。此外，如上述之可摺疊模式中，不論尺寸場中可程式數的大小，可將快閃區段的尺寸固定為一定大小。在其他合適位置中也可發現此基本位址暫存器，例如其他記憶體模組。

在圖2描述之範例中，完全使用覆蓋區0分隔部份(512位元組)以覆蓋快閃104的區段130，而其中區段130為512位元組。覆蓋區1分隔部份將256位元組的區段132部份覆蓋。覆蓋區5分隔部份將128位元組的區段134部份覆蓋。由此可了解，覆蓋區110之分隔部份選擇地覆蓋到快閃記憶體104上。而未用於覆蓋的分隔部份，或分隔部份中一小部份，則做為一般用途的記憶體。在圖2描述之範例中，完全利用分隔部份覆蓋區2，覆蓋區3，覆蓋區4，覆蓋區6，及覆蓋區7做為一般用途之記憶體。同樣的，覆蓋區1分隔部份的256位元組及覆蓋區5分隔部份的384位元組則做為一般用途之記憶體。剩餘之快閃記憶體104將正常反應快閃存取。

圖3係描述另一個使用可摺疊模式覆蓋記憶體的方法區塊圖。圖3描述SRAM 106有一非覆蓋區108及一覆蓋區110。圖3所描述之覆蓋區110可於可摺疊模式中操作。如之前所述，此模式可與SRAM 106，由控制暫存器中之摺疊場授權。如所描述的，覆蓋區包括八個分隔部份142，144，

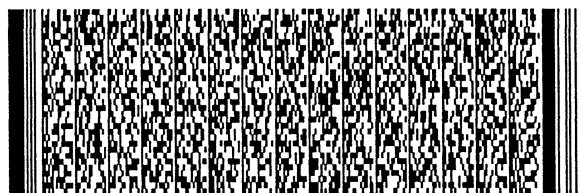
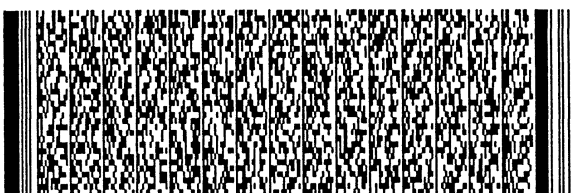


五、發明說明 (7)

146, 148, 150, 152, 154 及 156。在此範例中, 每個分隔部份 142, 144, 146, 148, 150, 152, 154 及 156 皆為 4 位元組, 總計為 32 位元組。當然, 分隔部份可大於或小於 4 位元組。這些分隔部份已被摺疊為一連續記憶位置, 其留有更多可用連續記憶體可供一般非覆蓋使用。覆蓋區 110 尚未使用於覆蓋的部份為 140 區。在本具體實施例中, 140 區與非覆蓋區 108 連接在一起。各個分隔部份 142, 144, 146, 148, 150, 152, 154 及 156 皆可覆蓋到快閃記憶體 104 的一區段上。

在本文所描述之記憶體覆蓋技術的具體實施例中, 已覆蓋的分隔部份尺寸在快閃記憶體中自然校準。因此, 已覆蓋之分隔部份的尺寸係符合快閃記憶體之重合性。舉例說明, 若覆蓋一大小為 128 位元組的部份, 則須在快閃記憶體中校準為 128 位元組。因此, 在之前所述之基本位址暫存器中, 基本位址並不會自然校準。在這樣的情形下, 要覆蓋之快閃記憶體基本位址最不重要的位元可視為 0, 使得起始位址可自然校準。

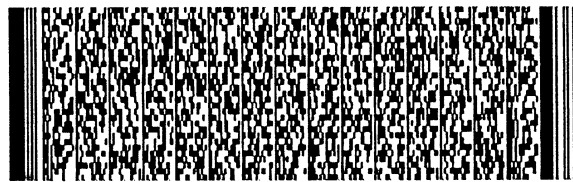
圖 4 以流程圖形式描述本發明之具體實施例的操作說明。圖 4 之目的係協助描述本具體實施例操作的方式。然而, 可用其他變化來達到相同的結果。嵌入式控制器 100 正常操作時, 匯流排主控器將要求一記憶體存取(區塊 400)。在本範例中, 匯流排主控器為核心 102。可提出對任一可用記憶體的要求, 包括快閃記憶體 104, SRAM 106, 外部快閃記憶體 116, 或外部 SRAM 118。請注意仍有其他在



五、發明說明 (8)

圖式中未描述的可用模組類型。流程圖的決定菱形區塊402詢問此要求是否為快閃記憶體讀取存取。若這並非對快閃記憶體讀取存取的要求，則繼續正常記憶體操作(區塊404)。若這是對快閃記憶體讀取存取的要求，則決定菱形區塊406詢問此記憶體是否位於快閃記憶體之已覆蓋區內。SRAM 106在負載/儲存匯流排122上探查快閃記憶體位址以完成此決定。若這並非對已覆蓋區存取的要求，快閃記憶體(透過BIU 112)便將資料及所有存取終端控制信號(區塊408)經由BIU 112傳送到核心102。請注意在其他結構中，例如具有單一系統匯流排之結構，可直接將資料和終端控制信號傳送到發出要求之裝置或匯流排主控器，而無需使用如BIU 112之匯流排介面單位。

若所要求之記憶體位於已覆蓋區中，SRAM便透過BIU 112傳送一"區塊資料"信號到快閃記憶體104(區塊410)。在其他結構中，則可直接傳送"區塊資料"信號到非揮發性記憶體，而無需使用BIU 112。傳送此信號之目的係為了限制快閃記憶體在負載/儲存匯流排122上傳送資料。SRAM隨後依照一資料匯流排授權將資料傳送到負載/儲存匯流排122上(區塊412)。接著，快閃記憶體104透過BIU 112將所有存取終端控制信號，諸如傳輸告知，確認資料等(區塊414)傳送到匯流排主控器或發出要求之裝置。依照此方式，RAM模組傳送資料；快閃記憶體則傳送存取終端控制信號。由於各RAM模組並不要求所屬匯流排介面單位根據快閃記憶體結構傳送終端控制信號，因此減少了硬體需求

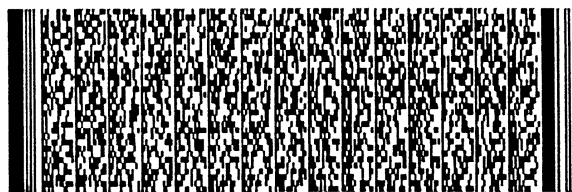


五、發明說明 (9)

。除此之外，由快閃傳送存取終端控制信號可維持較佳的時限。

在本發明之一具體實施例中，依照匯流排主控器之識別或類型，RAM 模組(如SRAM 106)選擇性允許由一匯流排主控器寫入。舉例說明，負載/儲存匯流排122包含一稱為"核心存取"的信號，於是在核心102開始處理過程時，即顯示此信號。授權覆蓋模組時，若有用於覆蓋快閃區段之可程式覆蓋區110部份的寫入存取時，則根據要求寫入之主控器識別，決定允許或駁回此存取。在一個具體實施例中，不允許核心開始寫入存取(顯示"核心存取")，但允許一非核心裝置開始寫入存取，如一開發工具(取消"核心存取")。這可防止核心102無意中改變用於覆蓋快閃區段之預定資料。若核心想改變覆蓋區110內的覆蓋資料，可取消覆蓋模式，更改資料，隨後再次授權覆蓋模式。同樣的，在允許寫入要求前，可使用其他方法或信號使RAM 模組識別匯流排主控器。

如之前所述，SRAM 模組106於控制暫存器中有一授權或取消覆蓋模式的模式位元。當裝置100接收重置信號時，SRAM 106於控制暫存器中個別設定或清除此模式位元，以便授權或取消覆蓋特徵。依照重置配置資訊，位元為1(授權覆蓋)或0(取消覆蓋)。可由任一非揮發性記憶體提供此重置配置資訊，如一EEPROM，或在裝置重置取消時，由取樣裝置晶片暫存此重置配置資訊。同樣的，接收重置信號時，基本位址暫存器(如之前所述)的內容仍保持不變



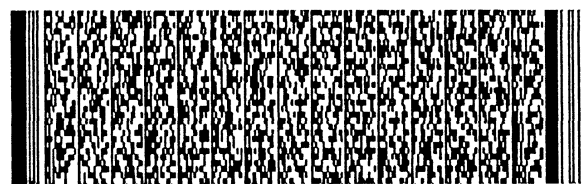
五、發明說明 (10)

。即重置時仍可維持基本位址及尺寸資訊。因此，根據裝置重置，其他具體實施例允許經由各種可用選項的改良彈性。

因此，可樂見於本文中描述之記憶體覆蓋技術使用單一RAM模組實行覆蓋和一般用途兩種功能的方法。本發明之具體實施例也允許經由使用可程式軟體分隔部份的改良彈性。同樣的，藉由RAM模組覆蓋非揮發性記憶體部份，可使一開發工具於一般操作期間，及為非揮發性記憶體末版設計更精確的參數前，轉換或改變一般儲存於非揮發性記憶體之參數。

儘管本發明所描述之操作方式係將記憶體由SRAM 106 覆蓋到快閃記憶體104上，但仍有其他可行的操作方式。舉例說明，SRAM 106 可將記憶體覆蓋到外部快閃記憶體116 或外部SRAM 118上。請注意在此範例中，記憶體覆蓋係維持適當的資料傳輸時間。同時強調SRAM 106 之覆蓋區110 的分隔部份也可覆蓋到晶片上的快閃記憶體104 或外部快閃記憶體116。舉例說明，可將分隔部份覆蓋區0 (圖2) 覆蓋到晶片上的快閃記憶體104，並將分隔部份覆蓋區1 覆蓋到外部快閃記憶體116上，以上可在資料處理器中同時進行。如之前所述，也可使用其他模組。

已描述具有SRAM 106，快閃記憶體104，外部快閃記憶體116，及外部SRAM 118的本發明各具體實施例。可理解嵌入式控制器100 包含許多SRAM 106，許多快閃記憶體104，許多外部快閃記憶體116，及/或許多外部SRAM 118。具



五、發明說明 (11)

有許多模組的本發明，以與之前所述相同的方式操作。

此外，SRAM 106 的許多區域也可覆蓋相同的快閃區段。為了從具有最高優先次序的區域選擇資料，為各區域分配一優先次序。在圖2描述的具體實施例中，覆蓋區0具有最高的優先次序，其次為覆蓋區1，覆蓋區2等等。在使用許多RAM模組的情形下，模組以相同的方式按照優先次序排列。此即，具有覆蓋資料之最高優先次序RAM模組限制非揮發性記憶體資料，並將覆蓋資料傳送到發出要求的裝置。

在上述說明中，描述本發明相關之特殊具體實施例。然而，熟知此項技藝之人士將樂見，在不偏離如下列申請專利範圍中所提出之本發明範圍的前提下，仍有許多改良和替換方法。因此，詳細說明及圖式係做為說明，而非限制作用，而本發明範圍也將包含所有這類改良方法。

上述之相關特殊具體實施例已描述優點，其他有利條件和問題解決方法。然而，可引起任何優點，有利條件或解決方法發生或變得更明確之優點，有利條件，問題解決方法及任一元件，均不得視為其中一項或所有申請專利範圍不可缺少的，必須的，或必要的特徵或元件。本文中所使用之"包含"、"包括"或其他相關變化等名稱係為了將非獨占性內含物包括在內，因此包含元件列表之處處理步驟，方法，文章，或裝置並非只包括該等元件，同時也包括該等未明顯列出的，或處理步驟，方法，文章，或裝置本身已具備的元件。



圖式簡單說明

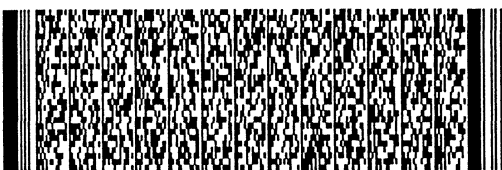


四、中文發明摘要 (發明之名稱：於資料處理系統中覆蓋記憶體之方法及裝置)

一種包括一具有核心(102)，一系統匯流排，非揮發性記憶體(104)，以及隨機存取記憶體(RAM)(106)之嵌入式控制器(100)的資料處理系統。該RAM (104)具有一非覆蓋區(108)及一覆蓋區(110)。此覆蓋區(110)可分隔為眾多部份。當覆蓋區(110)的分隔部份不做為覆蓋區時，可當作一般用途之記憶體。

英文發明摘要 (發明之名稱：METHOD AND APPARATUS FOR OVERLAYING MEMORY IN A DATA PROCESSING SYSTEM)

A data processing system includes an embedded controller (100) having a core (102), a system bus, nonvolatile memory (104), and random access memory (RAM)(106). The RAM (104) has a non-overlay region (108) and an overlay region (110). The overlay region (110) may be divided into a plurality of partitions. Partitions of the overlay region (110) may be used as general purpose memory when they are not being used as overlay regions.



六、申請專利範圍

1. 一種在一種資料處理系統中有一非揮發性記憶體(104)且一第一隨機存取記憶體(RAM)模組(106)具有做為一般用途RAM的非覆蓋區(108)而覆蓋區(110)則可用於覆蓋非揮發性記憶體的部份之方法，其中非揮發性記憶體經由一系統匯流排連接第一RAM模組，該方法包括下列步驟：

要求一非揮發性記憶體之已覆蓋部份的記憶體存取；
由第一RAM模組傳送一區塊資料信號到非揮發性記憶體，藉以限制非揮發性記憶體驅動資料到系統匯流排上；
第一RAM模組依照一資料匯流排授權，將資料驅動到系統匯流排上；及

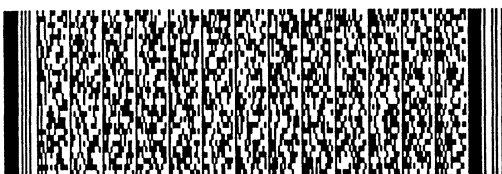
非揮發性記憶體驅動存取終端控制信號以完成記憶體存取。

2. 如申請專利範圍第1項之方法，其中該第一RAM模組具有一對應的RAM資料傳輸時間而非揮發性記憶體則具有一對應的非揮發性記憶體資料傳輸時間，其中RAM資料傳輸時間符合非暫存資料傳輸時間。

3. 如申請專利範圍第1項之方法，其中該資料處理系統還包括一連接非揮發性記憶體的匯流排介面單位(112)，其中：

將區塊資料信號傳送到匯流排介面單位；及
匯流排介面單位驅動存取終端控制信號。

4. 如申請專利範圍第1項之方法，還包括下列步驟：
RAM模組由一匯流排主控器接收一寫入要求；及



六、申請專利範圍

依照匯流排主控器之識別選擇性允許寫入要求。

5. 如申請專利範圍第4項之方法，其中依照匯流排主控器之識別選擇性顯示一核心存取信號，並反應此核心存取信號選擇性允許實行的寫入要求。

6. 一種隨機存取記憶體(RAM)模組(106)，包括：

一做為一般用途RAM的非覆蓋區(108)；

一可用於覆蓋非揮發性記憶體部份的覆蓋區(110)；

及

一可限制非揮發性記憶體驅動資料到系統匯流排上的區塊資料信號。

7. 一種可以覆蓋模式及非覆蓋模式操作之隨機存取記憶體(RAM)模組(106)，其中：

在覆蓋模式中，RAM模組包含：

一做為一般用途RAM的非覆蓋區(108)；

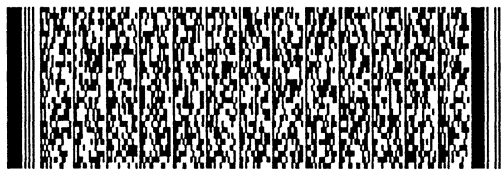
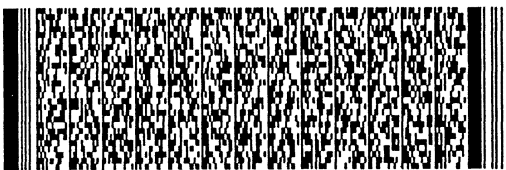
具有眾多分隔部份的覆蓋區(110)，其中眾多分隔部份之第一部份係授權用於覆蓋非揮發性記憶體的部份，而眾多分隔部份之第二部份則可做為一般用途RAM；及

在非覆蓋模式中，RAM模組以一般用途RAM的方式操作。

8. 如申請專利範圍第7項之RAM模組，還包括一可限制非揮發性記憶體驅動資料的資料區塊信號。

9. 如申請專利範圍第8項之RAM模組，還包括一控制暫存器，其中此控制暫存器包括：

一可安裝此RAM模組到其中一個覆蓋模式和非覆蓋模



六、申請專利範圍

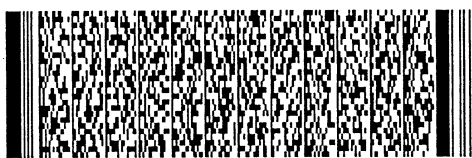
式的模式場。

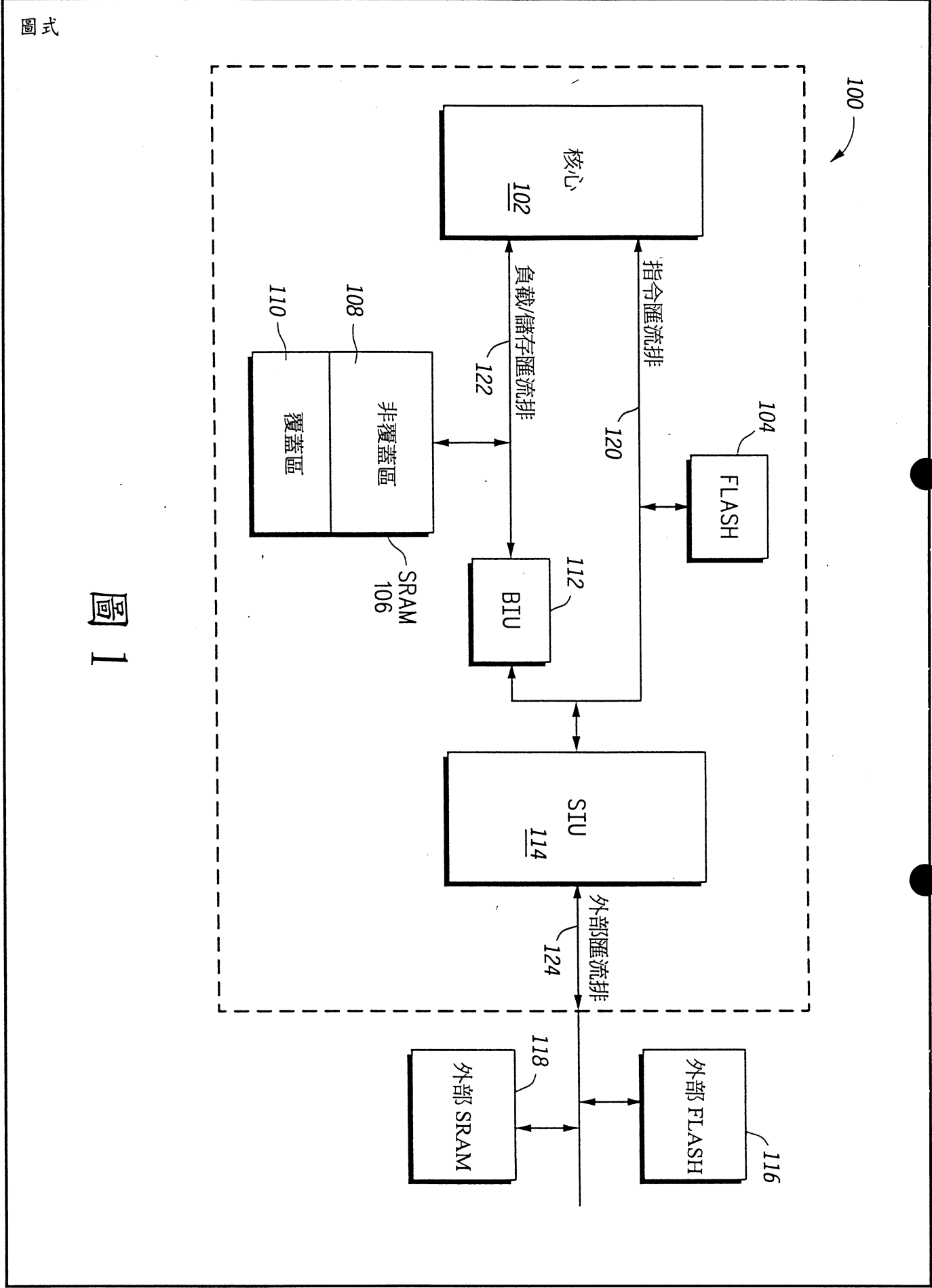
10. 如申請專利範圍第9項之RAM模組，其中控制暫存器還包括：

一可將眾多分隔部份之第一部份摺疊到連續記憶體位置的摺疊場；

一可安裝符合眾多分隔部份各部份之分隔部份尺寸的分隔部份尺寸場；及

一可授權眾多分隔部份各部份的分隔部份授權場。





圖式

圖 1

圖式

圖 2

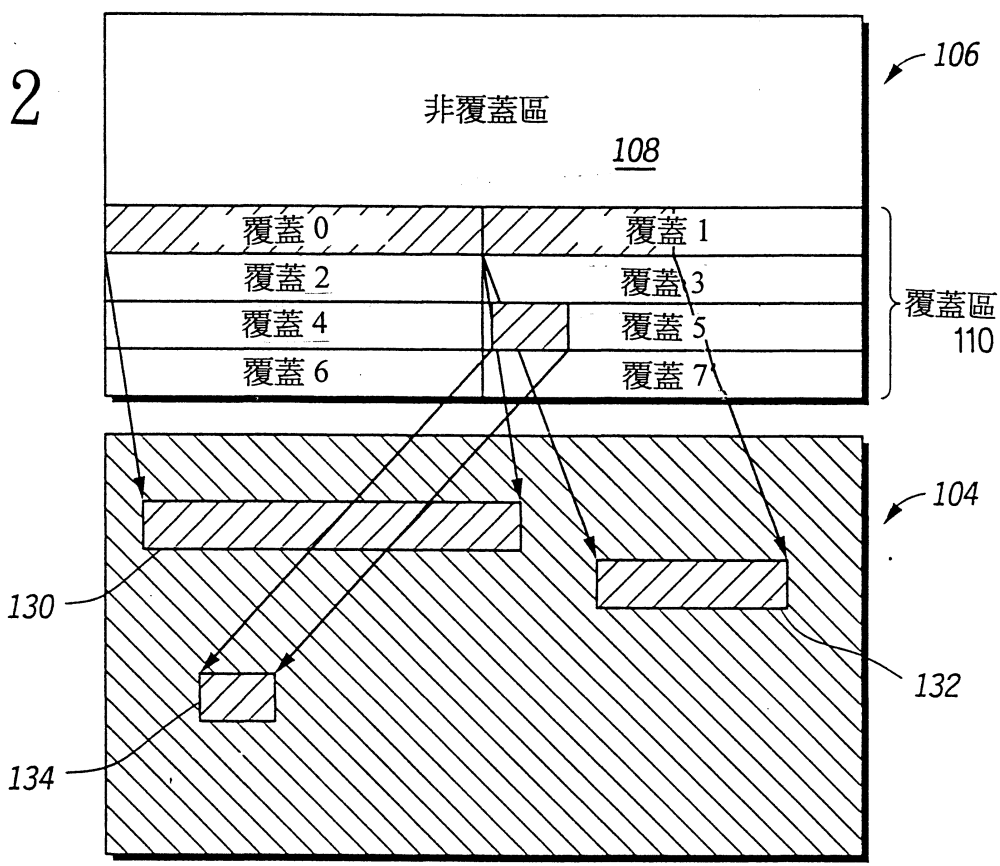
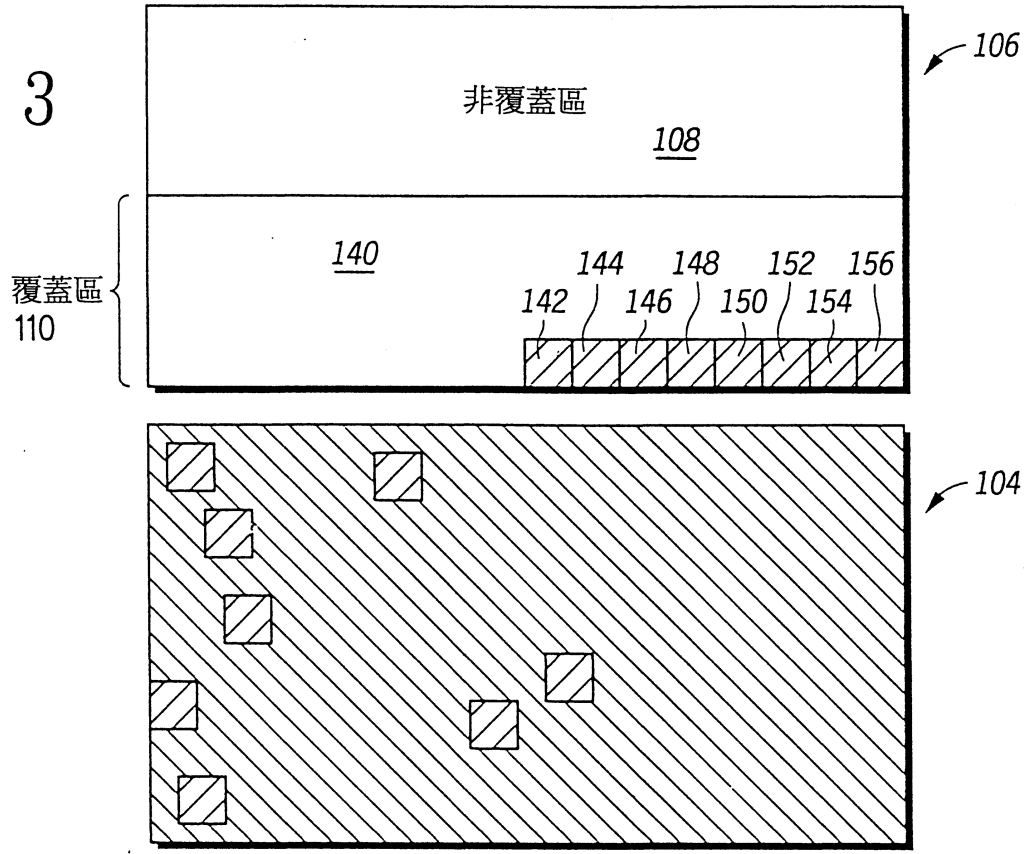


圖 3



圖式

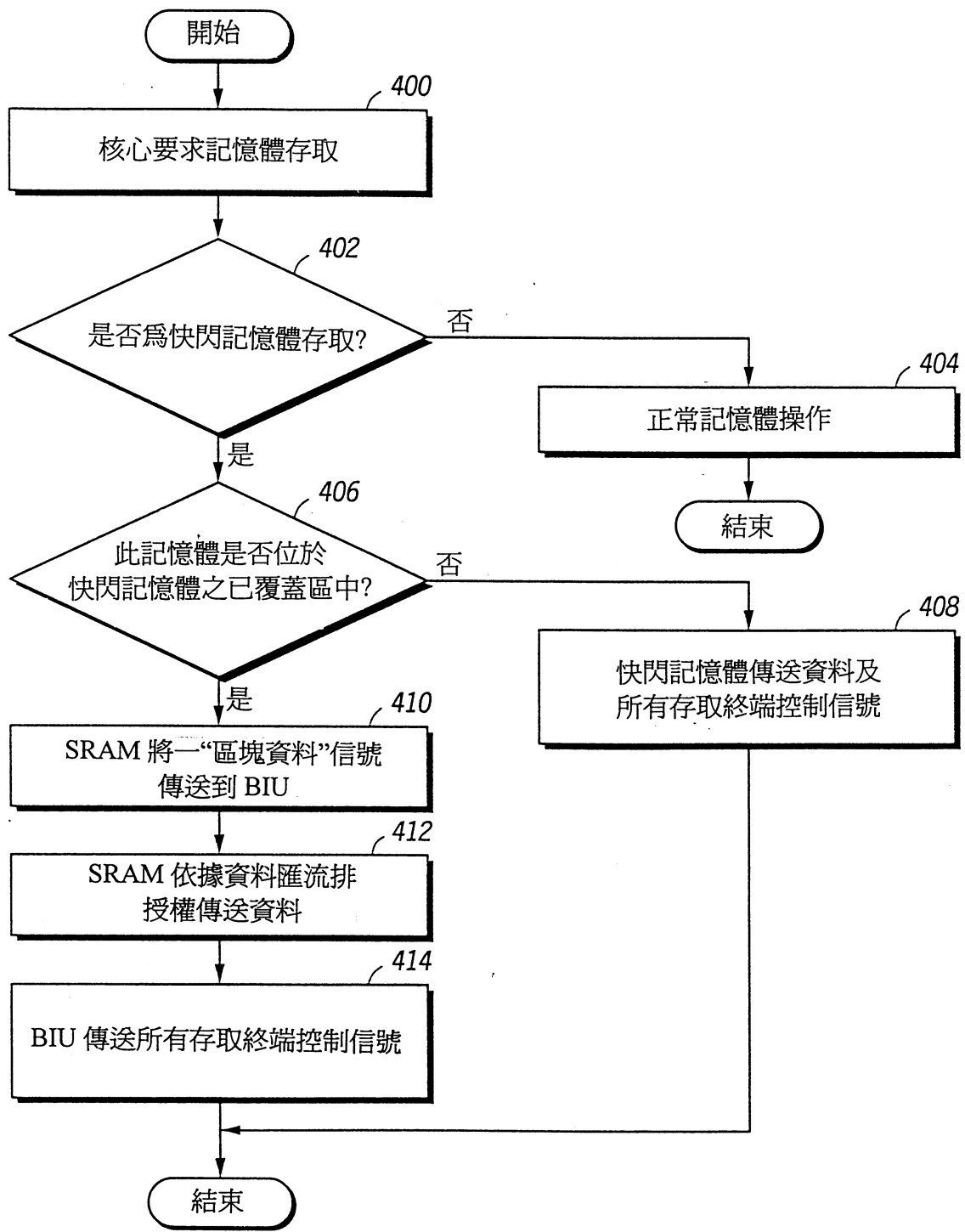


圖 4