

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-310131

(P2007-310131A)

(43) 公開日 平成19年11月29日(2007.11.29)

(51) Int. Cl.	F I	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 338	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	5C094
H01L 29/786 (2006.01)	H01L 29/78 623A	5F110

審査請求 未請求 請求項の数 7 O L (全 18 頁)

(21) 出願番号 特願2006-138995 (P2006-138995)
 (22) 出願日 平成18年5月18日 (2006.5.18)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 棚原 学
 熊本県合志市御代志997番地 メルコ・
 ディスプレイ・テクノロジー株式会社内
 Fターム(参考) 2H092 GA11 GA50 GA60 JA24 JA34
 JA37 JA41 JB11 JB22 JB31
 JB51 NA14 NA25 PA01 PA02
 PA03 PA05 PA08 PA11 PA12
 PA13
 5C094 AA04 AA31 BA03 BA43 CA19
 DB01 FB14

最終頁に続く

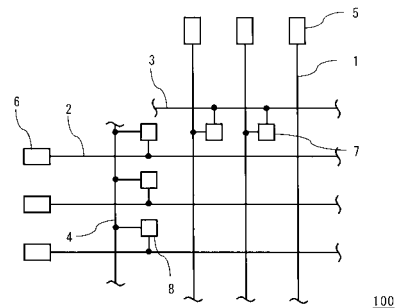
(54) 【発明の名称】 アクティブマトリクス基板及びアクティブマトリクス表示装置

(57) 【要約】

【課題】 静電気による不良発生を抑制し、配線間のリークによる表示ムラを発生させない保護回路を備えたアクティブマトリクス基板を提供する。

【解決手段】 本発明の一態様にかかるTFTアレイ基板は、スイッチング素子に接続された信号配線1と、第1の保護回路7と、信号配線1と第1の保護回路7を介して接続される第1のショートリング3とを備えるアクティブマトリクス基板であって、第1の保護回路7は、第1のショートリング3から信号配線1に電流を流す整流素子である第1の半導体素子9と、信号配線1から第1のショートリング3に電流を流す整流素子である第2の半導体素子10とを有し、第1の半導体素子9と第2の半導体素子10とは並列に接続され、第1の半導体素子9の抵抗特性と第2の半導体素子10の抵抗特性とは異なるものである。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

基板上にマトリクス状に形成された複数のスイッチング素子と、
前記複数のスイッチング素子にそれぞれ接続された複数の第 1 の配線と、
前記複数の第 1 の配線に対応して設けられた複数の第 1 の保護回路と、
前記複数の第 1 の配線のそれぞれと前記第 1 の保護回路を介して接続される第 1 のショートリングとを備えるアクティブマトリクス基板であって、
前記第 1 の保護回路は、
前記第 1 のショートリングから前記第 1 の配線に電流を流す第 1 の整流素子と、
前記第 1 の配線から前記第 1 のショートリングに電流を流す第 2 の整流素子とを有し、
前記第 1 の整流素子と前記第 2 の整流素子とは並列に接続され、
前記第 1 の整流素子の抵抗特性と前記第 2 の整流素子の抵抗特性とは異なるアクティブマトリクス基板。

10

【請求項 2】

前記第 1 の整流素子又は前記第 2 の整流素子は、薄膜トランジスタのゲートを当該薄膜トランジスタのソース又はドレインに接続した 2 端子素子からなる請求項 1 に記載のアクティブマトリクス基板。

【請求項 3】

前記第 1 の整流素子又は前記第 2 の整流素子の半導体層の下層膜は、その半導体層よりも大きく、
前記半導体層は、前記下層膜により遮光されている請求項 1 又は 2 に記載のアクティブマトリクス基板。

20

【請求項 4】

前記第 1 の整流素子又は前記第 2 の整流素子の半導体層は、その上層膜により遮光されている請求項 3 に記載のアクティブマトリクス基板。

【請求項 5】

前記第 1 の保護回路は、
前記第 1 の整流素子と直列に接続された第 3 の整流素子と、
前記第 2 の整流素子と直列に接続された第 4 の整流素子とを有する請求項 1 ~ 4 のいずれか 1 項に記載のアクティブマトリクス基板。

30

【請求項 6】

前記第 1 のショートリングは、当該第 1 のショートリングに所望の電位を供給するための端子を有している請求項 1 ~ 5 のいずれか 1 項に記載のアクティブマトリクス基板。

【請求項 7】

請求項 1 ~ 6 のいずれか 1 項に記載のアクティブマトリクス基板を備えるアクティブマトリクス表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、複数のスイッチング素子がマトリクス状に形成されたアクティブマトリクス基板及びアクティブマトリクス表示装置に関し、特に素子領域内にショートリングを備えたアクティブマトリクス基板及びアクティブマトリクス表示装置に関する。

40

【背景技術】**【0002】**

アクティブマトリクス型の液晶表示装置は、高表示品位、薄型、軽量、低消費電力のなどの優れた特徴を有している。特に、スイッチング素子として薄膜トランジスタ (TFT: Thin Film Transistor) 素子を用いた液晶表示装置 (TFT-LCD) は、その品質やコストの面から、アクティブマトリクス型の液晶表示装置として現在最も広く用いられている。

【0003】

50

一般的に、アクティブマトリクス型の液晶表示装置に用いられる液晶表示パネルは、対向配置された2枚の基板間に液晶などの表示材料を挟持するとともに、この表示材料に選択的に電圧を印加するように構成されている。液晶表示パネルを構成する2枚の基板のうち的一方は、アクティブマトリクス基板(TFTアレイ基板)と呼ばれている。TFTアレイ基板には、TFT素子と各TFT素子に信号を供給するための信号配線及び走査配線が形成されている。

【0004】

しかしながら、TFTアレイ基板は、一般的に静電気に対して弱い。このため、液晶表示装置の製造工程において発生する静電気により、TFTアレイ基板の特性が劣化してしまうことがある。例えば、液晶表示装置の製造工程において、液晶の配向方向を決定するために、基板上に形成されたポリイミド膜を布によって一方向に擦って配向膜を形成するラビング工程がある。このラビング工程において発生する静電気がアレイ基板上の信号配線又は走査配線に蓄積されると、TFT素子に悪影響を及ぼす。例えば、TFT素子の閾値電圧が数Vシフトしてしまうと、静電気が印加された部分の画素が欠陥画素として認識されるという不良が発生する。また、静電気によって、TFTアレイ基板上の信号配線と走査配線間の絶縁膜が破壊され、短絡するという不良も発生する。

10

【0005】

そこで、従来から、これらの不良を改善するため、TFTアレイ基板の周辺領域にショートラインと呼ばれる金属配線を形成し、全ての信号配線及び走査配線を短絡している。このTFTアレイ基板の周辺領域に設けられたショートラインは、液晶パネル組み立て後には、基板の切断により切り離される。しかし、ショートラインを除去した後の工程であっても、例えばFPCの取り付け工程での摩擦帯電や、液晶表示パネルを電子機器に実装する際の外部からの電荷供給による帯電などに起因して、TFTアレイ基板の特性劣化が生じることがある。

20

【0006】

このため、TFTアレイ基板の周辺部に設けられたショートラインとは別に、TFTアレイ基板の素子領域にショートリングが設けられている。通常、信号配線及び走査配線の各配線とショートリングとは、それぞれ非線形抵抗体からなる保護素子を介して接続され、また、他の方法としては、信号配線及び走査配線の各配線とショートリングとを接続する保護素子を比較的高抵抗の材料(例えば、 $a-Si$)を用いて形成する方法が知られている(例えば、特許文献1~5参照)。特許文献1においては、信号配線及び走査配線をショートリングに直接接続するのではなく、保護素子として非線形素子であるダイオードを用いて接続している。これにより、信号配線及び走査配線等に帯電した静電気を逃がし、TFT素子の閾値シフトや信号配線と走査配線間の短絡等の不良を改善している。

30

【特許文献1】特開昭63-220289号公報

【特許文献2】特開平9-90428号公報

【特許文献3】特開平3-296725号公報

【特許文献4】特開平11-271722号公報

【特許文献5】特開2004-273732号公報

【発明の開示】

40

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献1において、隣接する信号配線又は隣接する走査配線間における保護素子の抵抗値が小さい場合には、隣接配線間で大きなリーク電流が流れることがある。例えば、保護素子の抵抗値が数M Ω の時には、数十~数百 μA 程度のリーク電流が流れてしまう。このリーク電流値が、ドライバICの駆動能力に対して大きい場合には、所望の電圧を信号配線又は走査配線に印加させることができず、その結果、表示ムラが発生するという問題が生じていた。

【0008】

また、逆に保護素子の抵抗値が大きい場合には、静電気が発生した場合に静電気を除去

50

することができず、スイッチング素子の閾値シフトや信号配線と走査配線間の短絡などの問題が生じていた。

【0009】

本発明は、このような問題を背景としてなされたものであり、静電気による不良発生を抑制し、かつ、配線間のリークによる表示ムラを発生させない十分な抵抗値を有する保護回路を備えたアクティブマトリクス基板及びアクティブマトリクス表示装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明の一態様にかかるアクティブマトリクス基板は、基板上にマトリクス状に形成された複数のスイッチング素子と、前記複数のスイッチング素子にそれぞれ接続された複数の第1の配線と、前記複数の第1の配線に対応して設けられた複数の第1の保護回路と、前記複数の第1の配線のそれぞれと前記第1の保護回路を介して接続される第1のショートリングとを備えるアクティブマトリクス基板であって、前記第1の保護回路は、前記第1のショートリングから前記第1の配線に電流を流す第1の整流素子と、前記第1の配線から前記第1のショートリングに電流を流す第2の整流素子とを有し、前記第1の整流素子と前記第2の整流素子とは並列に接続され、前記第1の整流素子の抵抗特性と前記第2の整流素子の抵抗特性とは異なるものである。

10

【発明の効果】

【0011】

本発明によれば、静電気による不良発生を抑制し、かつ、配線間のリークによる表示ムラを発生させない十分な抵抗値を有する保護素子を備えたアクティブマトリクス基板及びアクティブマトリクス表示装置を提供することができる。

20

【発明を実施するための最良の形態】

【0012】

実施の形態1.

本発明の実施の形態1に係る表示装置について図1及び図2を参照して説明する。ここでは、表示装置の一例として液晶表示装置100について説明する。図1は、液晶表示装置100の構成を示す平面図である。また、図2は、液晶表示装置100の構成を示す断面図である。

30

【0013】

図1及び図2に示すように、液晶表示装置100は、液晶表示パネル200とバックライト300とを備えている。液晶表示パネル200は、入力される表示信号に基づいて画像表示を行う。バックライト300は、液晶表示パネル200の反視認側に配置されており、液晶表示パネル200の背面側から光を照射する。液晶表示パネル200は、TFTアレイ基板101、対向基板102、シール材103、液晶104、スペーサ105、走査配線2、配向膜106、対向電極107、偏光板108、ゲートドライバIC109、ソースドライバIC110を備えている。本発明において注目すべき点はアクティブマトリクス基板であるTFTアレイ基板101であり、後に詳述する。

【0014】

なお、図1においては図示しないが、TFTアレイ基板101には、水平方向に走査配線（ゲート線）、垂直方向に信号配線（ソース線）がそれぞれ形成されており、走査配線と信号配線の交差点付近にはTFTが設けられている。また、走査配線と信号配線の間には、複数の画素電極が形成されている。これにより、TFTアレイ基板101上には、画素電極がマトリクス状に形成されている。TFTのゲートが走査配線に、ソースが信号配線に、ドレインが画素電極に、それぞれ接続される。画素電極は、例えば、ITO（Indium Tin Oxide）などの透明導電性薄膜から形成されている。この画素電極が形成されている領域が、表示領域である。

40

【0015】

図2に示すように、液晶表示パネル200は、TFTアレイ基板101と、TFTアレ

50

イ基板 101 に対向配置される対向基板 102 と、両基板を接着するシール材 103 との間の空間に液晶 104 を封入した構成を有している。両基板の間は、スペーサ 105 によって、所定の間隔となるように維持されている。TFT アレイ基板 101 及び対向基板 102 としては、例えば、光透過性のあるガラス、ポリカーボネート、アクリル樹脂などの絶縁性基板が用いられる。

【0016】

TFT アレイ基板 101 において、上述した各電極及び配線等の上には配向膜 106 が形成されている。一方、対向基板 102 の TFT アレイ基板 101 に対向する面には、カラーフィルタ（不図示）、対向電極 107、配向膜 106 が順次積層形成されている。

【0017】

また、TFT アレイ基板 101 及び対向基板 102 の外側の面にはそれぞれ、偏光板 108 が貼着されている。液晶表示パネル 200 は、外部から入力される画像データに基づいて、画像の表示に必要な各種の制御信号、走査信号及び表示信号などを出力するゲートドライバ IC 109、ソースドライバ IC 110 によって駆動される。各ドライバ IC 109、110 は、COG (Chip On Glass) 技術を用いて、基板上に直接実装されている。なお、各ドライバ IC 109、110 を実装したフレキシブル基板を液晶表示パネル 200 に接続する場合もある。

【0018】

液晶表示パネル 200 の背面には、バックライト 300 が備えられている。バックライト 300 は、液晶表示パネル 200 の反視認側から当該液晶表示パネル 200 に対して光を照射する。バックライト 300 としては、例えば、光源、導光板、反射シート、拡散シート、プリズムシート、反射偏光シートなどを備えた一般的な構成のものを用いることができる。

【0019】

ここで、上述の液晶表示装置 100 の駆動について説明する。各走査配線 2 には、ゲートドライバ IC 109 から走査信号が供給される。各走査信号によって、1つの走査配線 2 に接続されているすべての TFT が同時にオンとなる。そして、ソースドライバ IC 110 から各信号配線 1 に表示信号が供給され、画素電極に表示信号に応じた電荷が蓄積される。表示信号が書き込まれた画素電極と対向電極 107 との電位差に応じて、画素電極と対向電極 107 間の液晶の配列が変化する。

【0020】

ここで、図 3 を参照して、本発明に係るアクティブマトリクス基板の一例である TFT アレイ基板 101 の構成について説明する。図 3 は、実施の形態 1 に係る TFT アレイ基板 101 の構成を示す図である。本発明に係るアクティブマトリクス基板は、液晶表示装置に限らず、有機 EL 表示装置等、他の表示装置にも好適に用いられるものである。

【0021】

図 3 に示すように、TFT アレイ基板 101 は、信号配線 1、走査配線 2、第 1 のショートリング 3、第 2 のショートリング 4、ソース端子 5、ゲート端子 6、第 1 の保護回路 7、第 2 の保護回路 8 を有している。基板上に形成される複数の信号配線 1 は、所定の間隔を隔てて垂直方向に形成されている。また、複数の走査配線 2 は、信号配線 1 と交差するように、所定の間隔を隔てて水平方向に形成されている。上述したように、表示領域においては、信号配線 1 と走査配線 2 の交差点付近に TFT（不図示）が形成されている。信号配線 1 と走査配線 2 との間には、マトリクス状に形成された複数の画素電極（不図示）を有している。TFT のゲート電極が走査配線 2 に、ソース電極が信号配線 1 に、ドレイン電極が画素電極に、それぞれ接続されている。

【0022】

複数の信号配線 1 のそれぞれの一端にはソース端子 5 が設けられている。ソース端子 5 には図 1 に示すソースドライバ IC 110 が実装されている。あるいは、ソースドライバ IC 110 がフレキシブル基板上に実装され、フレキシブル基板の接続端子とソース端子 5 とが接続されている場合もある。また、複数の走査配線 2 のそれぞれの一端にはゲート

10

20

30

40

50

端子 6 が設けられている。ゲート端子 6 には図示しないゲートドライバ IC 109 が実装されている。あるいは、ゲートドライバ IC 109 がフレキシブル基板上に実装され、フレキシブル基板の接続端子とゲート端子 6 とが接続されている場合もある

【0023】

第 1 のショートリング 3 及び第 2 のショートリング 4 は、基板上的信号配線 1、走査配線 2 等に蓄積された静電気を逃がし、表示領域内の TFT 素子の閾値シフトや信号配線 1 と走査配線 2 間の短絡等の不良を改善するために設けられている。第 1 のショートリング 3 及び第 2 のショートリング 4 は、複数の画素や端子等が形成された素子領域に形成される。具体的には、第 1 のショートリング 3 は、ソース端子 5 と表示領域との間に設けられる。また、第 2 のショートリング 4 は、ゲート端子 6 と表示領域との間に設けられる。すなわち、第 1 のショートリング 3 及び第 2 のショートリング 4 は、TFT アレイ基板 101 の表示領域を囲むように形成されている。従って、第 1 のショートリング 3 及び第 2 のショートリング 4 は、切断後の TFT アレイ基板 101 上に存在するものである。このため、切断前の TFT アレイ基板の周辺領域に形成され、全ての信号配線 1 及び走査配線 2 を短絡するショートラインと呼ばれる金属配線と、第 1 のショートリング 3 及び第 2 のショートリング 4 とは異なるものである。

10

【0024】

第 1 のショートリング 3 は、走査配線 2 に平行に設けられている。また、第 1 のショートリング 3 は、複数の信号配線 1 に絶縁膜を介して交差するように形成されている。第 1 のショートリング 3 は、第 1 の保護回路 7 を介してそれぞれの信号配線 1 に接続されている。一方、第 2 のショートリング 4 は、信号配線 1 に平行に設けられている。また、第 2 のショートリング 4 は、複数の走査配線 2 に絶縁膜を介して交差するように形成されている。第 2 のショートリング 4 は、第 2 の保護回路 8 を介してそれぞれの走査配線 2 に接続されている。なお、第 1 のショートリング 3 と第 2 のショートリング 4 とを合わせて、1 つの配線により表示領域を取り囲むようにリング状に形成してもよい。また、第 1 のショートリング 3 及び第 2 のショートリング 4 は、それぞれ接地電位に接続されている。また、第 1 のショートリング 3 及び第 2 のショートリング 4 を対向電極電位に接続してもよい。

20

【0025】

上述したショートラインは、TFT アレイ基板 101 を製造する際に、複数の TFT アレイ基板 101 が形成されたマザー基板から個々の TFT アレイ基板 101 に切断した後は除去される。一方、第 1 のショートリング 3 及び第 2 のショートリング 4 は、切断後においても TFT アレイ基板 101 上に存在する。

30

【0026】

ここで、図 4 を参照して、実施の形態 1 に係る TFT アレイ基板に用いられる第 1 の保護回路 7 及び第 2 の保護回路 8 の構成について説明する。図 4 は、第 1 の保護回路 7 及び第 2 の保護回路 8 の構成を示す等価回路である。なお、第 1 の保護回路 7 及び第 2 の保護回路 8 は略同一の構成を有しており、図 4 においてははかっこ内の符号が第 2 の保護回路 8 に対応するものである。すなわち、第 1 の保護回路 7 及び第 2 の保護回路 8 は、それぞれ第 1 の半導体素子 9 及び第 2 の半導体素子 10 を備えている。

40

【0027】

まず、第 1 の保護回路 7 について説明する。図 4 に示すように、第 1 の保護回路 7 は、第 1 の半導体素子 9 と第 2 の半導体素子 10 を有している。第 1 の半導体素子 9 及び第 2 の半導体素子 10 は、それぞれその抵抗値が非線形で変化する整流素子である。ここでは、薄膜トランジスタ (TFT) にて形成した場合について説明する。第 1 の保護回路 7 においては、第 1 の半導体素子 9 のゲート電極及びソース電極が第 1 のショートリング 3 に接続されており、ドレイン電極が信号配線 1 に接続されている。すなわち、第 1 の半導体素子 9 は、TFT のゲートを当該 TFT のソース又はドレインに接続した 2 端子素子からなる。また、第 2 の半導体素子 10 のゲート電極及びソース電極が信号配線 1 に接続されており、ドレイン電極が第 1 のショートリング 3 に接続されている。すなわち、第 2 の半

50

導体素子 10 は、TFT のゲートを当該 TFT のソース又はドレインに接続した 2 端子素子からなる。また、第 1 の保護回路 7 においては、第 1 の半導体素子 9 と第 2 の半導体素子 10 とが並列に接続されている。

【0028】

第 1 の保護回路 7 においては、第 1 の半導体素子 9 は、第 1 のショートリング 3 が信号配線 1 より高電位となったときにオン状態となり、第 1 のショートリング 3 から信号配線 1 へと電流を流す。また、第 2 の半導体素子 10 は、信号配線 1 が第 1 のショートリング 3 より高電位となったときにオン状態となり、信号配線 1 から第 1 のショートリング 3 へと電流を流す。すなわち、第 1 の保護回路 7 において、第 1 の半導体素子 9 の整流方向は、第 2 の半導体素子 10 の整流方向と逆方向である。

10

【0029】

次に、第 2 の保護回路 8 について説明する。図 4 のカッコ内の符号で示すように、第 2 の保護回路 8 は、第 1 の半導体素子 9 と第 2 の半導体素子 10 を有している。第 2 の保護回路 8 においては、第 1 の半導体素子 9 のゲート電極及びソース電極が第 2 のショートリング 4 に接続されており、ドレイン電極が走査配線 2 と接続されている。すなわち、第 1 の半導体素子 9 は、TFT のゲートを当該 TFT のソース又はドレインに接続した 2 端子素子からなる。また、第 2 の半導体素子 10 のゲート電極及びソース電極が走査配線 2 に接続されており、ドレイン電極が第 2 のショートリング 4 に接続されている。すなわち、第 2 の半導体素子 10 は、TFT のゲートを当該 TFT のソース又はドレインに接続した 2 端子素子からなる。また、第 2 の保護回路 8 においては、第 1 の半導体素子 9 と第 2 の半導体素子 10 とが並列に接続されている。

20

【0030】

第 2 の保護回路 8 においては、第 1 の半導体素子 9 は、第 2 のショートリング 4 が走査配線 2 より高電位となったときにオン状態となり、第 2 のショートリング 4 から走査配線 2 へと電流を流す。また、第 2 の半導体素子 10 は、走査配線 2 が第 2 のショートリング 4 より高電位となったときにオン状態となり、走査配線 2 から第 2 のショートリング 4 へと電流を流す。すなわち、第 2 の保護回路 8 において、第 1 の半導体素子 9 の整流方向は、第 2 の半導体素子 10 の整流方向と逆方向である。

【0031】

一例として、1 行目の信号配線 1 が静電気により第 1 のショートリング 3 よりも高電位になった場合について説明する。1 行目の信号配線 1 が第 1 のショートリング 3 よりも静電気により高電位になると、当該信号配線 1 に対応する第 1 の保護回路 7 の第 2 の半導体素子 10 がオン状態となる。これにより、1 行目の信号配線 1 と第 1 のショートリング 3 とが第 2 の半導体素子 10 を介して接続され、信号配線 1 に蓄積されていた電荷が第 1 のショートリング 3 へと移動する。このため、画素電極に接続された TFT 素子の閾値シフトや、信号配線 1 及び走査配線 2 との間の絶縁膜の破壊による短絡を防止することができる。

30

【0032】

また、第 1 の保護回路 7 は、同じ電位差において第 1 のショートリング 3 から信号配線 1 に電流を流す方向の第 1 の半導体素子 9 の抵抗値と、信号配線 1 から第 1 のショートリング 3 に電流を流す方向の第 2 の半導体素子 10 の抵抗値とが非平衡である。すなわち、第 1 の保護回路 7 を構成する第 1 の半導体素子 9 と第 2 の半導体素子 10 の抵抗特性が異なる。例えば、第 1 のショートリング 3 から信号配線 1 へと電流を流す方向の第 1 の半導体素子 9 の抵抗値を、信号配線 1 間のリーク電流が発生しないよう高い値とする。第 1 の半導体素子 9 の抵抗特性は、TFT の W/L で調整することができる。これにより、信号配線 1 間のリーク電流に起因して発生する表示ムラを抑制することができる。また、信号配線 1 から第 1 のショートリング 3 へと電流を流す第 2 の半導体素子 10 の抵抗値は、従来と同様に、静電気による不良を軽減できるように低い値とする。

40

【0033】

このように構成された TFT アレイ基板 101 においては、製造工程中にソース端子 5

50

から正極性の静電気が供給された場合、第2の半導体素子10により信号配線1から第1のショートリング3へ電流が流れ、静電気により不良発生を軽減することが可能であるだけでなく、信号配線1間の第1のショートリング3を介したリーク電流による表示ムラを抑制することが可能である。

【0034】

また逆に、製造工程中にソース端子5から供給される静電気が主に負極性である場合には、第1の保護回路7の、第1のショートリング3から信号配線1へ電流を流す方向の第1の半導体素子9の抵抗値を静電気による不良を軽減するように低い値にする。第2の半導体素子10の抵抗値は、信号配線1間のリーク電流が発生しないよう高い値とする。このため、効果的に静電気を除去することができ、画素電極に接続されるTFTの閾値シフトや、信号配線1と走査配線2との短絡などの問題を解決することができる。従って、リーク電流によって発生する表示ムラの改善を行うことができ、高品位の液晶表示装置100を提供することができる。

10

【0035】

さらに、第2の保護回路8は、同じ電位差において第2のショートリング4から走査配線2に電流を流す方向の第1の半導体素子9の抵抗値と、走査配線2から第2のショートリング4に電流を流す方向の第2の半導体素子10の抵抗値とが非平衡である。すなわち、第2の保護回路8を構成する第1の半導体素子9と第2の半導体素子10の抵抗特性が異なる。例えば、第2のショートリング4から走査配線2へと電流を流す方向の第1の半導体素子9の抵抗値を、走査配線2間のリーク電流が発生しないよう高い値とする。これにより、走査配線2間のリーク電流に起因して発生する表示ムラを抑制することができる。また、走査配線2から第2のショートリング4へと電流を流す第2の半導体素子10の抵抗値は、従来と同様に、静電気による不良を軽減できるように低い値とする。

20

【0036】

このように構成されたTFTアレイ基板101においては、製造工程中にゲート端子6から正極性の静電気が供給された場合、第2の半導体素子10により走査配線2から第2のショートリング4へ電流が流れ、静電気により不良発生を軽減することが可能であるだけでなく、走査配線2間の第2のショートリング4を介したリーク電流による表示ムラを抑制することが可能である。

【0037】

また逆に、製造工程中にゲート端子6から供給される静電気が主に負極性である場合には、第2の保護回路8の、第2のショートリング4から走査配線2へ電流を流す方向の第1の半導体素子9の抵抗値を静電気による不良を軽減するように低い値にしている。第2の半導体素子10の抵抗値は、走査配線2間のリーク電流が発生しないように高い値とする。このため、効果的に静電気を除去することができ、画素電極に接続されるTFTの閾値シフトや、信号配線1と走査配線2との短絡などの問題を解決することができる。従って、静電気による不良の軽減とともに、表示ムラの改善を行うことができ、高品位の液晶表示装置100を提供することができる。

30

【0038】

ここで、図5を参照して、図4に示す第1の保護回路7、第2の保護回路8を構成する第1の半導体素子9及び第2の半導体素子10の構成を説明する。図5は、第1の半導体素子9の構成を示す断面図である。なお、第1の保護回路7及び第2の保護回路8を構成する第1の半導体素子9及び第2の半導体素子10は略同一の構成を有している。

40

【0039】

図5に示すように、第1の半導体素子9は、TFTアレイ基板101、ゲート電極12、ゲート絶縁膜13、ソース電極14、ドレイン電極15、ノンドープアモルファスシリコン層16、リンドープアモルファスシリコン層17、保護膜18などを備えている。

【0040】

TFTアレイ基板101上には、ゲート電極12が形成されている。また、ゲート電極12上には、ゲート絶縁膜13がゲート電極12を覆うように形成されている。ゲート絶

50

縁膜 13 上の、ゲート電極 12 に対応する位置には、ノンドープアモルファスシリコン層 16 が設けられている。ノンドープアモルファスシリコン層 16 の一部には、不純物としてリンがドーパされたリンドープアモルファスシリコン層 17 が形成されている。リンドープアモルファスシリコン層 17 は、ノンドープアモルファスシリコン層 16 上において、2つの領域に分かれて形成されている。また、ゲート絶縁膜 13 及び一方のリンドープアモルファスシリコン層 17 上には、ソース電極 14 が形成されている。また、ゲート絶縁膜 13 及び他方のリンドープアモルファスシリコン層 17 上には、ドレイン電極 15 が形成されている。

【0041】

上記の構成の第1の保護回路7を構成する第1の半導体素子9においては、ゲート電極 12 は、図3に示す第1のショートリング3に接続されている。また、ソース電極 14 は第1のショートリング3に接続され、ドレイン電極 15 は信号配線1に接続されている。また、第1の保護回路7を構成する第2の半導体素子10においては、ゲート電極 12 は、図3に示す信号配線1に接続されている。また、ソース電極 14 は信号配線1に接続され、ドレイン電極 15 は第1のショートリング3に接続されている。従って、第1の保護回路7を構成する第1の半導体素子9及び第2の半導体素子10は、信号配線1と第1のショートリング3との間にダイオード接続されている。

10

【0042】

また、第2の保護回路8を構成する第1の半導体素子9においては、ゲート電極 12 は、図3に示す第2のショートリング4に接続されている。また、ソース電極 14 は第2のショートリング4に接続され、ドレイン電極 15 は走査配線2に接続されている。また、第2の保護回路8を構成する第2の半導体素子10においては、ゲート電極 12 は、図3に示す走査配線2に接続されている。また、ソース電極 14 は走査配線2に接続され、ドレイン電極 15 は第2のショートリング4に接続されている。従って、第2の保護回路を構成する第1の半導体素子9及び第2の半導体素子10は、走査配線2と第2のショートリング4との間にダイオード接続されている。

20

【0043】

図6に従来の半導体素子の構成を示す。図6に示す半導体素子において図5に示す半導体素子と同一の構成要素には同一の符号を付している。図6と比較すると、図5に示す本発明に係るTF Tアレイ基板101に用いられる第1の半導体素子9及び第2の半導体素子10において、金属膜からなるゲート電極12は、ノンドープアモルファスシリコン層16及びリンドープアモルファスシリコン層17からなる半導体層よりも大きく形成されている。このため、TF Tアレイ基板101側から照射された光は、半導体層の下層膜であるゲート電極12により遮光され、半導体層に到達しない。

30

また、図5では図示していないが、半導体素子の上層に遮光膜を形成しても良い。あるいは、図2に示す対向基板102上に、カラーフィルタ(不図示)の着色層間、及び表示領域の周囲に配置されるBM (Black Matrix) などの遮光膜を、TF Tアレイ基板101上の半導体素子に対応して形成しても良い。これにより、TF Tアレイ基板101の半導体素子形成面側から照射された光は、半導体層の上層膜である遮光膜により遮光され、半導体層に到達しない。

40

【0044】

このため、光の影響による第1の保護回路7及び第2の保護回路8の抵抗値の変化を抑制することができる。従って、本発明のTF Tアレイ基板によれば、使用時において光の影響による保護回路7、8の抵抗特性変動を抑制することができる。このように、光リークによって生じる保護回路7、8の抵抗特性の変化を低減することができる。

【0045】

ここで、本発明に係るTF Tアレイ基板及び液晶表示装置100の製造方法について図7を参照して説明する。図7は、本実施の形態に係るTF Tアレイ基板の製造方法を説明するためのフロー図である。図7に示すように、まず、TF Tアレイ基板101上にスパッタリング法等を用いて第1の金属薄膜を成膜し、走査配線2、第1のショートリング3

50

、ゲート電極 12 を所定のパターンで形成する（ステップ S1）。なお、ゲート電極 12 の形成と同時に、表示領域中の TFT 素子のゲート電極を同時に形成する。

【0046】

次に、プラズマ CVD 法を用いて、ゲート絶縁膜 13 を形成する。そして、アモルファスシリコン膜を成膜した後リンをドーピングして、ノンドープアモルファスシリコン層 16 及びリンドーピングアモルファスシリコン層 17 を形成し、ノンドープアモルファスシリコン層 16 及びリンドーピングアモルファスシリコン層 17 を所定のパターンにパターンニングする（ステップ S2）。続いて、スパッタリング法等を用いて、第 2 の金属薄膜を成膜し、信号配線 1、第 2 のショートリング 4、ソース電極 14 及びドレイン電極 15 を所定のパターンで形成する（ステップ S3）。なお、ソース電極 14 及びドレイン電極 15 の形成と同時に、表示領域中の TFT 素子のソース電極及びドレイン電極 15 を同時に形成する。

10

【0047】

その後、ゲート絶縁膜 13、ノンドープアモルファスシリコン層 16、ソース電極 14、及びドレイン電極 15 の上に保護膜 18 を成膜する（ステップ S4）。このようにして、第 1 の保護回路 7 及び第 2 の保護回路 8 が形成される。そして、その上に画素電極を形成する（ステップ S5）。画素電極は、保護膜 18 に形成されるコンタクトホールを介して、第 2 の金属薄膜からなる表示領域中の TFT のドレイン電極を接続される。

【0048】

そして、画素電極を形成すると同時に、第 1 の保護回路 7 と第 1 のショートリング 3 及び信号配線 1、第 2 の保護回路 8 と第 2 のショートリング 4 及び走査配線 2 との接続を行う（ステップ S5）。このようにして、形成された TFT アレイ基板においては、信号配線 1 が第 1 の保護回路 7 によって第 1 のショートリング 3 と接続される。また、走査配線 2 が第 2 の保護回路 8 を介して、第 2 のショートリング 4 と接続される。従って、第 1 のショートリング 3 及び第 2 のショートリング 4 は、TFT アレイ基板の切断工程後においても、液晶表示パネル中に残っている。このため、TFT アレイ形成工程後の切断工程、モジュール実装工程において発生する静電気による絶縁破壊の発生を抑制することができる。また、第 1 の保護回路 7 及び第 2 の保護回路 8 を構成する第 1 の半導体素子 9 及び第 2 の半導体素子 10 は、表示領域中の TFT と同一の工程により形成される。これにより、製造工程の増加を抑制することができる。

20

【0049】

そして、切断工程、実装工程において発生する静電気の極性及びドライバ IC の駆動能力を考慮し、第 1 の半導体素子 9 及び第 2 の半導体素子 10 の W/L を調整することにより、静電気による不良の発生を軽減するだけでなく、隣接する信号配線 1 間の第 1 のショートリング 3 を介したリーク電流、隣接する走査配線 2 間の第 2 のショートリング 4 を介したリーク電流を抑制することができ、表示ムラの発生を抑制することが可能となる。

30

【0050】

そして、上述したように形成した TFT アレイ基板 101 と対向電極等を形成した対向基板 102 とを対向配置して、一定の間隔をもってシール材により貼り合わせる（ステップ S6）。この両基板とシール材とで形成される空間に液晶 104 を注入して、注入口を封止する（ステップ S7）。これにより、液晶表示パネル 200 が形成される。そして、液晶表示パネル 200 の周辺領域にゲートドライバ IC 109 及びソースドライバ IC 110、バックライト 300 等その他の周辺機器を実装して（ステップ S8）、液晶表示装置 100 が完成する。

40

【0051】

実施の形態 2 .

本発明の実施の形態 2 に係るアクティブマトリクス基板について図 8 を参照して説明する。図 8 は、本実施の形態に係る TFT アレイ基板の第 1 の保護回路 7 及び第 2 の保護回路 8 の構成を示す等価回路である。本実施の形態に係る TFT アレイ基板において、図 4 に示す実施の形態 1 と異なる点は、第 1 の半導体素子 9、第 2 の半導体素子 10 にそれぞれ直列に接続した第 3 の半導体素子 19、第 4 の半導体素子 20 をさらに接続した点であ

50

る。なお、図 8 において、図 4 と同一の構成要素には同一の符号を付し、説明を省略する。また、第 1 の保護回路 7 及び第 2 の保護回路 8 は略同一の構成を有しており、図 8 においてははっこ内の符号が第 2 の保護回路 8 に対応するものである。

【0052】

まず、本実施の形態にかかる第 1 の保護回路 7 について説明する。図 8 に示すように、第 1 の保護回路 7 は、第 1 の半導体素子 9、第 2 の半導体素子 10、第 3 の半導体素子 19、第 4 の半導体素子 20 を有している。第 1 の半導体素子 9、第 2 の半導体素子 10、第 3 の半導体素子 19、第 4 の半導体素子 20 は、それぞれその抵抗が非線形で変化する整流素子である。ここでは、薄膜トランジスタ (TFT) にて形成した場合について説明する。従って、第 1 の半導体素子 9、第 2 の半導体素子 10、第 3 の半導体素子 19、第 4 の半導体素子 20 は、TFT のゲートを当該 TFT のソース又はドレインに接続した 2 端子素子からなる。

10

第 1 の保護回路 7 においては、第 1 の半導体素子 9 のゲート電極及びソース電極が第 1 のショートリング 3 に接続されており、第 1 の半導体素子 9 のドレイン電極が第 3 の半導体素子 19 のゲート電極及びソース電極に接続されている。また、第 3 の半導体素子 19 のドレイン電極は、信号配線 1 と接続されている。すなわち、第 1 の半導体素子 9 と第 3 の半導体素子 19 とは、信号配線 1 と第 1 のショートリング 3 との間に直列にダイオード接続されている。ここで、第 1 の半導体素子 9 と第 3 の半導体素子 19 とを第 1 の電流制御素子 21 とする。

【0053】

また、第 4 の半導体素子 20 のゲート電極及びソース電極が信号配線 1 に接続されており、第 4 の半導体素子 20 のドレイン電極が第 2 の半導体素子 10 のゲート電極及びソース電極に接続されている。また、第 2 の半導体素子 10 のドレイン電極が、第 1 のショートリング 3 に接続されている。すなわち、第 2 の半導体素子 10 と第 4 の半導体素子 20 とは、信号配線 1 と第 1 のショートリング 3 との間に直列にダイオード接続されている。ここで、第 2 の半導体素子 10 と第 4 の半導体素子 20 とを第 2 の電流制御素子 22 とする。第 1 の半導体素子 9 及び第 3 の半導体素子 19 からなる第 1 の電流制御素子 21 と、第 2 の半導体素子 10 及び第 4 の半導体素子 20 からなる第 2 の電流制御素子 22 とは並列に接続されている。また、第 1 の電流制御素子 21 の整流方向と第 2 の電流制御素子 22 の整流方向とは逆向きに接続されている。

20

30

【0054】

第 1 の保護回路 7 においては、第 1 の半導体素子 9 は、第 1 のショートリング 3 が高電位となったときにオン状態となる。そして、第 3 の半導体素子 19 がオン状態となり、第 1 のショートリング 3 から信号配線 1 へと電流が流れる。また、第 2 の半導体素子 10 は、信号配線 1 が高電位となったときにオン状態となる。そして、第 4 の半導体素子 20 がオン状態となり、信号配線 1 から第 1 のショートリング 3 へと電流が流れる。

【0055】

次に、本実施の形態にかかる第 2 の保護回路 8 について説明する。図 8 のはっこ内の符号に示すように、第 2 の保護回路 8 は、第 1 の半導体素子 9、第 2 の半導体素子 10、第 3 の半導体素子 19、第 4 の半導体素子 20 を有している。第 2 の保護回路 8 においては、第 1 の半導体素子 9 のゲート電極及びソース電極が第 2 のショートリング 4 に接続されており、第 1 の半導体素子 9 のドレイン電極が第 3 の半導体素子 19 のゲート電極及びソース電極に接続されている。また、第 3 の半導体素子 19 のドレイン電極は、走査配線 2 と接続されている。すなわち、第 1 の半導体素子 9 と第 3 の半導体素子 19 とは、走査配線 2 と第 2 のショートリング 4 との間に直列にダイオード接続されている。ここで、第 1 の半導体素子 9 と第 3 の半導体素子 19 とを第 1 の電流制御素子 21 とする。

40

【0056】

また、第 4 の半導体素子 20 のゲート電極及びソース電極が走査配線 2 に接続されており、第 4 の半導体素子 20 のドレイン電極が第 2 の半導体素子 10 のゲート電極及びソース電極に接続されている。また、第 2 の半導体素子 10 のドレイン電極が、第 2 のショ-

50

トリング 4 に接続されている。すなわち、第 2 の半導体素子 10 と第 4 の半導体素子 20 とは、走査配線 2 と第 2 のショートリング 4 との間に直列にダイオード接続されている。ここで、第 2 の半導体素子 10 と第 4 の半導体素子 20 とを第 2 の電流制御素子 22 とする。また、第 1 の半導体素子 9 及び第 3 の半導体素子 19 からなる第 1 の電流制御素子 21 と、第 2 の半導体素子 10 及び第 4 の半導体素子 20 からなる第 2 の電流制御素子 22 とは並列に接続されている。また、第 1 の電流制御素子 21 の整流方向と第 2 の電流制御素子 22 の整流方向とは逆向きに接続されている。

【0057】

第 2 の保護回路 8 においては、第 1 の半導体素子 9 は、第 2 のショートリング 4 が高電位となったときにオン状態となる。そして、第 3 の半導体素子 19 がオン状態となり、第 2 のショートリング 4 から走査配線 2 へと電流が流れる。また、第 2 の半導体素子 10 は、走査配線 2 が高電位となったときにオン状態となる。そして、第 4 の半導体素子 20 がオン状態となり、走査配線 2 から第 2 のショートリング 4 へと電流が流れる。

10

【0058】

また、第 1 の保護回路 7 は、第 1 のショートリング 3 から信号配線 1 に電流を流す方向の抵抗値と、信号配線 1 から第 1 のショートリング 3 に電流を流す方向の抵抗値とが非平衡である。すなわち、第 1 の保護回路 7 を構成する第 1 の電流制御素子 21 と第 2 の電流制御素子 22 の抵抗特性が異なる。例えば、第 1 のショートリング 3 から信号配線 1 へと電流を流す方向の第 1 の電流制御素子 21 の抵抗値を、信号配線 1 間のリーク電流が発生しないよう高い値とする。これにより、信号配線 1 間のリーク電流に起因して発生する表示ムラを抑制することができる。また、信号配線 1 から第 1 のショートリング 3 へと電流を流す第 2 の電流制御素子 22 の抵抗値は、従来と同様に、静電気による不良を軽減できるように低い値とする。

20

【0059】

このように構成された TFT アレイ基板 101 においては、製造工程中にソース端子 5 から正極性の静電気が供給された場合、静電気により不良発生を軽減することが可能であるだけでなく、信号配線 1 間の第 1 のショートリング 3 を介したリーク電流による表示ムラを抑制することが可能である。

【0060】

また、製造工程中にソース端子 5 から供給される静電気が主に負極性である場合には、第 1 の保護回路 7 の抵抗値を、信号配線 1 から第 1 のショートリング 3 へと電流を流す方向の第 1 の電流制御素子 21 の抵抗値を静電気による不良を軽減できるように低い値にする。このため、効果的に静電気を除去することができ、画素電極に接続される TFT の閾値シフトや、信号配線 1 と走査配線 2 との短絡などの問題を解決することができる。よって、リーク電流による表示ムラを改善することができる。

30

【0061】

さらに、第 2 の保護回路 8 は、第 2 のショートリング 4 から走査配線 2 に電流を流す方向の抵抗値と、走査配線 2 から第 2 のショートリング 4 に電流を流す方向の抵抗値とが非平衡である。すなわち、第 2 の保護回路 8 を構成する第 1 の電流制御素子 21 と第 2 の電流制御素子 22 の抵抗特性が異なる。例えば、第 2 のショートリング 4 から走査配線 2 へと電流を流す方向の第 1 の電流制御素子 21 の抵抗値を、走査配線 2 間のリーク電流が発生しないよう高い値とする。これにより、走査配線 2 間のリーク電流に起因して発生する表示ムラを抑制することができる。また、走査配線 2 から第 2 のショートリング 4 へと電流を流す第 2 の電流制御素子 22 の抵抗値は、従来と同様に、静電気による不良を軽減できるように低い値とする。

40

【0062】

このように構成された TFT アレイ基板 101 においては、製造工程中にゲート端子 6 から正極性の静電気が供給された場合、静電気により不良発生を軽減することが可能であるだけでなく、走査配線 2 間の第 2 のショートリング 4 を介したリーク電流による表示ムラを抑制することが可能である。

50

【0063】

また、製造工程中にゲート端子6から供給される静電気が主に負極性である場合には、第2の電流制御素子22の抵抗値を、第2のショートリング4から走査配線2へ電流を流す方向の第1の半導体素子9の抵抗値を静電気による不良を軽減するように低い値にする。このため、効果的に静電気を除去することができ、画素電極に接続されるTFTの閾値シフトや、信号配線1と走査配線2との短絡などの問題を解決することができる。従って、静電気による不良の軽減とともに、表示ムラの改善を行うことができ、高品位の液晶表示装置100を提供することができる。このように、リーク電流による表示ムラを改善することができる。

【0064】

また、本実施の形態によれば、第1の電流制御素子21を直列に接続した第1の半導体素子9と第3の半導体素子の2つの半導体素子から形成し、第2の電流制御素子22を直列に接続した第2の半導体素子10と第4の半導体素子20の2つの半導体素子から形成している。これにより、第1の電流制御素子21及び第2の電流制御素子22の静電気の耐圧性を向上させることができる。また、パターン欠陥による信号配線1と第1のショートリング3との、走査配線2と第2のショートリング4との短絡に対する冗長性を増加させることができる。このため、TFTアレイ基板の歩留りを上げることが可能となる。

【0065】

実施の形態3。

図9及び図10に、本発明の実施の形態3に係るアクティブマトリクス基板の構成を示す。図9及び図10において、図3と同一の構成要素には同一の符号を付し、説明を省略する。図9に示すように、第1のショートリング3にはソースドライバIC110の1つのCOG端子23が接続されている。また、第2のショートリング4には、ゲートドライバIC109の1つのCOG端子24が接続されている。このような構成とすることにより、各ドライバICから入力する電位を調整して、ドライバIC実装後の第1の保護回路7及び第2の保護回路8の抵抗値を容易に制御することができる。なお、ここでは、ドライバICを信号配線1用と走査配線2用とで別々に構成したが、1つのドライバICにより構成することも可能である。

【0066】

また、図10に示すように、第1のショートリング3にFPC端子25を接続し、第2のショートリング4に他のFPC端子26を接続してもよい。また、この場合、FPCにはドライバICが実装されている。このような構成とすることにより、各ドライバICからFPCを介して入力する電位を調整して、ドライバIC実装後の第1の保護回路7及び第2の保護回路8の抵抗値を容易に制御することができる。

【0067】

このように、ドライバICの実装後に、ドライバICから第1のショートリング3、第2のショートリング4にそれぞれ入力される電位により、第1の保護回路7及び第2の保護回路8の抵抗値を任意に制御することができる。また、第1のショートリング3及び第2のショートリング4の電位を一定に維持することが容易となる。これにより、静電気による不良の低減とともに、配線間のリークによる表示ムラの発生を抑制することができる。

【0068】

以上説明したように、本発明によれば、ショートリングに接続する保護回路の抵抗値を、所望の値に調整することで、配線間のリークによる表示不良を低減することができ、さらに静電気によるスイッチング素子の閾値シフトや、信号配線と走査配線間の絶縁膜の破壊による短絡などの不良を大幅に抑制することが可能となる。

【0069】

また、保護回路の半導体層をゲート電極等の下層膜又は遮光膜、BM等の上層膜によって遮光することにより、光の影響による保護回路の抵抗特性の変化を低減できる。このように、本実施の形態にかかるTFTアレイ基板によれば、使用時において光の影響による

10

20

30

40

50

保護回路 7、8 の抵抗特性変動を抑制することができる。さらに、保護回路としてそれぞれ直列に接続した 2 つの半導体素子からなる 2 つの電流制御素子によりショートリングに接続することにより、保護回路のパターン欠陥等による信号配線とショートリングとの短絡に対する冗長性を増加させることができるとともに、静電気に対する耐圧性を向上させることができる。さらに、保護回路を構成する半導体素子のゲート電極の電位を、ドライバ IC から直接、又は FPC を介して入力される入力信号により制御することで、保護回路の抵抗値を容易に制御することが可能となり、また、配線間のリーク電流による表示ムラを抑制することが可能となる。

【0070】

なお、上記の実施例においては、保護回路を構成する整流素子として薄膜トランジスタの 2 端子半導体素子を用いたが、これに限定されない。例えば、MNR (Metal oxide Non linear Resistor) パリスタなどの非線形整流素子を用いることも可能である。

【図面の簡単な説明】

【0071】

【図 1】実施の形態 1 に係る液晶表示装置の構成を示す平面図である。

【図 2】実施の形態 1 に係る液晶表示装置の構成を示す断面図である。

【図 3】実施の形態 1 に係る TFT アレイ基板の構成を示す等価回路図である。

【図 4】実施の形態 1 に係る TFT アレイ基板の保護回路の構成を示す等価回路図である。

【図 5】実施の形態 1 に係る TFT アレイ基板の保護回路を構成する半導体素子の断面図である。

【図 6】従来の TFT アレイ基板の保護回路を構成する半導体素子の断面図である。

【図 7】実施の形態 1 に係る液晶表示装置の製造方法を示すフロー図である。

【図 8】実施の形態 2 に係る TFT アレイ基板の保護回路の構成を示す等価回路図である。

【図 9】実施の形態 3 に係る TFT アレイ基板の構成を示す等価回路図である。

【図 10】実施の形態 3 に係る TFT アレイ基板の構成を示す等価回路図である。

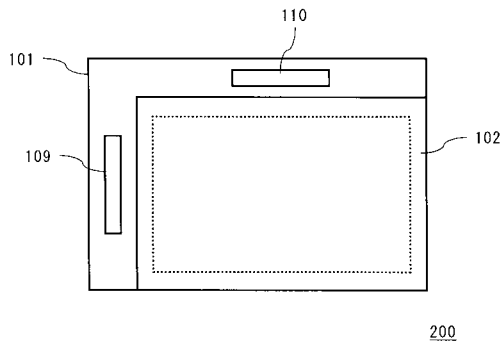
【符号の説明】

【0072】

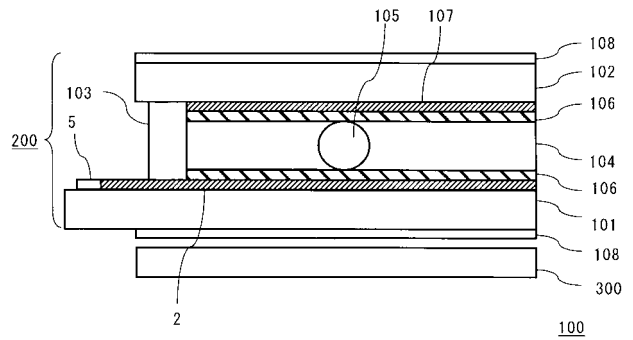
- | | | |
|----|------------------|----|
| 1 | 信号配線 | 30 |
| 2 | 走査配線 | |
| 3 | 第 1 のショートリング | |
| 4 | 第 2 のショートリング | |
| 5 | ソース端子 | |
| 6 | ゲート端子 | |
| 7 | 第 1 の保護回路 | |
| 8 | 第 2 の保護回路 | |
| 9 | 第 1 の半導体素子 | |
| 10 | 第 2 の半導体素子 | |
| 11 | ガラス基板 | 40 |
| 12 | ゲート電極 | |
| 13 | ゲート絶縁膜 | |
| 14 | ソース電極 | |
| 15 | ドレイン電極 | |
| 16 | ノンドープアモルファスシリコン層 | |
| 17 | リンドープアモルファスシリコン層 | |
| 18 | 保護膜 | |
| 19 | 第 3 の半導体素子 | |
| 20 | 第 4 の半導体素子 | |
| 21 | 第 1 の電流制御素子 | 50 |

- 2 2 第 2 の電流制御素子
- 2 3 第 1 のショートリングへの電位入力用 C O G 端子
- 2 4 第 2 のショートリングへの電位入力用 C O G 端子
- 2 5 第 1 のショートリングへの電位入力用 F P C 端子
- 2 6 第 2 のショートリングへの電位入力用 F P C 端子
- 1 0 0 液晶表示装置
- 1 0 1 T F T アレイ基板
- 1 0 2 対向基板
- 1 0 3 シール材
- 1 0 4 液晶
- 1 0 5 スペース
- 1 0 6 配向膜
- 1 0 7 対向電極
- 1 0 8 偏光板
- 1 0 9 ゲートドライバ I C
- 1 1 0 ソースドライバ I C
- 2 0 0 液晶表示パネル
- 3 0 0 バックライト

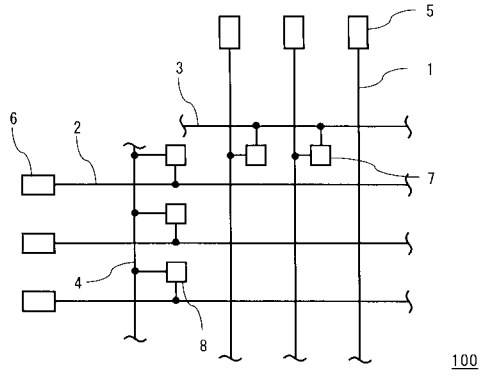
【 図 1 】



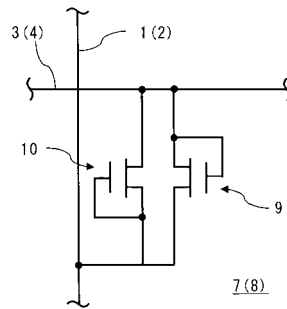
【 図 2 】



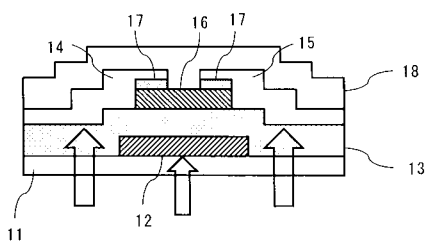
【 図 3 】



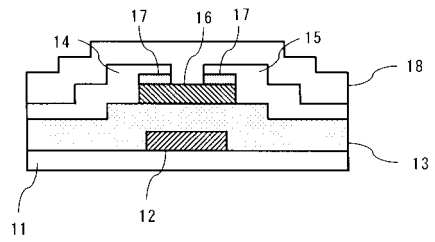
【 図 4 】



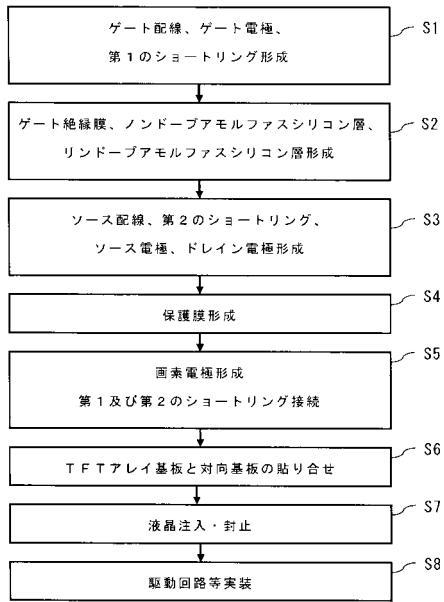
【 図 5 】



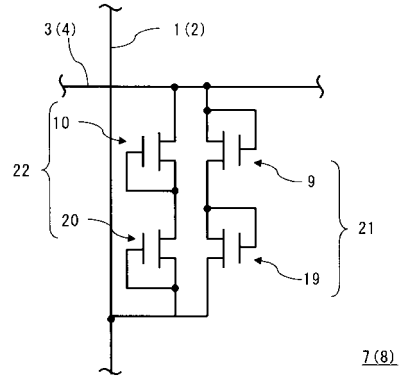
【 図 6 】



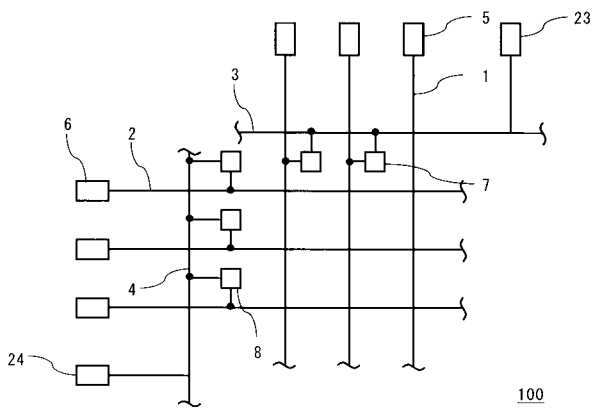
【 図 7 】



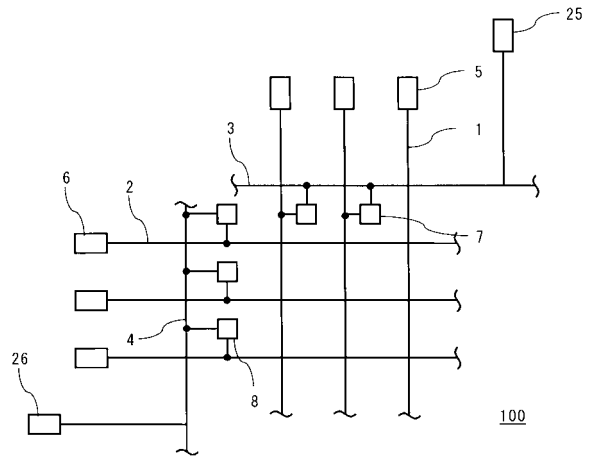
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

Fターム(参考) 5F110 AA22 BB01 CC07 DD01 DD02 EE02 EE25 EE44 FF30 GG02
GG15 GG26 GG35 GG45 HK02 HK09 HK16 HK21 HK25 HK33
HK35 HL07 QQ30