

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3780776号

(P3780776)

(45) 発行日 平成18年5月31日(2006.5.31)

(24) 登録日 平成18年3月17日(2006.3.17)

(51) Int. Cl.

F I

H O 4 L 12/28 (2006.01)

H O 4 L 12/28 2 0 0 Z

G O 6 F 13/38 (2006.01)

G O 6 F 13/38 3 5 0

請求項の数 15 (全 34 頁)

(21) 出願番号	特願平11-293588	(73) 特許権者	000002369
(22) 出願日	平成11年10月15日(1999.10.15)		セイコーエプソン株式会社
(65) 公開番号	特開2001-119414(P2001-119414A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成13年4月27日(2001.4.27)	(74) 代理人	100090479
審査請求日	平成16年2月16日(2004.2.16)		弁理士 井上 一
		(74) 代理人	100090387
			弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 美千栄
		(72) 発明者	佐藤 大輔
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	堀内 浩
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 データ転送制御装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、相手ノードの記憶手段にページテーブルが存在する場合には、該ページテーブルを相手ノードからフェッチするページテーブルフェッチ回路と、相手ノードの記憶手段にページテーブルが存在しない場合には、ページ境界情報に基づいて仮想的なページテーブルを生成するページテーブル生成回路と、フェッチ又は生成されたページテーブルに基づいて、転送データを各ページ境界を越えないパケットに分割して転送する処理を実行する転送実行回路と、を含むことを特徴とするデータ転送制御装置。

【請求項2】

請求項1において、  
処理手段が転送開始コマンドを発行した場合に、  
前記ページテーブルフェッチ回路又は前記ページテーブル生成回路が、ページテーブルを自動的にフェッチ又は生成し、  
前記転送実行回路が、ページテーブル分の転送データを一連のパケットに自動的に分割し、分割された一連のパケットを連続転送する処理を実行することを特徴とするデータ転送制御装置。

【請求項3】

請求項1又は2において、

10

20

ページテーブルが有するページテーブルエレメント情報に基づいて、ペイロードサイズの packets に転送データを分割するペイロード分割回路を含むことを特徴とするデータ転送制御装置。

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

packets の制御情報が格納される制御情報領域と packets のデータが格納されるデータ領域とを有し、ランダムアクセス可能な packets 記憶手段を含み、

前記 packets 記憶手段の前記データ領域が、第 1 の層用の第 1 のデータが格納される第 1 のデータ領域と、前記転送実行回路による連続 packets 転送の対象となる第 2 の層用の第 2 のデータが格納される第 2 のデータ領域とに分離されていることを特徴とするデータ転送制御装置。

10

【請求項 5】

請求項 4 において、

トランザクションを開始させる要求 packets を相手ノードに対して送信する際に、前記要求 packets に含まれるトランザクション識別情報の中に、相手ノードから応答 packets を受信した際に行う処理を指示するための指示情報を含ませ、

相手ノードから応答 packets を受信した場合に、応答 packets のトランザクション識別情報が含む前記指示情報に基づき、応答 packets の制御情報、第 1、第 2 のデータを、各々、前記制御情報領域、前記第 1、第 2 のデータ領域に書き込むことを特徴とするデータ転送制御装置。

20

【請求項 6】

請求項 1 乃至 5 のいずれかにおいて、

ランダムアクセス可能な packets 記憶手段を含み、

前記 packets 記憶手段が、

ページテーブルがフェッチされた場合にはフェッチされたページテーブルが格納され、ページテーブルが生成された場合には生成されたページテーブルが格納されるページテーブル領域を有することを特徴とするデータ転送制御装置。

【請求項 7】

請求項 1 乃至 6 のいずれかにおいて、

ページテーブルがフェッチされた場合には、フェッチされたページテーブルのサイズを表示し、ページテーブルが生成された場合には、生成されたページテーブルのサイズを表示するページテーブルサイズレジスタを含むことを特徴とするデータ転送制御装置。

30

【請求項 8】

バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、転送データの先頭アドレスが、相手ノードの記憶手段の第  $K - 1$ 、第  $K$  のページ境界間又は第  $K$  のページ境界上にあり、転送データの終了アドレスが、第  $L$ 、第  $L + 1$  のページ境界間又は第  $L$  のページ境界上にある場合に、第  $K$ 、第  $L$  のページ境界間のページテーブルエレメント数が所定数となるページテーブルを生成するページテーブル生成手段と、生成されたページテーブルに基づいて、転送データを各ページ境界を越えない packets に分割して転送する処理を実行する転送実行手段と、を含むことを特徴とするデータ転送制御装置。

40

【請求項 9】

請求項 8 において、

最大ペイロードサイズがページ境界サイズの約数となるペイロードサイズの packets に転送データを分割するペイロード分割手段を含むことを特徴とするデータ転送制御装置。

【請求項 10】

請求項 8 又は 9 において、

前記ページテーブル生成手段が、

転送データの先頭アドレスが第  $K - 1$ 、第  $K$  のページ境界間にあり、転送データの終了アドレスが第  $L$ 、第  $L + 1$  のページ境界間にある場合には、先頭アドレスと第  $K$  のページ境

50

界間が第1のページテーブルエレメントとなり、第K、第Lのページ境界間が第2のページテーブルエレメントとなり、第Lのページ境界と終了アドレス間が第3のページテーブルエレメントとなるページテーブルを生成することを特徴とするデータ転送制御装置。

【請求項11】

請求項8乃至10のいずれかにおいて、  
前記ページテーブル生成手段が、

転送データの先頭アドレスが第K-1、第Kのページ境界間にあり、転送データの終了アドレスが第K-1、第Kのページ境界間又は第Kのページ境界上にある場合には、先頭アドレス、終了アドレス間が第1のページテーブルエレメントとなるページテーブルを生成することを特徴とするデータ転送制御装置。

10

【請求項12】

請求項8乃至11のいずれかにおいて、  
前記ページテーブル生成手段が、

転送データの先頭アドレスが第K-1、第Kのページ境界間にあり、転送データの終了アドレスが第Kのページ境界よりも後ろにある場合には、先頭アドレス、第Kのページ境界間を第1のページテーブルエレメントとし、次ページテーブルエレメント以降については、転送データの先頭アドレスが第Kのページ境界上にあったものとしてページテーブルを生成することを特徴とするデータ転送制御装置。

【請求項13】

請求項1乃至12のいずれかにおいて、

IEEE1394の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

20

【請求項14】

請求項1乃至13のいずれかのデータ転送制御装置と、

前記データ転送制御装置及びバスを介して他のノードから受信したデータに所与の処理を施す装置と、

処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする電子機器。

【請求項15】

請求項1乃至13のいずれかのデータ転送制御装置と、

前記データ転送制御装置及びバスを介して他のノードに送信するデータに所与の処理を施す装置と、

処理が施されるデータを取り込むための装置とを含むことを特徴とする電子機器。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、データ転送制御装置及びこれを含む電子機器に関し、特に、バスに接続される複数のノード間でIEEE1394などの規格に準じたデータ転送を行うデータ転送制御装置及びこれを含む電子機器に関する。

【0002】

【背景技術及び発明が解決しようとする課題】

近年、IEEE1394と呼ばれるインターフェース規格が脚光を浴びている。このIEEE1394は、次世代のマルチメディアにも対応可能な高速シリアルバスインターフェースを規格化したものである。このIEEE1394によれば、動画像などのリアルタイム性が要求されるデータも扱うことができる。また、IEEE1394のバスには、プリンタ、スキャナ、CD-RWドライブ、ハードディスクドライブなどのコンピュータの周辺機器のみならず、ビデオカメラ、VTR、TVなどの家庭用電化製品も接続できる。このため、電子機器のデジタル化を飛躍的に促進できるものとして期待されている。

40

【0003】

しかしながら、このIEEE1394に準拠したデータ転送制御装置には次のような課題

50

があることが判明した。

【 0 0 0 4 】

即ち、現在の I E E E 1 3 9 4 規格によれば最大で 4 0 0 M b p s の転送速度が実現可能となっている。しかし、現実には、処理のオーバーヘッドの存在に起因して、システム全体の実転送速度はこれよりもかなり低くなっている。つまり、C P U 上で動作するファームウェア（処理手段）が、転送データを準備したり、転送データをパケットに分割したり、転送開始コマンドを発行したりするなどの処理に多くの時間を要してしまい、バス上での転送速度が速くても、結局、高速なデータ転送を実現できない。

【 0 0 0 5 】

特に、周辺機器に組み込まれる C P U は、パーソナルコンピュータなどのホストシステムに組み込まれる C P U に比べて処理能力が低い。このため、ファームウェア等の処理のオーバーヘッドの問題は、非常に深刻なものとなる。従って、このようなオーバーヘッドの問題を効果的に解消できる技術が望まれている。

10

【 0 0 0 6 】

また、パーソナルコンピュータなどのイニシエータ（ホスト）と C D - R W ドライブやプリンタなどのターゲット（デバイス）との間でデータ転送を行う場合、イニシエータ側のデータバッファ（記憶手段）の各ページ境界を越えてのデータ転送は許されないという制約がある。そして、イニシエータが、ページテーブルを用いて間接アドレス方式でアドレスを指定する場合には、このような制約についてターゲット側が特別に考慮する必要はない。しかしながら、イニシエータが、直接アドレス方式でアドレスを指定した場合には、ターゲット側がこの制約を遵守しながらデータ転送を行わなければならないという課題がある。

20

【 0 0 0 7 】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、ページテーブルの存在、不存在に依らずに、ページ境界を越えないという制約を遵守しながら高速なデータ転送を実現できるデータ転送制御装置及びこれが用いられる電子機器を提供することにある。

【 0 0 0 8 】

【課題を解決するための手段】

上記課題を解決するために本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、相手ノードの記憶手段にページテーブルが存在する場合には、該ページテーブルを相手ノードからフェッチするページテーブルフェッチ回路と、相手ノードの記憶手段にページテーブルが存在しない場合には、ページ境界情報に基づいて仮想的なページテーブルを生成するページテーブル生成回路と、フェッチ又は生成されたページテーブルに基づいて、転送データを各ページ境界を越えないパケットに分割して転送する処理を実行する転送実行回路とを含むことを特徴とする。

30

【 0 0 0 9 】

本発明によれば、相手ノードの記憶手段にページテーブルが存在する場合には、そのページテーブルがフェッチされ、相手ノードの記憶手段にページテーブルが存在しない場合には、仮想的なページテーブルが生成される。そして、このフェッチ又は生成されたページテーブルを用いて、転送データが、各ページ境界を越えないパケットに分割されて転送される。このように本発明によれば、ページテーブルが存在しない場合にも、生成された仮想的なページテーブルを用いてデータが転送されるため、ページテーブルがフェッチ又は生成された後の転送実行処理を共通化できるようになる。即ち、ページテーブルの存在、不存在に依らずに、同一内容の転送実行処理でデータを転送できる。従って、処理の簡素化、回路の小規模化を図れる。また本発明によれば、ページテーブルが存在しない場合にも、仮想的なページテーブルを用いてデータが転送されるため、相手ノードの記憶手段の各ページ境界を越えないという制約が遵守しながら、高速なデータ転送を実現できる。

40

【 0 0 1 0 】

また本発明は、処理手段が転送開始コマンドを発行した場合に、前記ページテーブルフェ

50

ッチ回路又は前記ページテーブル生成回路が、ページテーブルを自動的にフェッチ又は生成し、前記転送実行回路が、ページテーブル分の転送データを一連のパケットに自動的に分割し、分割された一連のパケットを連続転送する処理を実行することを特徴とする。このようにすれば、処理手段が転送開始コマンドを発行すると、ページテーブルが自動的にフェッチ又は生成され、ページテーブル分の転送データが自動的に一連のパケットに分割されて転送されるようになる。従って、ファームウェアなどの処理手段の処理負担を格段に軽減でき、データの実転送速度を大幅に向上できる。

**【0011】**

また本発明は、ページテーブルが有するページテーブルエレメント情報に基づいて、ペイロードサイズのパケットに転送データを分割するペイロード分割回路を含むことを特徴とする。このようにすれば、パケットのペイロード分割もハードウェアにより自動的に行われるようになるため、ファームウェアなどの処理手段の処理負担を更に軽減できる。

10

**【0012】**

また本発明は、パケットの制御情報が格納される制御情報領域とパケットのデータが格納されるデータ領域とを有し、ランダムアクセス可能なパケット記憶手段を含み、前記パケット記憶手段の前記データ領域が、第1の層用の第1のデータが格納される第1のデータ領域と、前記転送実行回路による連続パケット転送の対象となる第2の層用の第2のデータが格納される第2のデータ領域とに分離されていることを特徴とする。本発明によれば、パケットの制御情報（例えばヘッダ、フッター）は制御情報領域に格納され、パケットの第1のデータ（例えばトランザクション層用のデータ）は第1のデータ領域に格納され、パケットの第2のデータ（例えばアプリケーション層用のデータ）は第2のデータ領域に格納される。このようにすれば、第2のデータ領域から第2のデータを連続して読み出して、第2の層に転送することができるようになる。これにより、データ転送を飛躍的に高速化できる。

20

**【0013】**

なお本発明では、前記第1のデータが、前記第1の層のプロトコルで使用されるコマンドデータであり、前記第2のデータが、アプリケーション層で使用されるデータであることが望ましい。

**【0014】**

また本発明は、トランザクションを開始させる要求パケットを相手ノードに対して送信する際に、前記要求パケットに含まれるトランザクション識別情報の中に、相手ノードから応答パケットを受信した際に行う処理を指示するための指示情報を含ませ、相手ノードから応答パケットを受信した場合に、応答パケットのトランザクション識別情報が含む前記指示情報に基づき、応答パケットの制御情報、第1、第2のデータを、各々、前記制御情報領域、前記第1、第2のデータ領域に書き込むことを特徴とする。このようにすれば、応答ノードから応答パケットが返信されてきた時に、ファームウェアなどの処理手段が関与することなく、指示情報により指示される領域に応答パケットの制御情報、第1、第2のデータが自動的に書き込まれるようになる。従って、処理手段の処理負担を格段に軽減できる。

30

**【0015】**

また本発明は、ランダムアクセス可能なパケット記憶手段を含み、前記パケット記憶手段が、ページテーブルがフェッチされた場合にはフェッチされたページテーブルが格納され、ページテーブルが生成された場合には生成されたページテーブルが格納されるページテーブル領域を有することを特徴とする。このようにすれば、転送実行回路は、ページテーブルがフェッチされたのか或いは生成されたのかを意識することなく、ページテーブル領域に格納されたページテーブルに基づいてデータ転送処理を実行できるようになる。

40

**【0016】**

また本発明は、ページテーブルがフェッチされた場合には、フェッチされたページテーブルのサイズを表示し、ページテーブルが生成された場合には、生成されたページテーブルのサイズを表示するページテーブルサイズレジスタを含むことを特徴とする。このように

50

すれば、転送実行回路は、ページテーブルがフェッチされたのか或いは生成されたのかを意識することなく、ページテーブルレジスタに格納されたページテーブルサイズを用いて所望の処理を行うことができるようになる。

**【 0 0 1 7 】**

また本発明は、バスに接続される複数のノード間でのデータ転送のためのデータ転送制御装置であって、転送データの先頭アドレスが、相手ノードの記憶手段の第K - 1、第Kのページ境界間又は第Kのページ境界上にあり、転送データの終了アドレスが、第L、第L + 1のページ境界間又は第Lのページ境界上にある場合に、第K、第Lのページ境界間のページテーブルエレメント数が所定数となるページテーブルを生成するページテーブル生成手段と、生成されたページテーブルに基づいて、転送データを各ページ境界を越えない 10  
パケットに分割して転送する処理を実行する転送実行手段とを含むことを特徴とする。

**【 0 0 1 8 】**

本発明によれば、第K、第Lのページ境界間のページテーブルエレメント数が所定数（望ましくは1）となるページテーブルが生成される。そして、生成されたページテーブルを用いて、転送データが、各ページ境界を越えないパケットに分割されて転送される。従って、ページテーブルサイズを最小限のサイズに収めることができ、ページテーブルを格納する領域の使用記憶容量を節約できる。また、各ページ境界を越えないという制約が遵守しながら、高速なデータ転送を実現できるようになる。

**【 0 0 1 9 】**

また本発明は、最大ペイロードサイズがページ境界サイズの約数となるペイロードサイズの 20  
パケットに転送データを分割するペイロード分割手段を含むことを特徴とする。このように最大ペイロードサイズがページ境界サイズの約数になるようにペイロード分割すれば、第K、第Lのページ境界間のページテーブルエレメント数が所定数となるようなページテーブルを生成した場合にも、ページ境界を越えないという制約を遵守しながら高速にデータを転送できるようになる。

**【 0 0 2 0 】**

また本発明は、前記ページテーブル生成手段が、転送データの先頭アドレスが第K - 1、第Kのページ境界間にあり、転送データの終了アドレスが第L、第L + 1のページ境界間にある場合には、先頭アドレスと第Kのページ境界間が第1のページテーブルエレメントとなり、第K、第Lのページ境界間が第2のページテーブルエレメントとなり、第Lのページ境界と終了アドレス間が第3のページテーブルエレメントとなるページテーブルを生成することを特徴とする。このようにすれば、ページテーブルエレメント数が最大で3になるため、ページテーブルサイズを最小限のサイズに収めることができる。 30

**【 0 0 2 1 】**

また本発明は、前記ページテーブル生成手段が、転送データの先頭アドレスが第K - 1、第Kのページ境界間にあり、転送データの終了アドレスが第K - 1、第Kのページ境界間又は第Kのページ境界上にある場合には、先頭アドレス、終了アドレス間が第1のページテーブルエレメントとなるページテーブルを生成することを特徴とする。このようにすれば、転送データの先頭アドレスが第K - 1、第Kのページ境界間にあり、転送データの終了アドレスが第K - 1、第Kのページ境界間又は第Kのページ境界上にある場合に、ページテーブルエレメント数を1に収めることができるようになる。 40

**【 0 0 2 2 】**

また本発明は、前記ページテーブル生成手段が、転送データの先頭アドレスが第K - 1、第Kのページ境界間にあり、転送データの終了アドレスが第Kのページ境界よりも後ろにある場合には、先頭アドレス、第Kのページ境界間を第1のページテーブルエレメントとし、次ページテーブルエレメント以降については、転送データの先頭アドレスが第Kのページ境界上にあったものとしてページテーブルを生成することを特徴とする。このようにすれば、先頭アドレスが第Kのページ境界上にあった場合となかった場合とで、以降の処理を共通化できるようになり、処理の簡素化を図れる。

**【 0 0 2 3 】**

10

20

30

40

50

また、本発明では、IEEE 1394の規格に準拠したデータ転送を行うことが望ましい。

【0024】

また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して他のノードから受信したデータに所与の処理を施す装置と、処理が施されたデータを出力又は記憶するための装置とを含むことを特徴とする。また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及びバスを介して他のノードに送信するデータに所与の処理を施す装置と、処理が施されるデータを取り込むための装置とを含むことを特徴とする。

【0025】

本発明によれば、他のノードから転送されたデータを電子機器において出力したり記憶したりする処理、電子機器において取り込んだデータを他のノードに転送したりする処理を高速化することが可能になる。また、本発明によれば、データ転送制御装置を小規模化できると共に、データ転送を制御するファームウェアなどの処理負担を軽減できるため、電子機器の低コスト化、小規模化などを図ることも可能になる。

【0026】

【発明の実施の形態】

以下、本発明の好適な実施形態について図面を用いて詳細に説明する。

【0027】

1. IEEE 1394

まず、IEEE 1394について簡単に説明する。

【0028】

1.1 概要

IEEE 1394 (IEEE 1394 - 1995、P1394 . a)では100 ~ 400 Mbpsの高速なデータ転送が可能となっている (P1394 . bでは800 ~ 3200 Mbps)。また、転送速度が異なるノードをバスに接続することも許される。

【0029】

各ノードはツリー状に接続されており、1つのバスに最大で63個のノードが接続可能になっている。なお、バスブリッジを利用すれば約64000個のノードを接続することも可能である。

【0030】

IEEE 1394では、パケットの転送方式として非同期転送とアイソクロナス転送が用意されている。ここで非同期転送は、信頼性が要求されるデータの転送に好適な転送方式であり、アイソクロナス転送は、リアルタイム性が要求される動画や音声などのデータの転送に好適な転送方式である。

【0031】

1.2 層構造

IEEE 1394の層構造 (プロトコル構成) を図1に示す。

【0032】

IEEE 1394のプロトコルは、トランザクション層、リンク層、物理層により構成される。また、シリアルバスマネージメントは、トランザクション層、リンク層、物理層をモニターしたり制御したりするものであり、ノードの制御やバスのリソース管理のための種々の機能を提供する。

【0033】

トランザクション層は、上位層にトランザクション単位のインターフェース (サービス) を提供し、下層のリンク層が提供するインターフェースを通して、リードトランザクション、ライトトランザクション、ロックトランザクション等のトランザクションを実施する。

【0034】

ここで、リードトランザクションでは、応答ノードから要求ノードにデータが転送される

10

20

30

40

50

。一方、ライトトランザクションでは、要求ノードから応答ノードにデータが転送される。またロックトランザクションでは、要求ノードから応答ノードにデータが転送され、応答ノードがそのデータに処理を施して要求ノードに返信する。

【 0 0 3 5 】

リンク層は、アドレッシング、データチェック、パケット送受信のためのデータフレーミング、アイソクロナス転送のためのサイクル制御などを提供する。

【 0 0 3 6 】

物理層は、リンク層により使用されるロジカルシンボルの電気信号への変換や、バスの調停や、バスの物理的インターフェースを提供する。

【 0 0 3 7 】

1 . 3 S B P -2

さて、図 2 に示すように、I E E E 1 3 9 4 のトランザクション層の一部の機能を含む上位のプロトコルとして、S B P -2 (Serial Bus Protocol-2) と呼ばれるプロトコルが提案されている。

【 0 0 3 8 】

ここで S B P -2 は、S C S I のコマンドセットを I E E E 1 3 9 4 のプロトコル上で利用可能にするために提案されたものである。この S B P -2 を用いれば、既存の S C S I 規格の電子機器で使用されていた S C S I のコマンドセットに最小限の変更を加えて、I E E E 1 3 9 4 規格の電子機器に使用できるようになる。従って、電子機器の設計や開発を容易化できる。また、S C S I のコマンドだけではなく、デバイス固有のコマンドもカプセル化して利用できるように、非常に汎用性が高い。

【 0 0 3 9 】

図 3 に示すように S B P -2 では、まず、イニシエータ (例えばパーソナルコンピュータ) により作成されたログイン O R B (Operation Request Block) を用いてログイン処理が行われる (ステップ T 1)。次に、ダミー O R B を用いてフェッチエージェントの初期化が行われる (ステップ T 2)。そして、ノーマルコマンド O R B を用いてコマンド処理が行われ (ステップ T 3)、最後に、ログアウト O R B を用いてログアウト処理が行われる (ステップ T 4)。

【 0 0 4 0 】

ステップ T 3 のコマンド処理においては、図 4 の A 1 に示すように、イニシエータがライト要求パケットを転送して (ライト要求トランザクションを発行して)、ターゲットのドアベルレジスタをリングする。すると、A 2 に示すように、ターゲットがリード要求パケットを転送し、イニシエータが対応するリード応答パケットを返す。これにより、イニシエータが作成した O R B (ノーマルコマンド O R B) が、ターゲットのデータバッファにフェッチされる。そして、ターゲットは、フェッチされた O R B に含まれるコマンドを解析する。

【 0 0 4 1 】

そして、O R B に含まれるコマンドが S C S I のリードコマンドであった場合には、A 3 に示すように、ターゲットは、一連のライト要求パケットをイニシエータに転送する。これにより、例えばターゲットのメディア (C D - R W) から読み出されたデータ (ストリーム) が、イニシエータのデータバッファに転送されることになる。

【 0 0 4 2 】

一方、O R B に含まれるコマンドが S C S I のライトコマンドであった場合には、図 5 の B 1 に示すように、ターゲットがリード要求パケットをイニシエータに転送し、イニシエータが対応するリード応答パケットを返す。これにより、イニシエータのデータバッファに格納されているデータ (ストリーム) がターゲットに転送され、ターゲットのメディアに書き込まれることになる (ターゲットがプリンタの場合には印刷される)。

【 0 0 4 3 】

この S B P -2 によれば、ターゲットは、自身が都合の良いときに要求パケットを転送して (トランザクションを発行して)、データを送受信できる。従って、イニシエータとター

10

20

30

40

50



ゲットが同期して動く必要がなくなるため、データ転送効率を高めることができる。

【 0 0 4 4 】

なお、I E E E 1 3 9 4 の上位プロトコルとしては、S B P -2以外にも、F C P ( Function Control Protocol ) と呼ばれるプロトコルなども提案されている。

【 0 0 4 5 】

さて、ターゲット、イニシエータ間でデータ転送を行う場合、図 6 ( A ) のようにイニシエータ ( 相手ノード ) のデータバッファ ( 記憶手段 ) にページテーブルが存在する場合と、存在しない場合がある。

【 0 0 4 6 】

そして、ページテーブルが存在する場合には、図 6 ( B ) に示すように、イニシエータが作成した O R B の中には、そのページテーブルのアドレスやエレメント数が含まれる。そして、転送データのアドレス ( 読み出しアドレス、書き込みアドレス ) は、このページテーブルを用いて間接アドレス指定される。

【 0 0 4 7 】

一方、ページテーブルが存在しない場合には、図 6 ( C ) に示すように、O R B の中にはアドレスとデータ長が含まれ、転送データのアドレスが直接アドレス指定される。

【 0 0 4 8 】

## 2 . 全体構成

次に、本実施形態のデータ転送制御装置の全体構成の例について図 7 を用いて説明する。

【 0 0 4 9 】

図 7 において、P H Y インターフェース 1 0 は、P H Y デバイス ( 物理層のデバイス ) とのインターフェースを行う回路である。

【 0 0 5 0 】

リンクコア 2 0 ( リンク手段 ) は、リンク層のプロトコルやトランザクション層のプロトコルの一部をハードウェアにより実現する回路であり、ノード間でのパケット転送のための各種サービスを提供する。レジスタ 2 2 は、リンクコア 2 0 を制御するためのレジスタである。

【 0 0 5 1 】

F I F O ( Asynchronous Transmission Fifo ) 3 0、F I F O ( Isochronous Transmission Fifo ) 3 2、F I F O ( Reception Fifo ) 3 4 は、各々、非同期送信用、アイソクロナス送信用、受信用の F I F O であり、例えばレジスタや半導体メモリなどのハードウェアにより構成される。本実施形態では、これらの F I F O 3 0、3 2、3 4 の段数は非常に少ない。例えば 1 つの F I F O の段数は、好ましくは 3 段以下であり、更に好ましくは 2 段以下となる。

【 0 0 5 2 】

D M A C 4 0 ( 読み出し手段 )、D M A C 4 2 ( 読み出し手段 )、D M A C 4 4 ( 書き込み手段 ) は、各々、A T F 用、I T F 用、R F 用の D M A コントローラである。これらの D M A C 4 0、4 2、4 4 を用いることで、C P U 6 6 に介入されることなく、R A M 8 0 とリンクコア 2 0 との間でのデータ転送が可能になる。なお、レジスタ 4 6 は、D M A C 4 0、4 2、4 4 など制御するためのレジスタである。

【 0 0 5 3 】

ポートインターフェース 5 0 は、アプリケーション層のデバイス ( 例えばプリンタの印字処理を行うデバイス ) とのインターフェースを行う回路である。

【 0 0 5 4 】

F I F O ( P F ) 5 2 は、アプリケーション層のデバイスとの間でのデータ転送のための F I F O であり、D M A C 5 4 は、P F 用の D M A コントローラである。レジスタ 5 6 は、ポートインターフェース 5 0 や D M A C 5 4 を制御するレジスタである。

【 0 0 5 5 】

S B P -2 コア 8 4 ( 転送実行回路 ) は、S B P -2 のプロトコルの一部やトランザクション層の一部をハードウェアにより実現する回路である。この S B P -2 コア 8 4 の機能により

10

20

30

40

50

、転送データを一連のパケットに分割し、分割された一連のパケットを連続転送する処理が可能になる。なお、レジスタ88は、SBP-2コア84を制御するためのレジスタであり、DMAC(SBP-2用)86は、SBP-2コア84用のDMACコントローラである。

【0056】

RAM領域管理回路300は、RAM80の各領域を管理するための回路である。RAM領域管理回路300は、RAM80の各領域がフルになったり、エンプティになった場合に、各種のフル信号、エンプティ信号を用いてDMAC40、42、44、54、86を制御する。

【0057】

CPUインターフェース60は、データ転送制御装置をコントロールするCPU66(処理手段)とのインターフェースを行う回路である。CPUインターフェース60は、アドレスデコーダ62、データ同期化回路63、割り込みコントローラ64を含む。クロック制御回路68は、本実施形態で使用されるクロックを制御するものであり、PHYデバイス(PHYチップ)から送られてくるSCLK(データ転送制御装置のシステムクロック)や、HCLK(CPU66の動作クロック)が入力される。

【0058】

バッファマネージャ70は、RAM80とのインターフェースを管理する回路である。バッファマネージャ70は、バッファマネージャの制御のためのレジスタ72、RAM80へのバス接続を調停する調停回路74、各種の制御信号を生成するシーケンサ76を含む。

【0059】

RAM80は、ランダムアクセス可能なパケット記憶手段として機能するものであり、その機能は例えばSRAM、SDRAM、DRAMなどにより実現される。

【0060】

なおRAM80は、本実施形態のデータ転送制御装置に内蔵させることが特に望ましいが、その一部又は全部を外付けにすることも可能である。

【0061】

図8に、RAM80のメモリマップの一例を示す。図8に示すように本実施形態では、RAM80が、ヘッダ領域(AR2、AR3、AR4、AR6)とデータ領域(AR5、AR7、AR8、AR9)に分離されている。そして、パケットのヘッダ(広義には制御情報)はヘッダ領域に格納され、パケットのデータ(ORB、ストリーム)はデータ領域に格納される。

【0062】

また本実施形態では、図8に示すように、RAM80のデータ領域(AR5、AR7、AR8、AR9)が、ORB領域(AR5、AR7)とストリーム領域(AR8、AR9)に分離されている。

【0063】

更に本実施形態では、RAM80が、受信領域(AR2、AR4、AR5、AR9)と送信領域(AR3、AR6、AR7、AR8)に分離されている。

【0064】

なお、ORB(第1の層用の第1のデータ)は、上述したようにSBP-2用のデータ(コマンド)である。一方、ストリーム(第1の層より上層の第2の層用の第2のデータ)は、アプリケーション層用のデータ(プリンタの印字データ、CD-RWの読み出し・書き込みデータ、スキャナによる取り込み画像データ等)である。

【0065】

また、AR1、AR2、AR3に示すHW(ハードウェア)用ページテーブル領域、HW用受信ヘッダ領域、HW用送信ヘッダ領域は、図7に示すSBP-2コア84が、ページテーブルや受信ヘッダや送信ヘッダを書き込んだり読み出したりするための領域である。

【0066】

なお、図8においてAR4、AR5、AR8、AR9に示す領域は、いわゆるリングバッ

10

20

30

40

50

ファ構造になっている。

【0067】

さて、図7のバス90（或いはバス92、94）は、アプリケーションに接続されるものである（第1のバス）。またバス95（或いはバス96）はデータ転送制御装置をコントロールし、或いはデータをリード・ライトするためのものであり、データ転送制御装置をコントロールするデバイス（例えばCPU）に電氣的に接続される（第2のバス）。またバス100（或いはバス102、104、105、106、107、108、109）は、物理層のデバイス（PHYデバイス）に電氣的に接続されるものである（第3のバス）。また、バス110は、ランダムアクセス可能な記憶手段であるRAM80に電氣的に接続されるものである（第4のバス）。またバス99は、SBP-2コア84がハードウェアによりSBP-2を実現するためのヘッダ情報やページテーブル情報をリード・ライトするためのものである（第5のバス）。

10

【0068】

バッファマネージャ70の調停回路74は、DMAC40、42、44、CPUインターフェース60、DMAC86、54からのバスアクセス要求の調停を行う。そして、この調停結果に基づいて、各々、バス105、107、109、96、99、94のいずれかと、RAM80のバス110との間にデータの経路が確立される（第1、第2、第3、第5のバスのいずれかと第4のバスとの間にデータ経路が確立される）。

【0069】

本実施形態の1つの特徴は、ランダムアクセスが可能でありパケットを格納するRAM80を設けると共に、互いに分離されるバス90、95、99、100と、これらのバスをRAM80のバス110に接続するための調停回路74とを設けた点にある。

20

【0070】

このようにすることで図9に示すように、データ転送制御装置120、アプリケーション層のデバイス124間のバス90と、CPUバス96と、データ転送制御装置120、RAM80間のバス110とを分離できる。従って、CPUバス96をデータ転送の制御のみに使用できるようになる。また、バス90を占有して、データ転送制御装置120、アプリケーション層のデバイス124間でデータ転送を行うことができるようになる。例えば、データ転送制御装置120が組み込まれる電子機器がプリンタである場合には、バス90を占有して印字データを転送できるようになる。この結果、CPU66の処理負担を軽減でき、システム全体の実転送速度を高めることができる。またCPU66として安価なものを採用できると共に、CPUバス96として高速なバスを使用する必要性がなくなる。このため、電子機器の低コスト化、小規模化を図れるようになる。

30

【0071】

3. SBP-2コア（転送実行回路）の構成

図10に、図7のSBP-2コア84の構成例を示す。SBP-2コア84は、転送データを一連のパケットに自動的に分割し、分割された一連のパケットを連続転送するための回路であり、主に図4のA3、図5のB1に示すパケット転送をハードウェアにより実行する。

【0072】

メイン制御回路200は、SBP-2コア84の全体を制御するための回路であり、レジスタ202、204、206、208を含む。

40

【0073】

ここで、レジスタ202、204、206は、各々、データ転送（ハードウェアSBP-2処理）のスタートコマンド、ポーズコマンド、レジュームコマンドをファームウェア（CPU）が発行するためのレジスタである。即ち、ファームウェアがレジスタ202に1を書き込むと、転送データを一連のパケットに分割して連続転送する処理が開始する。そして、この転送処理中に、ファームウェアがレジスタ204に1を書き込むと、データ転送処理がポーズされ、レジスタ206に1を書き込むと、ポーズされていたデータ転送処理が再開される。

50

## 【 0 0 7 4 】

レジスタ 2 0 8 は、ページテーブルの存在、不存在を設定するためのレジスタである。即ち、ファームウェアは、イニシエータからの O R B を解析し、イニシエータのデータバッファにページテーブルが存在しないと判断した場合には、レジスタ 2 0 8 に 1 を書き込む。一方、存在すると判断した場合（図 6（A）の場合）には、レジスタ 2 0 8 に 0 を書き込む。

## 【 0 0 7 5 】

ページテーブルフェッチ回路 2 1 0 は、イニシエータ（相手ノード）のデータバッファ（記憶手段）にページテーブルが存在する場合に、そのページテーブルをイニシエータからフェッチするための処理を行う回路である。より具体的には、ページテーブルフェッチ回路 2 1 0 は、送信ヘッダ生成回路 2 6 0 にページテーブルのフェッチを指示し、フェッチが完了すると、ページテーブルアドレスやページテーブルサイズの更新をページテーブル生成回路 2 2 0 に指示する。

10

## 【 0 0 7 6 】

ページテーブル生成回路 2 2 0 は、イニシエータのデータバッファにページテーブルが存在しない場合に、仮想的なページテーブルを生成する回路である。より具体的には、メイン制御回路 2 0 0 からページテーブルの生成が指示されると、後述するアルゴリズムにしたがってページテーブルを生成する。そして、生成されたページテーブルを、エレメント保持回路 2 3 0 やバッファインターフェース 2 9 0 を介して R A M の H W 用ページテーブル領域に書き込むための処理を行う。

20

## 【 0 0 7 7 】

なお、ページテーブルが存在するか否かは、前述のように、レジスタ 2 0 8 の設定値に基づき判断される。また、ページテーブルフェッチ回路 2 1 0、ページテーブル生成回路 2 2 0 によりフェッチ又は生成されたページテーブルは、R A M の H W 用ページテーブル領域（図 8 の A R 1）に格納される。

## 【 0 0 7 8 】

ページテーブル生成回路 2 2 0 が含むレジスタ 2 2 2 には、イニシエータからの O R B により指定されたページ境界サイズが設定される。またレジスタ 2 2 4、2 2 6 には、ページテーブルが存在する場合には、O R B により指定されたページテーブルアドレス、ページテーブルサイズ（エレメント数）が設定される（図 6（B）参照）。一方、ページテーブルが存在しない場合には、転送データの先頭アドレスとデータ長が設定される（図 6（C）参照）。またエレメントカウンタ 2 2 8 は、ページテーブルの生成の際に、ページテーブルのエレメント数（エレメントポインタ）をカウントする処理を行う。

30

## 【 0 0 7 9 】

なお、レジスタ 2 2 6 は、ページテーブルが存在し、ページテーブルがフェッチされた場合には、フェッチされたページテーブルのサイズをファームウェアのリード時にバイト単位（エレメント数 × 8 バイト）で表示する。一方、ページテーブルが存在せず、ページテーブルが生成された場合には、生成されたページテーブルのサイズをファームウェアのリード時にバイト単位（エレメント数 × 8 バイト）で表示する。

## 【 0 0 8 0 】

このように本実施形態では、ページテーブルをフェッチした場合にもページテーブルを生成した場合にも、レジスタ 2 2 6 がページテーブルサイズを同じバイト単位で表示する。従って、ファームウェアや、転送実行制御回路 2 4 0 などの他の回路ブロックは、ページテーブルがフェッチされたのか或いは生成されたのかを意識することなく、このレジスタ 2 2 6 に格納されたページテーブルサイズを用いて所望の処理を行うことができるようになる。従って、処理の簡素化やハードウェアの小規模化を図れる。

40

## 【 0 0 8 1 】

エレメント保持回路 2 3 0 は、S B P -2 コアの処理対象となるページテーブルエレメントの情報を保持する回路であり、ページテーブルエレメントのセグメント長を保持するレジスタ 2 3 2 と、セグメントオフセットアドレスを保持するレジスタ 2 3 4 を含む。

50

## 【 0 0 8 2 】

転送実行制御回路 2 4 0 は、S B P -2コアによるデータ転送（ストリーム転送）の実行を制御する回路であり、レジスタ 2 4 2、2 4 4 を含む。そして、レジスタ 2 4 2 は、現在処理中のページテーブルエレメントの番号を表示する。またレジスタ 2 4 4 には、データ転送を開始するページテーブルエレメントの番号が、ファームウェアにより設定される。これにより、ファームウェアは任意のページテーブルエレメントからのデータ転送を開始できるようになる。

## 【 0 0 8 3 】

なお、転送実行制御回路 2 4 0 は、レジスタ 2 2 6 のページテーブルサイズを 8 で除算することで得られるエレメント数と、レジスタ 2 4 2 のカレントエレメント番号を比較することで、全てのページテーブルエレメントの処理が終了したか否かを判断する。例えば 2 4 ページのページテーブルがフェッチされた場合には、カレントエレメント番号が 2 4 になったところで処理を終了し、3 ページのページテーブルが生成された場合には、カレントエレメント番号が 3 になったところで処理を終了する。

10

## 【 0 0 8 4 】

ペイロード分割回路 2 5 0 は、転送データを、ペイロードサイズの packets に分割する処理を行う。ペイロード分割回路 2 5 0 が含むレジスタ 2 5 2 には、O R B により指定された最大ペイロードサイズが設定される。またレジスタ 2 5 4 は、実際のペイロードサイズを表示する。ペイロード分割回路 2 5 0 は、R A M の H W ページテーブル領域（図 8 の A R 1）から読み出されてレジスタ 2 3 2 に保持されるページテーブルエレメントのセグメント長と、レジスタ 2 5 2 に設定された最大ペイロードサイズとに基づいて、ペイロード分割処理を行うことになる。

20

## 【 0 0 8 5 】

送信ヘッダ生成回路 2 6 0 は、ファームウェアにより設定されたスピードコードやデステイネーション I D などに基づいて、図 4 の A 3、図 5 の B 1 の各要求パケットのヘッダを生成する処理を行う。そして、生成されたヘッダは、R A M の H W 用送信ヘッダ領域（図 8 の A R 3）に格納される。このように本実施形態では、連続転送される一連の要求パケットのヘッダがハードウェアにより自動生成されるため、ファームウェアの処理負担を大幅に軽減できる。

## 【 0 0 8 6 】

トランザクション制御回路 2 7 0 は、リンクコアなどの外部の回路ブロックからのエラー情報やステータス情報を受け、トランザクションの実行のための種々の処理を行う。そして、トランザクションの実行が完了すると、トランザクション完了信号 T C o m p をアクティブにして、ページテーブルフェッチ回路 2 1 0 やペイロード分割回路 2 5 0 に知らせる。このように本実施形態の S B P -2コアは、パケット単位ではなく、トランザクション単位でデータ転送処理を管理している。

30

## 【 0 0 8 7 】

スプリットタイム 2 8 0 は、トランザクションの開始時にスプリットタイムをロードし、カウントダウンを開始する。そして、カウント値が 0 になったら、タイムアウトになったことをトランザクション制御回路 2 7 0 に伝える。

40

## 【 0 0 8 8 】

バッファインターフェース 2 9 0 は、図 7 のバッファマネージャ 7 0 とのインターフェースとして機能する回路である。S B P -2コア 8 4 の各ブロックは、このバッファインターフェース 2 9 0 を介して、バッファマネージャ 7 0 に対して R A M 8 0 へのアクセスを要求することになる。

## 【 0 0 8 9 】

## 3 . 1 メイン制御回路

次に、メイン制御回路 2 0 0 の動作について図 1 1 のフローチャートを用いて説明する。

## 【 0 0 9 0 】

まず、H W 用ページテーブル領域に既に格納されているページテーブルを使用するか否か

50

を判断し(ステップS1)、使用する場合にはステップS5に、使用しない場合にはステップS2に移行する。既にHW用ページテーブル領域に格納されているページテーブルを使用するか否かの設定は、ファームウェアが所与のレジスタに所与の設定値を書き込むことで実現される。

【0091】

次に、図10のレジスタ208の設定値に基づき、イニシエータのデータバッファにページテーブルが存在するか否かを判断する(ステップS2)。そして、存在する場合には、ページテーブルフェッチ回路210に対して、ページテーブルのフェッチ処理の開始を指示する(ステップS3)。一方、存在しない場合には、ページテーブル生成回路220に対して、ページテーブルの生成処理の開始を指示する(ステップS4)。

10

【0092】

そして、ページテーブルのフェッチ又は生成処理が完了すると、転送実行制御回路240に対して、転送実行処理(ストリームデータタスク)の開始を指示する(ステップS5)。

【0093】

### 3.2 ページテーブルフェッチ回路

次に、ページテーブルフェッチ回路210の動作について図12のフローチャートを用いて説明する。

【0094】

まず、ページテーブルアドレスやページテーブルサイズ(エレメント数)などの、ページテーブルのフェッチに必要な引数を準備する(ステップS11)。次に、送信ヘッダ生成回路260に対してトランザクション実行の開始を指示する(ステップS12)。そして、信号TCOMPによりトランザクションの完了が知らされると、ページテーブル生成回路220に対して、ページテーブルアドレスの更新を指示する(ステップS13)。

20

【0095】

次に、メイン制御回路200からの信号Pauseに基づいて、ポーズが指示されたか否かを判断する(ステップS14)。即ち、ファームウェアがポーズコマンドを発行してレジスタ204に1を書き込むと、信号Pauseがアクティブになり、ポーズが指示される。そして、ファームウェアがレジュームコマンドを発行してレジスタ206に1を書き込むと、信号Pauseが非アクティブになり、ポーズが解除されて、データ転送処理がレジュームされる(ステップS15)。

30

【0096】

### 3.3 ページテーブル生成回路

ページテーブル生成回路220は、イニシエータのデータバッファにページテーブルが存在しない場合に、仮想的なページテーブルを生成する回路であり、生成されたページテーブルは、RAMのHW用ページテーブル領域に格納される。そして、イニシエータのデータバッファにページテーブルが存在しない場合にも、この生成された仮想的なページテーブルに基づいて、転送データを各ページ境界を越えないパケットに分割して転送する処理が行われるようになる。

【0097】

例えば図13に示すように、転送データの先頭アドレスSAがページ境界PB0、PB1間にあり、終了アドレスEAがページ境界PB4、PB5間にあったとする。この場合に、本実施形態のページテーブル生成回路220は、ページ境界PB1、PB4間(第K、第Lのページ境界間)のページテーブルのエレメント数が、1(広義には所定数)となる仮想的なページテーブルを生成する。

40

【0098】

より具体的には、先頭アドレスSAとページ境界PB1間がX種のページテーブルエレメント(第1のページテーブルエレメント)になり、ページ境界PB1、PB4間がY種のページテーブルエレメント(第2のページテーブルエレメント)になり、ページ境界PB4と終了アドレスEA間がZ種のページテーブルエレメント(第3のページテーブルエレ

50

メント)になる3ページのページテーブルを生成する。

【0099】

但し、図14(A)のように転送データの先頭アドレスSAがページ境界PB1(第Kのページ境界)上にある場合には、X種のページテーブルエレメントは生成されず、2ページのページテーブルになる。また、図14(B)のように転送データの終了アドレスEAがページ境界PB4(第Lのページ境界)上にある場合には、Z種のページテーブルエレメントは生成されず、2ページのページテーブルになる。更に図14(C)のように、転送データの先頭アドレスSAがページ境界PB0、PB1間にあり、終了アドレスEAがページ境界PB0、PB1間又はPB1上にある場合には、SA、EA間がX種のページテーブルエレメントとなる1ページのページテーブルが生成される。

10

【0100】

また本実施形態では、図10のペイロード分割回路250が、最大ペイロードサイズがページ境界サイズの約数となるペイロードサイズの packets に、転送データを分割している。即ち図15において、最大ペイロードサイズMaxPLSがページ境界サイズPBSの約数となるようなパケット分割が行われる。

【0101】

このように、最大ペイロードサイズMaxPLSをページ境界サイズPBSの約数にすれば、例えば図15のC1やC2に示すように、ページ境界PB2やPB3においてパケットのペイロードがページ境界をまたがないようになる。従って、本実施形態のようにPB1、PB4間のページテーブルエレメント数が1となるようなページテーブルを生成した場合にも、ページ境界を越えないという制約を遵守しながらデータ転送を行えるようになる。

20

【0102】

次に、ページテーブル生成回路220の動作について図16、図17のフローチャートを用いて詳細に説明する。

【0103】

まず、図10のエレメントカウンタ228のカウンタ値(エレメントポインタ)を初期化する(ステップS21)。本実施形態では、エレメントカウンタ228のカウンタ値の範囲は0~2となっており、初期化によりカウンタ値は0になる。

【0104】

次に、先頭アドレスがページ境界上にあるか否かを判断する(ステップS22)。より具体的には、ORBにより直接アドレス指定される転送データの先頭アドレス(図6(C)参照)の下位ビット0~M(Mはページ境界サイズにより決まる値)が0か否かを判断する。そして、下位ビット0~Mが全て0の場合には先頭アドレスがページ境界上にあると判断して図17のステップS30に移行する。一方、下位ビット0~Mに0でないビットが1つでもあれば、先頭アドレスがページ境界上にないと判断してステップS23に移行する。

30

【0105】

先頭アドレスがページ境界上になく、ステップS23に移行した場合には、ページテーブルサイズPTSと、先頭アドレスから次のページ境界までのサイズDSとを比較する。例えば、図18(A)、(B)では、ページテーブルサイズPTSが、先頭アドレスSAから次のページ境界PB1までのサイズDSよりも大きく、この場合にはステップS24に移行してX種のページテーブルエレメントを生成する。そして、このページテーブルエレメントをRAMのHW用ページテーブル領域(図8のAR1)に書き込む処理を行う(ステップS25)。より具体的には、先頭アドレスSAからページ境界PB1までのサイズDSを図10のセグメント長のレジスタ232に書き込み、先頭アドレスSAをセグメントオフセットアドレスのレジスタ234に書き込む。そして、これらのレジスタ232、234の値をRAMのHW用ページテーブル領域に書き込むように、バッファインターフェース290に指示する。

40

【0106】

50

次に、先頭アドレス  $S A$ 、ページテーブルサイズ  $P T S$ 、エレメントカウンタ  $228$  のカウント値を更新する（ステップ  $S 26$ ）。即ち図  $18 (D)$ 、 $(E)$  に示すように、先頭アドレス  $S A$  が、ページ境界  $P B 1$  上のアドレス  $S A'$  ( $S A' = S A + D S$ ) に更新され、ページテーブルサイズ  $P T S$  が、ページ境界  $P B 1$ 、終了アドレス  $E A$  間のサイズ  $P T S'$  ( $P T S' = P T S - D S$ ) に更新される。またエレメントカウンタ  $228$  のカウント値は  $+1$  されて  $1$  になる。そして、先頭アドレスがページ境界上にあった場合の移行先である図  $17$  のステップ  $30$  に移行する。

【0107】

以上のように本実施形態では、図  $18 (A)$ 、 $(B)$  のように先頭アドレス  $S A$  がページ境界  $P B 0$ 、 $P B 1$  間にあり、終了アドレス  $E A$  が  $P B 1$  よりも後ろにある場合には、 $S A$ 、 $P B 1$  間を  $X$  種のページテーブルエレメントにすると共に、次ページエレメント以降については、 $S A$  が  $P B 1$  上にあったものとしてステップ  $S 30$  以降の処理を行う。このようにすることで、先頭アドレス  $S A$  がページ境界  $P B 1$  上にあった場合となかった場合とで、ステップ  $S 30$  以降の処理を共通化できるようになる。これにより、処理の簡素化、ハードウェアの小規模化を図れる。

【0108】

ステップ  $S 23$  で  $P T S < D S$  と判断され、ステップ  $S 27$  に移行した場合には、図  $18 (C)$  に示すように  $X$  種のページテーブルエレメントを生成する。そして、生成されたページテーブルエレメント（セグメント長、セグメントオフセットアドレス）の書き込み処理、及び、先頭アドレス  $S A$ 、ページテーブルサイズ  $P T S$ 、エレメントカウンタ  $228$  のカウント値の更新処理が行われる（ステップ  $S 28$ 、 $S 29$ ）。そして、この場合には図  $18 (C)$  のように  $1$  ページの  $X$  種のページテーブルエレメントだけが生成されて、図  $17$  のステップ  $S 38$  に移行する。

【0109】

図  $17$  のステップ  $S 30$  に移行した場合には、ページテーブルサイズ  $P T S$ （上位ビット  $M+1 \sim N$ ）とページ境界サイズ  $P B S$  を比較する。そして、図  $19 (A)$  のように  $P T S < P B S$  の場合にはステップ  $S 35$  に移行する。一方、図  $19 (B)$ 、 $(C)$ 、 $(D)$  のように  $P T S \geq P B S$  の場合には、ステップ  $S 31$  に移行する。

【0110】

ステップ  $S 31$  に移行した場合には、図  $19 (B)$ 、 $(C)$ 、 $(D)$  に示すように  $Y$  種のページテーブルエレメントを生成する。そして、このページテーブルエレメントを  $R A M$  の  $H W$  用ページテーブル領域に書き込む処理を行う（ステップ  $S 32$ ）。より具体的には、ページテーブルサイズ  $P T S$  の上位ビット  $M+1 \sim N$  を図  $10$  のセグメント長のレジスタ  $232$  に書き込み、先頭アドレス  $S A$  をセグメントオフセットアドレスのレジスタ  $234$  に書き込む。そして、これらのレジスタ  $232$ 、 $234$  の値を  $R A M$  の  $H W$  用ページテーブル領域に書き込むように、バッファインターフェース  $290$  に指示する。

【0111】

なお、セグメント長として書き込まれるページテーブルサイズ  $P T S$  の上位ビット  $M+1 \sim N$  は、図  $19 (B)$  では  $S A$ 、 $P B 2$  間のサイズ、図  $19 (C)$ 、 $(D)$  では  $S A$ 、 $P B 3$  間のサイズに相当する。

【0112】

次に、先頭アドレス  $S A$ 、ページテーブルサイズ  $P T S$ 、エレメントカウンタ  $228$  のカウント値を更新する（ステップ  $S 33$ ）。即ち図  $19 (B)$  の場合には、図  $20 (A)$  に示すように、 $S A$  が  $P B 2$  上のアドレス  $S A'$  に更新され、 $P T S$  が  $P B 2$ 、 $E A$  間のサイズ  $P T S'$  に更新される。また図  $19 (D)$  の場合には、図  $20 (B)$  に示すように、 $S A$  が  $P B 3$  上のアドレス  $S A'$  に更新され、 $P T S$  が  $P B 3$ 、 $E A$  間のサイズ  $P T S'$  に更新される。またエレメントカウンタ  $228$  のカウント値は  $+1$  されて  $2$  になる。

【0113】

次に、更新後のページテーブルサイズが  $0$  になったか否かを判断する（ステップ  $S 34$ ）。そして、例えば図  $19 (B)$ 、 $(D)$  の場合には、図  $20 (A)$ 、 $(B)$  に示すように

10

20

30

40

50



、更新後のページテーブルサイズ  $P T S'$  が 0 でないため、ステップ S 3 5 に移行する。一方、図 1 9 ( C ) の場合には、更新後のページテーブルサイズが 0 になるため、ステップ S 3 8 に移行する。

【 0 1 1 4 】

ステップ S 3 5 に移行した場合には、図 2 0 ( A )、( B ) に示すように Z 種のページテーブルエレメントを生成する。そして、生成されたページテーブルエレメントの書き込み処理、及び、先頭アドレス  $S A$ 、ページテーブルサイズ  $P T S$ 、エレメントカウンタ 2 2 8 のカウント値の更新処理が行われる (ステップ S 3 6、S 3 7)。

【 0 1 1 5 】

次に、メイン制御回路 2 0 0 からの信号  $P a u s e$  に基づいて、処理をポーズするか否かを判断し (ステップ S 3 8)、ポーズされた場合には、信号  $P a u s e$  に基づいて、処理をレジュームするか否かを判断する (ステップ S 3 9)。即ち、 $P a u s e$  がアクティブになると処理をポーズし、 $P a u s e$  が非アクティブになると処理をレジュームする。

【 0 1 1 6 】

### 3 . 4 転送実行 (ストリームタスク) 制御回路

次に、転送実行制御回路 2 4 0 の動作について図 2 1 のフローチャートを用いて説明する。

【 0 1 1 7 】

まず、図 1 0 のカレントエレメント番号のレジスタ 2 4 2 に、レジスタ 2 4 4 のスタートエレメント番号をロードする (ステップ S 4 0)。そして、カレントエレメント番号のページテーブルエレメントを、RAM の HW 用ページテーブル領域から読み出す処理を行う (ステップ S 4 1)。より具体的には、転送実行制御回路 2 4 0 は、処理対象となるページテーブルエレメントの読み出しをバッファインターフェース 2 9 0 に指示する。すると、バッファインターフェース 2 9 0 は、処理対象となるページテーブルエレメントを RAM の HW 用ページテーブル領域から読み出し、ページテーブルエレメントのセグメント長をレジスタ 2 3 2 に、セグメントオフセットアドレスをレジスタ 2 3 4 に書き込む。

【 0 1 1 8 】

次に、ペイロード分割回路 2 5 0 に対してペイロード分割処理の開始を指示する (ステップ S 4 2)。

【 0 1 1 9 】

次に、現在のページテーブルエレメントの処理を終了したか否かを判断し (ステップ S 4 3)、終了していない場合にはステップ S 4 2 に戻る。一方、終了した場合には、全てのページテーブルエレメントの処理を終了したか否かを判断し (ステップ S 4 4)、終了していない場合には、カレントエレメント番号を + 1 して (ステップ S 4 5)、ステップ S 4 1 に戻る。

【 0 1 2 0 】

なお、全てのページテーブルエレメントの処理を終了したか否かは、レジスタ 2 2 6 のページテーブルサイズを 8 で除算することで得られるエレメント数と、カレントエレメント番号とを比較することで判断する。

【 0 1 2 1 】

### 3 . 5 ペイロード分割回路

次に、ペイロード分割回路 2 5 0 の動作について図 2 2 のフローチャートを用いて説明する。ペイロード分割回路 2 5 0 は、図 1 5 に示すようにペイロードサイズの packets に転送データを分割する処理を行うものである。

【 0 1 2 2 】

まず、図 1 0 のレジスタ 2 3 2 に格納されるページテーブルエレメントのセグメント長の残りバイト数が、最大ペイロードサイズ以上になっているか否かを判断する (ステップ S 5 1)。そして、残りバイト数が最大ペイロードサイズ以上になっている場合には、packets のペイロードサイズを最大ペイロードサイズに設定する (ステップ S 5 2)。一方、図 1 5 の C 3 や C 4 に示すように、残りバイト数が最大ペイロードサイズよりも小さくな

10

20

30

40

50

っている場合には、パケットのペイロードサイズを残りバイト数に設定する（ステップ S 5 3）。

【 0 1 2 3 】

なお、本実施形態では図 1 5 で説明したように、最大ペイロードサイズ M a x P L S がページ境界サイズ P B S の約数になっている。従って、図 2 2 に示す処理によって Y 種のページテーブルエレメントの転送データを最大ペイロードサイズ M a x P L S のパケットに分割していった場合にも、図 1 5 の C 1 や C 2 に示すように、パケットのペイロードがページ境界 P B 2、P B 3 をまたがないようになる。

【 0 1 2 4 】

ペイロードサイズの設定後、トランザクションの実行処理の開始（送信ヘッダの生成）を送信ヘッダ生成回路 2 6 0 に指示する（ステップ S 5 4）。そして、トランザクション制御回路 2 7 0 からの信号 T C o m p によりトランザクションの完了が知らされると、エレメント保持回路 2 3 0 に対して、レジスタ 2 3 2、2 3 4 に格納されているページテーブルエレメントのセグメント長（残りバイト数）、セグメントオフセットアドレス（先頭アドレス）の更新を指示する（ステップ S 5 5）。

10

【 0 1 2 5 】

次に、メイン制御回路 2 0 0 からの信号 P a u s e に基づいて、処理をポーズするか否かを判断し（ステップ S 5 6）、ポーズされた場合には、信号 P a u s e が非アクティブになったことを条件に、処理をレジュームする（ステップ S 5 7）。

【 0 1 2 6 】

3 . 6 送信ヘッダ生成回路、トランザクション制御回路

次に、送信ヘッダ生成回路 2 6 0、トランザクション制御回路 2 7 0 の動作について図 2 3 のフローチャートを用いて説明する。

20

【 0 1 2 7 】

まず、要求パケットのヘッダを生成し、HW用送信ヘッダ領域（図 8 の A R 3）に書き込む（ステップ S 6 1）。より具体的には、図 4 の A 3 のようにイニシエータにデータを送信する場合には、ライト要求（ブロックライト要求）パケットのヘッダをHW用送信ヘッダ領域に書き込む。一方、図 5 の B 1 のようにイニシエータからデータを受信する場合や、図 1 2 のようにページテーブルをフェッチする場合には、リード要求パケットのヘッダをHW用送信ヘッダ領域に書き込む。

30

【 0 1 2 8 】

次に、転送の開始信号（H W S t a r t）をアクティブにして転送の開始を指示し（ステップ S 6 2）、イニシエータからの A C K の受信を待つ（ステップ S 6 3）。

【 0 1 2 9 】

次に、送信パケットがリード要求パケットであった場合には、A C K ペンディングか否かを判断し（ステップ S 6 5）、A C K ペンディングでない場合にはステップ S 7 2 に移行してエラーポーズ状態にする。一方、A C K ペンディングの場合には、スプリットタイマの起動を指示して（ステップ S 6 6）、応答パケットの受信を待つ（ステップ S 6 7）。

【 0 1 3 0 】

次に、応答パケットの受信がパーフェクトであったか否かを判断し（ステップ S 6 8）、D C E の場合には再度応答パケットが受信されるのを待ち、パーフェクトの場合にはステップ S 6 9 に移行し、その他の場合にはステップ S 7 2 に移行してエラーポーズ状態にする。そして、ステップ S 6 9 に移行した場合にはスプリットタイマの停止を指示し、信号 T C o m p をアクティブにして転送データのポインタを更新する（ステップ S 7 0）。

40

【 0 1 3 1 】

一方、送信パケットがライト要求パケットであった場合には、まず、A C K ペンディングか否かを判断する（ステップ S 7 1）。そして、A C K ペンディングの場合にはステップ S 6 6 に移行し、A C K コンプリートの場合にはステップ S 7 0 に移行し、それ以外の場合にはステップ S 7 2 に移行してエラーポーズ状態にする。

【 0 1 3 2 】

50

なお、ステップ S 7 2 に移行して処理がエラーポーズになった場合には、処理がレジュームされたことを条件に、ステップ S 6 2 に移行する（ステップ S 7 3）。即ち、この場合には、HW用送信ヘッダ領域に既書き込まれている送信ヘッダを再利用して、転送を再開することになる。

**【 0 1 3 3 】**

以上のように本実施形態によれば、ページテーブルがイニシエータのデータバッファに存在する場合には、そのページテーブルがフェッチされ、存在しない場合には、仮想的なページテーブルが生成される。そして、このフェッチ又は生成されたページテーブルに基づきデータ転送が実行される。従って、ページテーブルがフェッチ又は生成された後の転送実行処理を共通化できるようになる。即ち、図 2 1、図 2 2、図 2 3 から明らかなように、ページテーブルが生成された場合とページテーブルがフェッチされた場合とで、転送実行制御回路 2 4 0 やペイロード分割回路 2 5 0 や送信ヘッダ生成回路 2 6 0 やトランザクション制御回路 2 7 0 の処理内容が同一になる。従って、これらの各回路ブロックの中に、ページテーブルフェッチ時用の回路とページテーブル生成時用の回路とを別に設ける必要がなく、処理の簡素化、回路の小規模化を図れるようになる。

10

**【 0 1 3 4 】**

また本実施形態によれば、図 1 3 に示すように、ページ境界 P B 1、P B 4 間（第 K、第 L のページ境界間）のページテーブルエレメント数が 1（所定数）になるような仮想的なページテーブルが生成される。従って、ページテーブルサイズを最小限のサイズ（例えば 3 ページ以下）に収めることができる。これにより、ページテーブルを格納する HW用ページテーブル領域の使用記憶容量を節約できる。また、イニシエータにページテーブルが存在せず、直接アドレス方式でアドレスが指定された場合にも、図 1 5 に示すようにイニシエータ側のデータバッファの各ページ境界を越えないという制約が遵守しながら、高速なデータ転送を実現できるようになる。

20

**【 0 1 3 5 】**

また本実施形態では、図 8 の A R 1 の HW用ページテーブル領域や、図 1 0 のページテーブルアドレス、ページテーブルサイズ用のレジスタ 2 2 4、2 2 6 が、ページテーブルをフェッチしたか或いは生成したかに依らずに、共通に使用される。従って、各回路ブロックの処理やファームウェアの処理の簡素化を図れる。

**【 0 1 3 6 】**

また本実施形態では、図 4 の A 3 や図 5 の B 1 に示す処理がハードウェアにより自動実行される。即ち、ファームウェアがパケットの連続転送処理の開始を指示すると（図 1 0 のレジスタ 2 0 2 に 1 を書き込むと）、S B P -2 コア 8 4 が、ページテーブルのフェッチ又は生成処理、ペイロード分割処理、送信ヘッダの生成処理、各パケットの転送開始処理、エラー処理などをハードウェアにより自動実行して、一連のパケットを自動転送する。従って、ファームウェアの処理負担を格段に軽減できるようになり、データ転送制御装置の実転送速度を大幅に向上できる。

30

**【 0 1 3 7 】**

4 . データ領域の分離（ORB領域とストリーム領域への分離）

本実施形態では、図 7 の R A M 8 0（パケット記憶手段）を、図 8 に示すようにヘッダ領域（A R 2、A R 3、A R 4、A R 6）とデータ領域（A R 5、A R 7、A R 8、A R 9）に分離すると共に、データ領域を、ORB領域（A R 5、A R 7）とストリーム領域（A R 8、A R 9）に分離している。

40

**【 0 1 3 8 】**

即ち、R A Mをヘッダ領域とデータ領域に分離することで、ファームウェアは、ヘッダ領域からヘッダを連続して読み出したり、ヘッダ領域にヘッダを連続して書き込むことができるようになる。従って、ファームウェアの処理負担をある程度軽減できるという利点がある。しかしながら、データ転送の更なる高速化という観点からは、ヘッダ領域とデータ領域の分離だけでは不十分であることが判明した。

**【 0 1 3 9 】**

50

例えば図 2 4 ( A ) では、パケットがヘッダとデータに分離され、ヘッダ 1、2、3 がヘッダ領域に格納され、データ 1、2、3 がデータ領域に格納されている。

【 0 1 4 0 】

ここで、データには、前述のように、S B P -2 ( 第 1 の層 ) 用の O R B ( 第 1 のデータ ) と、上層であるアプリケーション層 ( 第 2 の層 ) 用のストリームとがある。従って、R A M をヘッダ領域とデータ領域に分離しただけでは、図 2 4 ( A ) の D 1、D 2、D 3 に示すように、データ領域において O R B とストリームとが混在するようになってしまう。

【 0 1 4 1 】

このため、例えば、R A M からアプリケーション層のデバイスにストリームを転送する場合には、次のような処理が必要になる。即ち、まず、データポインタを D 1 の位置に設定してストリーム 1 1、1 2、1 3 を読み出し、次に、データポインタを D 2 の位置に変更してストリーム 2 1、2 2、2 3 を読み出す。その後、データポインタを D 3 の位置に変更してストリーム 3 1、3 2、3 3 を読み出す。

【 0 1 4 2 】

このように、R A M を単にヘッダ領域とデータ領域に分離しただけでは、アプリケーション層のデバイスへのストリーム転送の際に、データポインタの位置を煩雑に切り替える制御が必要になり、処理の複雑化や回路の大規模化という事態を招く。また、データ領域から連続してストリームを読み出すことができないため、データ転送制御装置の実転送速度をそれほど向上できない。

【 0 1 4 3 】

一方、図 2 4 ( B ) では、データ領域を O R B 領域とストリーム領域に分離している。このようにすれば、ファームウェアは O R B 領域から O R B 1、2、3 を連続して読み出すことができるようになる。また、前述の S B P -2 コア 8 4 の機能を利用して、ファームウェアを介在させることなくストリーム 1 1 ~ 3 3 を R A M のストリーム領域から連続して読み出し、アプリケーション層のデバイスへ転送できるようになる。即ち、図 2 5 に示すように、相手ノード 1 2 3 ( 例えばパーソナルコンピュータ ) とアプリケーション層のデバイス ( 例えばプリンタの印字処理を行うデバイス ) との間で、ファームウェア ( C P U ) 6 6 の介在無しに、ストリーム ( 例えば印字データ ) を高速に転送できるようになる。この結果、図 2 4 ( A ) に比べて、ファームウェアの処理負担を格段に軽減できると共に、データ転送を飛躍的に高速化できるようになる。

【 0 1 4 4 】

なお、データ転送制御装置 1 2 0 がストリームを受信する場合のみならず、ストリームを送信する場合にも、データ領域を送信 O R B 領域 ( 図 8 の A R 7 ) と送信ストリーム領域 ( A R 8 ) に分離することで、データ転送の高速化を図れる。即ち図 2 5 の方向 D R 1 に示すように相手ノード 1 2 3 からアプリケーション層のデバイス 1 2 4 ( 自ノード ) にストリームを転送する場合のみならず、方向 D R 2 に示すようにアプリケーション層のデバイス 1 2 4 から相手ノード 1 2 3 にストリームを転送する場合においても、データ転送の高速化を図れる。

【 0 1 4 5 】

5 . トランザクションラベルを利用した書き込み領域の切り替え  
I E E E 1 3 9 4 においては、各トランザクションを識別するための情報として、トランザクションラベル t 1 と呼ばれるものが使用される。

【 0 1 4 6 】

即ち、トランザクションの要求ノードは、要求パケットの中にトランザクションラベル t 1 を含ませて、応答ノードに送信する。そして、この要求パケットを受信した応答ノードは、応答パケットの中に、上記と同一の t 1 を含ませて、要求ノードに返信する。要求ノードは、返信された応答パケットに含まれる t 1 を調べることで、その応答パケットが、自身が要求したトランザクションに対応する応答であることを確認できるようになる。

【 0 1 4 7 】

トランザクションラベル t 1 は、応答ノードとの関係においてユニークであれば十分であ

10

20

30

40

50

る。より具体的には、例えば要求ノードND1が応答ノードND2に対して $t1 = TN1$ のトランザクションを発行した場合には、そのトランザクションが未完了の間は、要求ノードND1は応答ノードND2に対して、 $t1 = TN1$ が付けられた他のトランザクションを発行することはできない。即ち、各トランザクションは、トランザクションラベル $t1$ とソースIDとディステーションIDとによりユニークに特定されることになる。逆に言えば、トランザクションラベル $t1$ は、上記の制約が守られている限り、どのような値を使うこともでき、他のノードは、どのような $t1$ も受け入れなければならない。

【0148】

さて、要求ノードが要求パケットを送信し、応答パケットの返信を待つ場合、応答パケットが返信されてきた際に行う処理が、既に決まっている場合がある。そこで、本実施形態は、上記のようなトランザクションラベル $t1$ の性質に着目して、次のような手法を採用している。

10

【0149】

即ち、図26(A)に示すように、トランザクションを開始させる要求パケットを応答ノードに対して送信する際に、要求パケットに含まれるトランザクションラベル $t1$ (広義にはトランザクション識別情報)の中に、応答パケットの返信時に行うべき処理を指示する指示情報を含ませる。そして、応答ノードから応答パケットを受信した際に、 $t1$ に含まれる指示情報に応じた処理を実行するようにする。

【0150】

このようにすれば、応答パケットが返送されてきた際に、ファームウェアが関与することなく、 $t1$ に含まれる指示情報に応じた処理を、SBP-2コア84などのハードウェアにより実行できるようになる。これにより、ファームウェアの処理負担を軽減できると共に、データ転送の高速化を図れる。

20

【0151】

より具体的には、本実施形態では、応答ノードから応答パケットを受信した場合に、 $t1$ に含まれる指示情報により指示される領域に、その応答パケットを格納するようにしている。

【0152】

即ち図26(B)に示すように、トランザクションラベル $t1$ のビット5、4を、指示情報を表すビットとして予め予約しておく。

30

【0153】

そして、返信されてきた応答パケットをHW(ハードウェア)用領域に書き込む場合には、要求パケットの $t1$ のビット5を1にセットして、応答ノードに送信する。一方、返信されてきた応答パケットをFW(ファームウェア)用領域に書き込む場合には、要求パケットの $t1$ のビット5を0にセットして、応答ノードに送信する。

【0154】

また、返信されてきた応答パケットをストリーム領域に書き込む場合には、要求パケットの $t1$ のビット4を1にセットして、応答ノードに送信する。一方、返信されてきた応答パケットをORB領域に書き込む場合には、要求パケットの $t1$ のビット4を0にセットして、応答ノードに送信する。

40

【0155】

このようにすれば、応答パケットが返信されてきた時に、図27に示すように応答パケットのヘッダ、データがRAMの各領域に書き込まれるようになる。

【0156】

即ち、 $t1 = 1xxxxx$ ( $x$ は、ドント・ケアという意味)である場合には、応答パケットのヘッダは、HW用受信ヘッダ領域に書き込まれ、 $t1 = 0xxxxx$ である場合には、FW用受信ヘッダ領域に書き込まれる。

【0157】

また、 $t1 = 11xxxx$ である場合には、応答パケットのデータは、HW用受信ストリーム領域に書き込まれ、 $t1 = 10xxxx$ である場合には、HW用ページテーブル領域

50

に書き込まれる。また  $t1 = 01xxxx$  である場合には、応答パケットのデータは、FW用受信ストリーム領域に書き込まれ、 $t1 = 00xxxx$  である場合には、FW用受信ORB領域に書き込まれる。

【0158】

このようにすることで、ファームウェアを介在させることなく、応答パケットのヘッダ、データを、ハードウェア（回路）によりRAMの各領域に自動的に書き込むことができるようになる。そして、RAMに応答パケットを書き込む処理を行うハードウェアの構成も簡素化でき、データ転送制御装置の小規模化を図れる。

【0159】

また、図24(B)で説明したように、パケットのヘッダをヘッダ領域に、ORBをORB領域に、ストリームをストリーム領域に自動的に書き込むことができるようになるため、ハードウェアの処理の簡素化、データ転送の高速化も図れるようになる。

【0160】

6. 電子機器

次に、本実施形態のデータ転送制御装置を含む電子機器の例について説明する。

【0161】

例えば図28(A)に電子機器の1つであるプリンタの内部ブロック図を示し、図29(A)にその外観図を示す。CPU(マイクロコンピュータ)510はシステム全体の制御などを行う。操作部511はプリンタをユーザが操作するためのものである。ROM516には、制御プログラム、フォントなどが格納され、RAM518はCPU510のワーク領域として機能する。表示パネル519はプリンタの動作状態をユーザに知らせるためのものである。

【0162】

PHYデバイス502、データ転送制御装置500を介して、パーソナルコンピュータなどの他のノードから送られてきた印字データは、バス504を介して印字処理部512に直接送られる。そして、印字データは、印字処理部512にて所与の処理が施され、プリントヘッダなどからなる印字部(データを出力するための装置)514により紙に印字されて出力される。

【0163】

図28(B)に電子機器の1つであるスキャナの内部ブロック図を示し、図29(B)にその外観図を示す。CPU520はシステム全体の制御などを行う。操作部521はスキャナをユーザが操作するためのものである。ROM526には制御プログラムなどが格納され、RAM528はCPU520のワーク領域として機能する。

【0164】

光源、光電変換器などからなる画像読み取り部(データを取り込むための装置)522により原稿の画像が読み取られ、読み取られた画像のデータは画像処理部524により処理される。そして、処理後の画像データがバス505を介してデータ転送制御装置500に直接送られる。データ転送制御装置500は、この画像データにヘッダなどを付加することでパケットを生成し、PHYデバイス502を介してパーソナルコンピュータなどの他のノードに送信する。

【0165】

図28(C)に電子機器の1つであるCD-RWドライブの内部ブロック図を示し、図29(C)にその外観図を示す。CPU530はシステム全体の制御などを行う。操作部531はCD-RWをユーザが操作するためのものである。ROM536には制御プログラムなどが格納され、RAM538はCPU530のワーク領域として機能する。

【0166】

レーザ、モータ、光学系などからなる読み取り&書き込み部(データを取り込むための装置又はデータを記憶するための装置)533によりCD-RW532から読み取られたデータは、信号処理部534に入力され、エラー訂正処理などの所与の信号処理が施される。そして、信号処理が施されたデータが、バス506を介してデータ転送制御装置500

10

20

30

40

50

に直接送られる。データ転送制御装置500は、このデータにヘッダなどを付加することでパケットを生成し、PHYデバイス502を介してパーソナルコンピュータなどの他のノードに送信する。

【0167】

一方、PHYデバイス502、データ転送制御装置500を介して、他のノードから送られてきたデータは、バス506を介して信号処理部534に直接送られる。そして、信号処理部534によりこのデータに所与の信号処理が施され、読み取り&書き込み部533によりCD-RW532に記憶される。

【0168】

なお、図28(A)、(B)、(C)において、CPU510、520、530の他に、データ転送制御装置500でのデータ転送制御のためのCPUを別に設けるようにしてもよい。

10

【0169】

また、図28(A)、(B)、(C)ではRAM501(図7のRAM80に相当)がデータ転送制御装置500の外部に設けられているが、RAM501をデータ転送制御装置500に内蔵させてもよい。

【0170】

本実施形態のデータ転送制御装置を電子機器に用いることで、高速なデータ転送が可能になる。従って、ユーザがパーソナルコンピュータなどによりプリントアウトの指示を行った場合に、少ないタイムラグで印字が完了するようになる。また、スキャナへの画像取り込みの指示の後に、少ないタイムラグで読み取り画像をユーザは見るようになる。また、CD-RWからのデータの読み取りや、CD-RWへのデータの書き込みを高速に行うことができるようになる。更に、例えば1つのホストシステムに複数の電子機器を接続して利用したり、複数のホストシステムに複数の電子機器を接続して利用したりすることも容易になる。

20

【0171】

また本実施形態のデータ転送制御装置を電子機器に用いることで、CPU上で動作するファームウェアの処理負担が軽減され、安価なCPUや低速のバスを用いることが可能になる。更に、データ転送制御装置の低コスト化、小規模化を図れるため、電子機器の低コスト化、小規模化も図れるようになる。

30

【0172】

なお本実施形態のデータ転送制御装置を適用できる電子機器としては、上記以外にも例えば、種々の光ディスクドライブ(CD-ROM、DVD)、光磁気ディスクドライブ(MO)、ハードディスクドライブ、TV、VTR、ビデオカメラ、オーディオ機器、電話機、プロジェクタ、パーソナルコンピュータ、電子手帳、ワードプロセッサなど種々のものを考えることができる。

【0173】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

【0174】

例えば、本発明のデータ転送制御装置の構成は、図7に示す構成が特に望ましいが、これに限定されるものではない。

40

【0175】

また、ページテーブル生成回路によるページテーブルの生成手法は、図13~図20(B)で説明した手法が特に望ましいが、これに限定されるものではなく、少なくともページ境界情報に基づいてハードウェアにより仮想的なページテーブルを生成するものであればよい。

【0176】

また、転送実行回路(SBP-2コア)の構成も図10に示す構成が特に望ましいが、これに限定されるものではなく、少なくとも、転送データを各ページ境界を越えないパケット

50

に分割して転送する回路であればよい。

【0177】

また、図13～図20(B)で説明したページテーブルの生成手法は、ハードウェア(回路)により実現することが特に望ましいが、ソフトウェアにより実現することも可能である。

【0178】

また、パケットの分離手法、パケット記憶手段の各領域へのパケットの書き込み手法、読み出し手法も、図8、図24(B)で説明した手法に限定されるものではない。

【0179】

また、第1のデータはトランザクション層用のデータ、第2のデータはアプリケーション層用のデータであることが特に望ましいが、本発明の第1、第2のデータはこれに限定されるものではない。

【0180】

また、本発明は、IEEE1394規格でのデータ転送に適用されることが特に望ましいが、これに限定されるものではない。例えばIEEE1394と同様の思想に基づく規格やIEEE1394を発展させた規格におけるデータ転送にも本発明は適用できる。

【図面の簡単な説明】

【図1】IEEE1394の層構造について示す図である。

【図2】SBP-2について説明するための図である。

【図3】SBP-2のデータ転送処理の概略について説明するための図である。

【図4】データ(ストリーム)をターゲットからイニシエータに転送する場合のコマンド処理について説明するための図である。

【図5】データ(ストリーム)をイニシエータからターゲットに転送する場合のコマンド処理について説明するための図である。

【図6】図6(A)、(B)、(C)は、ページテーブルについて説明するための図である。

【図7】本実施形態のデータ転送制御装置の構成例を示す図である。

【図8】RAM(パケット記憶手段)の分離(分割)手法について説明するための図である。

【図9】本実施形態のデータ転送の手法について説明するための図である。

【図10】SBP-2コア(転送実行回路)の構成例を示す図である。

【図11】メイン制御回路の動作を説明するためのフローチャートである。

【図12】ページテーブルフェッチ回路の動作を説明するためのフローチャートである。

【図13】本実施形態のページテーブル生成手法について説明するための図である。

【図14】図14(A)、(B)、(C)も、本実施形態のページテーブル生成手法について説明するための図である。

【図15】本実施形態のペイロード分割手法について説明するための図である。

【図16】ページテーブル生成回路の動作を説明するためのフローチャートである。

【図17】ページテーブル生成回路の動作を説明するためのフローチャートである。

【図18】図18(A)、(B)、(C)、(D)、(E)は、各ページテーブルエレメントの生成手法について説明するための図である。

【図19】図19(A)、(B)、(C)、(D)も、各ページテーブルエレメントの生成手法について説明するための図である。

【図20】図20(A)、(B)も、各ページテーブルエレメントの生成手法について説明するための図である。

【図21】転送実行制御回路の動作を説明するためのフローチャートである。

【図22】ペイロード分割回路の動作を説明するためのフローチャートである。

【図23】送信ヘッダ生成回路、トランザクション制御回路の動作について説明するためのフローチャートである。

【図24】図24(A)、(B)は、データ領域をORB領域とストリーム領域に分離す



る手法について説明するための図である。

【図25】相手ノードとアプリケーション層のデバイスとの間のストリーム転送の様子を示す図である。

【図26】図26(A)、(B)は、トランザクションラベルについて説明するための図である。

【図27】トランザクションラベルを利用して、RAMの各領域にパケットのヘッダ、データを書き込む手法について説明するための図である。

【図28】図28(A)、(B)、(C)は、種々の電子機器の内部ブロック図の例である。

【図29】図29(A)、(B)、(C)は、種々の電子機器の外観図の例である。

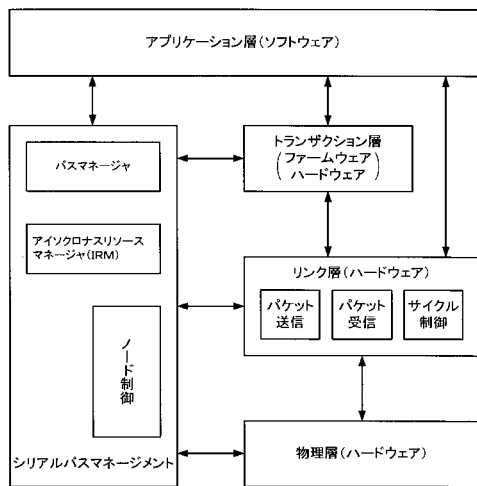
10

【符号の説明】

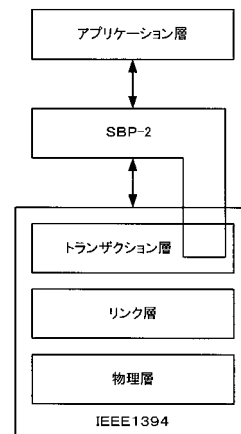
10	PHYインターフェース	
20	リンクコア	
22	レジスタ	
30	FIFO(ATF)	
32	FIFO(ITF)	
34	FIFO(RF)	
40	DMAC(ATF用)	
42	DMAC(ITF用)	
44	DMAC(RF用)	20
46	レジスタ	
50	ポートインターフェース	
52	FIFO(PF)	
54	DMAC(PF用)	
56	レジスタ	
60	CPUインターフェース	
62	アドレスデコーダ	
63	データ同期化回路	
64	割り込みコントローラ	
66	CPU	30
68	クロック制御回路	
70	バッファマネージャ	
72	レジスタ	
74	調停回路	
76	シーケンサ	
80	RAM(パケット記憶手段)	
84	SBP-2コア(転送実行回路)	
86	DAMAC(SBP-2用)	
90、92、94	バス(第1のバス)	
95、96	バス(第2のバス)	40
99	バス(第5のバス)	
100、102、104、105、		
106、107、108、109	バス(第3のバス)	
110	バス(第4のバス)	
120	データ転送制御装置	
122	PHYデバイス	
123	相手ノード	
124	アプリケーション層のデバイス	
200	メイン制御回路	
202、204、206、208	レジスタ	50

- 2 1 0 ページテーブルフェッチ回路
- 2 2 0 ページテーブル生成回路
- 2 2 2、2 2 4、2 2 6 レジスタ
- 2 2 8 エLEMENTカウンタ
- 2 3 0 エLEMENT保持回路
- 2 3 2、2 3 4 レジスタ
- 2 4 0 転送実行(ストリームタスク)制御回路
- 2 4 2、2 4 4 レジスタ
- 2 5 0 ペイロード分割回路
- 2 5 2、2 5 4 レジスタ
- 2 6 0 送信ヘッダ生成回路
- 2 7 0 トランザクション制御回路
- 2 8 0 スプリットタイマ
- 2 9 0 バッファインターフェース

【図 1】



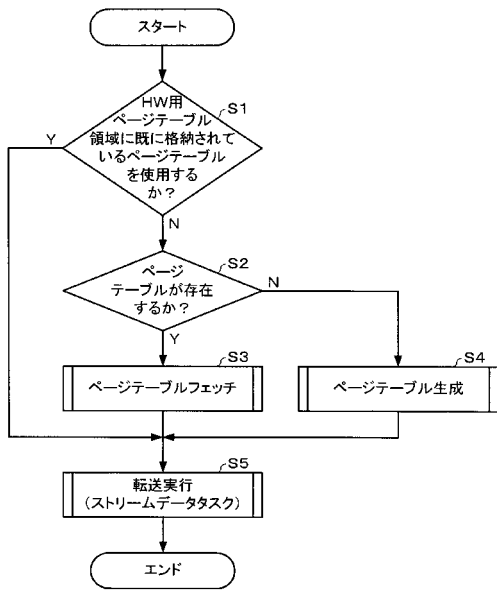
【図 2】



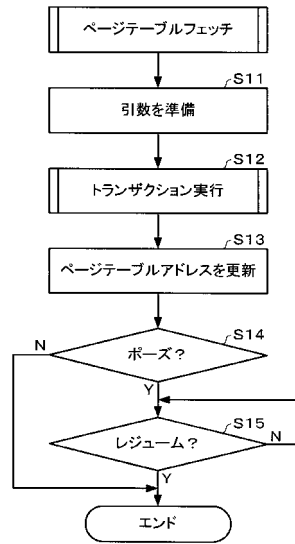




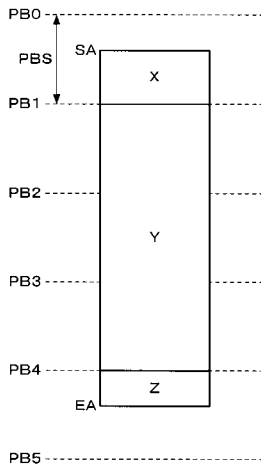
【 図 1 1 】



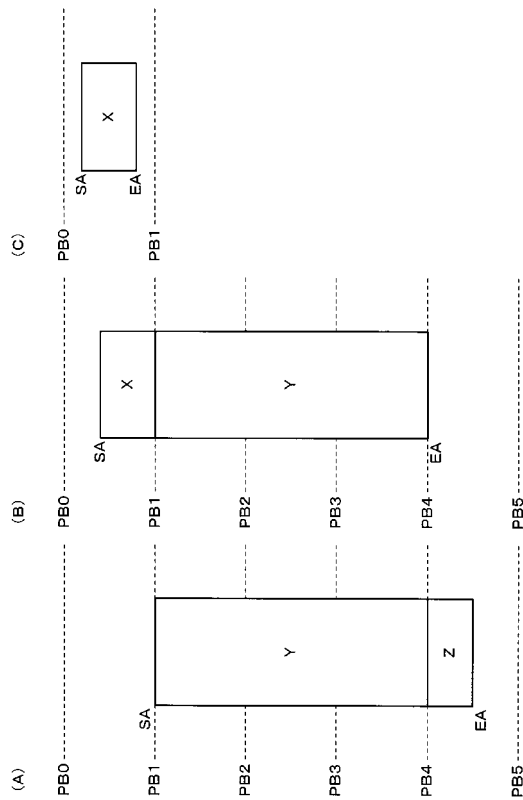
【 図 1 2 】



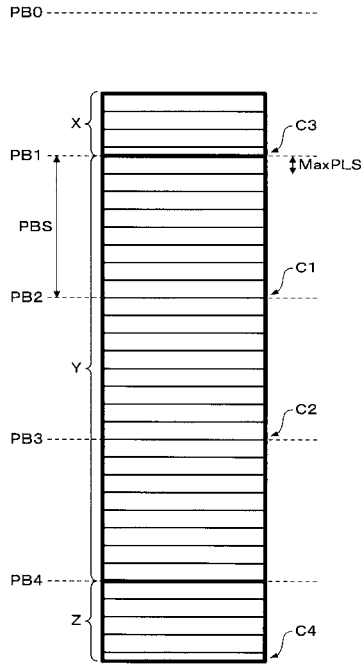
【 図 1 3 】



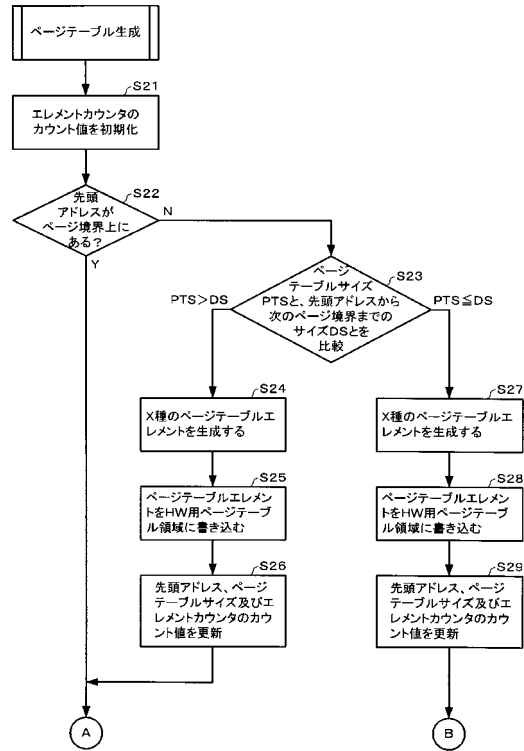
【 図 1 4 】



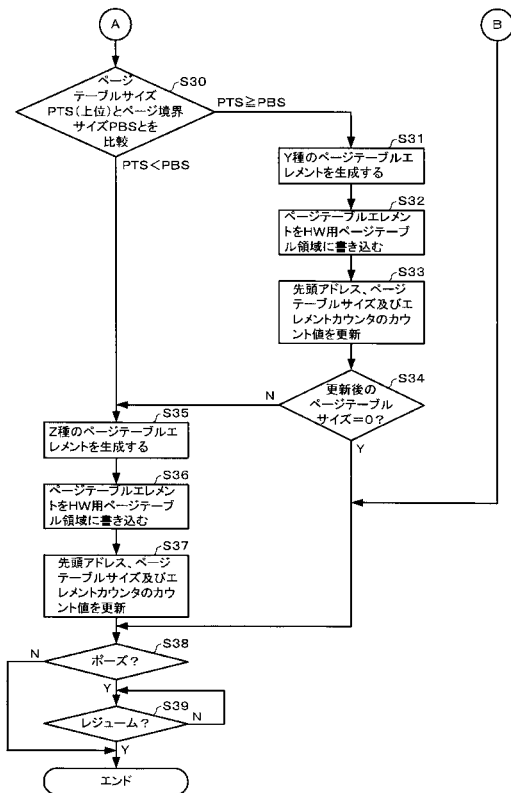
【 図 15 】



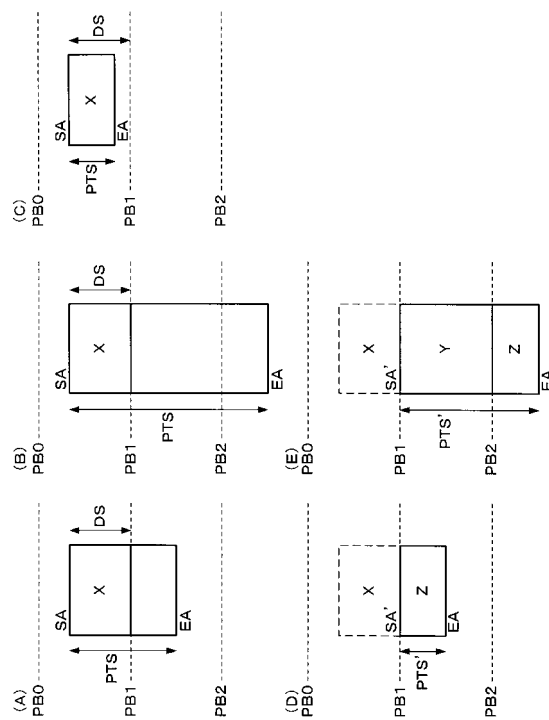
【 図 16 】



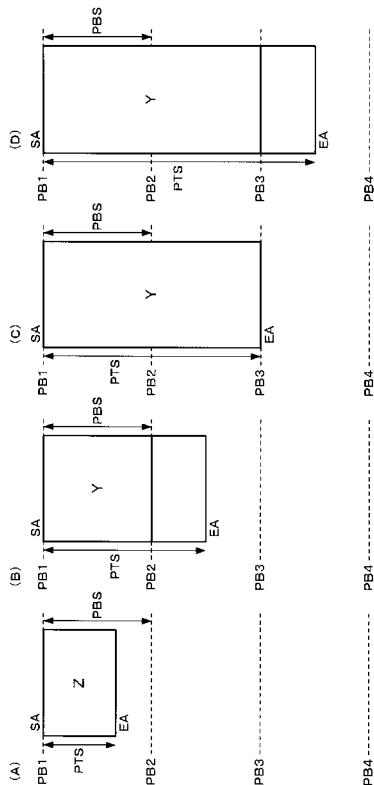
【 図 17 】



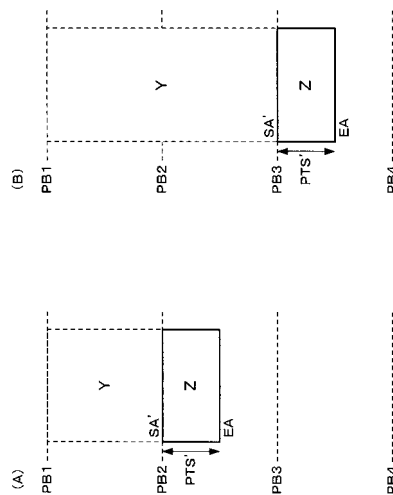
【 図 18 】



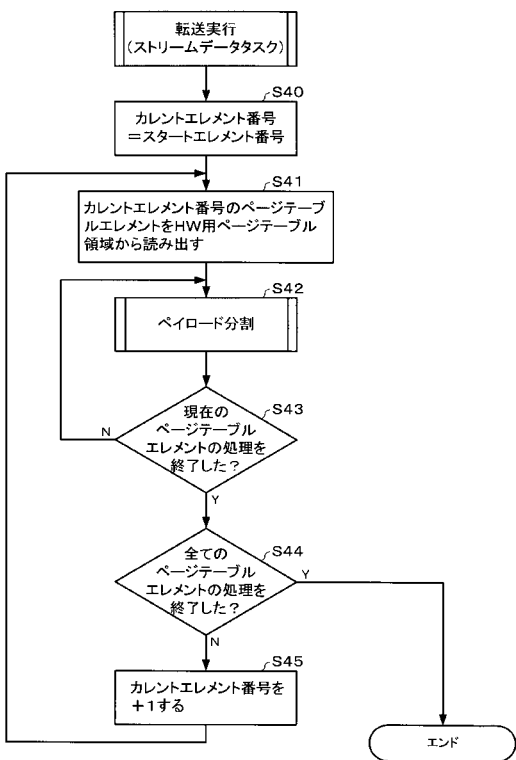
【 図 19 】



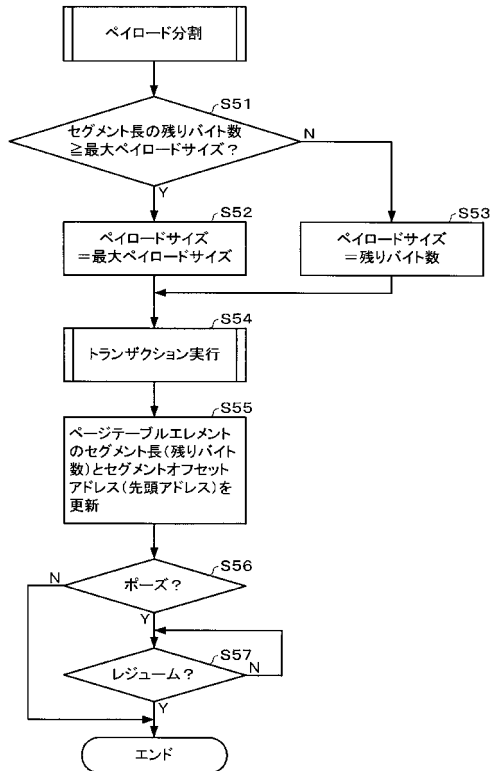
【 図 20 】



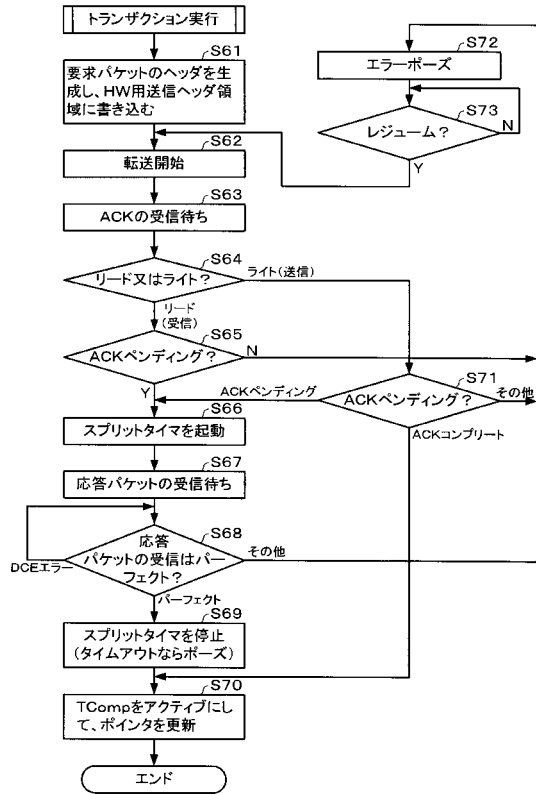
【 図 21 】



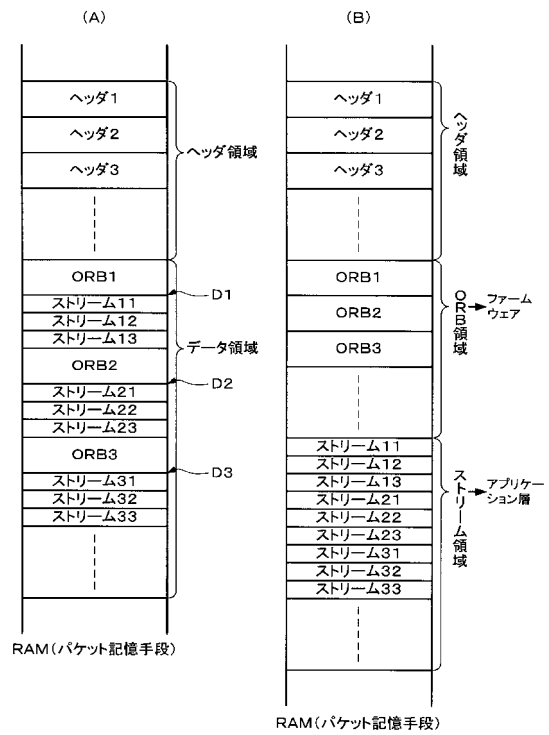
【 図 22 】



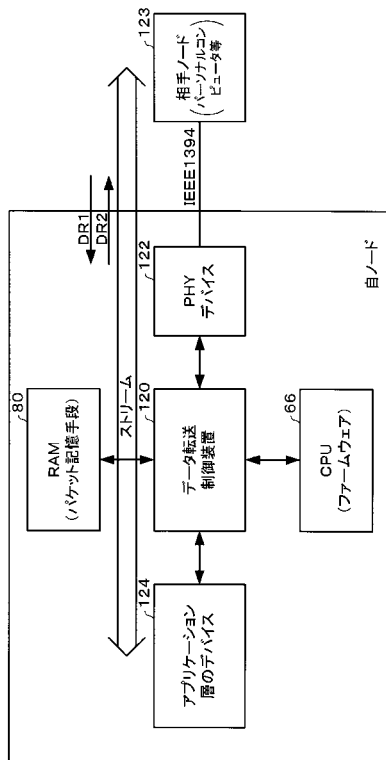
【 図 2 3 】



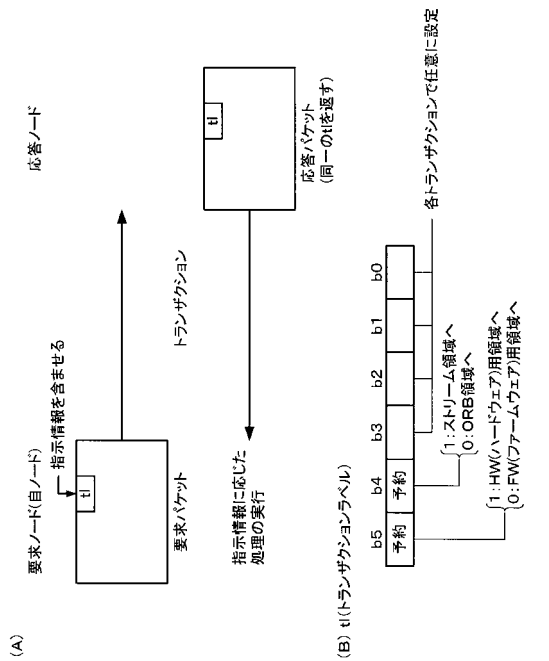
【 図 2 4 】



【 図 2 5 】

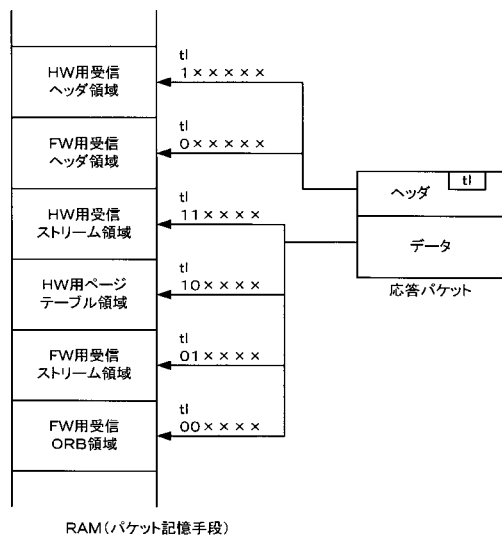


【 図 2 6 】

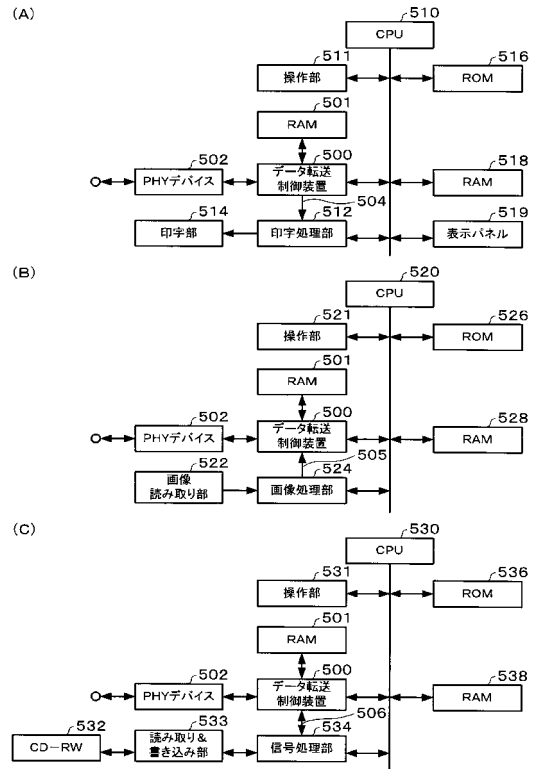




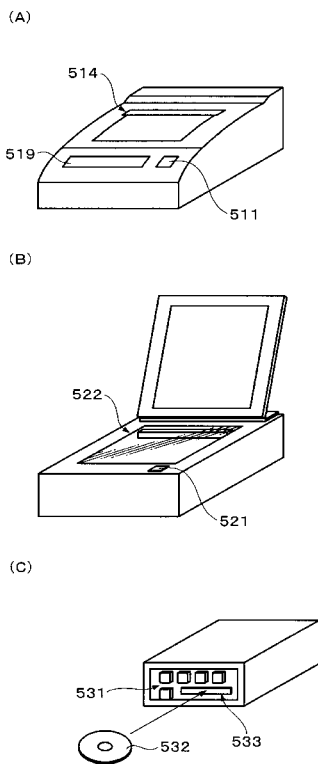
【 図 2 7 】



【 図 2 8 】



【 図 2 9 】



---

フロントページの続き

審査官 矢頭 尚之

- (56)参考文献 特開平9 - 212474 (JP, A)  
特開平10 - 243051 (JP, A)  
特開平11 - 85662 (JP, A)