



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0017842  
(43) 공개일자 2009년02월19일

(51) Int. Cl.

H01L 27/115 (2006.01)

(21) 출원번호 10-2007-0082327

(22) 출원일자 2007년08월16일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

지정근

서울 서초구 잠원동 신반포한신아파트 317-902

손호민

경기 수원시 영통구 영통동 황골마을 주공1단지아파트 125-601

(뒷면에 계속)

(74) 대리인

박상수

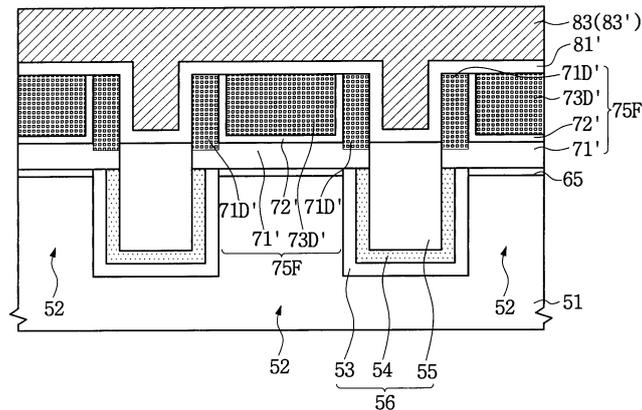
전체 청구항 수 : 총 31 항

(54) 부유게이트를 갖는 비휘발성 메모리소자의 형성방법 및관련된 소자

(57) 요약

비휘발성 메모리소자의 제조방법을 제공한다. 먼저, 기판에 활성영역을 한정하는 소자분리패턴들을 형성한다. 상기 활성영역 상에 자기정렬된 부유게이트패턴을 형성한다. 상기 부유게이트패턴은 상기 활성영역에 가까울수록 상대적으로 낮은 농도의 불순물이온들을 함유한다. 상기 부유게이트패턴 상에 게이트라인을 형성한다.

대표도 - 도13



(72) 발명자

**형용우**

경기 용인시 수지구 풍덕천동 삼성5차아파트  
520-1404

**한재중**

서울 서초구 잠원동 신반포11차한신아파트  
322-106

**임택진**

경기 화성시 능동 1041 우남퍼스트빌 3차 301-1204

---

## 특허청구의 범위

### 청구항 1

기관에 활성영역을 한정하는 소자분리패턴들을 형성하고,

상기 활성영역 상에 자기정렬된 부유게이트패턴을 형성하되, 상기 부유게이트패턴은 상기 활성영역에 가까울수록 상대적으로 낮은 농도의 불순물이온들을 함유하고,

상기 부유게이트패턴 상에 게이트라인을 형성하는 것을 포함하는 비휘발성 메모리소자의 제조방법.

### 청구항 2

제 1 항에 있어서,

상기 소자분리패턴들은 상기 활성영역보다 상부로 돌출되도록 형성하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

### 청구항 3

제 2 항에 있어서,

상기 부유게이트패턴을 형성하는 것은

상기 소자분리패턴들 및 상기 활성영역을 덮는 제 1 부유게이트막을 형성하고,

상기 제 1 부유게이트막 상에 스크린 막을 형성하고,

상기 스크린 막 상에 제 2 부유게이트막을 형성하고,

상기 소자분리패턴들이 노출될 때까지 상기 제 2 부유게이트막, 상기 스크린 막, 및 상기 제 1 부유게이트막을 평탄화하는 것을 포함하는 비휘발성 메모리소자의 제조방법.

### 청구항 4

제 3 항에 있어서,

상기 평탄화된 제 1 부유게이트막은 상기 평탄화된 제 2 부유게이트막의 측벽들 및 바닥을 감싸도록 형성하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

### 청구항 5

제 3 항에 있어서,

상기 제 1 부유게이트막은 비도핑 폴리실리콘막으로 형성하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

### 청구항 6

제 3 항에 있어서,

상기 제 1 부유게이트막은 5 nm 내지 40 nm 두께로 형성하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

### 청구항 7

제 3 항에 있어서,

상기 스크린 막은 0.1 nm 내지 3 nm 두께로 형성하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

### 청구항 8

제 3 항에 있어서,

상기 스크린 막은 실리콘산화막, 실리콘질화막, 실리콘산질화막, 및 이들의 조합막으로 이루어진 일군에서 선택

된 하나로 형성하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

**청구항 9**

제 3 항에 있어서,

상기 스크린 막은 플라즈마 질화법(plasma nitridation), 라디칼 산화법(radical oxidation), 또는 열산화법(thermal oxidation)으로 형성하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

**청구항 10**

제 3 항에 있어서,

상기 제 2 부유게이트막은 비도핑 폴리실리콘막 또는 상기 불순물이온들이 첨가된 폴리실리콘막으로 형성하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

**청구항 11**

제 3 항에 있어서,

상기 제 2 부유게이트막, 상기 스크린 막, 및 상기 제 1 부유게이트막을 평탄화한 후,

상기 제 2 부유게이트막 및 상기 제 1 부유게이트막에 상기 불순물이온들을 주입하는 것을 더 포함하는 비휘발성 메모리소자의 제조방법.

**청구항 12**

제 11 항에 있어서,

상기 제 1 부유게이트막의 상기 활성영역에 가까운 영역에는 상기 불순물이온들이 주입되지 않도록 제어하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

**청구항 13**

제 2 항에 있어서,

상기 소자분리패턴들을 형성하는 것은

상기 기판 상에 하드마스크패턴을 형성하고,

상기 하드마스크패턴을 식각마스크로 사용하여 상기 기판에 상기 활성영역을 한정하는 소자분리 트렌치들을 형성하고,

상기 소자분리 트렌치들을 채우고 상기 하드마스크패턴을 덮는 절연막을 형성하고,

상기 절연막을 평탄화하여 상기 하드마스크패턴을 노출하고,

상기 하드마스크패턴을 제거하여 게이트트렌치를 형성하는 것을 포함하는 비휘발성 메모리소자의 제조방법.

**청구항 14**

제 13 항에 있어서,

상기 하드마스크패턴을 제거한 후

상기 소자분리패턴들을 식각하여 상기 게이트트렌치를 확장하는 것을 더 포함하는 비휘발성 메모리소자의 제조방법.

**청구항 15**

제 1 항에 있어서,

상기 불순물이온들은 B, P, As, 및 Ge 로 이루어진 일군에서 선택된 하나인 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

**청구항 16**

제 1 항에 있어서,  
상기 게이트라인을 형성하는 것은  
상기 부유게이트패턴 및 상기 소자분리패턴들을 덮는 게이트도전막을 형성하고,  
상기 게이트도전막을 패터닝하는 것을 포함하는 비휘발성 메모리소자의 제조방법.

**청구항 17**

제 16 항에 있어서,  
상기 게이트도전막을 형성하기 전에  
상기 소자분리패턴들을 식각하여 상기 부유게이트패턴의 측벽들을 노출하는 것을 더 포함하는 비휘발성 메모리소자의 제조방법.

**청구항 18**

제 16 항에 있어서,  
상기 게이트라인은 상기 부유게이트패턴의 측벽들 및 상부표면을 덮되, 상기 부유게이트패턴의 하단표면보다 높은 레벨에 형성하는 것을 특징으로 하는 비휘발성 메모리소자의 제조방법.

**청구항 19**

기판에 활성영역을 한정하는 소자분리패턴들;  
상기 활성영역 및 상기 소자분리패턴들을 가로지르는 게이트라인; 및  
상기 활성영역 상에 자기정렬되며 상기 게이트라인 및 상기 활성영역 사이에 배치된 부유게이트를 포함하되, 상기 부유게이트는 상기 활성영역에 가까울수록 상대적으로 낮은 농도의 불순물이온들을 함유하는 비휘발성 메모리소자.

**청구항 20**

제 19 항에 있어서,  
상기 소자분리패턴들은 상기 활성영역보다 상부로 돌출된 것을 특징으로 하는 비휘발성 메모리소자.

**청구항 21**

제 19 항에 있어서,  
상기 부유게이트는 상기 활성영역의 상부표면보다 큰 폭을 갖는 것을 특징으로 하는 비휘발성 메모리소자.

**청구항 22**

제 19 항에 있어서,  
상기 부유게이트는  
상기 활성영역에 인접한 제 1 부유게이트패턴;  
상기 제 1 부유게이트패턴 상에 배치되는 불순물 첨가된 제 2 부유게이트패턴;  
상기 제 1 부유게이트패턴 상에 연장되고 상기 불순물 첨가된 제 2 부유게이트패턴의 측벽들을 덮는 불순물 첨가된 제 1 부유게이트패턴들; 및  
상기 제 1 부유게이트패턴 및 상기 불순물 첨가된 제 2 부유게이트패턴 사이에 배치된 스크린패턴을 포함하는 비휘발성 메모리소자.

**청구항 23**

제 22 항에 있어서,

상기 스크린패턴은 상기 불순물 첨가된 제 2 부유게이트패턴 및 상기 불순물 첨가된 제 1 부유게이트패턴들 사이에 연장된 것을 특징으로 하는 비휘발성 메모리소자.

**청구항 24**

제 22 항에 있어서,

상기 스크린패턴은 실리콘산화막, 실리콘질화막, 실리콘산질화막, 및 이들의 조합막으로 이루어진 일군에서 선택된 하나인 것을 특징으로 하는 비휘발성 메모리소자.

**청구항 25**

제 22 항에 있어서,

상기 불순물 첨가된 제 1 부유게이트패턴들은 상기 제 1 부유게이트패턴 보다 높은 농도의 상기 불순물이온들을 함유하는 것을 특징으로 하는 비휘발성 메모리소자.

**청구항 26**

제 25 항에 있어서,

상기 불순물 첨가된 제 2 부유게이트패턴은 상기 불순물 첨가된 제 1 부유게이트패턴들 보다 높은 농도의 상기 불순물이온들을 함유하는 것을 특징으로 하는 비휘발성 메모리소자.

**청구항 27**

제 25 항에 있어서,

상기 제 1 부유게이트패턴은 상기 불순물이온들을 함유하지 않는 것을 특징으로 하는 비휘발성 메모리소자.

**청구항 28**

제 22 항에 있어서,

상기 제 1 부유게이트패턴은 비도핑 폴리실리콘막인 것을 특징으로 하는 비휘발성 메모리소자.

**청구항 29**

제 22 항에 있어서,

상기 게이트라인은 상기 불순물 첨가된 제 1 부유게이트패턴들의 측벽들을 덮는 것을 특징으로 하는 비휘발성 메모리소자.

**청구항 30**

제 19 항에 있어서,

상기 게이트라인은 상기 부유게이트패턴의 측벽들 및 상부표면을 덮되, 상기 부유게이트패턴의 하단표면보다 높은 레벨에 배치되는 것을 특징으로 하는 비휘발성 메모리소자.

**청구항 31**

제 19 항에 있어서,

상기 불순물이온들은 B, P, As, 및 Ge 로 이루어진 일군에서 선택된 하나인 것을 특징으로 하는 비휘발성 메모리소자.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 반도체소자 및 그 제조방법에 관한 것으로, 특히 부유게이트를 갖는 비휘발성 메모리소자의 형성방법 및 관련된 소자에 관한 것이다.

**배경기술**

<2> 반도체 메모리소자들은 휘발성 메모리소자 및 비휘발성 메모리소자로 분류될 수 있다. 상기 비휘발성 메모리소자는 그들의 전원이 차단될지라도 그들 내에 저장된 데이터들이 소멸하지 않는 특성이 있다. 이에 따라, 상기 비휘발성 메모리소자는 이동통신 단말기(mobile communication system), 이동식 메모리 장치, 디지털 기기의 보조기억 장치 등에 널리 채택되고 있다.

<3> 상기 비휘발성 메모리소자들은 플래시메모리 소자를 포함한다. 상기 플래시메모리 소자의 단위 셀은 반도체기판의 소정영역에 한정된 활성영역, 상기 활성영역 상에 형성된 터널유전막, 상기 터널유전막 상에 형성된 부유게이트, 상기 부유게이트 상에 형성된 게이트층간유전막 및 상기 게이트층간유전막 상에 형성된 제어게이트전극을 구비한다.

<4> 상기 부유게이트는 전하 저장고의 역할을 한다. 이 경우에, 상기 부유게이트는 우수한 도전성을 갖도록 형성한다. 예를 들면, 상기 부유게이트는 고농도의 불순물이온들이 첨가된 폴리실리콘막으로 형성한다. 상기 불순물이온들은 상기 부유게이트의 도전성을 증가시키는 역할을 한다.

<5> 그런데 상기 폴리실리콘막 내에는 그레인 바운더리(grain boundary)가 형성된다. 상기 불순물이온들은 상기 그레인 바운더리에 집중되는 경향을 보인다. 상기 그레인 바운더리에 집중된 불순물이온들은 상기 터널유전막의 신뢰성을 열화 시키는 문제를 유발한다. 이와 같은 문제를 개선하기 위하여 상기 불순물이온들의 농도를 낮게 제어할 경우 상기 부유게이트의 전기저항 증가로 인한 특성불량을 유발한다.

<6> 한편 2중 폴리실리콘막을 갖는 부유게이트를 채택하는 반도체소자가 미국특허 US6,462,374 호에 "반도체소자 및 그 제조방법(Semiconductor device and method for fabricating the same)" 이라는 제목으로 우스끼 등(Usuki et al.)에 의해 개시된 바 있다.

**발명의 내용**

**해결하고자 하는 과제**

<7> 본 발명이 이루고자 하는 기술적 과제는 상술한 종래기술의 문제점을 개선하기 위한 것으로서, 터널유전막에 인접할수록 낮은 농도의 불순물이온들을 갖는 부유게이트를 채택하는 비휘발성 메모리소자의 제조방법을 제공하는 데 있다.

<8> 본 발명이 이루고자 하는 다른 기술적 과제는, 터널유전막에 인접할수록 낮은 농도의 불순물이온들을 갖는 부유게이트를 채택하는 비휘발성 메모리소자를 제공하는 데 있다.

**과제 해결수단**

<9> 상기 기술적 과제를 달성하기 위하여 본 발명은, 비휘발성 메모리소자의 제조방법을 제공한다. 이 방법은 기판에 활성영역을 한정하는 소자분리패턴들을 형성하는 것을 포함한다. 상기 활성영역 상에 자기정렬된 부유게이트패턴을 형성한다. 상기 부유게이트패턴은 상기 활성영역에 가까울수록 상대적으로 낮은 농도의 불순물이온들을 함유한다. 상기 부유게이트패턴 상에 게이트라인을 형성한다.

<10> 본 발명의 몇몇 실시 예에 있어서, 상기 소자분리패턴들은 상기 활성영역보다 상부로 돌출되도록 형성할 수 있다.

<11> 다른 실시 예에 있어서, 상기 소자분리패턴들 및 상기 활성영역을 덮는 제 1 부유게이트막을 형성할 수 있다. 상기 제 1 부유게이트막 상에 스크린 막을 형성할 수 있다. 상기 스크린 막 상에 제 2 부유게이트막을 형성할 수 있다. 상기 소자분리패턴들이 노출될 때까지 상기 제 2 부유게이트막, 상기 스크린 막, 및 상기 제 1 부유게이트막을 평탄화하여 상기 부유게이트패턴을 형성할 수 있다. 상기 평탄화된 제 1 부유게이트막은 상기 평탄화된 제 2 부유게이트막의 측벽 및 바닥을 감싸도록 형성할 수 있다.

<12> 또 다른 실시 예에 있어서, 상기 제 1 부유게이트막은 5 nm 내지 40 nm 두께의 비도핑 폴리실리콘막으로 형성할

수 있다.

- <13> 또 다른 실시 예에 있어서, 상기 스크린 막은 0.1 nm 내지 3 nm 두께로 형성할 수 있다. 상기 스크린 막은 실리콘산화막, 실리콘질화막, 실리콘산질화막, 및 이들의 조합막으로 이루어진 일군에서 선택된 하나로 형성할 수 있다. 상기 스크린 막은 플라즈마 질화법(plasma nitridation), 라디칼 산화법(radical oxidation), 또는 열산화법(thermal oxidation)으로 형성할 수 있다.
- <14> 또 다른 실시 예에 있어서, 상기 제 2 부유게이트막은 비도핑 폴리실리콘막 또는 상기 불순물이온들이 첨가된 폴리실리콘막으로 형성할 수 있다.
- <15> 또 다른 실시 예에 있어서, 상기 제 2 부유게이트막, 상기 스크린 막, 및 상기 제 1 부유게이트막을 평탄화한 후, 상기 제 2 부유게이트막 및 상기 제 1 부유게이트막에 상기 불순물이온들을 주입할 수 있다. 이 경우에, 상기 제 1 부유게이트막의 상기 활성영역에 가까운 영역에는 상기 불순물이온들이 주입되지 않도록 제어할 수 있다.
- <16> 또 다른 실시 예에 있어서, 상기 기판 상에 하드마스크패턴을 형성할 수 있다. 상기 하드마스크패턴을 식각마스크로 사용하여 상기 기판에 상기 활성영역을 한정하는 소자분리 트렌치들을 형성할 수 있다. 상기 소자분리 트렌치들을 채우고 상기 하드마스크패턴을 덮는 절연막을 형성할 수 있다. 상기 절연막을 평탄화하여 상기 하드마스크패턴을 노출할 수 있다. 상기 하드마스크패턴을 제거하여 게이트트렌치 및 상기 소자분리패턴들을 형성할 수 있다. 계속하여, 상기 소자분리패턴들을 식각하여 상기 게이트트렌치를 확장할 수 있다.
- <17> 또 다른 실시 예에 있어서, 상기 불순물이온들은 B, P, As, 및 Ge 로 이루어진 일군에서 선택된 하나로 형성할 수 있다.
- <18> 또 다른 실시 예에 있어서, 상기 소자분리패턴들을 식각하여 상기 부유게이트패턴의 측벽들을 노출할 수 있다. 상기 부유게이트패턴 및 상기 소자분리패턴들을 덮는 게이트도전막을 형성할 수 있다. 상기 게이트도전막을 패터닝하여 상기 게이트라인을 형성할 수 있다. 상기 게이트라인은 상기 부유게이트패턴의 측벽들 및 상부표면을 덮되, 상기 부유게이트패턴의 하단표면보다 높은 레벨에 형성할 수 있다.
- <19> 또한, 본 발명은, 비휘발성 메모리소자를 제공한다. 이 소자는 기판에 활성영역을 한정하는 소자분리패턴들을 구비한다. 상기 활성영역 및 상기 소자분리패턴들을 가로지르는 게이트라인이 제공된다. 상기 게이트라인 및 상기 활성영역 사이에 부유게이트가 배치된다. 상기 부유게이트는 상기 활성영역 상에 자기정렬되며, 상기 활성영역에 가까울수록 상대적으로 낮은 농도의 불순물이온들을 함유한다.
- <20> 몇몇 실시 예에 있어서, 상기 소자분리패턴들은 상기 활성영역보다 상부로 돌출될 수 있다. 또한, 상기 부유게이트는 상기 활성영역의 상부표면보다 큰 폭을 구비할 수 있다.
- <21> 다른 실시 예에 있어서, 상기 부유게이트는 상기 활성영역에 인접한 제 1 부유게이트패턴을 구비할 수 있다. 상기 제 1 부유게이트패턴 상에 불순물 첨가된 제 2 부유게이트패턴이 배치될 수 있다. 상기 제 1 부유게이트패턴 상에 연장되고 상기 불순물 첨가된 제 2 부유게이트패턴의 측벽들을 덮는 불순물 첨가된 제 1 부유게이트패턴들이 배치될 수 있다. 상기 제 1 부유게이트패턴 및 상기 불순물 첨가된 제 2 부유게이트패턴 사이에 스크린패턴이 배치될 수 있다. 상기 스크린패턴은 상기 불순물 첨가된 제 2 부유게이트패턴 및 상기 불순물 첨가된 제 1 부유게이트패턴들 사이에 연장될 수 있다. 상기 스크린패턴은 실리콘산화막, 실리콘질화막, 실리콘산질화막, 및 이들의 조합막으로 이루어진 일군에서 선택된 하나일 수 있다.
- <22> 또 다른 실시 예에 있어서, 상기 불순물 첨가된 제 1 부유게이트패턴들은 상기 제 1 부유게이트패턴 보다 높은 농도의 상기 불순물이온들을 함유할 수 있다. 상기 불순물 첨가된 제 2 부유게이트패턴은 상기 불순물 첨가된 제 1 부유게이트패턴들 보다 높은 농도의 상기 불순물이온들을 함유할 수 있다. 상기 제 1 부유게이트패턴은 상기 불순물이온들을 함유하지 않을 수 있다. 상기 제 1 부유게이트패턴은 비도핑 폴리실리콘막일 수 있다.
- <23> 또 다른 실시 예에 있어서, 상기 게이트라인은 상기 불순물 첨가된 제 1 부유게이트패턴들의 측벽들을 덮을 수 있다.
- <24> 또 다른 실시 예에 있어서, 상기 게이트라인은 상기 부유게이트패턴의 측벽들 및 상부표면을 덮되, 상기 부유게이트패턴의 하단표면보다 높은 레벨에 배치될 수 있다.
- <25> 또 다른 실시 예에 있어서, 상기 불순물이온들은 B, P, As, 및 Ge 로 이루어진 일군에서 선택된 하나일 수 있다.

**효 과**

<26> 본 발명에 따르면, 게이트라인 및 활성영역 사이에 배치된 부유게이트가 제공된다. 상기 부유게이트는 제 1 부유게이트막, 스크린 막, 및 제 2 부유게이트막을 차례로 적층 한 후, 불순물이온들을 주입하여 형성할 수 있다. 상기 스크린 막은 상기 불순물이온들의 침투를 저지하는 역할을 할 수 있다. 상기 부유게이트는 상기 활성영역 상에 자기정렬되며, 상기 활성영역에 가까울수록 상대적으로 낮은 농도의 불순물이온들을 함유한다. 또한, 상기 부유게이트는 상기 게이트라인에 가까울수록 높은 농도의 상기 불순물이온들을 함유한다. 따라서 우수한 전기적 특성을 갖는 부유게이트를 채택하는 비휘발성 메모리소자를 구현할 수 있다.

**발명의 실시를 위한 구체적인 내용**

<27> 첨부한 도면들을 참조하여 본 발명의 바람직한 실시 예들을 상세히 설명하기로 한다. 그러나 본 발명은 여기서 설명되는 실시 예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시 예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.

<28> 도 1은 본 발명의 실시 예에 따른 플래시메모리소자의 일부를 보여주는 평면도이고, 도 2 내지 도 13은 도 1의 절단선 I-I' 에 따라 취해진 단면도들이다.

<29> 도 1 및 도 2를 참조하면, 기판(51) 상에 하드마스크패턴(63)을 형성할 수 있다.

<30> 상기 기판(51)은 실리콘웨이퍼 또는 에스오아이(silicon on insulator; SOI)웨이퍼와 같은 반도체기판일 수 있다. 상기 하드마스크패턴(63)은 패드산화패턴(61) 및 질화패턴(62)을 차례로 적층 하여 형성할 수 있다. 상기 패드산화패턴(61)은 열산화막 또는 화학기상증착(chemical vapor deposition; CVD) 방법에 의한 실리콘산화막으로 형성할 수 있다. 상기 질화패턴(62)은 화학기상증착(CVD) 방법에 의한 실리콘질화막으로 형성할 수 있다. 상기 하드마스크패턴(63)은 공지의 사진 및 식각 공정을 이용하여 형성할 수 있다.

<31> 도시된 바와 같이, 상기 패드산화패턴(61)은 상기 질화패턴(62) 및 상기 기판(51) 사이에 잔존할 수 있다. 상기 패드산화패턴(61)은 상기 질화패턴(62) 및 상기 기판(51) 사이의 스트레스를 완화하는 역할을 할 수 있다.

<32> 도 1 및 도 3을 참조하면, 상기 기판(51)에 활성영역들(52)을 한정하는 소자분리 트렌치들(56T)을 형성할 수 있다. 상기 활성영역들(52)의 각각은 라인(line) 모양 또는 바아(bar) 모양으로 형성할 수 있다. 상기 활성영역들(52)은 서로 평행하게 형성할 수 있다.

<33> 상기 소자분리 트렌치들(56T)을 형성하는 공정은 상기 하드마스크패턴(63)을 식각마스크로 이용하는 이방성식각 공정을 포함할 수 있다. 여기서, 상기 활성영역들(52)의 각각은 그 상부의 폭이 하부보다 좁은 사다리꼴 또는 그 상부의 폭이 하부보다 넓은 역 사다리꼴과 같이 다양한 모양으로 형성할 수 있으나, 이하에서는 간략한 설명을 위하여 상기 활성영역들(52)의 각각은 그 상부의 폭이 하부와 동일하게 형성된 경우를 상정하여 설명하기로 한다.

<34> 도 1 및 도 4를 참조하면, 상기 소자분리 트렌치들(56T)에 소자분리패턴들(56)을 형성할 수 있다. 상기 소자분리패턴들(56)은 측벽산화막(53), 질화막라이너(54), 및 갭필(gap fill) 절연막(55)과 같은 절연막들을 차례로 적층 하여 형성할 수 있다.

<35> 구체적으로, 상기 소자분리 트렌치들(56T)에 상기 측벽산화막(53)을 형성할 수 있다. 상기 측벽산화막(53)은 열산화막으로 형성할 수 있다. 상기 측벽산화막(53)은 상기 소자분리 트렌치들(56T)에 노출된 상기 활성영역들(52)의 측벽들을 균일한 두께로 덮도록 형성할 수 있다. 상기 측벽산화막(53)을 갖는 상기 기판(51) 상에 상기 질화막라이너(54)를 형성할 수 있다. 상기 질화막라이너(54)는 화학기상증착(CVD) 방법에 의한 실리콘질화막으로 형성할 수 있다. 상기 질화막라이너(54)는 상기 측벽산화막(53) 및 상기 하드마스크패턴(63)을 균일한 두께로 덮도록 형성할 수 있다. 상기 질화막라이너(54) 상에 상기 갭필 절연막(55)을 형성할 수 있다. 상기 갭필 절연막(55)은 상기 질화패턴(62)에 대하여 식각선택비를 갖는 물질막으로 형성할 수 있다. 예를 들면, 상기 갭필 절연막(55)은 고밀도 플라즈마 산화막(high density plasma oxide) 또는 에스오지(SOG)막 과 같은 실리콘산화막으로 형성할 수 있다. 상기 갭필 절연막(55)은 상기 소자분리 트렌치들(56T)을 완전히 채우고 상기 기판(51)의

전면을 덮도록 형성할 수 있다.

- <36> 이어서, 상기 캡필 절연막(55)을 평탄화하여 상기 하드마스크패턴(63)을 노출할 수 있다. 이 경우에, 상기 질화막라이너(54)는 상기 소자분리 트렌치들(56T) 내에 잔존할 수 있다. 상기 캡필 절연막(55)의 평탄화에는 화학기계적연마(chemical mechanical polishing; CMP) 공정 또는 에치백(etch back) 공정이 적용될 수 있다. 이와는 달리, 상기 하드마스크패턴(63) 상에 상기 질화막라이너(54)가 잔존할 수도 있다.
- <37> 결과적으로, 상기 소자분리패턴들(56)의 상부표면은 상기 활성영역들(52)보다 높은 레벨을 갖도록 형성할 수 있다. 또한, 상기 소자분리패턴들(56) 및 상기 하드마스크패턴(63)의 상부표면들은 실질적으로 동일평면상에 노출될 수 있다.
- <38> 도 1 및 도 5를 참조하면, 상기 질화패턴(62)을 제거하여 상기 패드산화패턴(61)을 노출할 수 있다. 그 결과, 상기 활성영역들(52) 상에 게이트 트렌치들(620)이 형성될 수 있다. 이 경우에, 상기 게이트 트렌치들(620)은 상기 소자분리패턴들(56) 사이에 자기정렬될 수 있다.
- <39> 상기 질화패턴(62)의 제거에는 인산( $H_3PO_4$ )을 사용하는 습식세정과 같은 등방성식각 공정이 적용될 수 있다. 상기 질화패턴(62)을 제거하는 동안 상기 질화막라이너(54) 또한 부분적으로 식각될 수 있다. 이 경우에, 상기 질화막라이너(54)는 상기 측벽산화막(53) 및 상기 캡필 절연막(55) 사이에 보존될 수 있다.
- <40> 도 1 및 도 6을 참조하면, 상기 패드산화패턴(61)을 제거하여 확장된 게이트 트렌치들(630)을 형성할 수 있다. 그 결과, 상기 활성영역들(52)의 상부표면들은 노출될 수 있다. 상기 패드산화패턴(61)의 제거에는 불산(HF)을 사용하는 습식세정과 같은 등방성식각 공정이 적용될 수 있다. 상기 패드산화패턴(61)을 제거하는 동안 상기 캡필 절연막(55) 또한 부분적으로 식각될 수 있다. 이 경우에, 상기 확장된 게이트 트렌치들(630)은 상기 활성영역들(52)의 상부표면보다 큰 폭을 갖도록 형성할 수 있다. 이에 더하여, 상기 캡필 절연막(55)을 등방성식각하여 상기 확장된 게이트 트렌치들(630)을 더욱 확장할 수도 있다.
- <41> 결과적으로, 상기 확장된 게이트 트렌치들(630)의 각각은 상기 활성영역들(52) 중 대응하는 하나의 상부에 자기정렬될 수 있다.
- <42> 도 1 및 도 7을 참조하면, 상기 활성영역들(52)의 노출된 표면들에 터널유전막(65)을 형성할 수 있다. 상기 터널유전막(65)은 열산화막과 같은 실리콘산화막으로 형성할 수 있다. 다른 실시 예에서, 상기 터널유전막(65)은 실리콘산화막, 고유전막(high-K dielectrics), 실리콘질화막, 실리콘산질화막, 또는 이들의 조합막으로 형성할 수 있다. 또한, 상기 터널유전막(65)은 원자층증착(atomic layer deposition) 방법 또는 화학기상증착(chemical vapor deposition; CVD) 방법으로 형성할 수도 있다.
- <43> 계속하여, 상기 기판(51)의 표면을 따라 제 1 부유게이트막(71)을 형성할 수 있다. 상기 제 1 부유게이트막(71)은 비도핑 폴리실리콘막으로 형성할 수 있다. 상기 제 1 부유게이트막(71)은 5nm 내지 40 nm 두께로 형성할 수 있다. 상기 제 1 부유게이트막(71)은 상기 확장된 게이트 트렌치들(630)의 내벽을 덮도록 형성할 수 있다. 즉, 상기 제 1 부유게이트막(71)은 상기 소자분리패턴들(56)의 측벽들 및 상기 터널유전막(65)을 덮을 수 있다. 상기 제 1 부유게이트막(71)은 상기 터널유전막(65)에 접촉될 수 있다.
- <44> 도 1 및 도 8을 참조하면, 상기 제 1 부유게이트막(71) 상에 스크린 막(screen layer; 72)을 형성할 수 있다. 상기 스크린 막(72)은 0.1 nm 내지 3 nm 두께로 형성할 수 있다. 더욱 바람직하게는, 상기 스크린 막(72)은 1 nm 내지 2 nm 두께로 형성할 수 있다. 상기 스크린 막(72)은 실리콘산화막, 실리콘질화막, 실리콘산질화막, 및 이들의 조합막으로 이루어진 일군에서 선택된 하나로 형성할 수 있다. 상기 스크린 막(72)은 플라즈마 질화법(plasma nitridation), 라디칼 산화법(radical oxidation), 또는 열산화법(thermal oxidation)으로 형성할 수 있다. 상기 스크린 막(72)은 상기 제 1 부유게이트막(71)의 표면을 균일한 두께로 덮을 수 있다.
- <45> 도 1 및 도 9를 참조하면, 상기 스크린 막(72) 상에 제 2 부유게이트막(73)을 형성할 수 있다. 상기 제 2 부유게이트막(73)은 상기 확장된 게이트 트렌치들(630)을 완전히 채우고 상기 기판(51)을 덮도록 형성할 수 있다. 상기 제 2 부유게이트막(73)은 도핑된 폴리실리콘막 또는 비도핑 폴리실리콘막으로 형성할 수 있다. 상기 도핑된 폴리실리콘막은 폴리실리콘막에 B, P, As, 및 Ge 로 이루어진 일군에서 선택된 하나를 첨가하여 형성할 수 있다.
- <46> 도 1 및 도 10을 참조하면, 상기 소자분리패턴들(56)이 노출될 때까지 상기 제 2 부유게이트막(73), 상기 스크린 막(72), 및 상기 제 1 부유게이트막(71)을 평탄화하여 예비패턴들(75)을 형성할 수 있다. 상기 제 2 부유게이트막(73), 상기 스크린 막(72), 및 상기 제 1 부유게이트막(71)의 평탄화에는 화학기계적연마(chemical

mechanical polishing; CMP) 공정 또는 에치백(etch back) 공정이 적용될 수 있다.

- <47> 그 결과, 상기 예비패턴들(75)의 각각은 상기 확장된 게이트 트렌치들(630)을 채울 수 있다. 상기 예비패턴들(75)의 각각은 상기 제 2 부유게이트막(73), 상기 제 2 부유게이트막(73)의 측벽들 및 바닥을 감싸는 상기 제 1 부유게이트막(71), 및 상기 제 2 부유게이트막(73)과 상기 제 1 부유게이트막(71) 사이에 개재된 상기 스크린막(72)으로 구성될 수 있다. 또한, 상기 예비패턴들(75)의 각각은 상기 활성영역들(52) 중 대응하는 하나의 상부에 자기정렬될 수 있다. 상기 부유게이트패턴(75)은 상기 활성영역(52)보다 큰 폭으로 형성될 수 있다. 상기 소자분리패턴들(56) 및 상기 예비패턴들(75)의 상부표면들은 실질적으로 동일평면상에 노출될 수 있다. 즉, 상기 제 2 부유게이트막(73)의 상부표면은 노출될 수 있다. 이에 더하여, 상기 제 2 부유게이트막(73) 및 상기 소자분리패턴들(56) 사이에 상기 제 1 부유게이트막(71)이 노출될 수 있다.
- <48> 도 1 및 도 11을 참조하면, 이온주입공정(IIP)을 이용하여 상기 예비패턴들(75)에 불순물이온들을 주입하여 부유게이트패턴들(75D)을 형성할 수 있다. 상기 불순물이온들은 B, P, As, 및 Ge 로 이루어진 일군에서 선택된 하나일 수 있다.
- <49> 상기 이온주입공정(IIP)에 의하여 상기 불순물이온들은 상기 제 2 부유게이트막(73)에 주입될 수 있다. 이 경우에, 상기 제 2 부유게이트막(73)은 불순물 첨가된 제 2 부유게이트막(73D)으로 완전히 전환될 수 있다. 또한, 상기 이온주입공정(IIP)이 수행되는 동안 상기 제 1 부유게이트막(71)의 노출면을 통하여 상기 불순물이온들이 주입될 수 있다. 즉, 상기 제 2 부유게이트막(73)의 양측에 불순물 첨가된 제 1 부유게이트막들(71D)이 형성될 수 있다. 그러나 상기 이온주입공정(IIP)이 수행되는 동안 상기 스크린 막(72)은 상기 불순물이온들의 침투경로를 차단하는 역할을 할 수 있다. 이에 따라, 상기 스크린 막(72)의 하부에는 상기 제 1 부유게이트막(71)이 보존될 수 있다. 즉, 상기 제 1 부유게이트막(71)의 상기 터널유전막(65)에 가까운 영역에는 상기 불순물이온들이 주입되지 않도록 제어할 수 있다.
- <50> 결과적으로, 상기 부유게이트패턴들(75D)은 상기 불순물 첨가된 제 2 부유게이트막(73D), 상기 스크린 막(72), 상기 불순물 첨가된 제 1 부유게이트막들(71D), 및 상기 제 1 부유게이트막(71)으로 구성될 수 있다. 상기 부유게이트패턴들(75D)은 표면에서 하부영역으로 갈수록 낮은 불순물이온 농도를 보일 수 있다. 더 나아가서, 상기 터널유전막(65)에 인접한 상기 제 1 부유게이트막(71)에는 비도핑 폴리실리콘막이 보존될 수도 있다.
- <51> 상기 불순물이온들은 상기 부유게이트패턴들(75D)의 상부에서 아래로 갈수록 낮은 농도분포를 보일 수 있다. 구체적으로, 상기 불순물 첨가된 제 2 부유게이트막(73D)은 상기 불순물 첨가된 제 1 부유게이트막들(71D)에 비하여 상대적으로 높은 농도의 상기 불순물이온들을 함유할 수 있다. 또한, 상기 불순물 첨가된 제 1 부유게이트막들(71D)은 상기 제 1 부유게이트막(71)에 비하여 상대적으로 높은 농도의 상기 불순물이온들을 함유할 수 있다. 상기 스크린 막(72)은 상기 불순물이온들의 확산을 저지하는 역할을 할 수 있다. 이에 따라, 상기 터널유전막(65)에 인접한 상기 제 1 부유게이트막(71)은 상기 불순물이온들을 함유하지 않거나 상대적으로 낮은 농도를 보일 수 있다.
- <52> 도 1 및 도 12를 참조하면, 상기 소자분리패턴들(56)을 에치백(etch back)하여 상기 부유게이트패턴들(75D)의 상부표면들보다 아래로 리세스시킬 수 있다. 상기 리세스된 소자분리패턴들(56)의 상부표면들은 상기 활성영역들(52)보다 상부레벨에 형성될 수 있다. 이 경우에, 상기 부유게이트패턴들(75D)의 측벽들은 부분적으로 노출될 수 있다. 즉, 상기 불순물 첨가된 제 1 부유게이트막들(71D)은 상기 리세스된 소자분리패턴들(56)보다 상부에 노출될 수 있다.
- <53> 이어서, 상기 부유게이트패턴들(75D) 및 상기 리세스된 소자분리패턴들(56) 상에 게이트간유전막(81)을 형성할 수 있다. 상기 게이트간유전막(81)은 실리콘산화막, 실리콘질화막, 실리콘산질화막, 고유전막(high-K dielectrics), 또는 이들의 조합막으로 형성될 수 있다. 예를 들면, 상기 게이트간유전막(81)은 오옌오(oxide nitride oxide; ONO) 막으로 형성될 수 있다. 상기 오옌오(oxide nitride oxide; ONO) 막은 차례로 적층된 실리콘산화막, 실리콘질화막, 및 실리콘산화막일 수 있다. 상기 게이트간유전막(81)은 상기 리세스된 소자분리패턴들(56) 및 상기 부유게이트패턴들(75D)의 노출면을 균일한 두께로 덮을 수 있다.
- <54> 도 1 및 도 13을 참조하면, 상기 게이트간유전막(81) 상에 게이트도전막(83)을 형성할 수 있다. 상기 게이트도전막(83)은 도핑된 폴리실리콘막, 금속막, 금속실리사이드막, 또는 이들의 조합막으로 형성될 수 있다.
- <55> 상기 게이트도전막(83), 상기 게이트간유전막(81), 및 상기 부유게이트패턴들(75D)을 연속적으로 패터닝하여 게이트라인(83'), 게이트간유전패턴(81'), 및 부유게이트들(75F)을 형성할 수 있다. 상기 게이트라인(83')은 상기 활성영역들(52) 및 상기 소자분리패턴들(56)을 가로지르도록 형성할 수 있다. 상기 게이트라인(83')은 제어게이

트 전극의 역할을 할 수 있다. 상기 게이트라인(83')은 상기 부유게이트들(75F)의 측벽들을 부분적으로 덮을 수 있다.

- <56> 상기 부유게이트들(75F)의 각각은 불순물 첨가된 제 2 부유게이트패턴(73D'), 스크린 패턴(72'), 불순물 첨가된 제 1 부유게이트패턴들(71D'), 및 제 1 부유게이트패턴(71')으로 구성될 수 있다. 상기 게이트라인(83')은 상기 불순물 첨가된 제 1 부유게이트패턴들(71D')의 측벽들을 부분적으로 덮을 수 있다.
- <57> 이후, 상기 게이트라인(83') 양측에 인접한 상기 활성영역들(52)에 소스/드레인 영역들(52S, 52D) 형성과 같은 후속공정들을 이용하여 플래시메모리소자를 제조할 수 있다.
- <58> 이제 도 1 및 도 13을 다시 참조하여 본 발명의 실시 예에 따른 플래시메모리소자를 설명하기로 한다.
- <59> 도 1 및 도 13을 다시 참조하면, 본 발명의 실시 예에 따른 플래시메모리소자는 기판(51) 상에 활성영역들(52)을 한정하는 소자분리패턴들(56)을 구비할 수 있다. 상기 활성영역들(52)의 각각은 평면도 상에서 볼 때 라인(line) 모양 또는 바아(bar) 모양일 수 있다. 상기 활성영역들(52)은 서로 평행하게 배치될 수 있다.
- <60> 상기 기판(51)은 실리콘웨이퍼 또는 에스오아이(silicon on insulator; SOI)웨이퍼와 같은 반도체기판일 수 있다. 상기 소자분리패턴들(56)은 차례로 적층된 측벽산화막(53), 질화막라이너(54), 및 갭필(gap fill) 절연막(55)을 구비할 수 있다. 상기 질화막라이너(54)는 상기 갭필 절연막(55)의 측벽들 및 바닥을 감싸도록 배치될 수 있다. 상기 측벽산화막(53)은 상기 질화막라이너(54)의 측벽들 및 바닥을 감싸도록 배치될 수 있다. 즉, 상기 질화막라이너(54)는 상기 측벽산화막(53) 및 상기 갭필 절연막(55) 사이에 개재될 수 있다. 또한, 상기 측벽산화막(53)은 상기 활성영역들(52)의 측벽들을 덮을 수 있다.
- <61> 상기 활성영역들(52) 및 상기 소자분리패턴들(56) 상을 가로지르는 게이트라인(83')이 제공될 수 있다. 상기 게이트라인(83') 및 상기 활성영역들(52) 사이에 부유게이트들(75F)이 배치될 수 있다. 상기 부유게이트들(75F)은 서로 떨어지도록 배치될 수 있다. 상기 부유게이트들(75F)의 각각은 상기 활성영역들(52) 중 대응하는 하나에 자기정렬(self-align)될 수 있다. 상기 부유게이트들(75F)의 각각은 상기 활성영역들(52) 중 대응하는 하나보다 큰 폭을 구비할 수 있다. 상기 부유게이트들(75F) 및 상기 활성영역들(52) 사이에 터널유전막(65)이 배치될 수 있다.
- <62> 상기 게이트라인(83') 및 상기 부유게이트들(75F) 사이에 게이트간유전패턴(81')이 배치될 수 있다. 상기 게이트라인(83')은 상기 부유게이트들(75F)의 측벽들을 덮도록 신장할 수 있다. 이 경우에, 상기 게이트라인(83')은 상기 소자분리패턴들(56)과 마주볼 수 있다. 상기 게이트간유전패턴(81')은 상기 게이트라인(83') 및 상기 소자분리패턴들(56) 사이에 연장될 수 있다.
- <63> 상기 게이트라인(83')은 도핑된 폴리실리콘막, 금속막, 금속실리사이드막, 또는 이들의 조합막일 수 있다. 상기 터널유전막(65)은 실리콘산화막, 고유전막(high-K dielectrics), 실리콘질화막, 실리콘산질화막, 또는 이들의 조합막일 수 있다. 상기 게이트간유전패턴(81')은 실리콘산화막, 실리콘질화막, 고유전막(high-K dielectrics), 실리콘산질화막, 또는 이들의 조합막일 수 있다.
- <64> 상기 부유게이트들(75F)의 각각은 제 1 부유게이트패턴(71'), 불순물 첨가된 제 1 부유게이트패턴들(71D'), 스크린 패턴(72'), 및 불순물 첨가된 제 2 부유게이트패턴(73D')으로 구성될 수 있다. 상기 스크린 패턴(72')은 상기 불순물 첨가된 제 2 부유게이트패턴(73D')의 측벽들 및 바닥을 감싸도록 배치될 수 있다. 상기 제 1 부유게이트패턴(71')은 상기 스크린 패턴(72') 및 상기 터널유전막(65) 사이에 배치될 수 있다. 상기 불순물 첨가된 제 1 부유게이트패턴들(71D')은 상기 제 1 부유게이트패턴(71') 상에 연장될 수 있다. 즉, 상기 불순물 첨가된 제 1 부유게이트패턴들(71D')은 상기 불순물 첨가된 제 2 부유게이트패턴(73D')의 측벽들과 마주보도록 배치될 수 있다.
- <65> 상기 불순물 첨가된 제 1 부유게이트패턴들(71D') 및 상기 불순물 첨가된 제 2 부유게이트패턴(73D')의 상부표면들은 실질적으로 동일평면상에 배치될 수 있다. 상기 스크린 패턴(72')은 상기 불순물 첨가된 제 1 부유게이트패턴들(71D') 및 상기 불순물 첨가된 제 2 부유게이트패턴(73D') 사이에 개재될 수 있다. 또한, 상기 제 1 부유게이트패턴(71') 및 상기 불순물 첨가된 제 2 부유게이트패턴(73D') 사이에 개재될 수 있다. 상기 게이트라인(83')은 상기 불순물 첨가된 제 1 부유게이트패턴들(71D')의 측벽들을 부분적으로 덮을 수 있다.
- <66> 상기 불순물 첨가된 제 1 부유게이트패턴들(71D') 및 상기 불순물 첨가된 제 2 부유게이트패턴(73D')의 각각은 폴리실리콘막에 불순물이온들이 첨가된 것일 수 있다. 상기 불순물이온들은 B, P, As, 및 Ge 로 이루어진 일군에서 선택된 하나일 수 있다. 상기 제 1 부유게이트패턴(71')은 비도핑 폴리실리콘막일 수 있다.

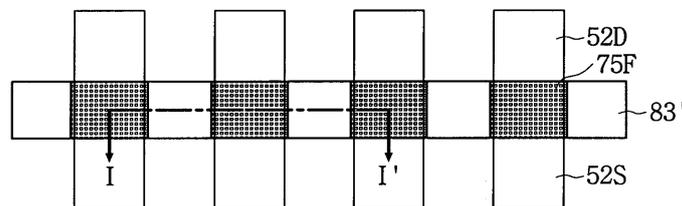
- <67> 상기 불순물이온들은 상기 부유게이트들(75F)의 상부에서 아래로 갈수록 낮은 농도분포를 보일 수 있다. 구체적으로, 상기 불순물 첨가된 제 2 부유게이트패턴(73D')은 상기 불순물 첨가된 제 1 부유게이트패턴들(71D')에 비하여 상대적으로 높은 농도의 상기 불순물이온들을 함유할 수 있다. 또한, 상기 불순물 첨가된 제 1 부유게이트패턴들(71D')은 상기 제 1 부유게이트패턴(71')에 비하여 상대적으로 높은 농도의 상기 불순물이온들을 함유할 수 있다. 상기 스크린 패턴(72')은 상기 불순물이온들의 확산을 저지하는 역할을 할 수 있다. 이에 따라, 상기 터널유전막(65)에 인접한 상기 제 1 부유게이트패턴(71')은 상기 불순물이온들을 함유하지 않거나 상대적으로 낮은 농도를 보일 수 있다.
- <68> 상기 제 1 부유게이트패턴(71') 및 상기 불순물 첨가된 제 1 부유게이트패턴들(71D')은 5 nm 내지 40 nm 두께일 수 있다. 상기 스크린 패턴(72')은 0.1 nm 내지 3 nm 두께일 수 있다. 더욱 바람직하게는, 상기 스크린 패턴(72')은 1 nm 내지 2 nm 두께일 수 있다. 상기 스크린 패턴(72')은 실리콘산화막, 실리콘질화막, 실리콘산질화막, 및 이들의 조합막으로 이루어진 일군에서 선택된 하나일 수 있다.
- <69> 상기 게이트라인(83') 양측에 인접한 상기 활성영역들(52)에 소스/드레인 영역들(52S, 52D)이 제공될 수 있다.
- <70> 상술한 바와 같이 본 발명의 실시 예에 따르면, 상기 부유게이트들(75F) 내에서 상기 터널유전막(65)에 인접할수록 상기 불순물이온들의 농도는 낮을 수 있으며, 상기 게이트간유전패턴(81')에 인접할수록 상기 불순물이온들의 농도는 높을 수 있다. 상기 불순물이온들은 상기 부유게이트들(75F)의 도전성을 높이는 역할을 할 수 있다. 또한, 상기 터널유전막(65)에 인접한 상기 제 1 부유게이트패턴(71')은 상기 불순물이온들을 함유하지 않거나 상대적으로 낮은 농도를 보일 수 있다.
- <71> 이에 더하여, 상기 게이트라인(83')은 상기 불순물 첨가된 제 1 부유게이트패턴들(71D')의 측벽들을 덮을 수 있다. 상기 불순물 첨가된 제 1 부유게이트패턴들(71D')은 상기 제 1 부유게이트패턴(71')보다 높은 농도의 상기 불순물이온들을 함유할 수 있다. 즉, 상기 불순물 첨가된 제 1 부유게이트패턴들(71D')은 우수한 도전성을 보일 수 있다. 이에 따라, 상기 게이트라인(83'), 상기 부유게이트들(75F), 및 상기 활성영역들(52) 간의 커플링비(coupling ratio)는 증가할 수 있다.
- <72> 결과적으로, 우수한 전기적 특성 및 높은 신뢰성을 갖는 플래시 메모리소자를 구현할 수 있다.

**도면의 간단한 설명**

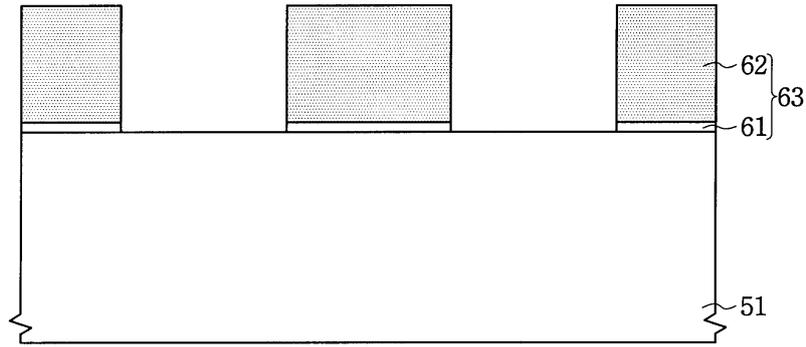
- <73> 도 1은 본 발명의 실시 예에 따른 플래시메모리소자의 일부를 보여주는 평면도이다.
- <74> 도 2 내지 도 13은 본 발명의 실시 예에 따른 플래시메모리소자의 제조방법을 설명하기 위하여 도 1의 절단선 I-I'에 따라 취해진 단면도들이다.

**도면**

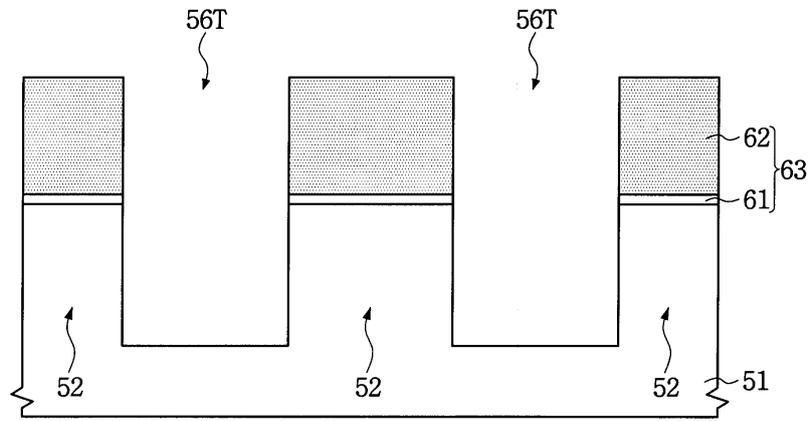
**도면1**



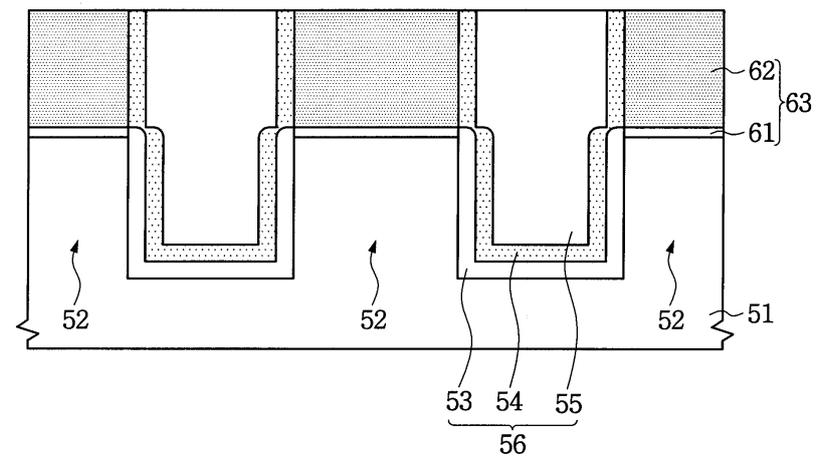
도면2



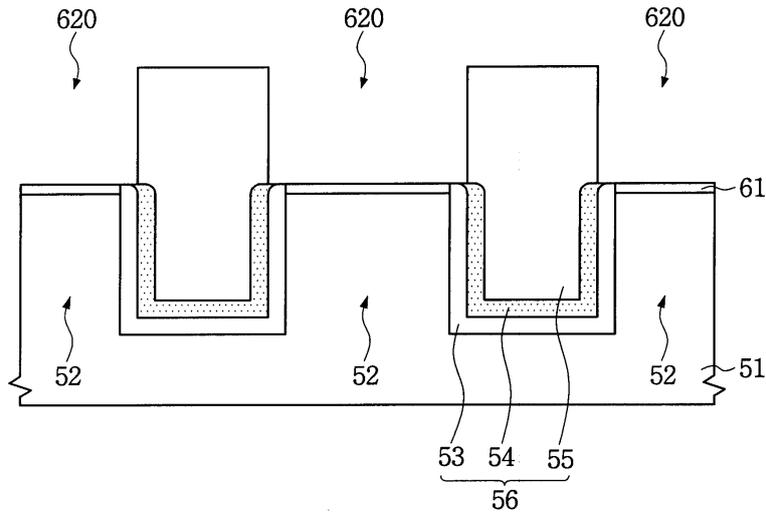
도면3



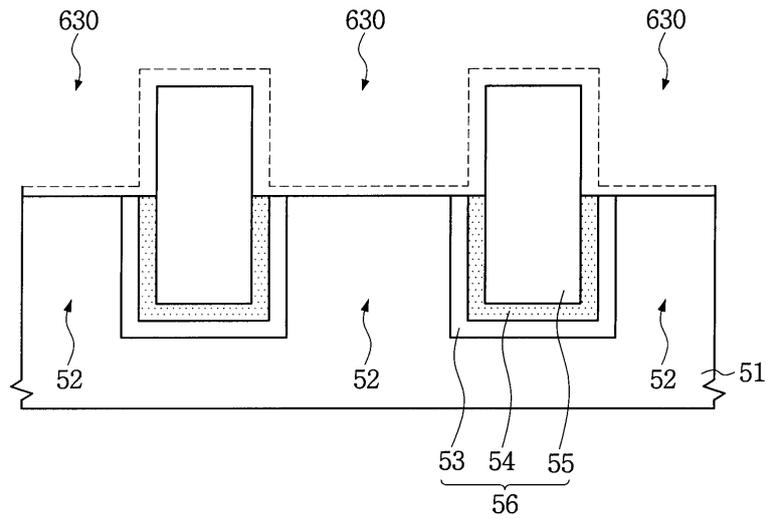
도면4



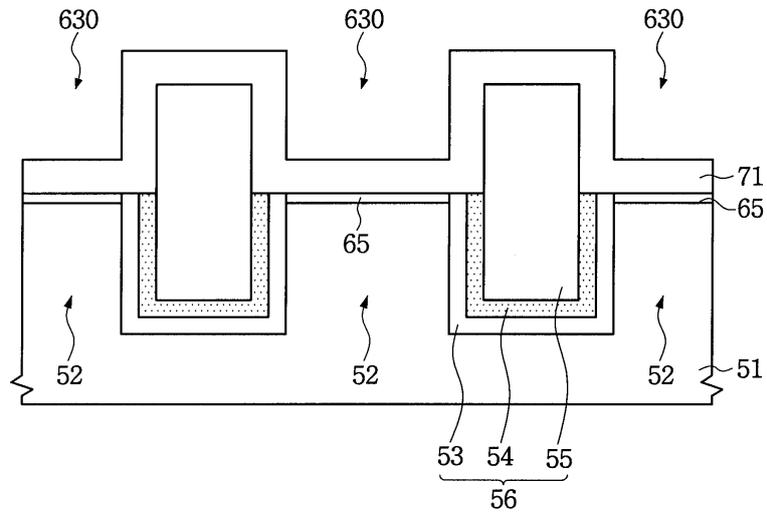
도면5



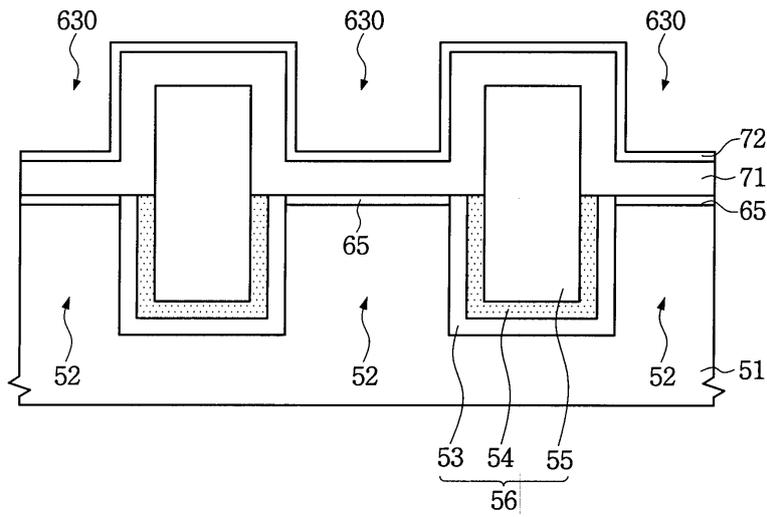
도면6



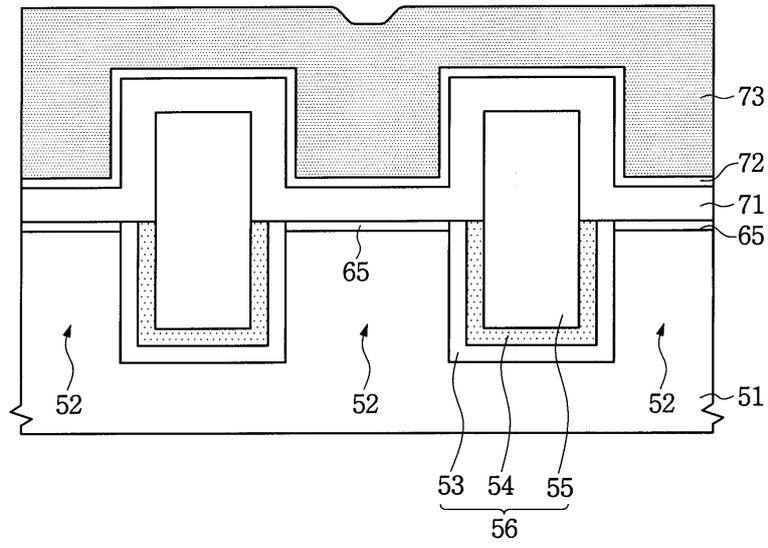
도면7



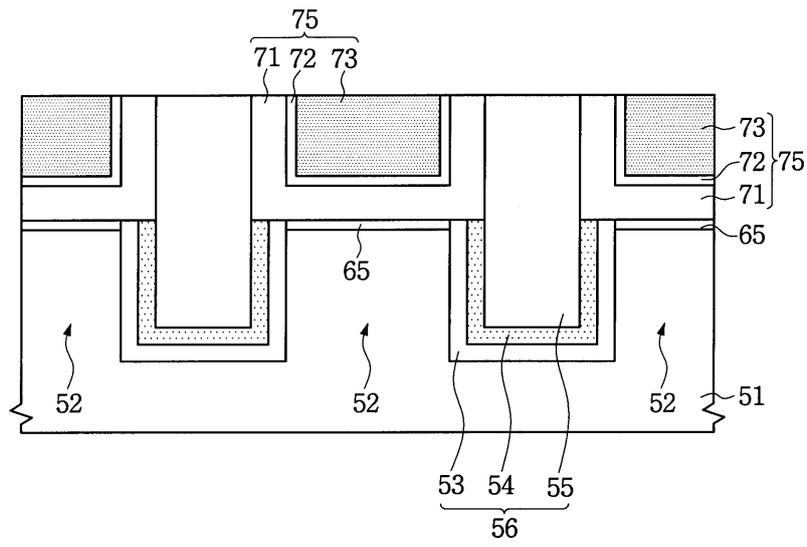
도면8



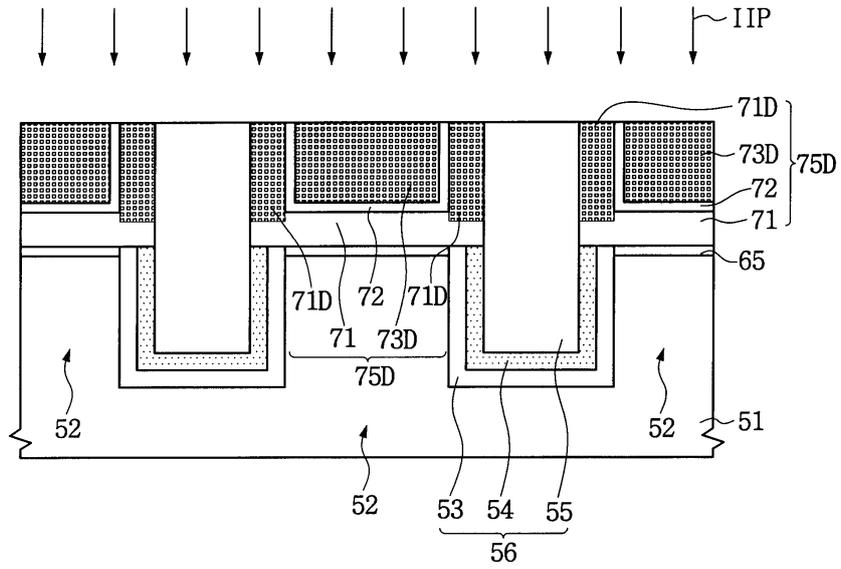
도면9



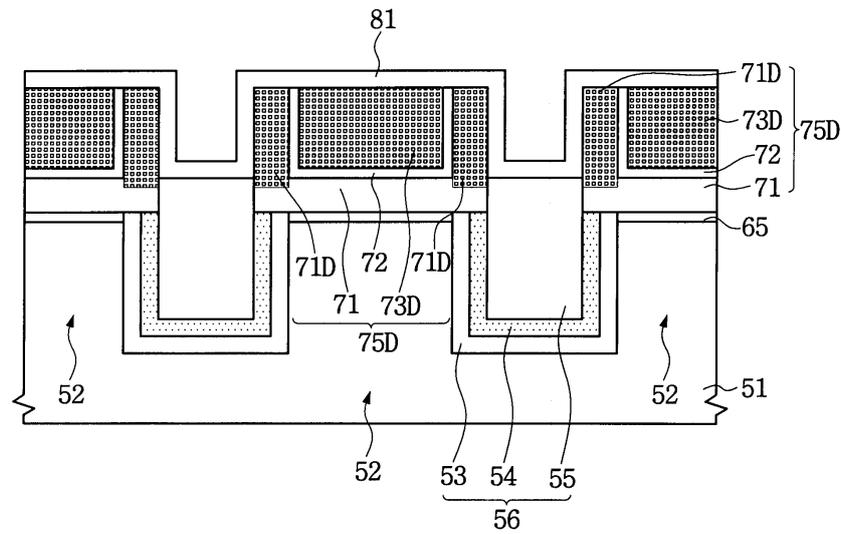
도면10



도면11



도면12



도면13

