

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6170581号
(P6170581)

(45) 発行日 平成29年7月26日(2017.7.26)

(24) 登録日 平成29年7月7日(2017.7.7)

(51) Int.Cl.	F I					
G 1 1 C	19/28	(2006.01)	G 1 1 C	19/28	2 3 0	
G 0 9 G	3/20	(2006.01)	G 0 9 G	3/20	6 2 2 E	
G 0 9 G	3/36	(2006.01)	G 0 9 G	3/20	6 2 3 H	
			G 0 9 G	3/36		

請求項の数 5 (全 28 頁)

(21) 出願番号	特願2016-31794 (P2016-31794)	(73) 特許権者	000153878
(22) 出願日	平成28年2月23日(2016.2.23)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2014-221068 (P2014-221068)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	三宅 博之
原出願日	平成19年10月15日(2007.10.15)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2016-149179 (P2016-149179A)		半導体エネルギー研究所内
(43) 公開日	平成28年8月18日(2016.8.18)	審査官	堀田 和義
審査請求日	平成28年2月24日(2016.2.24)	(56) 参考文献	特開2006-107692 (JP, A)
(31) 優先権主張番号	特願2006-282931 (P2006-282931))
(32) 優先日	平成18年10月17日(2006.10.17)		米国特許出願公開第2005/0201508 (US, A1)
(33) 優先権主張国	日本国(JP)		米国特許第6339631 (US, B1)
前置審査)
			最終頁に続く

(54) 【発明の名称】 半導体装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

第1乃至第7のトランジスタを有し、
 前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、
 前記第3のトランジスタのソース又はドレインの一方は、前記第4のトランジスタのソース又はドレインの一方と電氣的に接続され、
 前記第3のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電氣的に接続され、
 前記第5のトランジスタのソース又はドレインの一方は、前記第6のトランジスタのソ 10
 ース又はドレインの一方と電氣的に接続され、
 前記第5のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートと電氣的に接続され、
 前記第5のトランジスタのソース又はドレインの一方は、前記第4のトランジスタのゲートと電氣的に接続され、
 前記第7のトランジスタのソース又はドレインの一方は、前記第5のトランジスタのソ 20
 ース又はドレインの他方と電氣的に接続され、
 前記第3のトランジスタのゲートは、前記第6のトランジスタのゲートと電氣的に接続され、
 前記第7のトランジスタのソース又はドレインの他方は、第1の配線と電氣的に接続さ

10

20

れ、

前記第5のトランジスタのゲートは、前記第7のトランジスタのゲートと直接接続されておらず、

前記第5のトランジスタのゲートは、前記第1の配線と直接接続されておらず、

前記第2のトランジスタのソース又はドレインの他方と前記第4のトランジスタのソース又はドレインの他方と前記第6のトランジスタのソース又はドレインの他方とには、同じ電位が供給されることを特徴とする半導体装置。

【請求項2】

第1乃至第7のトランジスタと、容量素子と、を有し、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、 10

前記第3のトランジスタのソース又はドレインの一方は、前記第4のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第6のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第4のトランジスタのゲートと電氣的に接続され、 20

前記第5のトランジスタのソース又はドレインの一方は、前記容量素子と電氣的に接続され、

前記第7のトランジスタのソース又はドレインの一方は、前記第5のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第3のトランジスタのゲートは、前記第6のトランジスタのゲートと電氣的に接続され、

前記第7のトランジスタのソース又はドレインの他方は、第1の配線と電氣的に接続され、

前記第5のトランジスタのゲートは、前記第7のトランジスタのゲートと直接接続されておらず、 30

前記第5のトランジスタのゲートは、前記第1の配線と直接接続されておらず、

前記第2のトランジスタのソース又はドレインの他方と前記第4のトランジスタのソース又はドレインの他方と前記第6のトランジスタのソース又はドレインの他方とには、同じ電位が供給されることを特徴とする半導体装置。

【請求項3】

第1乃至第7のトランジスタを有し、

前記第1乃至第7のトランジスタは、同じ極性であり、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、 40

前記第3のトランジスタのソース又はドレインの一方は、前記第4のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第6のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第4のトランジスタのゲートと電氣的に接続され、 50

前記第7のトランジスタのソース又はドレインの一方は、前記第5のトランジスタのソース又はドレインの他方と電氣的に接続され、

前記第3のトランジスタのゲートは、前記第6のトランジスタのゲートと電氣的に接続され、

前記第7のトランジスタのソース又はドレインの他方は、第1の配線と電氣的に接続され、

前記第5のトランジスタのゲートは、前記第7のトランジスタのゲートと直接接続されておらず、

前記第5のトランジスタのゲートは、前記第1の配線と直接接続されておらず、

前記第2のトランジスタのソース又はドレインの他方と前記第4のトランジスタのソース又はドレインの他方と前記第6のトランジスタのソース又はドレインの他方とには、同じ電位が供給されることを特徴とする半導体装置。

10

【請求項4】

第1乃至第7のトランジスタと、容量素子と、を有し、

前記第1乃至第7のトランジスタは、同じ極性であり、

前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第4のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電氣的に接続され、

20

前記第5のトランジスタのソース又はドレインの一方は、前記第6のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記第4のトランジスタのゲートと電氣的に接続され、

前記第5のトランジスタのソース又はドレインの一方は、前記容量素子と電氣的に接続され、

前記第7のトランジスタのソース又はドレインの一方は、前記第5のトランジスタのソース又はドレインの他方と電氣的に接続され、

30

前記第3のトランジスタのゲートは、前記第6のトランジスタのゲートと電氣的に接続され、

前記第7のトランジスタのソース又はドレインの他方は、第1の配線と電氣的に接続され、

前記第5のトランジスタのゲートは、前記第7のトランジスタのゲートと直接接続されておらず、

前記第5のトランジスタのゲートは、前記第1の配線と直接接続されておらず、

前記第2のトランジスタのソース又はドレインの他方と前記第4のトランジスタのソース又はドレインの他方と前記第6のトランジスタのソース又はドレインの他方とには、同じ電位が供給されることを特徴とする半導体装置。

40

【請求項5】

請求項1乃至請求項4のいずれか一項に記載の半導体装置と、

操作キー、筐体、外部接続ポート又は音声出力部と、を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はパルス出力回路、シフトレジスタ並びに当該シフトレジスタを有する表示装置、半導体装置及び電子機器に関し、特に単一導電型の薄膜トランジスタ(TFT)により構成されたパルス出力回路、シフトレジスタ、表示装置、半導体装置及び電子機器に関する

50

る。

【背景技術】

【0002】

近年、絶縁体上、特にガラス、プラスチック基板上に半導体薄膜を用いてなる薄膜トランジスタ（以下、「TFT」とも表記する）を用いて回路を形成した表示装置、特にアクティブマトリクス型の表示装置の開発が進んでいる。TFTを用いて形成されたアクティブマトリクス型表示装置は、マトリクス状に配置された数十万から数百万の画素を有し、各画素に配置されたTFTによって、各画素の電荷を制御することによって映像の表示を行っている。

【0003】

さらに最近の技術として、画素を構成する画素TFTの他に、画素部の周辺領域にTFTを用いて駆動回路を同時形成するといった方式が発展してきており、装置の軽薄短小化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しい携帯情報端末の表示部等には不可欠なデバイスとなってきている。

【0004】

一般的に、表示装置の駆動回路を構成する回路としては、N型TFTとP型TFTとを組み合わせたCMOS回路が使用されている。CMOS回路の特徴としては、論理が変化する（H（High（ハイ））レベルからL（Low（ロー））レベル、あるいはLレベルからHレベル）瞬間にのみ電流が流れ、ある論理の保持中には、理想的には電流が流れない（実際には微小なリーク電流の存在がある）ため、回路全体での消費電力を非常に低く抑えることが可能な点、また互いの極性のTFTが相補的に動作するため、高速動作が可能な点が挙げられる。

【0005】

しかし、製造工程を考えると、CMOS回路は、イオンドーピング工程等が複雑になるため、その工程数の多さが製造コストに直接影響を与えている。そこで、従来CMOS回路によって構成されていた回路を、N型、P型いずれかの単極性のTFTを用いて構成し、かつCMOS回路と同程度の高速動作を実現したものが提案されている（例えば、特許文献1参照）。

【0006】

特許文献1に記載の回路は、図7（A）～（C）に示すように、出力端子に電氣的に接続されているTFT2050のゲート電極を、一時的に浮遊状態とすることによって、TFT2050のゲートとソース間の容量結合を利用し、そのゲート電極の電位を、電源電位よりも高い電位とすることが出来る。結果として、TFT2050のしきい値に起因した電圧降下を生ずることなく、振幅減衰のない出力が得られるものである。2010, 2020, 2030, 2040, 及び2060はTFT、2070は容量素子、2100は第1の振幅補償回路、2200は第2の振幅補償回路である。

【0007】

このような、TFT2050における動作は、ブートストラップ動作と呼ばれる。この動作により、TFTのしきい値に起因した電圧降下を生ずることなく、出力パルスを得ることが出来る。

【0008】

また、図7（A）～（C）に記載の回路は、パルスの入出力がない期間において、TFT2050、2060のゲート電極がいずれも浮遊状態となることによりノードにノイズのような電位の変動を生じるが、これを解決するためにパルスが入出力がない期間にTFT1020、1060をオンした状態で浮遊状態とすることによりノードに生じるノイズを低減する回路（図8（A）～（C）参照）が提案されている（例えば、特許文献2参照）。1010, 1030, 1040, 及び1050はTFT、1070は容量素子、1100は第1の振幅補償回路、1200は第2の振幅補償回路である。

【先行技術文献】

【特許文献】

10

20

30

40

50

【 0 0 0 9 】

【特許文献1】特開2002-335153号公報

【特許文献2】特開2004-226429号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 1 0 】

図8において、SROut1に注目すると、パルスの出力後、やがてCK1はHレベルからLレベルへと変化する。これに伴い、SROut1の電位も下降を始める。一方、CK2がHレベルとなるタイミングで、前述と同様の動作が2段目においてもなされ、SROut2にパルスが出力される。このパルスは、1段目において、入力端子3に入力され、TFT1030がオンする。これにより、TFT1020、1060のゲート電極の電位が上昇し、オンする。これに伴い、TFT1050のゲート電極の電位、およびSROut1の電位が下降する。その後、SROut2の出力がHレベルからLレベルになると、TFT1030がオフする。よってTFT1020、1060のゲート電極はこの瞬間、浮遊状態となる。以後、1段目においては次のSPが入力されるまで、この状態が続くことになる。

10

【 0 0 1 1 】

このように、図8(A)、8(B)の回路において、ノードはパルスの入出力がない期間、浮遊状態となっている。例えば、図8(A)、8(B)の回路をスキンドライバとして使用する場合は、約1フレームの間、ノードの電位を保持する必要がある。TFT1040とTFT1060のチャンネル幅は比較的大きくなるのでオフ電流も高くなる。このときTFT1040とTFT1060のオフ電流によってノードの電位が下がり、TFT1060がオフとなる場合がある。この結果、クロック信号と容量結合することにより誤動作する可能性がある。

20

【 0 0 1 2 】

また、TFT1050からパルスが出力される時、ノードは浮遊状態である。そのため、ノードの電位がLレベルからHレベルに立ち上がる際に、容量結合によりノードの電位が増加する場合がある。その結果、TFT1020がオンして誤作動する可能性がある。この電位変動は、正常なパルスの振幅に比較するとはるかに小さいため、電位変動がTFT1020のしきい値より小さければ問題にならない。しかし、電位変動がTFT1020のしきい値より大きくなるとノードの電位が下がってしまい誤作動を生じる恐れがある。特に、TFTとしてアモルファスシリコンを用いる場合には、ゲート絶縁膜に窒化膜を用いることが多く、しきい値が変動する場合がある。その結果パルス出力回路が誤動作する可能性が高くなる。

30

【 0 0 1 3 】

また、TFTとしてアモルファスシリコンを用いる場合には、ポリシリコンを用いたTFTと比較して、電気的特性が劣っているため十分な駆動能力が得られにくく、電圧条件によりしきい値がシフトする。そのため、アモルファスシリコンを用いたTFTによって、画素を駆動する駆動回路を形成する回路技術が問題になっている。

【 0 0 1 4 】

本明細書で開示する発明は、このような課題の一又は複数を解決することによって、回路内の誤動作を低減し、より確実な動作を保證するパルス出力回路、シフトレジスタ並びに表示装置の提供を目的とする。

40

【課題を解決するための手段】

【 0 0 1 5 】

本発明のパルス出力回路は、パルスの出力が行われない非選択期間にゲート電極がオンするように浮遊状態となっているトランジスタのゲート電極に定期的に電位を供給することを特徴としている。また、トランジスタのゲート電極への電位の供給は、他のトランジスタを定期的にオン又はオフすることにより行うことを特徴としている。

【 0 0 1 6 】

50

また、本発明のシフトレジスタは、第 m のパルス出力回路から出力されるパルスと第 $(m + 1)$ のパルス出力回路から出力されるパルスが半分 $(1 / 2)$ 周期分)重なるように駆動することを特徴とする。以下、本発明のシフトレジスタ及びパルス出力回路の具体的な構成について説明する。

【0017】

本発明のシフトレジスタは、第 $(m - 2)$ のパルス出力回路、第 $(m - 1)$ のパルス出力回路、第 m のパルス出力回路、第 $(m + 1)$ のパルス出力回路及び第 $(m + 2)$ のパルス出力回路 $(m - 3)$ を少なくとも含む複数のパルス出力回路と、クロック信号を出力する第1の信号線乃至第4の信号線を有し、パルス出力回路は、第1の入力端子乃至第6の入力端子と出力端子を有し、第 m のパルス出力回路において、第1の入力端子乃至第3の入力端子は、第1の信号線乃至第4の信号線のうち3本の異なる信号線と電気的に接続され、第4の入力端子は、第 $(m - 2)$ のパルス出力回路の出力端子と電気的に接続され、第5の入力端子は、第 $(m - 1)$ のパルス出力回路の出力端子と電気的に接続され、第6の入力端子は、第 $(m + 2)$ のパルス出力回路の出力端子と電気的に接続され、出力端子は、第 $(m - 2)$ のパルス出力回路の第6の入力端子、第 $(m + 1)$ のパルス出力回路の第5の入力端子及び第 $(m + 2)$ のパルス出力回路の第4の入力端子と電気的に接続されていることを特徴としている。

【0018】

本発明のパルス出力回路は、第1のトランジスタ乃至第9のトランジスタを有し、第1のトランジスタは、第1の電極が第1の電源線に電気的に接続され、第2の電極が第3のトランジスタのゲート電極に電気的に接続され、ゲート電極が第4の入力端子に電気的に接続され、第2のトランジスタは、第1の電極が第2の電源線に電気的に接続され、第2の電極が第3のトランジスタのゲート電極に電気的に接続され、ゲート電極が第4のトランジスタのゲート電極に電気的に接続され、第3のトランジスタは、第1の電極が第1の入力端子に電気的に接続され、第2の電極が出力端子に電気的に接続され、第4のトランジスタは、第1の電極が第3の電源線に電気的に接続され、第2の電極が出力端子に電気的に接続され、第5のトランジスタは、第1の電極が第4の電源線に電気的に接続され、第2の電極が第2のトランジスタのゲート電極及び第4のトランジスタのゲート電極に電気的に接続され、ゲート電極が第4の入力端子に電気的に接続され、第6のトランジスタは、第1の電極が第4の電源線に電気的に接続され、第2の電極が第2のトランジスタのゲート電極及び第4のトランジスタのゲート電極に電気的に接続され、ゲート電極が第5の入力端子に電気的に接続され、第7のトランジスタは、第1の電極が第5の電源線に電気的に接続され、第2の電極が第2のトランジスタのゲート電極及び第4のトランジスタのゲート電極に電気的に接続され、ゲート電極が第6の入力端子に電気的に接続され、第8のトランジスタは、第1の電極が第5の電源線に電気的に接続され、第2の電極が第9のトランジスタの第2の電極に電気的に接続され、ゲート電極が第2の入力端子に電気的に接続され、第9のトランジスタは、第1の電極が第2のトランジスタのゲート電極及び第4のトランジスタのゲート電極に電気的に接続され、ゲート電極が第3の入力端子に電気的に接続されていることを特徴としている。

【0019】

本発明の表示装置は、画素と、画素を駆動するシフトレジスタとを有し、シフトレジスタは、第 $(m - 2)$ のパルス出力回路、第 $(m - 1)$ のパルス出力回路、第 m のパルス出力回路、第 $(m + 1)$ のパルス出力回路及び第 $(m + 2)$ のパルス出力回路 $(m - 3)$ を少なくとも含む複数のパルス出力回路と、クロック信号を出力する第1の信号線乃至第4の信号線を有し、パルス出力回路は、第1の入力端子乃至第6の入力端子と出力端子を有し、第 m のパルス出力回路において、第1の入力端子乃至第3の入力端子は、第1の信号線乃至第4の信号線のいずれかと電気的に接続され、第4の入力端子は、第 $(m - 2)$ のパルス出力回路の出力端子と電気的に接続され、第5の入力端子は、第 $(m - 1)$ のパルス出力回路の出力端子と電気的に接続され、第6の入力端子は、第 $(m + 2)$ のパルス出力回路の出力端子と電気的に接続され、出力端子は、第 $(m - 2)$ のパルス出力回路の第

6の入力端子、第(m+1)のパルス出力回路の第5の入力端子及び第(m+2)のパルス出力回路の第4の入力端子と電氣的に接続されていることを特徴としている。

【発明の効果】

【0020】

本発明は、パルスの入出力が行われぬ非選択期間において浮遊状態となっているトランジスタのゲート電極に定期的に電位を供給することによって、パルス出力回路の誤作動を抑制することができる。

【0021】

また、第mのパルス出力回路から出力されるパルスと第(m+1)のパルス出力回路から出力されるパルスが半分(1/2周期分)重なった駆動方法を用いることによって、大きな負荷をかけることができ、高い周波数で動作するパルス出力回路を提供することができる。

10

【図面の簡単な説明】

【0022】

【図1】本発明のシフトレジスタ及びパルス出力回路の一例を示す図。

【図2】本発明のパルス出力回路の動作一例を示す図。

【図3】本発明のパルス出力回路の動作一例を示す図。

【図4】本発明のパルス出力回路の動作一例を示す図。

【図5】本発明と従来のパルス出力回路の動作を比較して示した図。

【図6】本発明のシフトレジスタ及びパルス出力回路の一例を示す図。

20

【図7】従来のシフトレジスタ及びパルス出力回路とその動作の一例を示す図。

【図8】従来のシフトレジスタ及びパルス出力回路とその動作の一例を示す図。

【図9】本発明のシフトレジスタが設けられた表示装置の一例を示す図。

【図10】本発明のシフトレジスタが設けられた表示装置の一例を示す図。

【図11】本発明のシフトレジスタが設けられた表示装置の一例を示す図。

【図12】本発明のシフトレジスタが設けられた表示装置の一例を示す図。

【図13】本発明のシフトレジスタが設けられた表示装置の一例を示す図。

【図14】本発明のシフトレジスタが設けられた電子機器の一例を示す図。

【図15】本発明のシフトレジスタが設けられた表示装置の表示素子の一例を示す図。

【発明を実施するための形態】

30

【0023】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じ物を指し示す符号は異なる図面間において共通とする。

【0024】

(実施の形態1)

本実施の形態では、本発明のパルス出力回路、当該パルス出力回路を含むシフトレジスタの一例に関して図面を参照して説明する。

40

【0025】

本実施の形態で示すシフトレジスタは、第1のパルス出力回路10₁～第nのパルス出力回路10_n(n≧3)と、クロック信号を出力する第1の信号線11～第4の信号線14を有している(図1(A)参照)。第1の信号線11は第1のクロック信号(CK1)を出力し、第2の信号線12は第2のクロック信号(CK2)を出力し、第3の信号線13は第3のクロック信号(CK3)を出力し、第4の信号線14は第4のクロック信号(CK4)を出力する。

【0026】

クロック信号(CK)は、一定の間隔でH(High)信号とL(Low)信号を繰り返す信号であり、ここでは、第1のクロック信号(CK1)～第4のクロック信号(CK

50

4) は、順に 1 / 2 周期分遅延している。本実施の形態では、第 1 のクロック信号 (C K 1) ~ 第 4 のクロック信号 (C K 4) を利用して、パルス出力回路の駆動の制御等を行う。

【 0 0 2 7 】

第 1 のパルス出力回路 1 0 _ 1 ~ 第 n のパルス出力回路 1 0 _ n の各々は、第 1 の入力端子 2 1、第 2 の入力端子 2 2、第 3 の入力端子 2 3、第 4 の入力端子 2 4、第 5 の入力端子 2 5、第 6 の入力端子 2 6、出力端子 2 7 を有している (図 1 (B) 参照)。

【 0 0 2 8 】

第 1 の入力端子 2 1、第 2 の入力端子 2 2 及び第 3 の入力端子 2 3 は、第 1 の信号線 1 1 ~ 第 4 の信号線 1 4 のいずれかと電氣的に接続されている。例えば、図 1 において、第 1 のパルス出力回路 1 0 _ 1 は、第 1 の入力端子 2 1 が第 1 の信号線 1 1 と電氣的に接続され、第 2 の入力端子 2 2 が第 2 の信号線 1 2 と電氣的に接続され、第 3 の入力端子 2 3 が第 3 の信号線 1 3 と電氣的に接続されている。また、第 2 のパルス出力回路 1 0 _ 2 は、第 1 の入力端子 2 1 が第 2 の信号線 1 2 と電氣的に接続され、第 2 の入力端子 2 2 が第 3 の信号線 1 3 と電氣的に接続され、第 3 の入力端子 2 3 が第 4 の信号線 1 4 と電氣的に接続されている。

【 0 0 2 9 】

また、本実施の形態で示すシフトレジスタの第 m のパルス出力回路 (m > 3) において、第 4 の入力端子 2 4 は第 (m - 2) のパルス出力回路の出力端子 2 7 及び第 (m - 1) のパルス出力回路の第 5 の入力端子 2 5 と電氣的に接続され、第 5 の入力端子 2 5 は第 (m - 1) のパルス出力回路の出力端子 2 7 及び第 (m + 1) のパルス出力回路の第 4 の入力端子 2 4 と電氣的に接続され、第 6 の入力端子 2 6 は第 (m + 2) のパルス出力回路の出力端子 2 7 と電氣的に接続され、出力端子 2 7 は第 (m - 2) のパルス出力回路の第 6 の入力端子 2 6、第 (m + 1) のパルス出力回路の第 5 の入力端子 2 5 及び第 (m + 2) のパルス出力回路の第 4 の入力端子 2 4 と電氣的に接続され且つ O U T (m) に信号を出力する。

【 0 0 3 0 】

例えば、第 3 のパルス出力回路 1 0 _ 3 において、第 4 の入力端子 2 4 は第 1 のパルス出力回路 1 0 _ 1 の出力端子及び第 2 のパルス出力回路 1 0 _ 2 の第 5 の入力端子と電氣的に接続され、第 5 の入力端子 2 5 は第 2 のパルス出力回路 1 0 _ 2 の出力端子及び第 4 のパルス出力回路 1 0 _ 4 の第 4 の入力端子と電氣的に接続され、第 6 の入力端子 2 6 は第 5 のパルス出力回路 1 0 _ 5 の出力端子と電氣的に接続され、出力端子は第 1 のパルス出力回路 1 0 _ 1 の第 6 の入力端子、第 4 のパルス出力回路 1 0 _ 4 の第 5 の入力端子及び第 5 のパルス出力回路 1 0 _ 5 の第 4 の入力端子と電氣的に接続されている。また、第 3 のパルス出力回路 1 0 _ 3 において、第 4 の入力端子 2 4 は第 1 のパルス出力回路 1 0 _ 1 の出力端子から出力された信号が入力され、第 5 の入力端子 2 5 は第 2 のパルス出力回路 1 0 _ 2 の出力端子から出力された信号が入力され、第 6 の入力端子 2 6 は第 5 のパルス出力回路 1 0 _ 5 の出力端子から出力された信号が入力され、出力端子 2 7 から出力された信号が第 1 のパルス出力回路 1 0 _ 1 の第 6 の入力端子、第 4 のパルス出力回路 1 0 _ 4 の第 5 の入力端子及び第 5 のパルス出力回路 1 0 _ 5 の第 4 の入力端子に入力される。

【 0 0 3 1 】

また、第 1 のパルス出力回路では、第 4 の入力端子 2 4 に第 1 のスタートパルス (S P 1) が入力され、第 5 の入力端子 2 5 に第 2 のスタートパルス (S P 2) が入力される。

【 0 0 3 2 】

次に、第 1 のパルス出力回路 1 0 _ 1 ~ 第 n のパルス出力回路 1 0 _ n の具体的な構成に関して説明する。

【 0 0 3 3 】

第 1 のパルス出力回路 1 0 _ 1 ~ 第 n のパルス出力回路 1 0 _ n の各々は、第 1 のトランジスタ 1 0 1 ~ 第 9 のトランジスタ 1 0 9 と、第 1 の容量素子 1 1 1 と第 2 の容量素子

10

20

30

40

50

112とを有している(図1(C)参照)。また、上述した第1の入力端子21~第6の入力端子26及び出力端子27に加え、第1の電源線31~第6の電源線36から第1のトランジスタ101~第9のトランジスタ109に信号が供給される。

【0034】

第1のトランジスタ101は、第1の電極(ソース電極又はドレイン電極の一方)が第1の電源線31に電氣的に接続され、第2の電極(ソース電極又はドレイン電極の他方)が第3のトランジスタ103のゲート電極及び第2の容量素子112の第2の電極に電氣的に接続され、ゲート電極が第4の入力端子24に電氣的に接続されている。第2のトランジスタ102は、第1の電極が第2の電源線32に電氣的に接続され、第2の電極が第3のトランジスタ103のゲート電極に電氣的に接続され、ゲート電極が第4のトランジスタ104のゲート電極に電氣的に接続されている。第3のトランジスタ103は、第1の電極が第1の入力端子21に電氣的に接続され、第2の電極が出力端子27に電氣的に接続されている。第4のトランジスタ104は、第1の電極が第3の電源線33に電氣的に接続され、第2の電極が出力端子27に電氣的に接続されている。第5のトランジスタ105は、第1の電極が第4の電源線34に電氣的に接続され、第2の電極が第2のトランジスタ102のゲート電極及び第4のトランジスタ104のゲート電極に電氣的に接続され、ゲート電極が第4の入力端子24に電氣的に接続されている。第6のトランジスタ106は、第1の電極が第4の電源線34に電氣的に接続され、第2の電極が第2のトランジスタ102のゲート電極及び第4のトランジスタ104のゲート電極に電氣的に接続され、ゲート電極が第5の入力端子25に電氣的に接続されている。第7のトランジスタ107は、第1の電極が第5の電源線35に電氣的に接続され、第2の電極が第2のトランジスタ102のゲート電極及び第4のトランジスタ104のゲート電極に電氣的に接続され、ゲート電極が第6の入力端子26に電氣的に接続されている。第8のトランジスタ108は、第1の電極が第5の電源線35に電氣的に接続され、第2の電極が第9のトランジスタ109の第2の電極に電氣的に接続され、ゲート電極が第2の入力端子22に電氣的に接続されている。第9のトランジスタ109は、第1の電極が第2のトランジスタ102のゲート電極及び第4のトランジスタ104のゲート電極に電氣的に接続され、ゲート電極が第3の入力端子23に電氣的に接続されている。第1の容量素子111は、第1の電極が第6の電源線36に電氣的に接続され、第2の電極が第2のトランジスタ102のゲート電極及び第4のトランジスタ104のゲート電極に電氣的に接続されている。第2の容量素子112は、第1の電極が出力端子27に電氣的に接続され、第2の電極が第1のトランジスタ101の第2の電極及び第3のトランジスタ103のゲート電極に電氣的に接続されている。

【0035】

図1(C)において、第1のトランジスタ101の第2の電極、第2のトランジスタ102の第2の電極、第3のトランジスタ103のゲート電極、第2の容量素子112の第2の電極の接続箇所をノードAとする。また、第2のトランジスタ102のゲート電極、第4のトランジスタ104のゲート電極、第5のトランジスタ105の第2の電極、第6のトランジスタ106の第2の電極、第7のトランジスタ107の第2の電極、第9のトランジスタ109の第1の電極、第1の容量素子111の第2の電極の接続箇所をノードBとする。また、第3のトランジスタ103の第2の電極、第4のトランジスタ104の第2の電極、第2の容量素子112の第1の電極、出力端子27の接続箇所をノードCとする。

【0036】

次に、図1に示したシフトレジスタの動作について図2~図4を参照して説明する。具体的には、図2のタイミングチャートにおいて、第1の期間51、第2の期間52、第3の期間53、第4の期間54、第5の期間55に分割して説明する。なお、以下の説明において、第1のトランジスタ101~第9のトランジスタ109は、Nチャネル型の薄膜トランジスタとし、ゲートとソース間電圧(V_{gs})がしきい値電圧(V_{th})を上回ったとき導通状態になるものとする。

10

20

30

40

50

【 0 0 3 7 】

また、ここでは、第2のプル出力回路10₂の出力に関して説明する。第2のプル出力回路10₂は、第1の入力端子21が第2のクロック信号(CK2)を供給する第2の信号線12と電氣的に接続され、第2の入力端子22が第3のクロック信号(CK3)を供給する第3の信号線13と電氣的に接続され、第3の入力端子23が第4のクロック信号(CK4)を供給する第4の信号線14と電氣的に接続されている。

【 0 0 3 8 】

なお、第1の電源線31及び第5の電源線35にV1の電位(VDD)が供給され、第2の電源線32～第4の電源線34、第6の電源線36にはV2の電位(VSS)が供給されるものとする。ここで、 $V1 > V2$ とする。また、第1のクロック信号(CK1)～第4のクロック信号(CK4)は、一定の間隔でHレベルとLレベルを繰り返す信号であるが、HレベルのときVDD、LレベルのときVSSであるとする。また、ここでは説明の簡略化のため $VSS = 0$ とするが、これに限られない。

【 0 0 3 9 】

第1の期間51において、第2のスタートパルス(SP2)がHレベルとなり第2のプル出力回路10₂の第4の入力端子24に電氣的に接続された第1のトランジスタ101と第5のトランジスタ105がオンする。第3のクロック信号(CK3)及び第4のクロック信号(CK4)もHレベルであるため第8のトランジスタ108と第9のトランジスタ109もオンする(図3(A)参照)。

【 0 0 4 0 】

このとき、第1のトランジスタ101がオンであるためノードAの電位は上昇する。また、第5の電源線35と第4の電源線34の間に貫通電流が流れるが、トランジスタのサイズを調整することにより、第2のトランジスタ102がオフの状態となるようにノードBの電位を制御する。例えば、第5のトランジスタ105のチャネル幅(ソース領域とドレイン領域をキャリアが流れる方向と垂直な方向におけるチャネルの幅)を第8のトランジスタ108、第9のトランジスタ109と比較して大きくすることによって実現される。

【 0 0 4 1 】

第2の期間52において、第1のプル出力回路10₁の出力端子27(OUT(1))からHレベルの信号が出力され、第2のプル出力回路10₂の第5の入力端子25に電氣的に接続された第6のトランジスタ106がオンする。また、第3のクロック信号(CK3)がLレベルとなり第8のトランジスタ108がオフするため、第1の期間51でみられた貫通電流がなくなる(図3(B)参照)。

【 0 0 4 2 】

このとき、ノードAの電位は、第1のトランジスタ101の第2の電極がソース電極となって、第1の電源線31の電位から第1のトランジスタ101のしきい値電圧を引いた値となるため $V1 - V_{th101}$ (V_{th101} は第1のトランジスタ101のしきい値電圧)となる。そして、第1のトランジスタ101がオフし、ノードAが $V1 - V_{th101}$ を維持したまま浮遊状態となる。

【 0 0 4 3 】

ここで、第3のトランジスタ103において、ゲート電極の電位が $V1 - V_{th101}$ となっている。第3のトランジスタ103のゲートとソース間の電圧がそのしきい値を上回っている場合、すなわち、 $V1 - V_{th101} - V2 > V_{th103}$ (V_{th103} は第3のトランジスタ103のしきい値電圧)であれば、第3のトランジスタ103がオンする。

【 0 0 4 4 】

第3の期間53において、第2のスタートパルス(SP2)がLレベルとなり第1のトランジスタ101と第5のトランジスタ105がオフする。また、第2のクロック信号(CK2)がHレベルとなり第1の入力端子21に電氣的に接続された第3のトランジスタ103の第1の電極にHレベルの信号が供給される(図3(C)参照)。

10

20

30

40

50

【 0 0 4 5 】

ここで、第3のトランジスタ103がオンしているため、ソースとドレインの間に電流が生じ、ノードC（出力端子27（OUT（2）））、すなわち第3のトランジスタ103の第2の電極（この場合、ソース電極）の電位が上昇を始める。第3のトランジスタ103のゲートとソース間には第2の容量素子112による容量結合が存在し、ノードCの電位上昇に伴い、浮遊状態となっている第3のトランジスタ103のゲート電極の電位が上昇する（ブートストラップ動作）。最終的には、第3のトランジスタ103のゲート電極の電位は、 $V_1 + V_{th103}$ より高くなり、ノードCの電位は V_1 に等しくなる。

【 0 0 4 6 】

なお、このブートストラップ動作は、第3のトランジスタ103のゲート電極と第2の電極との間に第2の容量素子112を設けることによって行っているが、第2の容量素子112を設けずに、第3のトランジスタ103のチャネル容量および第3のトランジスタ103のゲート電極と第2の電極との間の寄生容量の容量結合によって行ってもよい。

10

【 0 0 4 7 】

また、このとき、第1のパルス出力回路10₁の出力端子27（OUT（1））がHレベルであるため、第6のトランジスタ106がオンしてノードBがLレベルに維持されている。従って、ノードCの電位がLレベルからHレベルに立ち上がる時、ノードBとノードCの容量結合による不具合を抑制することができる。

【 0 0 4 8 】

その後、第3の期間53の後半に、第1のパルス出力回路10₁の出力端子27（OUT（1））がLレベルとなり、第6のトランジスタ106がオフして、ノードBが浮遊状態となる。また、第3のクロック信号（CK3）がHレベルとなり、第8のトランジスタ108がオンする（図3（D）参照）。

20

【 0 0 4 9 】

第4の期間54において、第4のパルス出力回路10₄の出力端子27（OUT（4））がHレベルとなり、当該第4のパルス出力回路10₄の出力端子27に電氣的に接続された第2のパルス出力回路10₂の入力端子26がHレベルとなり第7のトランジスタ107がオンして、ノードBもHレベルとなる。これにより、第2のトランジスタ102、第4のトランジスタ104がオンして、第3のトランジスタ103がオフし、出力端子27（OUT（2））がLレベルとなる。また、第4のクロック信号（CK4）がHレベルとなり、第9のトランジスタ109がオンする（図4（A）参照）。

30

【 0 0 5 0 】

その後、第4の期間54の後半に、第3のクロック信号（CK3）がLレベルとなり、第8のトランジスタ108がオフする（図4（B）参照）。

【 0 0 5 1 】

第5の期間55において、第4のパルス出力回路10₄の出力端子27（OUT（4））がLレベルとなり、第7のトランジスタ107がオフして、ノードBがHレベルを維持したまま浮遊状態となる。これにより、第2のトランジスタ102、第4のトランジスタ104がオンし続ける状態となる（図4（C）参照）。

【 0 0 5 2 】

その後、第5の期間55のある期間（第3のクロック信号（CK3）及び第4のクロック信号（CK4）が共にHレベルであるとき）において、第8のトランジスタ108と第9のトランジスタ109がオンし、ノードBに定期的にHレベルの信号が供給される（図4（D）参照）。

40

【 0 0 5 3 】

このように、出力端子27の電位をLレベルに保持する期間にノードBに定期的にHレベルの信号が供給される構成とすることにより、パルス出力回路の誤動作を抑制することができる。また、第8のトランジスタ108と、第9のトランジスタ109のオン又はオフを定期的に行うことによって、トランジスタのしきい値のシフトを低減することが可能となる。

50

【 0 0 5 4 】

また、第5の期間55において、ノードBに第5の電源線35からHレベルの信号が供給されていない間に、第5のトランジスタ105及び第6のトランジスタ106のオフ電流によって、ノードBの電位が下がることがある。しかし、ノードBに第1の容量素子111が電氣的に接続されていることにより、ノードBの電位の低下を緩和することが出来る。

【 0 0 5 5 】

なお、本実施の形態では、第5の電源線35を第1の電源線31と同じV1の電位(VDD)に設定する場合を示したが、第5の電源線35を第1の電源線31より低く設定($V1 > V35 > V2$ 、V35は第5の電源線35の電位)してもよい。その結果、第2のトランジスタ102、第4のトランジスタ104のゲート電極の電位を低く抑えることができ、当該第2のトランジスタ102、第4のトランジスタ104のしきい値のシフトを低減し、劣化を抑制することができる。

10

【 0 0 5 6 】

また、本実施の形態で示したシフトレジスタは、図5(A)に示すように、第mのパルス出力回路から出力されるパルスと第(m+1)のパルス出力回路から出力されるパルスが半分(1/2周期分)重なった駆動方法を用いている。これは、従来のシフトレジスタにおける第mのパルス出力回路から出力されるパルスと第(m+1)のパルス出力回路から出力されるパルスが重ならない駆動方法(図5(B)参照)と比較して、配線に充電する時間を約2倍とすることができる。このように、第mのパルス出力回路から出力されるパルスと第(m+1)のパルス出力回路から出力されるパルスが半分(1/2周期分)重なった駆動方法を用いることによって、大きな負荷をかけることができ、高い周波数で動作するパルス出力回路を提供することができる。また、パルス出力回路の動作条件を大きくすることができる。特に、電氣的特性が劣るアモルファスシリコンを用いた薄膜トランジスタに図5(A)に示す駆動方法を用いることは非常に有効となる。

20

【 0 0 5 7 】

なお、本実施の形態で示したシフトレジスタ及びパルス出力回路は、本明細書中の他の実施の形態で示すシフトレジスタ及びパルス出力回路の構成と組み合わせて実施することが可能である。また、本実施の形態の発明は半導体装置にも適用できる。本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置を意味する。

30

【 0 0 5 8 】

(実施の形態2)

本実施の形態では、上記実施の形態で示したシフトレジスタ及びパルス出力回路と異なる構成に関して図面を参照して説明する。

【 0 0 5 9 】

本実施の形態で示すシフトレジスタは、第1のパルス出力回路10₁ ~ 第nのパルス出力回路10_n (n ≥ 3)と、クロック信号を出力する第1の信号線11 ~ 第4の信号線14を有している(図6(A)参照)。また、第1のパルス出力回路10₁ ~ 第nのパルス出力回路10_nの各々は、第1の入力端子21、第2の入力端子22、第3の入力端子23、第4の入力端子24、第5の入力端子25、第6の入力端子26、第1の出力端子27、第2の出力端子28を有している(図6(B)参照)。なお、上記実施の形態1で示したパルス出力回路において、第2の出力端子28が新たに追加された構成となっている。

40

【 0 0 6 0 】

第1の入力端子21、第2の入力端子22及び第3の入力端子23は、第1の信号線11 ~ 第4の信号線14のいずれかと電氣的に接続されている。また、本実施の形態で示すシフトレジスタの第mのパルス出力回路(m ≥ 3)において、第4の入力端子24は第(m-2)のパルス出力回路の第1の出力端子27及び第(m-1)のパルス出力回路の第5の入力端子25と電氣的に接続され、第5の入力端子25は第(m-1)のパルス出力回路の第1の出力端子27及び第(m+1)のパルス出力回路の第4の入力端子24と電

50

氣的に接続され、第6の入力端子26は第(m+2)のパルス出力回路の第1の出力端子27と電氣的に接続され、第1の出力端子27は第(m-2)のパルス出力回路の第6の入力端子26、第(m+1)のパルス出力回路の第5の入力端子25及び第(m+2)のパルス出力回路の第4の入力端子24と電氣的に接続され、第2の出力端子28はOUT(m)に信号を出力する。

【0061】

つまり、本実施の形態で示すシフトレジスタは、第1の出力端子27と第2の出力端子28を設け、他のパルス出力回路に信号を出力するための出力端子と外部に信号を出力するための出力端子を別に設けた構成となっている。

【0062】

次に、本実施の形態で示す第1のパルス出力回路10₁～第nのパルス出力回路10_nの具体的な構成に関して説明する。

【0063】

第1のパルス出力回路10₁～第nのパルス出力回路10_nの各々は、第1のトランジスタ101～第9のトランジスタ109、第10のトランジスタ201～第13のトランジスタ204、第1の容量素子111、第2の容量素子112、第3の容量素子211を有している(図6(C)参照)。本実施の形態で示すパルス出力回路は、上記実施の形態1で示したパルス出力回路に第10のトランジスタ201～第13のトランジスタ204と第3の容量素子211を追加した構成となっている。また、上記実施の形態1で示した第1の入力端子21～第6の入力端子26、第1の出力端子27、第1の電源線31～第6の電源線36に加え、第2の出力端子28、第7の電源線37～第9の電源線39からトランジスタに信号が供給される。

【0064】

第10のトランジスタ201は、第1の電極が第1の入力端子21に電氣的に接続され、第2の電極が第2の出力端子28に電氣的に接続され、ゲート電極が第1のトランジスタ101の第2の電極に電氣的に接続されている。第11のトランジスタ202は、第1の電極が第8の電源線38に電氣的に接続され、第2の電極が第2の出力端子28に電氣的に接続され、ゲート電極が第2のトランジスタ102のゲート電極及び第4のトランジスタ104のゲート電極に電氣的に接続されている。第12のトランジスタ203は、第1の電極が第9の電源線39に電氣的に接続され、第2の電極が第2の出力端子28に電氣的に接続され、ゲート電極が第9のトランジスタ109のゲート電極に電氣的に接続されている。第13のトランジスタ204は、第1の電極が第7の電源線37に電氣的に接続され、第2の電極が第1の出力端子27に電氣的に接続され、ゲート電極が第9のトランジスタ109のゲート電極に電氣的に接続されている。第3の容量素子211において、第1の電極が第2の出力端子28に電氣的に接続され、第2の電極が第1のトランジスタ101の第2の電極及び第10のトランジスタ201のゲート電極に電氣的に接続されている。

【0065】

また、第7の電源線37～第9の電源線39には、第2の電源線32～第4の電源線34、第6の電源線36と同様にV2の電位(VSS)が供給される構成とすることができる。

【0066】

第1の出力端子27と第2の出力端子28は、同一の信号が出力されるように設けられており、第3のトランジスタ103に第10のトランジスタ201が対応し、第4のトランジスタ104に第11のトランジスタ202が対応する構成となっている。つまり、第10のトランジスタ201は第3のトランジスタ103と同様にブートストラップ動作を行う。なお、第10のトランジスタ201のブートストラップ動作は、第10のトランジスタ201のゲート電極と第2の電極との間に第3の容量素子211を設けることによって行っているが、第3の容量素子211を設けずに、第10のトランジスタ201のチャネル容量および第10のトランジスタ201のゲート電極と第2の電極との間の寄生容量

10

20

30

40

50

の容量結合によって行ってもよい。

【0067】

第12のトランジスタ203と第13のトランジスタ204は、走査線の電位の立ち下がり時間を短くするのに用いられる。第12のトランジスタ203と第13のトランジスタ204で十分に走査線の電位の立ち下がり時間を短くできれば、第4のトランジスタ104、第11のトランジスタ202で走査線の電位の立ち下がり時間を短くする必要はなくなるので第5の電源線35の電位を第1の電源線31の電源より低く設定することもできる。これは、第4のトランジスタ104、第11のトランジスタ202、第2のトランジスタ102のしきい値シフトを軽減することが可能になる。

【0068】

なお、本実施の形態で示したシフトレジスタ及びパルス出力回路は、本明細書中の他の実施の形態で示すシフトレジスタ及びパルス出力回路の構成と組み合わせて実施することが可能である。また、本実施の形態の発明は半導体装置にも適用できる。

【0069】

(実施の形態3)

本実施の形態では、上記実施の形態で示したシフトレジスタ及びパルス出力回路と異なる構成に関して説明する。

【0070】

上記実施の形態1、実施の形態2において示した構成では、回路は全てNチャンネル型薄膜トランジスタを用いて構成した例を示したが、単極性の薄膜トランジスタを用いるという点で、Pチャンネル型の薄膜トランジスタのみを用いて同様の構成としてもよい。特に図示はしないが、図1(C)又は図6(C)で示した図において、トランジスタの接続は同様とし、電源線の電位の高低を実施の形態1及び実施の形態2で説明した場合と逆にすればよい。また、入力される信号のHレベルとLレベルを全て逆として入力される構成とすればよい。なお、本実施の形態の発明は半導体装置にも適用できる。

【0071】

(実施の形態4)

上記実施の形態で示したシフトレジスタを表示装置に設ける構成に関して図面を参照して説明する。

【0072】

図9(A)において、基板1107上に、複数の画素1101がマトリクス状に配置された画素部1102を有し、画素部1102の周辺には、信号線駆動回路1103、第1の走査線駆動回路1104及び第2の走査線駆動回路1105を有する。これらの駆動回路は、FPC1106を介して外部より信号が供給される。

【0073】

図9(B)には、第1の走査線駆動回路1104及び第2の走査線駆動回路1105の構成を示す。走査線駆動回路1104、1105は、シフトレジスタ1114、バッファ1115を有する。また、図9(C)には、信号線駆動回路1103の構成を示す。信号線駆動回路1103はシフトレジスタ1111、第1のラッチ回路1112、第2のラッチ回路1113、バッファ1117を有する。

【0074】

本実施の形態で示すシフトレジスタとして動作する回路は、上記シフトレジスタ1111、及びシフトレジスタ1114の回路に適用することができる。上記実施の形態で示したシフトレジスタとして動作する回路を適用することによって、アモルファスシリコンを用いた薄膜トランジスタで当該シフトレジスタとして動作する回路を設けた場合であっても高い周波数で動作させることができる。

【0075】

なお、走査線駆動回路と信号線駆動回路の構成は、図9に示した構成に限定されず、例えばサンプリング回路やレベルシフトなどを具備していてもよい。また、上記駆動回路以外に、CPUやコントローラなどの回路を基板1107に一体形成してもよい。そうする

10

20

30

40

50

と、接続する外部回路（IC）の個数が減少し、軽量、薄型がさらに図れるため、携帯端末などには特に有効である。

【0076】

なお、本実施の形態で示した表示装置は、本明細書中の他の実施の形態で示すシフトレジスタ、パルス出力回路又は表示装置の構成と組み合わせて実施することが可能である。

【0077】

（実施の形態5）

本実施の形態では、上記実施の形態4で示した表示装置に用いる表示パネルの構成について図面を参照して説明する。

【0078】

まず、表示装置に適用可能な表示パネルについて図10を用いて説明する。なお、図10（A）は、表示パネルを示す上面図、図10（B）は図10（A）をA-A'で切断した断面図である。点線で示された信号線駆動回路3601、画素部3602、第2の走査線駆動回路3603、第1の走査線駆動回路3606を有する。また、封止基板3604、シール材3605を有し、シール材3605で囲まれた内側は、空間3607になっている。

【0079】

なお、配線3608は第2の走査線駆動回路3603、第1の走査線駆動回路3606及び信号線駆動回路3601に入力される信号を伝送するための配線であり、外部入力端子となるFPC（フレキシブルプリントサーキット）3609からビデオ信号、クロック信号、スタート信号等を受け取る。FPC3609と表示パネルとの接合部上にはICチップ（メモリ回路や、バッファ回路などが形成された半導体チップ）3618及びICチップ3619がCOG（Chip On Glass）等で実装されている。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていても良い。本明細書における表示装置とは、表示パネル本体だけでなく、それにFPCもしくはPWBが取り付けられた状態をも含むものとする。また、ICチップなどが実装されたものを含むものとする。

【0080】

次に、断面構造について図10（B）を用いて説明する。基板3610上には画素部3602とその周辺駆動回路（第2の走査線駆動回路3603、第1の走査線駆動回路3606及び信号線駆動回路3601）が形成されているが、ここでは、信号線駆動回路3601と、画素部3602が示されている。

【0081】

なお、信号線駆動回路3601はNチャンネル型TFT3620やPチャンネル型TFT3621を用いてCMOS回路を構成している。また、本実施の形態では、基板上に周辺駆動回路を一体形成した表示パネルを示すが、必ずしもその必要はなく、周辺駆動回路の全部若しくは一部をICチップなどに形成し、COGなどで実装しても良い。

【0082】

また、画素部3602はスイッチング用TFT3611と、駆動用TFT3612とを含む画素を構成する複数の回路を有している。なお、駆動用TFT3612のソース電極は第1の電極3613と電氣的に接続されている。また、第1の電極3613の端部を覆って絶縁物3614が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。

【0083】

また、カバレッジを良好なものとするため、絶縁物3614の上端部または下端部に曲率を有する曲面が形成されるようにする。例えば、絶縁物3614の材料としてポジ型の感光性アクリルを用いた場合、絶縁物3614の上端部のみに曲率半径（ $0.2\mu\text{m} \sim 3\mu\text{m}$ ）を有する曲面を持たせることが好ましい。また、絶縁物3614として、感光性の光によってエッチャントに不溶解性となるネガ型、或いは光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。

10

20

30

40

50

【0084】

第1の電極3613上には、有機化合物を含む層3616、および第2の電極3617がそれぞれ形成されている。ここで、陽極として機能する第1の電極3613に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO（インジウムスズ酸化物）膜、インジウム亜鉛酸化物（IZO）膜、窒化チタン膜、クロム膜、タングステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。

【0085】

また、有機化合物を含む層3616は、蒸着マスクを用いた蒸着法、またはインクジェット法によって形成される。有機化合物を含む層3616には、元素周期表第4族金属錯体をその一部に用いることとし、その他、組み合わせ用いることのできる材料としては、低分子系材料であっても高分子系材料であっても良い。また、有機化合物を含む層に用いる材料としては、通常、有機化合物を単層もしくは積層で用いる場合が多いが、本実施の形態においては、有機化合物からなる膜の一部に無機化合物を用いる構成も含めることとする。さらに、公知の三重項材料を用いることも可能である。

【0086】

さらに、有機化合物を含む層3616上に形成される第2の電極（陰極）3617に用いる材料としては、仕事関数の小さい材料（Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム）を用いればよい。なお、有機化合物を含む層3616で生じた光が第2の電極3617を透過させる場合には、第2の電極（陰極）3617として、膜厚を薄くした金属薄膜と、透明導電膜（ITO（インジウムスズ酸化物）、酸化インジウム酸化亜鉛合金（In₂O₃ ZnO）、酸化亜鉛（ZnO）等）との積層を用いるのが良い。

【0087】

さらにシール材3605で封止基板3604を基板3610と貼り合わせることにより、基板3610、封止基板3604、およびシール材3605で囲まれた空間3607に表示素子3622が備えられた構造になっている。なお、空間3607には、不活性気体（窒素やアルゴン等）が充填される場合の他、シール材3605で充填される構成も含むものとする。

【0088】

なお、シール材3605にはエポキシ系樹脂を用いるのが好ましい。また、これらの材料はできるだけ水分や酸素を透過しない材料であることが望ましい。また、封止基板3604に用いる材料としてガラス基板や石英基板の他、FRP（Fiber glass - Reinforced Plastics）、PVF（ポリビニルフロライド）、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。

【0089】

以上のようにして、表示パネルを得ることができる。

【0090】

図10に示すように、信号線駆動回路3601、画素部3602、第2の走査線駆動回路3603及び第1の走査線駆動回路3606を一体形成することで、表示装置の低コスト化が図れる。

【0091】

なお、表示パネルの構成としては、図10（A）に示したように信号線駆動回路3601、画素部3602、第2の走査線駆動回路3603及び第1の走査線駆動回路3606を一体形成した構成に限られず、信号線駆動回路3601に相当する図11（A）に示す信号線駆動回路4201をICチップ上に形成して、COG等で表示パネルに実装した構成としても良い。なお、図11（A）の基板4200、画素部4202、第2の走査線駆動回路4203、第1の走査線駆動回路4204、FPC4205、ICチップ4206

10

20

30

40

50

、ＩＣチップ４２０７、封止基板４２０８、シール材４２０９は図１０（Ａ）の基板３６１０、画素部３６０２、第２の走査線駆動回路３６０３、第１の走査線駆動回路３６０６、ＦＰＣ３６０９、ＩＣチップ３６１８、ＩＣチップ３６１９、封止基板３６０４、シール材３６０５に相当する。

【００９２】

つまり、駆動回路のうちで高速動作が要求される信号線駆動回路のみを、ＣＭＯＳ等を用いてＩＣチップに形成し、低消費電力化を図る。また、ＩＣチップはシリコンウエハ等の半導体チップとすることで、より高速動作且つ低消費電力化を図れる。

【００９３】

そして、上記実施の形態で示したシフトレジスタが設けられた第１の走査線駆動回路４２０３や第２の走査線駆動回路４２０４を画素部４２０２と一体形成することで、低コスト化を図れる。

【００９４】

こうして、高精細な表示装置の低コスト化を図れる。また、ＦＰＣ４２０５と基板４２００との接続部において機能回路（メモリやバッファ）が形成されたＩＣチップを実装することで基板面積を有効利用することができる。

【００９５】

また、図１０（Ａ）の信号線駆動回路３６０１、第２の走査線駆動回路３６０３及び第１の走査線駆動回路３６０６に相当する図１１（Ｂ）の信号線駆動回路４２１１、第２の走査線駆動回路４２１４及び第１の走査線駆動回路４２１３をＩＣチップ上に形成して、ＣＯＧ等で表示パネルに実装した構成としても良い。この場合には高精細な表示装置をより低消費電力にすることが可能である。よって、より消費電力が少ない表示装置とするため、画素部に用いられるトランジスタの半導体層にはポリシリコンを用いることが望ましい。なお、図１１（Ｂ）の基板４２１０、画素部４２１２、ＦＰＣ４２１５、ＩＣチップ４２１６、ＩＣチップ４２１７、封止基板４２１８、シール材４２１９は図１０（Ａ）の基板３６１０、画素部３６０２、ＦＰＣ３６０９、ＩＣチップ３６１８、ＩＣチップ３６１９、封止基板３６０４、シール材３６０５に相当する。

【００９６】

また、画素部４２１２のトランジスタの半導体層にアモルファスシリコンを用いることにより低コスト化を図ることができる。さらに、大型の表示パネルを作製することも可能となる。

【００９７】

さらに、表示素子３６２２に適用可能な表示素子の例を図１５（Ａ）、（Ｂ）に示す。つまり、上記実施の形態で示した画素に適用可能な表示素子の構成について図１５（Ａ）、（Ｂ）を用いて説明する。

【００９８】

図１５（Ａ）の表示素子は、基板４４０１の上に陽極４４０２、正孔注入材料からなる正孔注入層４４０３、その上に正孔輸送材料からなる正孔輸送層４４０４、発光層４４０５、電子輸送材料からなる電子輸送層４４０６、電子注入材料からなる電子注入層４４０７、そして陰極４４０８を積層させた素子構造である。ここで、発光層４４０５は、一種類の発光材料のみから形成されることもあるが、２種類以上の材料から形成されてもよい。また本発明の素子の構造は、この構造に限定されない。

【００９９】

また、図１５（Ａ）、１５（Ｂ）で示した各機能層を積層した積層構造の他、高分子化合物を用いた素子、発光層に三重項励起状態から発光する三重項発光材料を利用した高効率素子など、バリエーションは多岐にわたる。ホールブロック層によってキャリアの再結合領域を制御し、発光領域を二つの領域にわけることによって得られる白色表示素子などにも応用可能である。

【０１００】

図１５（Ａ）に示す本発明の素子作製方法は、まず、陽極４４０２（ＩＴＯ）を有する

10

20

30

40

50

基板 4 4 0 1 に正孔注入材料、正孔輸送材料、発光材料を順に蒸着する。次に電子輸送材料、電子注入材料を蒸着し、最後に陰極 4 4 0 8 を蒸着で形成する。

【 0 1 0 1 】

次に、正孔注入材料、正孔輸送材料、電子輸送材料、電子注入材料、発光材料の材料に好適な材料を以下に列挙する。

【 0 1 0 2 】

正孔注入材料としては、有機化合物であればポルフィリン系の化合物や、フタロシアニン（以下「 H_2Pc 」と記す）、銅フタロシアニン（以下「 $CuPc$ 」と記す）などが有効である。また、使用する正孔輸送材料よりもイオン化ポテンシャルの値が小さく、かつ、正孔輸送機能をもつ材料であれば、これも正孔注入材料として使用できる。導電性高分子化合物に化学ドーピングを施した材料もあり、ポリスチレンスルホン酸（以下「 PSS 」と記す）をドーピングしたポリエチレンジオキシチオフェン（以下「 $PEDOT$ 」と記す）や、ポリアニリンなどが挙げられる。また、絶縁体の高分子化合物も陽極の平坦化の点で有効であり、ポリイミド（以下「 PI 」と記す）がよく用いられる。さらに、無機化合物も用いられ、金や白金などの金属薄膜の他、酸化アルミニウム（以下「アルミナ」と記す）の超薄膜などがある。

【 0 1 0 3 】

正孔輸送材料として最も広く用いられているのは、芳香族アミン系（すなわち、ベンゼン環 - 窒素の結合を有するもの）の化合物である。広く用いられている材料として、4, 4' - ビス(ジフェニルアミノ) - ビフェニル（以下、「 TAD 」と記す）や、その誘導体である 4, 4' - ビス[N - (3 - メチルフェニル) - N - フェニル - アミノ] - ビフェニル（以下、「 TPD 」と記す）、4, 4' - ビス[N - (1 - ナフチル) - N - フェニル - アミノ] - ビフェニル（以下、「 $-NPD$ 」と記す）がある。4, 4', 4'' - トリス(N, N - ジフェニル - アミノ) - トリフェニルアミン（以下、「 $TDATA$ 」と記す）、4, 4', 4'' - トリス[N - (3 - メチルフェニル) - N - フェニル - アミノ] - トリフェニルアミン（以下、「 $MTDATA$ 」と記す）などのスターバースト型芳香族アミン化合物が挙げられる。

【 0 1 0 4 】

電子輸送材料としては、金属錯体がよく用いられ、 Alq 、 $BAlq$ 、トリス(4 - メチル - 8 - キノリノラト)アルミニウム（以下、「 $Almq$ 」と記す）、ビス(10 - ヒドロキシベンゾ[h] - キノリナト)ベリリウム（以下、「 $BeBq$ 」と記す）などのキノリン骨格またはベンゾキノリン骨格を有する金属錯体などがある。また、ビス[2 - (2 - ヒドロキシフェニル) - ベンゾオキサゾラト]亜鉛（以下、「 $Zn(BOX)_2$ 」と記す）、ビス[2 - (2 - ヒドロキシフェニル) - ベンゾチアゾラト]亜鉛（以下、「 $Zn(BTZ)_2$ 」と記す）などのオキサゾール系、チアゾール系配位子を有する金属錯体もある。さらに、金属錯体以外にも、2 - (4 - ビフェニリル) - 5 - (4 - tert - プチルフェニル) - 1, 3, 4 - オキサジアゾール（以下、「 PBD 」と記す）、 $OXD - 7$ などのオキサジアゾール誘導体、 TAZ 、3 - (4 - tert - プチルフェニル) - 4 - (4 - エチルフェニル) - 5 - (4 - ビフェニリル) - 1, 2, 4 - トリアゾール（以下、「 $p - EtTAZ$ 」と記す）などのトリアゾール誘導体、バソフェナントロリン（以下、「 $BPhen$ 」と記す）、 BCP などのフェナントロリン誘導体が電子輸送性を有する。

【 0 1 0 5 】

電子注入材料としては、上で述べた電子輸送材料を用いることができる。その他に、フッ化カルシウム、フッ化リチウム、フッ化セシウムなどの金属ハロゲン化物や、酸化リチウムなどのアルカリ金属酸化物のような絶縁体の、超薄膜がよく用いられる。また、リチウムアセチルアセトネート（以下、「 $Li(acac)$ 」と記す）や 8 - キノリノラト - リチウム（以下、「 Liq 」と記す）などのアルカリ金属錯体も有効である。

【 0 1 0 6 】

発光材料としては、 Alq 、 $Almq$ 、 $BeBq$ 、 $BAlq$ 、 $Zn(BOX)_2$ 、 Zn

10

20

30

40

50

(BTZ)₂などの金属錯体の他、各種蛍光色素が有効である。蛍光色素としては、青色の4,4'-ビス(2,2'-ジフェニル-ビニル)-ビフェニルや、赤橙色の4-(ジシアノメチレン)-2-メチル-6-(p-ジメチルアミノスチリル)-4H-ピランなどがある。また、三重項発光材料も可能であり、白金ないしはイリジウムを中心金属とする錯体が主体である。三重項発光材料として、トリス(2-フェニルピリジン)イリジウム、ビス(2-(4'-トリル)ピリジナト-N,C^{2'})アセチルアセトナトイリジウム(以下「acacIr(tpy)₂」と記す)、2,3,7,8,12,13,17,18-オクタエチル-21H,23Hポルフィリン-白金などが知られている。

【0107】

以上で述べたような各機能を有する材料を、各々組み合わせ、高信頼性の表示素子を作製することができる。

10

【0108】

また、上記実施の形態で示した画素構成の駆動トランジスタの極性を変更し、Nチャネル型のトランジスタにして、表示素子の対向電極の電位と電源線に設定する電位との高低を逆にすれば、図15(A)とは逆の順番に層を形成した表示素子を用いることができる。つまり、図15(B)に示すように、基板4401の上に陰極4408、電子注入材料からなる電子注入層4407、その上に電子輸送材料からなる電子輸送層4406、発光層4405、正孔輸送材料からなる正孔輸送層4404、正孔注入材料からなる正孔注入層4403、そして陽極4402を積層させた素子構造である。

【0109】

20

また、表示素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上にTFE及び表示素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の表示素子があり、上記実施の形態で示した画素構成はどの射出構造の表示素子にも適用することができる。

【0110】

上面射出構造の表示素子について図12(A)を用いて説明する。

【0111】

基板4500上に下地膜4505を介して駆動用TFE4501が形成され、駆動用TFE4501のソース電極に接して第1の電極4502が形成され、その上に有機化合物を含む層4503と第2の電極4504が形成されている。

30

【0112】

また、第1の電極4502は表示素子の陽極である。そして第2の電極4504は表示素子の陰極である。つまり、第1の電極4502と第2の電極4504とで有機化合物を含む層4503が挟まれているところが表示素子となる。

【0113】

また、ここで、陽極として機能する第1の電極4502に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、窒化チタン膜、クロム膜、タングステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。光を反射する金属膜を用いることで光を透過させない陽極を形成することができる。

40

【0114】

また、陰極として機能する第2の電極4504に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム)からなる金属薄膜と、透明導電膜(ITO(インジウムスズ酸化物)、インジウム亜鉛酸化物(IZO)、酸化亜鉛(ZnO)等)との積層を用いるのが良い。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

50

【 0 1 1 5 】

こうして、図 1 2 (A) の矢印に示すように表示素子からの光を上面に取り出すことが可能になる。つまり、図 1 0 の表示パネルに適用した場合には、封止基板 3 6 0 4 側に光が射出することになる。従って上面射出構造の表示素子を表示装置に用いる場合には封止基板 3 6 0 4 は光透過性を有する基板を用いる。

【 0 1 1 6 】

また、光学フィルムを設ける場合には、封止基板 3 6 0 4 に光学フィルムを設ければよい。

【 0 1 1 7 】

次に、下面射出構造の表示素子について図 1 2 (B) を用いて説明する。射出構造以外は図 1 2 (A) と同じ構造の表示素子であるため同じ符号を用いて説明する。

10

【 0 1 1 8 】

ここで、陽極として機能する第 1 の電極 4 5 0 2 に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO (インジウムスズ酸化物) 膜、インジウム亜鉛酸化物 (IZO) 膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

【 0 1 1 9 】

また、陰極として機能する第 2 の電極 4 5 0 4 に用いる材料としては、仕事関数の小さい材料 (Al、Ag、Li、Ca、またはこれらの合金 MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム) からなる金属膜を用いることができる。こうして、光を反射する金属膜を用いることで光が透過しない陰極を形成することができる。

20

【 0 1 2 0 】

こうして、図 1 2 (B) の矢印に示すように表示素子からの光を下面に取り出すことが可能になる。つまり、図 1 0 の表示パネルに適用した場合には、基板 3 6 1 0 側に光が射出することになる。従って下面射出構造の表示素子を表示装置に用いる場合には基板 3 6 1 0 は光透過性を有する基板を用いる。

【 0 1 2 1 】

また、光学フィルムを設ける場合には、基板 3 6 1 0 に光学フィルムを設ければよい。

【 0 1 2 2 】

次に、両面射出構造の表示素子について図 1 2 (C) を用いて説明する。射出構造以外は図 1 2 (A) と同じ構造の表示素子であるため同じ符号を用いて説明する。

30

【 0 1 2 3 】

ここで、陽極として機能する第 1 の電極 4 5 0 2 に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO (インジウムスズ酸化物) 膜、インジウム亜鉛酸化物 (IZO) 膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

【 0 1 2 4 】

また、陰極として機能する第 2 の電極 4 5 0 4 に用いる材料としては、仕事関数の小さい材料 (Al、Ag、Li、Ca、またはこれらの合金 MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム) からなる金属薄膜と、透明導電膜 (ITO (インジウムスズ酸化物)、酸化インジウム酸化亜鉛合金 (In₂O₃、ZnO)、酸化亜鉛 (ZnO) 等) との積層を用いるのが良い。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

40

【 0 1 2 5 】

こうして、図 1 2 (C) の矢印に示すように表示素子からの光を両面に取り出すことが可能になる。つまり、図 1 0 の表示パネルに適用した場合には、基板 3 6 1 0 側と封止基板 3 6 0 4 側に光が射出することになる。従って両面射出構造の表示素子を表示装置に用いる場合には基板 3 6 1 0 および封止基板 3 6 0 4 は、ともに光透過性を有する基板を用いる。

【 0 1 2 6 】

50

また、光学フィルムを設ける場合には、基板 3 6 1 0 および封止基板 3 6 0 4 の両方に光学フィルムを設ければよい。

【 0 1 2 7 】

また、白色の表示素子とカラーフィルターを用いてフルカラー表示を実現する表示装置にも本発明を適用することが可能である。

【 0 1 2 8 】

例えば、図 1 3 に示すように、基板 4 6 0 0 上に下地膜 4 6 0 2 が形成され、その上に駆動用 T F T 4 6 0 1 が形成され、駆動用 T F T 4 6 0 1 のソース電極に接して第 1 の電極 4 6 0 3 が形成され、その上に有機化合物を含む層 4 6 0 4 と第 2 の電極 4 6 0 5 が形成された構成とすることもできる。

10

【 0 1 2 9 】

また、第 1 の電極 4 6 0 3 は表示素子の陽極である。そして第 2 の電極 4 6 0 5 は表示素子の陰極である。つまり、第 1 の電極 4 6 0 3 と第 2 の電極 4 6 0 5 とで有機化合物を含む層 4 6 0 4 が挟まれているところが表示素子となる。図 1 3 の構成では白色光を発光する。そして、表示素子の上部に赤色のカラーフィルター 4 6 0 6 R、緑色のカラーフィルター 4 6 0 6 G、青色のカラーフィルター 4 6 0 6 B を設けられており、フルカラー表示を行うことができる。また、これらのカラーフィルターを隔離するブラックマトリクス (B M と も い う) 4 6 0 7 が設けられている。

【 0 1 3 0 】

上述した表示素子の構成は組み合わせて用いることができ、本発明のパルス出力回路、シフトレジスタにより駆動する表示装置に適宜用いることができる。また、上述した表示パネルの構成や、表示素子は例示であり、もちろん他の構成を適用することもできる。

20

【 0 1 3 1 】

(実施の形態 6)

本発明は様々な電子機器に適用することができる。具体的には電子機器の表示部の駆動に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ等のカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置 (カラオーディオ、オーディオコンポ等)、コンピュータ、ゲーム機器、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等)、記録媒体を備えた画像再生装置 (具体的には Digital Versatile Disc (DVD) 等の記録媒体を再生し、その画像を表示しうる発光装置を備えた装置) などが挙げられる。

30

【 0 1 3 2 】

図 1 4 (A) は発光装置であり、筐体 6 0 0 1、支持台 6 0 0 2、表示部 6 0 0 3、スピーカー部 6 0 0 4、ビデオ入力端子 6 0 0 5 等を含む。本発明の表示装置を表示部 6 0 0 3 に用いることができる。なお、発光装置は、パーソナルコンピュータ用、テレビジョン放送受信用、広告表示用などの全ての情報表示用発光装置が含まれる。本発明のシフトレジスタを用いて表示部 6 0 0 3 を駆動することによって、消費電力の低減を図ることができる。

【 0 1 3 3 】

図 1 4 (B) はカメラであり、本体 6 1 0 1、表示部 6 1 0 2、受像部 6 1 0 3、操作キー 6 1 0 4、外部接続ポート 6 1 0 5、シャッターボタン 6 1 0 6 等を含む。本発明のシフトレジスタを用いて表示部 6 1 0 2 を駆動することによって、消費電力の低減を図ることができる。

40

【 0 1 3 4 】

図 1 4 (C) はコンピュータであり、本体 6 2 0 1、筐体 6 2 0 2、表示部 6 2 0 3、キーボード 6 2 0 4、外部接続ポート 6 2 0 5、ポインティングデバイス 6 2 0 6 等を含む。本発明のシフトレジスタを用いて表示部 6 2 0 3 を駆動することによって、消費電力の低減を図ることができる。

【 0 1 3 5 】

図 1 4 (D) はモバイルコンピュータであり、本体 6 3 0 1、表示部 6 3 0 2、スイッ

50

チ 6 3 0 3、操作キー 6 3 0 4、赤外線ポート 6 3 0 5 等を含む。本発明のシフトレジスタを用いて表示部 6 3 0 2 を駆動することによって、消費電力の低減を図ることができる。

【 0 1 3 6 】

図 1 4 (E) は記録媒体を備えた携帯型の画像再生装置 (具体的には D V D 再生装置) であり、本体 6 4 0 1、筐体 6 4 0 2、表示部 A 6 4 0 3、表示部 B 6 4 0 4、記録媒体 (D V D 等) 読み込み部 6 4 0 5、操作キー 6 4 0 6、スピーカー部 6 4 0 7 等を含む。表示部 A 6 4 0 3 は主として画像情報を表示し、表示部 B 6 4 0 4 は主として文字情報を表示することができる。本発明のシフトレジスタを用いて表示部 A 6 4 0 3 や表示部 B 6 4 0 4 を駆動することによって、消費電力の低減を図ることができる。

10

【 0 1 3 7 】

図 1 4 (F) はゴーグル型ディスプレイであり、本体 6 5 0 1、表示部 6 5 0 2、アーム部 6 5 0 3 を含む。本発明のシフトレジスタを用いて表示部 6 5 0 2 を駆動することによって、消費電力の低減を図ることができる。

【 0 1 3 8 】

図 1 4 (G) はビデオカメラであり、本体 6 6 0 1、表示部 6 6 0 2、筐体 6 6 0 3、外部接続ポート 6 6 0 4、リモコン受信部 6 6 0 5、受像部 6 6 0 6、バッテリー 6 6 0 7、音声入力部 6 6 0 8、操作キー 6 6 0 9、接眼部 6 6 1 0 等を含む。本発明のシフトレジスタを用いて表示部 6 6 0 2 を駆動することによって、消費電力の低減を図ることができる。

20

【 0 1 3 9 】

図 1 4 (H) は携帯電話機であり、本体 6 7 0 1、筐体 6 7 0 2、表示部 6 7 0 3、音声入力部 6 7 0 4、音声出力部 6 7 0 5、操作キー 6 7 0 6、外部接続ポート 6 7 0 7、アンテナ 6 7 0 8 等を含む。本発明のシフトレジスタを用いて表示部 6 7 0 3 を駆動することによって、消費電力の低減を図ることができる。

【 0 1 4 0 】

このように本発明は、あらゆる電子機器に適用することが可能である。

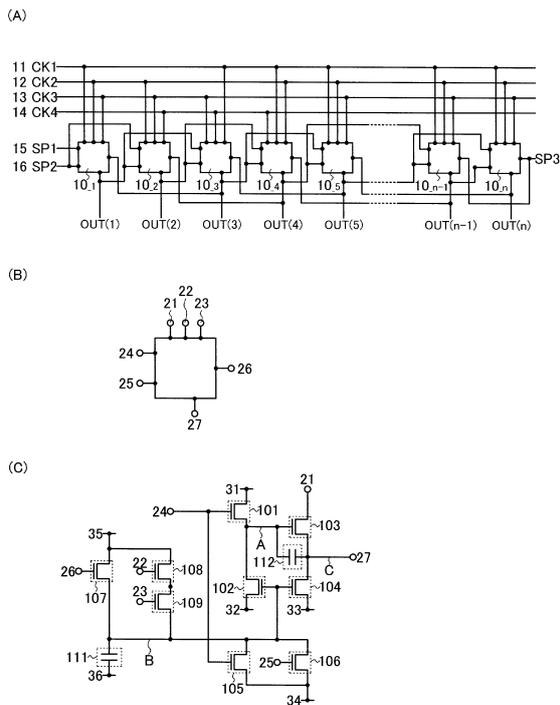
【 符号の説明 】

【 0 1 4 1 】

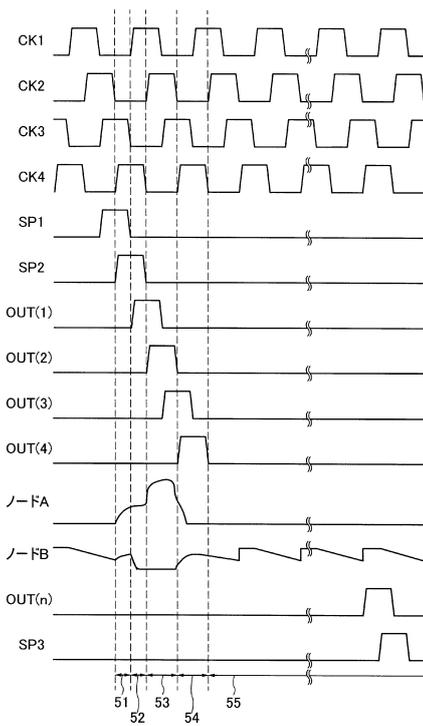
1 0	パルス出力回路	30
1 1	信号線	
1 2	信号線	
1 3	信号線	
1 4	信号線	
2 1	入力端子	
2 2	入力端子	
2 3	入力端子	
2 4	入力端子	
2 5	入力端子	
2 6	入力端子	40
2 7	出力端子	
3 1	電源線	
3 2	電源線	
3 3	電源線	
3 4	電源線	
3 5	電源線	
3 6	電源線	
5 1	期間	
5 2	期間	
5 3	期間	50

- 5 4 期間
- 5 5 期間
- 1 0 1 トランジスタ
- 1 0 2 トランジスタ
- 1 0 3 トランジスタ
- 1 0 4 トランジスタ
- 1 0 5 トランジスタ
- 1 0 6 トランジスタ
- 1 0 7 トランジスタ
- 1 0 8 トランジスタ
- 1 0 9 トランジスタ
- 1 1 1 容量素子
- 1 1 2 容量素子

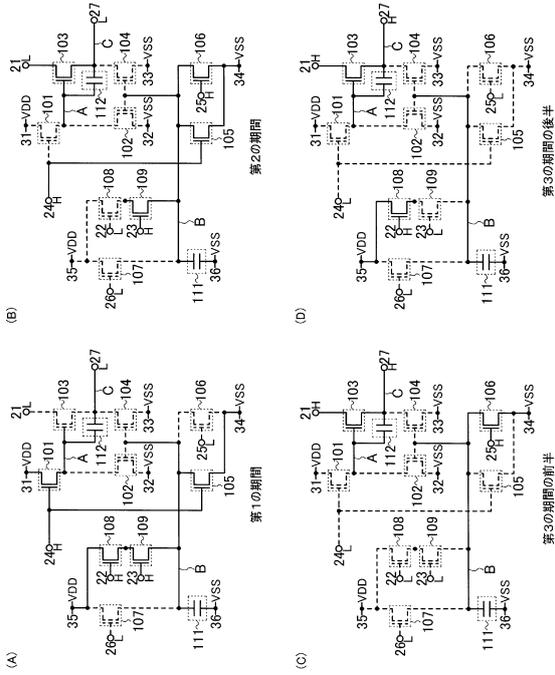
【図1】



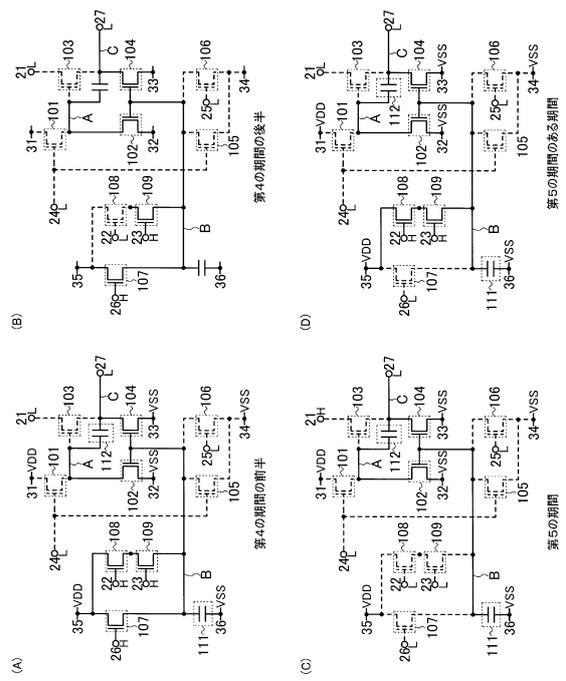
【図2】



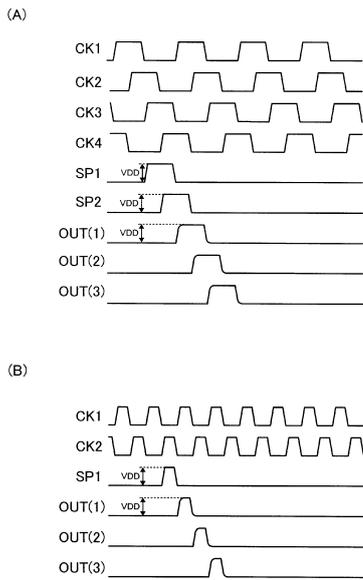
【図3】



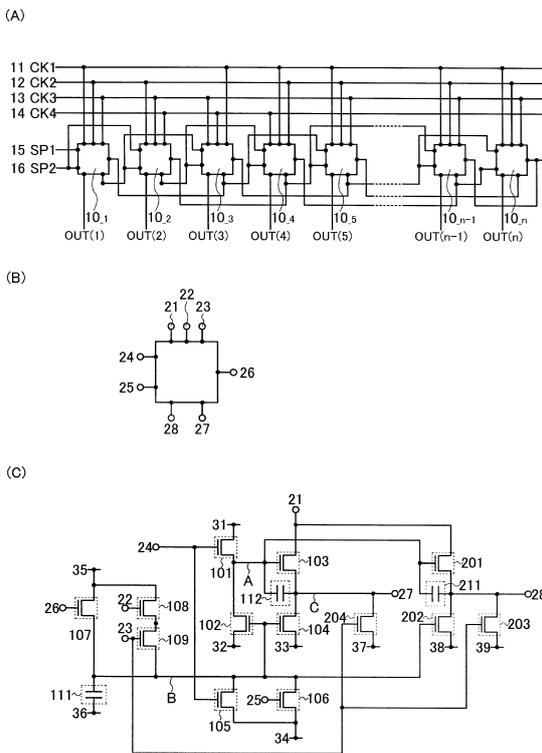
【図4】



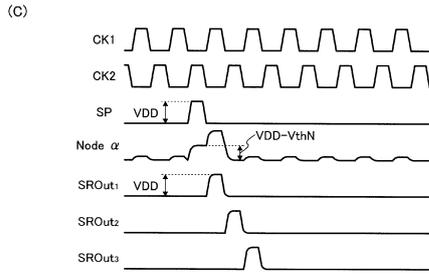
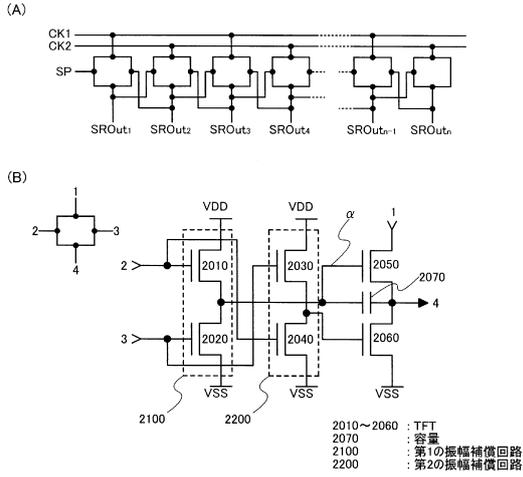
【図5】



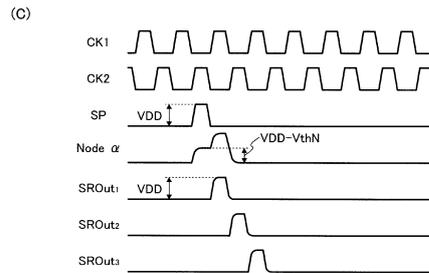
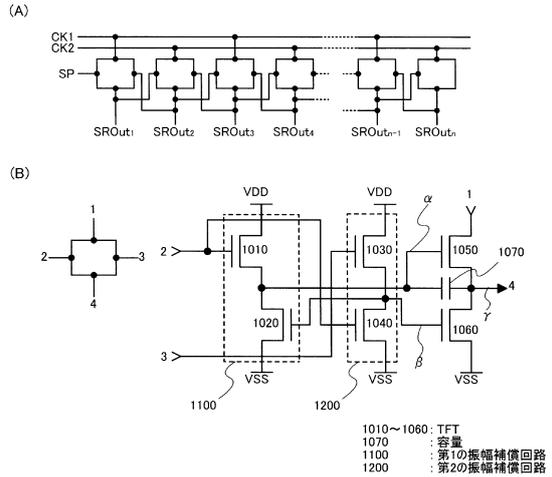
【図6】



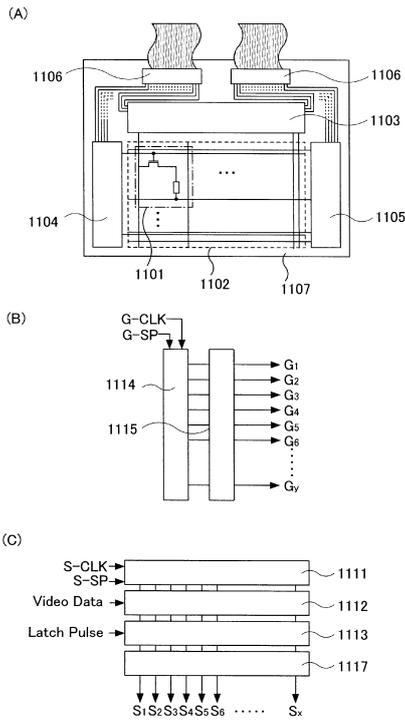
【図7】



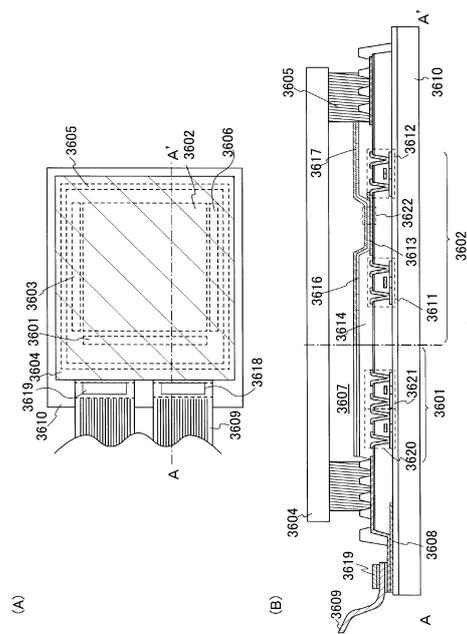
【図8】



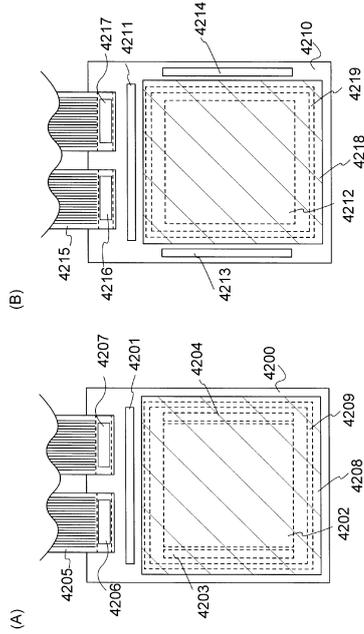
【図9】



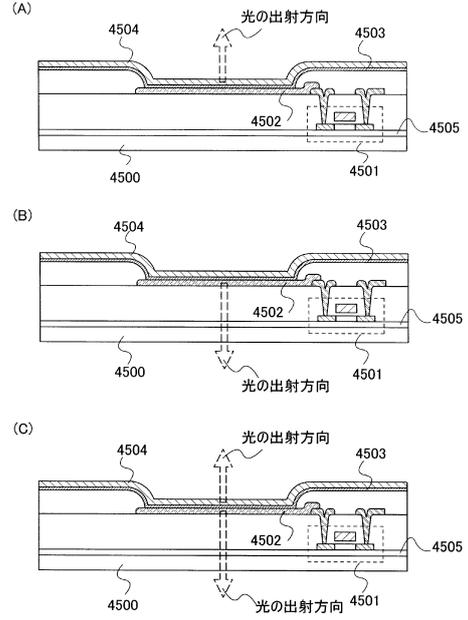
【図10】



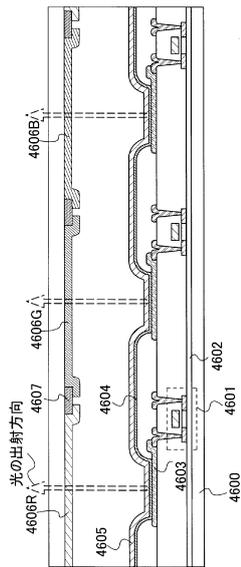
【図11】



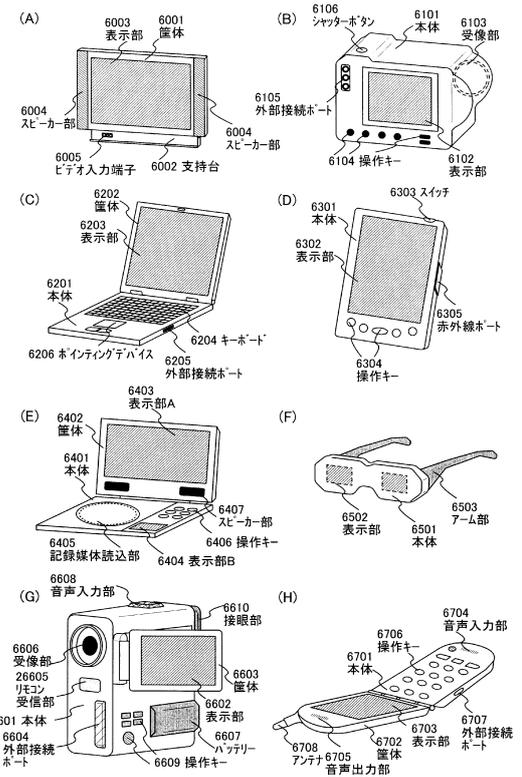
【図12】



【図13】

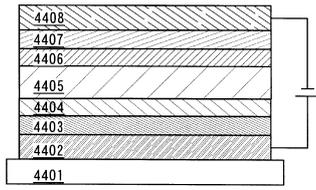


【図14】

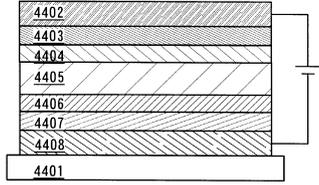


【 図 15 】

(A)



(B)



フロントページの続き

(58)調査した分野(Int.Cl., DB名)

G 1 1 C	1 9 / 2 8
G 0 9 G	3 / 2 0
G 0 9 G	3 / 3 6