

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6933274号
(P6933274)

(45) 発行日 令和3年9月8日(2021.9.8)

(24) 登録日 令和3年8月23日(2021.8.23)

(51) Int.Cl.	F I				
HO 1 L 29/78	(2006.01)	HO 1 L 29/78	6 5 2 N		
HO 1 L 29/12	(2006.01)	HO 1 L 29/78	6 5 2 T		
HO 1 L 29/06	(2006.01)	HO 1 L 29/78	6 5 2 M		
HO 1 L 29/872	(2006.01)	HO 1 L 29/78	6 5 2 Q		
		HO 1 L 29/78	6 5 2 P		
請求項の数 14 (全 26 頁) 最終頁に続く					

(21) 出願番号	特願2020-77214 (P2020-77214)	(73) 特許権者	000006013
(22) 出願日	令和2年4月24日(2020.4.24)		三菱電機株式会社
(62) 分割の表示	特願2019-514325 (P2019-514325) の分割		東京都千代田区丸の内二丁目7番3号
原出願日	平成30年8月23日(2018.8.23)	(74) 代理人	100108431
(65) 公開番号	特開2020-120129 (P2020-120129A)		弁理士 村上 加奈子
(43) 公開日	令和2年8月6日(2020.8.6)	(74) 代理人	100153176
審査請求日	令和2年4月24日(2020.4.24)		弁理士 松井 重明
(31) 優先権主張番号	特願2017-242641 (P2017-242641)	(74) 代理人	100109612
(32) 優先日	平成29年12月19日(2017.12.19)		弁理士 倉谷 泰孝
(33) 優先権主張国・地域又は機関	日本国(JP)	(72) 発明者	永久 雄一
			東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
		(72) 発明者	日野 史郎
			東京都千代田区丸の内二丁目7番3号 三 菱電機株式会社内
最終頁に続く			

(54) 【発明の名称】 炭化珪素半導体装置および電力変換装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型の炭化珪素の半導体基板と、
前記半導体基板の上に形成された第1導電型のドリフト層と、
前記ドリフト層の表層に複数設けられた第2導電型の第1ウェル領域と、
複数の前記第1ウェル領域の間に形成された複数の第1導電型の第1離間領域と、
前記第1離間領域に接して設けられ、前記第1離間領域とショットキ接合する第1ショットキ電極と、
前記第1ウェル領域上に設けられたオーミック電極と、
前記第1ウェル領域と別に前記ドリフト層の表層に設けられた第2導電型の第2ウェル領域と、
前記第1ウェル領域の表層部に形成された第1導電型のソース領域と、
前記第1ウェル領域上に形成されたゲート絶縁膜と、
前記第2ウェル領域に最も近い前記第1ウェル領域と前記第2ウェル領域との間に形成された第1導電型の第3離間領域と、
前記第3離間領域上に形成された、前記ゲート絶縁膜より膜厚が大きい第2絶縁膜と、
前記第2絶縁膜上に形成されたゲート電極と、
前記ゲート電極と接続され、前記第2ウェル領域の上方に形成されたゲートパッドと、
前記第1ショットキ電極、および、前記オーミック電極に電氣的に接続され、前記第2ウェル領域上に形成された第2コンタクトホールにおいて前記第2ウェル領域とオーミック

10

20

ク接続されていないソース電極と
を備え、

前記第 3 離間領域に接する前記第 2 ウェル領域の表面が第 2 導電型であり、
前記第 1 ウェル領域と前記第 2 ウェル領域とが離間しており、前記第 1 ウェル領域と前記第 2 ウェル領域との間の第 1 導電型の第 3 離間領域は、前記ドリフト層より第 1 導電型不純物の濃度が高いことを特徴とする炭化珪素半導体装置。

【請求項 2】

第 1 導電型の炭化珪素の半導体基板と、
前記半導体基板上に形成された第 1 導電型のドリフト層と、
前記ドリフト層表層に設けられた第 2 導電型の第 1 ウェル領域と、
前記第 1 ウェル領域の表層部に形成された第 1 導電型のソース領域と、
前記ソース領域が形成されていない前記第 1 ウェル領域の表面上に形成された前記ソース領域より第 1 導電型の不純物濃度が低い第 1 導電型のチャンネルエピ層と、
前記第 1 ウェル領域上に設けられ、前記第 1 ウェル領域とオーミック接続するオーミック電極と、

前記第 1 ウェル領域と別に前記ドリフト層の表層に設けられた第 2 導電型の第 2 ウェル領域と、

前記第 1 ウェル領域上に形成されたゲート絶縁膜と、
前記第 2 ウェル領域に最も近い前記第 1 ウェル領域と前記第 2 ウェル領域との間に形成された第 1 導電型の第 3 離間領域と、

前記第 3 離間領域上に形成された、前記ゲート絶縁膜より膜厚が大きい第 2 絶縁膜と、
前記第 2 絶縁膜上に形成されたゲート電極と、
前記ゲート電極と接続され、前記第 2 ウェル領域の上方に形成されたゲートパッドと、
前記オーミック電極に電氣的に接続され、前記第 2 ウェル領域上に形成された第 2 コンタクトホールにおいて前記第 2 ウェル領域とオーミック接続されていないソース電極と
を備え、

前記第 3 離間領域に接する前記第 2 ウェル領域の表面が第 2 導電型であり、
前記第 1 ウェル領域と前記第 2 ウェル領域とが離間しており、前記第 1 ウェル領域と前記第 2 ウェル領域との間の第 1 導電型の第 3 離間領域は、前記ドリフト層より第 1 導電型不純物の濃度が高いことを特徴とする炭化珪素半導体装置。

【請求項 3】

第 1 導電型の炭化珪素の半導体基板と、
前記半導体基板上に形成された第 1 導電型のドリフト層と、
前記ドリフト層の表層に複数設けられた第 2 導電型の第 1 ウェル領域と、
複数の前記第 1 ウェル領域の間に形成された複数の第 1 導電型の第 1 離間領域と、
前記第 1 離間領域に接して設けられ、前記第 1 離間領域とショットキ接合する第 1 ショットキ電極と、

前記第 1 ウェル領域上に設けられたオーミック電極と、
前記第 1 ウェル領域と別に前記ドリフト層の表層に設けられた第 2 導電型の第 2 ウェル領域と、

前記第 1 ウェル領域の表層部に形成された第 1 導電型のソース領域と、
前記第 1 ウェル領域上に形成されたゲート絶縁膜と、
前記第 2 ウェル領域に最も近い前記第 1 ウェル領域と前記第 2 ウェル領域との間に形成された第 1 導電型の第 3 離間領域と、

前記第 3 離間領域上に形成された、前記ゲート絶縁膜より膜厚が大きい第 2 絶縁膜と、
前記第 2 絶縁膜上に形成されたゲート電極と、
前記ゲート電極と接続され、前記第 2 ウェル領域の上方に形成されたゲートパッドと、
前記第 2 ウェル領域の表層部または前記第 2 ウェル領域上に形成され、前記第 2 ウェル領域とオーミック接続されない、前記第 2 ウェル領域より低抵抗率の導電性層と、

前記第 1 ショットキ電極、および、前記オーミック電極に電氣的に接続され、前記第 2

10

20

30

40

50

ウェル領域上に形成された第2コンタクトホールにおいて前記第2ウェル領域とオーミック接続されず、前記導電性層とオーミック接続されたソース電極と、
を備えたことを特徴とする炭化珪素半導体装置。

【請求項4】

第1導電型の炭化珪素の半導体基板と、
前記半導体基板上に形成された第1導電型のドリフト層と、
前記ドリフト層の表層に複数設けられた第2導電型の第1ウェル領域と、
前記第1ウェル領域の表層部に形成された第1導電型のソース領域と、
前記ソース領域が形成されていない前記第1ウェル領域の表面上に形成された前記ソース領域より第1導電型の不純物濃度が低い第1導電型のチャンネルエピ層と、
前記第1ウェル領域上に設けられたオーミック電極と、
前記第1ウェル領域と別に前記ドリフト層の表層に設けられた第2導電型の第2ウェル領域と、

10

前記第1ウェル領域上に形成されたゲート絶縁膜と、
前記第2ウェル領域に最も近い前記第1ウェル領域と前記第2ウェル領域との間に形成された第1導電型の第3離間領域と、

前記第3離間領域上に形成された、前記ゲート絶縁膜より膜厚が大きい第2絶縁膜と、
前記第2絶縁膜上に形成されたゲート電極と、

前記ゲート電極と接続され、前記第2ウェル領域の上方に形成されたゲートパッドと、
前記第2ウェル領域の表層部または前記第2ウェル領域上に形成され、前記第2ウェル領域とオーミック接続されない、前記第2ウェル領域より低抵抗率の導電性層と、

20

前記オーミック電極に電氣的に接続され、前記第2ウェル領域上に形成された第2コンタクトホールにおいて前記第2ウェル領域とオーミック接続されず、前記導電性層とオーミック接続されたソース電極と

を備えたことを特徴とする炭化珪素半導体装置。

【請求項5】

前記第1ウェル領域と前記第2ウェル領域が離間していることを特徴とする請求項1から4のいずれか1項に記載の炭化珪素半導体装置。

【請求項6】

前記導電性層は、前記第2ウェル領域の表層部に形成された第1導電型の炭化珪素からなる炭化珪素導電性層であることを特徴とする請求項3または4に記載の炭化珪素半導体装置。

30

【請求項7】

前記第2ウェル領域は、前記ソース電極とショットキ接続することを特徴とする請求項1または2に記載の炭化珪素半導体装置。

【請求項8】

前記第2絶縁膜は、前記第2ウェル領域上に形成されたフィールド絶縁膜と同じ厚さであることを特徴とする

請求項1から7のいずれか1項に記載の炭化珪素半導体装置。

【請求項9】

前記第1ウェル領域と隣接する前記第2ウェル領域の表層部に前記第2ウェル領域より第2導電型の不純物濃度が高い高濃度領域を備えたことを特徴とする

請求項1から8のいずれか1項に記載の炭化珪素半導体装置。

40

【請求項10】

前記第1ウェル領域と前記第2ウェル領域とが離間しており、前記第1ウェル領域と前記第2ウェル領域との間の第1導電型の第3離間領域と前記第2ウェル領域と隣接する前記第1ウェル領域の表層部に形成された前記ソース領域との間の距離は、前記第2ウェル領域と隣接しない前記第1ウェル領域の表層部に形成された前記ソース領域と前記第1ウェル領域間の第2離間領域との間の距離より大きいことを特徴とする

請求項1から9のいずれか1項に記載の炭化珪素半導体装置。

50

【請求項 1 1】

前記第 1 ウェル領域と前記第 2 ウェル領域とが離間しており、前記第 2 ウェル領域に隣接する前記第 1 ウェル領域には前記ソース領域が形成されていないことを特徴とする請求項 1 から 9 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 1 2】

前記第 1 ウェル領域と前記第 2 ウェル領域とが離間しており、前記第 2 ウェル領域に隣接する前記第 1 ウェル領域には前記第 1 ウェル領域より第 2 導電型の不純物濃度が高いチャンネル形成抑制領域が形成されたことを特徴とする請求項 1 から 9 のいずれか 1 項に記載の炭化珪素半導体装置。

【請求項 1 3】

前記第 2 ウェル領域の表層部の前記導電性層より外側に、前記導電性層と離れて形成された、前記第 2 ウェル領域より第 2 導電型の不純物濃度が高い保護高濃度領域が形成されたことを特徴とする請求項 3 または 4 に記載の炭化珪素半導体装置。

【請求項 1 4】

請求項 1 から 1 3 のいずれか 1 項に記載の半導体装置を有し、入力される電力を変換して出力する主変換回路と、

前記半導体装置を駆動する駆動信号を前記半導体装置に出力する駆動回路と、

前記駆動回路を制御する制御信号を前記駆動回路に出力する制御回路と、を備えた電力変換装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、炭化珪素で構成される炭化珪素半導体装置および電力変換装置に関するものである。

【背景技術】

【0002】

炭化珪素 (SiC) を用いて構成される pn ダイオードに、順方向電流すなわちバイポーラ電流を流し続けると、結晶中に積層欠陥が発生して順方向電圧がシフトするという信頼性上の問題が知られている。これは、pn ダイオードを通して注入された少数キャリアが多数キャリアと再結合する際の再結合エネルギーにより、炭化珪素基板に存在する基底面転位などを起点として、面欠陥である積層欠陥が拡張するためと考えられている。この積層欠陥は、電流の流れを阻害するため、積層欠陥の拡張により電流が減少して順方向電圧が増加し、半導体装置の信頼性の低下を引き起こす。

【0003】

このような順方向電圧の増加は、炭化珪素を用いた縦型 MOSFET (Metal Oxide Semiconductor Field Effect Transistor) においても同様に発生する。縦型 MOSFET は、ソース・ドレイン間に寄生 pn ダイオード (ボディダイオード) を備えており、順方向電流がこのボディダイオードに流れると、縦型 MOSFET においても pn ダイオードと同様の信頼性低下を引き起こす。SiC-MOSFET のボディダイオードを MOSFET の還流ダイオードとして用いる場合には、この MOSFET 特性の低下が発生する場合がある。

【0004】

上記のような寄生 pn ダイオードへの順方向電流通電による信頼性上の問題を解決する方法として、一つには、特許文献 1 にて示されるように、寄生 pn ダイオードに順方向電流を長時間流すストレス印加を行ない、ストレス印加前後での順方向電圧の変化を測定して、順方向電圧の変化の大きい素子を製品から排除 (スクリーニング) する方法がある。しかしながら、この方法では、通電時間が長くなり、欠陥の多いウエハを使用すると不良品が多く発生するというデメリットがある。

【0005】

10

20

30

40

50

また、別の方法として、MOSFET等ユニポーラ型のトランジスタである半導体装置に、ユニポーラ型のダイオードを還流ダイオードとして内蔵させて使用方法がある。例えば特許文献2、特許文献3には、ユニポーラ型のダイオードとしてショットキバリアダイオード(SBD: Schottky Barrier Diode)をMOSFETのユニットセル内に内蔵させる方法が記載されている。

【0006】

このような活性領域にユニポーラ型、すなわち多数キャリアのみで通電するダイオードを内蔵したユニポーラ型トランジスタを炭化珪素半導体装置に適用した場合、ユニポーラ型ダイオードの拡散電位すなわち通電動作が始まる電圧をpn接合の拡散電位よりも低く設計することにより、還流動作時にボディダイオードにバイポーラ電流が流れないようにして、活性領域のユニポーラ型トランジスタの特性劣化を抑制することができる。

10

【0007】

また、例えば特許文献4のように、活性領域を形成するp型のウェル領域上にn型のチャネルエピ層を形成し、このチャネルエピ層が閾値電圧以下のゲート電圧にてユニポーラ型のダイオードとして動作するようにし、かつ、このユニポーラ型のダイオードの立ち上がり電圧をp型のウェル領域とn型のドリフト層とから形成されるpnダイオードの動作電圧よりも低く設計したMOSFETにおいても、SBDを内蔵したMOSFETと同様の効果が期待できる。このMOSFETも活性領域にユニポーラ型のダイオードを内蔵したユニポーラ型のトランジスタの一つとすることができる。

【0008】

しかしながら、活性領域にユニポーラ型ダイオードが内蔵されたユニポーラ型トランジスタにおいても、終端領域すなわち活性領域以外の領域では、構造上ユニポーラ型ダイオードを配置し難いところに寄生pnダイオードが形成される箇所がある。

20

例えば、ゲートパッド近傍や半導体装置終端部近傍の領域では、ソース電極よりも外周側に張り出した終端ウェル領域が形成されており、終端ウェル領域とドリフト層との間で寄生pnダイオードを形成している。そして、この箇所では、ショットキ電極が形成されておらず、ユニポーラ型ダイオードが形成されていない。終端ウェル領域ではショットキ電極が無いと、終端ウェル領域とドリフト層とによって形成されるpnダイオードにソース電極とドレイン電極との間の電圧が印加され、このpnダイオードにバイポーラ電流が流れることになる。

30

【0009】

このような箇所に基底面転位などの起点が存在すると、積層欠陥が拡張し、トランジスタの耐圧が低下してしまうことがある。具体的にはトランジスタがオフ状態のときに漏れ電流が発生し、漏れ電流による発熱によって素子や回路が破壊してしまうことがある。

【0010】

この問題を回避するためには、終端ウェル領域とドリフト層とによって形成されるpnダイオードにバイポーラ電流が流れないようにすればよく、例えば半導体装置が動作中にソース・ドレイン間の印加電圧を一定値以下に制限すればよい。そのためには、チップサイズを拡大させて、1チップ当たりの内蔵されたSBDの微分抵抗を低減することにより、還流電流が流れた際に発生するソース・ドレイン間電圧を低減すればよい。そうすると、チップサイズが大きくなり、コストが増大するデメリットが生じる。

40

【0011】

また、チップサイズを拡大することなく、終端ウェル領域とドリフト層によって形成されるpnダイオードの順方向動作を抑制する方法として、終端ウェル領域の各箇所と、ソース電極の間に形成される通電経路の抵抗を高める方法がある。通電経路の抵抗を高める方法には、終端ウェル領域とソース電極とのコンタクト抵抗を高める方法(例えば特許文献5)などがある。このような構成にすると、終端ウェル領域とドリフト層とによって形成されるpnダイオードにバイポーラ電流が流れた際に、コンタクト抵抗の抵抗成分によって電圧降下が生じるため、終端ウェル領域の電位がソース電位と乖離し、その分、pnダイオードにかかる順方向電圧が低減する。したがって、バイポーラ電流の通電を抑制す

50

ることができる。

【0012】

さらに、炭化珪素に代表されるワイドギャップ半導体装置において特に顕著な現象として、スイッチング時にウェル領域に流れる変位電流によって素子が破壊される場合があることが知られている。MOS構造を有する炭化珪素半導体装置がスイッチングしたときに、比較的面積の大きなp型のウェル領域内を素子の平面方向に変位電流が流れ、この変位電流とウェル領域のシート抵抗とによって、ウェル領域内に高電圧が発生する。そして、ウェル領域上に絶縁膜を介して形成された電極との間で絶縁膜の絶縁破壊が起こることにより、素子が破壊される。例えば、ウェル領域の電位が50V以上に変動し、その上に、厚さ50nmの酸化珪素膜を介して電位がおよそ0Vのゲート電極が形成されている場合、酸化珪素膜に10MV/cmといった高電界が印加され、酸化珪素膜が絶縁破壊する場合がある。

10

【0013】

この現象が炭化珪素に代表されるワイドギャップ半導体装置において顕著に発生する理由は以下の2つの原因による。

一つは、炭化珪素等のワイドギャップ半導体に形成したp型ウェル領域の不純物準位がシリコンに形成したp型ウェル領域のそれと比べて深いため、ワイドギャップ半導体のp型ウェル領域のシート抵抗がシリコンのそれより格段に高くなるためである。

もう一つは、シリコン半導体に比べワイドギャップ半導体の絶縁破壊電界が高いことを活かして低抵抗で不純物濃度が高いn型ドリフト層をワイドギャップ半導体で使用する

20

【0014】

変位電流は、スイッチング速度が大きくなるほど大きくなり、ウェル領域に発生する電圧も高くなるが、この変位電流によって発生する電圧を低減する方法として、例えば、p型ウェル領域の一部に低抵抗なp型層を形成する方法が提案されている(例えば特許文献6)。

【先行技術文献】

【特許文献】

30

【0015】

【特許文献1】特開2014-175412号公報

【特許文献2】特開2003-017701号公報

【特許文献3】WO2014/038110国際公開公報

【特許文献4】WO2013/051170国際公開公報

【特許文献5】WO2014/162969国際公開公報

【特許文献6】WO2010/098294国際公開公報

【発明の概要】

【発明が解決しようとする課題】

【0016】

40

しかしながら、終端ウェル領域にソース電極にオーミック接続する電極を設けると、終端ウェル領域とソース電極との間のコンタクト抵抗を高めたとしても、終端ウェル領域とソース電極の間に形成される通電経路の抵抗を十分に高めることができず、終端ウェル領域へのバイポーラ電流の通電を十分に低減できない場合があった。

【0017】

また、終端ウェル領域とソース電極との間のコンタクト抵抗を高め、活性領域のp型のウェル領域と異なる電位にしようとする場合に、活性領域のウェル領域と終端ウェル領域に跨る領域上にゲート絶縁膜を介してゲート電極が設けられていると、活性ウェル領域と終端ウェル領域との間のn型の離間領域とこれを挟む活性ウェル領域と終端ウェル領域とで寄生p-MOSFETができ、場合によっては、この寄生p-MOSFETがオンして

50

、活性ウェル領域と終端ウェル領域とが同電位になってしまうことがあった。特に、MOSFETをオフする電位を例えば - 5 Vのようにソース電位に対してマイナスに振り込む場合には、寄生 p - MOSFETがオンして活性ウェル領域と終端ウェル領域が低抵抗で接続され、終端ウェル領域にバイポーラ電流が流れやすくなる。

【0018】

寄生 p - MOSFETの動作を抑制するためには、例えば該当する寄生 p - MOSFETのゲート絶縁膜に相当する絶縁膜を厚くすると良いが、終端ウェル領域上の絶縁膜を厚くすると、終端ウェル領域が電氣的に孤立してしまう。そうすると、スイッチング動作時に発生する変位電流により終端ウェル領域に発生する高電圧によって終端ウェル領域とその上に絶縁膜を介して形成されたゲート電極との間の高電界によって絶縁膜が絶縁破壊し、素子が破壊されてしまう場合があった。

10

【0019】

このように、従来は、寄生 p - MOSFETをオンさせずにスイッチング時の変位電流による素子破壊させない方法は、知られていなかった。

【0020】

本発明は上述の課題を解決するためになされたもので、寄生 p - MOSFETの動作を抑制しつつ、変位電流通電による素子破壊を抑制し、信頼性を高めた炭化珪素半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0021】

本発明にかかる炭化珪素半導体装置は、第1導電型の炭化珪素の半導体基板と、半導体基板上に形成された第1導電型のドリフト層と、ドリフト層の表層に複数設けられた第2導電型の第1ウェル領域と、複数の前記第1ウェル領域の間に形成された複数の第1導電型の第1離間領域と、第1離間領域に接して設けられ、第1離間領域とショットキ接合する第1ショットキ電極と、第1ウェル領域上に設けられたオーミック電極と、第1ウェル領域と別に前記ドリフト層の表層に設けられた第2導電型の第2ウェル領域と、第1ウェル領域の表層部に形成された第1導電型のソース領域と、第1ウェル領域上に形成されたゲート絶縁膜と、第2ウェル領域に最も近い第1ウェル領域と第2ウェル領域との間に形成された第1導電型の第3離間領域と、第3離間領域上に形成された、ゲート絶縁膜より膜厚が大きい第2絶縁膜と、第2絶縁膜上に形成されたゲート電極と、ゲート電極と接続され、第2ウェル領域の上方に形成されたゲートパッドと、第1ショットキ電極、および、オーミック電極に電氣的に接続され、第2ウェル領域上に形成された第2コンタクトホールにおいて前記第2ウェル領域とオーミック接続されていないソース電極とを備え、第3離間領域に接する第2ウェル領域の表面が第2導電型であるものである。

20

30

【発明の効果】

【0022】

本発明にかかる炭化珪素半導体装置によれば、寄生 p - MOSFETの動作を抑制しつつ、変位電流通電による素子破壊を抑制し、信頼性を高めることができる。

【図面の簡単な説明】

【0023】

【図1】この発明の実施の形態1に係る炭化珪素半導体装置を上面から見た平面模式図である。

【図2】この発明の実施の形態1に係る炭化珪素半導体装置の断面模式図である。

【図3】この発明の実施の形態1に係る炭化珪素半導体装置の平面模式図である。

【図4】この発明の実施の形態1に係る炭化珪素半導体装置の別の構成の平面模式図である。

【図5】この発明の実施の形態1に係る炭化珪素半導体装置の別の構成の断面模式図である。

【図6】この発明の実施の形態1に係る炭化珪素半導体装置の別の構成の平面模式図である。

40

50

【図 7】この発明の実施の形態 1 に係る炭化珪素半導体装置の別の構成の断面模式図である。

【図 8】この発明の実施の形態 1 に係る炭化珪素半導体装置の別の構成の断面模式図である。

【図 9】この発明の実施の形態 2 に係る炭化珪素半導体装置の断面模式図である。

【図 10】この発明の実施の形態 2 に係る炭化珪素半導体装置の平面模式図である。

【図 11】この発明の実施の形態 2 に係る炭化珪素半導体装置の別の構成の断面模式図である。

【図 12】この発明の実施の形態 2 に係る炭化珪素半導体装置の別の構成の断面模式図である。

10

【図 13】この発明の実施の形態 2 に係る炭化珪素半導体装置の別の構成の断面模式図である。

【図 14】この発明の実施の形態 3 に係る炭化珪素半導体装置の断面模式図である。

【図 15】この発明の実施の形態 4 に係る炭化珪素半導体装置の断面模式図である。

【図 16】この発明の実施の形態 5 に係る炭化珪素半導体装置の断面模式図である。

【図 17】この発明の実施の形態 5 に係る炭化珪素半導体装置の別の構成の断面模式図である。

【図 18】この発明の実施の形態 6 に係る炭化珪素半導体装置の断面模式図である。

【図 19】この発明の実施の形態 6 に係る炭化珪素半導体装置の別の構成の断面模式図である。

20

【図 20】この発明の実施の形態 7 に係る炭化珪素半導体装置の断面模式図である。

【図 21】この発明の実施の形態 7 に係る炭化珪素半導体装置の別の構成の断面模式図である。

【図 22】この発明の実施の形態 7 に係る炭化珪素半導体装置の別の構成の断面模式図である。

【図 23】この発明の実施の形態 7 に係る炭化珪素半導体装置の別の構成の断面模式図である。

【図 24】この発明の実施の形態 7 に係る炭化珪素半導体装置の別の構成の断面模式図である。

【図 25】この発明の実施の形態 7 に係る炭化珪素半導体装置の別の構成の断面模式図である。

30

【図 26】この発明の実施の形態 8 に係る電力変換装置の構成を示す模式図である。

【発明を実施するための形態】

【0024】

以下、添付の図面を参照しながら実施形態について説明する。なお、図面は模式的に示されるものであり、異なる図面にそれぞれ示されている画像のサイズ及び位置の相互関係は、必ずしも正確に記載されるものではなく、適宜変更され得る。また、以下の説明では、同様の構成要素には同じ符号を付して図示し、それらの名称及び機能も同様のものとする。よって、それらについての詳細な説明を省略する場合がある。

【0025】

40

本明細書に記載の実施の形態においては、炭化珪素 (SiC) 半導体装置の一例として、第 1 導電型を n 型、第 2 導電型を p 型とした n チャネル炭化珪素 MOSFET を例に挙げて説明する。電位の高低についての記述は、第 1 導電型を n 型、第 2 導電型を p 型とした場合に対する記述であり、第 1 導電型を p 型、第 2 導電型を n 型とした場合には、電位の高低の記述も逆になる。

さらに、本願では、炭化珪素半導体装置全体のうち、ユニットセルが周期的に並ぶ領域を活性領域と、また、活性領域以外の領域を終端領域と呼んで説明する。

【0026】

実施の形態 1 .

まず、本発明の実施の形態 1 にかかる炭化珪素半導体装置の構成を説明する。

50

図1は、実施の形態1にかかる炭化珪素半導体装置であるショットキダイオード(SBD)内蔵炭化珪素MOSFET(SBD内蔵SiC-MOSFET)を上面から見た平面模式図である。図1において、SiC-MOSFETの上面の一部にはゲートパッド81が形成されており、これに隣接してソース電極80が形成されている。また、ゲートパッド81から延びるように、ゲート配線82が形成されている。

図2は、図1のソース電極80から炭化珪素半導体装置の外周部のゲート配線82にかけてのa-a'部分の断面を模式的に示す断面模式図である。また、図3は、図1の上面図の主に炭化珪素半導体部分を記載した平面模式図である。

【0027】

図2において、n型で低抵抗の炭化珪素で構成される半導体基板10の表面上に、n型の炭化珪素で構成されるドリフト層20が形成されている。図1で説明したゲート配線82が設けられている領域にほぼ対応する位置のドリフト層20の表層部には、図3に示すように、p型の炭化珪素で構成される第2ウェル領域31が設けられている。

【0028】

図1で説明したソース電極80が設けられている領域の下部には、ドリフト層20の表層部に、p型の炭化珪素で構成される第1ウェル領域30が複数設けられている。第1ウェル領域30のそれぞれの表層部には、第1ウェル領域30の外周から所定の間隔だけ内部に入った位置に、n型の炭化珪素で構成されるソース領域40が形成されている。

【0029】

各第1ウェル領域30の表層部のソース領域40のさらに内側の第1ウェル領域30の表層部には、低抵抗p型の炭化珪素で構成されるコンタクト領域32が形成されており、そのさらに内部には、ドリフト層20の表面から第1ウェル領域30を貫通する、炭化珪素で構成される第1離間領域21が形成されている。第1離間領域21は、ドリフト層20と同じn型で、ドリフト層20と同じ不純物濃度を有する。

この第1離間領域21の表面側には、第1離間領域21とショットキ接続する第1ショットキ電極71が形成されている。ここで、第1ショットキ電極71は、上面から見て、少なくとも対応する第1離間領域21を含むように形成されていることが望ましい。

【0030】

また、ソース領域40の表面上には、オーミック電極70が形成されており、オーミック電極70、第1ショットキ電極71およびコンタクト領域32に接続されるソース電極80がこれらの上に形成されている。第1ウェル領域30は、低抵抗のコンタクト領域32を介してオーミック電極70と電子と正孔の授受を容易に行なうことができる。

【0031】

隣接する第1ウェル領域30間のドリフト層20の領域は、第2離間領域22となっており、ドリフト層20と同じn型で、ドリフト層20と同じ不純物濃度を有する。隣接する第1ウェル領域30、その間の第2離間領域22、およびそれぞれの第1ウェル領域30内のソース領域40の表面上には、ゲート絶縁膜50が形成されており、そのゲート絶縁膜50上の少なくとも第1ウェル領域30の上部には、ゲート電極60が形成されている。ゲート電極60が形成されている箇所下部で、ゲート絶縁膜50を介して対向する第1ウェル領域30の表層部を、チャンネル領域と呼ぶ。

【0032】

炭化珪素半導体装置の第1ウェル領域30が形成されている、図1のソース電極80が形成されている領域が、活性領域であり、その活性領域の外側、すなわち、最外周の第1ウェル領域30の外側には第2ウェル領域31が形成されている。第1ウェル領域30と第2ウェル領域31の間には、第3離間領域23が形成されている。第3離間領域23は、ドリフト層20と同じn型で、ドリフト層20と同様の不純物濃度を有する。

第2ウェル領域31が形成されている領域より外側が、終端領域となる。

【0033】

第2ウェル領域31と最外周の第1ウェル領域30との間の第3離間領域上には、ゲート絶縁膜50より少なくとも2倍以上の厚さを有する酸化珪素または窒化珪素からなる第

10

20

30

40

50

2 絶縁膜 5 2 が形成されている。また、第 2 ウェル領域 3 1 上には、フィールド絶縁膜 5 1 が形成されている。

【 0 0 3 4 】

第 2 絶縁膜 5 2 上およびフィールド絶縁膜 5 1 の上部の一部には、ゲート絶縁膜 5 0 上のゲート電極 6 0 と接続するゲート電極 6 0 が形成されている。また、ゲート電極 6 0 とソース電極 8 0 との間には、層間絶縁膜 5 5 が形成されている。さらに、第 2 ウェル領域 3 1 の上方のゲート電極 6 0 とゲート配線 8 2 とは、層間絶縁膜 5 5 に形成されたゲートコンタクトホール 9 5 を介して接続されている。また、第 2 ウェル領域 3 1 の外周側、すなわち、第 1 ウェル領域 3 0 と反対側には、p 型で炭化珪素の J T E 領域 3 7 が形成されている。J T E 領域 3 7 の不純物濃度は、第 2 ウェル領域 3 1 の不純物濃度より低いものとする。

10

【 0 0 3 5 】

また、第 2 ウェル領域 3 1 の表面上のフィールド絶縁膜 5 1 の一部には開口（第 2 コンタクトホール 9 1）が形成されており、その開口内には、オーミック電極 7 0 などと接続されているソース電極 8 0 が形成されている。ここで、第 2 ウェル領域 3 1 は直接ソース電極 8 0 とオーミック接続されておらず、絶縁されている、あるいは、ショットキ接続されている。

【 0 0 3 6 】

活性領域においては、層間絶縁膜 5 5 およびゲート絶縁膜 5 0 を貫通して形成された第 1 コンタクトホール 9 0 を介して、オーミック電極 7 0、第 1 ショットキ電極 7 1 およびコンタクト領域 3 2 上のソース電極 8 0 が層間絶縁膜 5 5 上のソース電極 8 0 と接続されている。

20

半導体基板 1 0 の裏面側には、ドレイン電極 8 4 が形成されている。

【 0 0 3 7 】

次に、本実施の形態の炭化珪素半導体装置である S B D 内蔵 S i C - M O S F E T の製造方法について説明する。

まず、第 1 主面の面方位がオフ角を有する（0 0 0 1）面であり、4 H のポリタイプを有する、n 型で低抵抗の炭化珪素からなる半導体基板 1 0 の上に、化学気相堆積法（chemical Vapor Deposition: C V D 法）により、 1×10^{15} から $1 \times 10^{17} \text{ cm}^{-3}$ の不純物濃度で n 型、5 から 5 0 μm の厚さの炭化珪素からなるドリフト層 2 0 をエピタキシャル成長させる。

30

【 0 0 3 8 】

つづいて、ドリフト層 2 0 の表面の所定の領域にフォトレジスト等により注入マスクを形成し、p 型の不純物である A l（アルミニウム）をイオン注入する。このとき、A l のイオン注入の深さはドリフト層 2 0 の厚さを超えない 0 . 5 から 3 μm 程度とする。また、イオン注入された A l の不純物濃度は、 1×10^{17} から $1 \times 10^{19} \text{ cm}^{-3}$ の範囲でありドリフト層 2 0 の不純物濃度より高くする。その後、注入マスクを除去する。本工程により A l イオン注入された領域が第 1 ウェル領域 3 0 および第 2 ウェル領域 3 1 となる。

【 0 0 3 9 】

40

次に、ドリフト層 2 0 の表面にフォトレジスト等により注入マスクを形成し、p 型の不純物濃度である A l をイオン注入する。このとき、A l のイオン注入の深さはドリフト層 2 0 の厚さを超えない 0 . 5 から 3 μm 程度とする。また、イオン注入された A l の不純物濃度は、 1×10^{16} から $1 \times 10^{18} \text{ cm}^{-3}$ の範囲でありドリフト層 2 0 の不純物濃度より高く、かつ、第 1 ウェル領域 3 0 の不純物濃度よりも低いものとする。その後、注入マスクを除去する。本工程により A l がイオン注入された領域が J T E 領域 3 7 となる。同様に、所定の領域に第 1 ウェル領域 3 0 の不純物濃度より高い不純物濃度で A l をイオン注入することにより、コンタクト領域 3 2 を形成する。

【 0 0 4 0 】

つづいて、ドリフト層 2 0 の表面の第 1 ウェル領域 3 0 の内側の所定の箇所が開口する

50

ようにフォトリソグロフ技術等により注入マスクを形成し、n型の不純物であるN（窒素）をイオン注入する。Nのイオン注入深さは第1ウェル領域30の厚さより浅いものとする。また、イオン注入したNの不純物濃度は、 1×10^{18} から $1 \times 10^{21} \text{ cm}^{-3}$ の範囲であり、第1ウェル領域30のp型の不純物濃度を超えるものとする。本工程でNが注入された領域のうちn型を示す領域がソース領域40となる。

【0041】

次に、熱処理装置によって、アルゴン（Ar）ガス等の不活性ガス雰囲気中で、1300から1900の温度で、30秒から1時間のアニールを行う。このアニールにより、イオン注入されたN及びAlを電氣的に活性化させる。

【0042】

つづいて、CVD法、フォトリソグロフ技術等を用いて、第1ウェル領域30が形成された領域にほぼ対応する活性領域以外の領域の半導体層の上に、膜厚が0.5から2 μm の酸化珪素からなるフィールド絶縁膜51を形成する。

また、最外周の第1ウェル領域30と第2ウェル領域との間の第3離間領域23上に、CVD法、フォトリソグロフ技術等を用いて、膜厚が0.1から0.5 μm の酸化珪素からなる第2絶縁膜52を形成する。

【0043】

次に、フィールド絶縁膜51と第2絶縁膜52とに覆われていない炭化珪素表面を熱酸化して所望の厚みのゲート絶縁膜50である酸化珪素膜を形成する。つづいて、ゲート絶縁膜50、第2絶縁膜52およびフィールド絶縁膜51の上に、導電性を有する多結晶シリコン膜を減圧CVD法により形成し、これをパターニングすることによりゲート電極60を形成する。次に、酸化珪素からなる層間絶縁膜55を減圧CVD法により形成する。つづいて、層間絶縁膜55とゲート絶縁膜50を貫き、活性領域内のコンタクト領域32とソース領域40とに到達する第1コンタクトホール90を形成し、同時に、第2ウェル領域31に到達する第2コンタクトホール91を形成する。

【0044】

次に、スパッタ法等によりNiを主成分とする金属膜を形成後、600から1100の温度の熱処理を行ない、Niを主成分とする金属膜と、第1コンタクトホール90内の炭化珪素層とを反応させて、炭化珪素層と金属膜との間にシリサイドを形成する。つづいて、反応してできたシリサイド以外の残留した金属膜をウェットエッチングにより除去する。これにより、オーミック電極70が形成される。

【0045】

つづいて、半導体基板10の裏面（第2主面）にNiを主成分とする金属膜を形成、熱処理することにより、半導体基板10の裏側に裏面オーミック電極（図示せず）を形成する。

次に、フォトリソグロフ技術等によるパターニングを用いて、第1離間領域21上の層間絶縁膜55とゲート絶縁膜50と、および、ゲートコンタクトホール95となる位置の層間絶縁膜55を除去する。除去する方法としては、ショットキ界面となる炭化珪素層の表面にダメージを与えないウェットエッチングとする。

【0046】

つづいて、スパッタ法等により、ショットキ電極となる金属膜を堆積し、フォトリソグロフ技術等によるパターニングを用いて、第1コンタクトホール90内の第1離間領域21上に第1ショットキ電極71を形成する。

【0047】

次に、ここまで処理してきた基板の表面にスパッタ法又は蒸着法によりAl等の配線金属を形成し、フォトリソグロフ技術により所定の形状に加工することで、ソース側のオーミック電極70、第1ショットキ電極71、および、第2ウェル領域31に接触するソース電極80、および、ゲート電極60に接触するゲートパッド81とゲート配線82とを形成する。

【0048】

10

20

30

40

50

さらに、基板の裏面に形成された裏面オーミック電極（図示せず）の表面上に金属膜であるドレイン電極 84 を形成すれば、図 1 ~ 3 に示した本実施の形態の炭化珪素半導体装置が完成する。

【 0 0 4 9 】

次に、本実施の形態の炭化珪素半導体装置である SBD 内蔵 SiC - MOSFET の動作について説明する。ここで、半導体材料が 4H 型の炭化珪素の炭化珪素半導体装置を例に説明する。この場合 pn 接合の拡散電位はおおよそ 2V である。

【 0 0 5 0 】

以下、主に還流動作の場合について説明する。

還流動作では、ソース電圧（ソース電極 80 の電圧）に対しドレイン電圧（ドレイン電極 84 の電圧）が低くなり、数 V の電圧が発生する。活性領域においては、第 1 ウェル領域 30 より低電圧でオンする、第 1 離間領域 21 と第 1 ショットキ電極 71 間の SBD が形成されているので、原則として還流電流が SBD に流れ、第 1 ウェル領域 30 には流れない。終端領域においては、第 2 ウェル領域 31 にオーミック電極 70 を経由してオーミック接続するソース電極 80 がある場合、第 2 ウェル領域 31 とドリフト層 20 と間に形成される pn 接合にソース・ドレイン間の電圧の多くが印加されるために、第 2 ウェル領域 31 とドリフト層 20 とで形成される pn ダイオードにバイポーラ電流が流れることになる。しかしながら、本発明の炭化珪素半導体装置においては、第 2 ウェル領域 31 がソース電極 80 とオーミック接続していない。また、第 3 離間領域 23 上部にゲート絶縁膜よりも少なくとも 2 倍以上膜厚が大きい第 2 絶縁膜 52 を形成し、さらに第 2 ウェル領域 31 全域をゲート絶縁膜 50 よりも厚い絶縁膜（第 2 絶縁膜 52、フィールド絶縁膜 51）で被覆している。

【 0 0 5 1 】

このため、本実施の形態の炭化珪素半導体装置は、還流動作時においても、第 2 ウェル領域 31 がソース電極 80 と同電位にならず、第 2 ウェル領域 31 のバイポーラ動作を抑制することができる。また、ターンオフ、ターンオン動作時の第 2 ウェル領域 31 上に発生する電圧による絶縁膜に印加される電界を低減でき第 2 ウェル領域 31 上の絶縁膜の絶縁破壊を抑制でき、信頼性を高めることができる。

【 0 0 5 2 】

次に、スイッチング動作時における本実施の形態の炭化珪素半導体装置の終端領域の動作について説明する。

まず、ターンオフ動作時には、ドレイン電圧が増大し、ドリフト層 20 中に空乏層が急速に広がる。ドリフト層 20 中の空乏層の広がりに対応して、第 2 ウェル領域 31 内においても空乏層が広がり、この空乏層の広がりに応じた変位電流が第 2 ウェル領域 31 からソース電極 80 に向けて流れる。このとき、変位電流は、第 2 コンタクトホール 91 を経由して第 2 ウェル領域 31 からソース電極 80 に向けて流れるが、ソース電極 80 と第 2 ウェル領域 31 とは、絶縁されている、あるいは、ショットキ接続されている。

【 0 0 5 3 】

第 2 コンタクトホール 91 内でソース電極 80 と第 2 ウェル領域 31 とがショットキ接続されている場合は、第 2 ウェル領域 31 からソース電極 80 に向けて順方向電流が流れることにより、第 2 ウェル領域 31 上の絶縁膜を破壊するような高電圧は発生しない。また、第 2 コンタクトホール 91 内でソース電極 80 と第 2 ウェル領域 31 との間が絶縁されている場合でも、ソース電極 80 と第 2 ウェル領域 31 との間の絶縁膜が薄ければ、一定以上の電圧の印加で降伏し、第 2 ウェル領域 31 上の絶縁膜を破壊するような高電圧は発生しない。このとき、ソース電極 80 と第 2 ウェル領域 31 とが空間的に密接に隣接されているため、接触部分の寄生容量が非常に大きくなり、この大きな寄生容量を介して第 2 ウェル領域 31 からソース電極 80 へ小さな電圧降下で変位電流を流すことができる。

【 0 0 5 4 】

つづいて、ターンオン動作時について説明する。ターンオン動作時には、ドレイン電圧が急速に低下する。このとき、オフ状態のときにドリフト層 20 と第 2 ウェル領域 31 と

10

20

30

40

50

の間に形成されている空乏層が、急速に縮小する。そのため、ソース電極 80 から第 2 ウェル領域 31 中へ変位電流が流れ込む。

【0055】

第 2 コンタクトホール 91 内でソース電極 80 と第 2 ウェル領域 31 とがショットキ接続されている場合には、ターンオン動作時に流れる電流が第 2 ウェル領域 31 とソース電極 80 との間に形成される SBD の順方向とは逆向きになるが、この SBD が一定の逆方向電圧で降伏するようにしておくことで、第 2 ウェル領域 31 上に発生する電圧を第 2 ウェル領域 31 上部の絶縁膜を破壊するような電圧以下に抑制することができる。

【0056】

ソース電極 80 と第 2 ウェル領域 31 の間が、絶縁されていた場合も同様で、絶縁破壊が発生し、通電する電圧を一定以下となるよう設計することで、第 2 ウェル領域 31 上に発生する電圧を第 2 ウェル領域 31 上部の絶縁膜を破壊するような電圧以下に抑制することができる。また、ソース電極 80 と第 2 ウェル領域 31 が空間的に密接に隣接されているため、接触部分の寄生容量は非常に大きく、変位電流を第 2 ウェル領域 31 からソース電極 80 へ、寄生容量を介した過渡電流の通電により、小さな電圧降下で流すことができる。これにより、第 2 ウェル領域 31 上の絶縁膜を破壊するような電圧が第 2 ウェル領域 31 上に発生することを十分に抑制することができる。

【0057】

また、図 4 は、本実施の形態の炭化珪素半導体装置の別の形態の、主に炭化珪素半導体部分を記載した平面模式図である。図 4 において、第 2 ウェル領域 31 の一部に、第 2 ウェル領域 31 とソース電極 80 とをオーミック接続する第 2 ウェル領域コンタクトホール 92 が形成されている。図 5 は、図 4 の第 2 ウェル領域コンタクトホール 92 が形成されている箇所を含む断面を示した断面模式図である。図 5 において、第 2 ウェル領域コンタクトホール 92 は、フィールド絶縁膜 51 および層間絶縁膜 55 を貫通して形成されている。また、第 2 ウェル領域コンタクトホール 92 の下部の第 2 ウェル領域 31 には、第 2 ウェル領域 31 より p 型不純物濃度が高く低抵抗な第 2 ウェルコンタクト領域 36 を設けてもよい。

【0058】

第 2 ウェル領域コンタクトホール 92 は、第 2 ウェル領域 31 内の最短経路上で、第 2 コンタクトホール 91 から断面横方向に、10 μm 以上離れて形成されている。ここで、第 2 ウェル領域 31 内で第 2 ウェル領域コンタクトホール 92 から 10 μm 以上はなれた箇所は、実質的に非オーミック接続されていると見なす。第 2 ウェル領域 31 内の最短経路上の第 2 コンタクトホール 91 と第 2 ウェル領域コンタクトホール 92 との距離は、より好ましくは、50 μm 以上であればよい。

【0059】

さらに、これまでは、第 1 ウェル領域 30 と第 2 ウェル領域 31 とが基本的に離間しているとして説明してきたが、第 1 ウェル領域 30 と第 2 ウェル領域 31 とがつながっていてもよい。また、第 1 ウェル領域 30 が複数あり、複数の第 1 ウェル領域 30 が互いに離間しているものとして説明したが、複数の第 1 ウェル領域 30 どうしがつながっていてもよい。図 6 に、第 1 ウェル領域 30 と第 2 ウェル領域 31 とがつながっており、かつ、複数の第 1 ウェル領域 30 どうしがつながっている場合の平面模式図を示す。

このような場合は、第 1 ウェル領域 30 は、第 1 ウェル領域 30 内のソース領域 40、あるいは、第 1 ウェル領域 30 内の第 1 離間領域 21 上に設けられた第 1 ショットキ電極 71 のいずれかからの距離が 50 μm 以内であるものとする。

【0060】

また、本実施の形態では活性領域に SBD 内蔵 MOSFET がある例について説明してきたが、SBD 内蔵 MOSFET の代わりに、p 型のウェル領域上に n 型のチャネルエピ層 49 を形成し、このチャネルエピ層 49 がしきい値電圧以下のゲート電圧にてユニポーラ型のダイオードとして動作するようにし、かつ、このユニポーラ型のダイオードの立ち上がり電圧を p 型のウェル領域と n 型のドリフト層とから形成される pn ダイオードの動

10

20

30

40

50

作電圧よりも低く設計したMOSFETにしてもよい。図7に、図2のSBD内蔵MOSFETをこのようなMOSFETに置き換えたMOSFETの断面模式図を示す。このように、還流動作時においてMOSFETのチャネル領域に逆通電させる場合でも、SBD内蔵MOSFETと同様の効果を得ることができる。

【0061】

さらに、第2ウェル領域31とソース電極80とは、第2コンタクトホール内で、第2ショットキ電極76を介してショットキ接続されてもよい。図8は、第2ウェル領域31とソース電極80とが第2ショットキ電極76を介して接続された、本実施の形態の炭化珪素半導体装置の断面模式図である。

【0062】

第2ウェル領域31がソース電極80とショットキ接続されることにより、ターンオフ動作時に、第2ウェル領域31の多数キャリアである正孔がソース電極80に向かってショットキダイオードの順方向電流として流れるため、ターンオフ時に第2ウェル領域31とソース電極80とのコンタクト部分で高速スイッチングによる変位電流が流れた場合においても変位電流によって発生する電圧を低減でき、第2ウェル領域31上の絶縁膜への印加電界を低減できる。したがって、素子の信頼性を高めることができる。

なお、本発明の効果は、オフ時のゲート電圧をソース電圧よりマイナス側にして駆動する場合に、より顕著となる。

【0063】

実施の形態2.

本実施の形態の炭化珪素半導体装置は、実施の形態1の炭化珪素半導体装置の第2ウェル領域31に断面横方向に低抵抗な層を設けているものである。その他の点については、実施の形態1と同様であるので、詳しい説明を省略する。

【0064】

図9は、実施の形態1の説明で使用した図1のソース電極80から炭化珪素半導体装置の外周部のゲート配線82にかけてのa-a'部分の断面を模式的に示す本実施の形態の炭化珪素半導体装置の断面模式図である。また、図10は、本実施の形態の炭化珪素半導体装置の平面模式図である。

【0065】

図9に断面図を示す本実施の形態の炭化珪素半導体装置の終端領域において、第2導電型の第2ウェル領域31上には、第2ウェル領域31とオーミック接続しない、低抵抗な導電性層47が形成されている。例えば、導電性層47は第2ウェル領域31とショットキ接続されている。実施の形態1では第2ウェル領域31上に形成されていた第2コンタクトホール91は、本実施の形態では導電性層47上に形成されており、第2コンタクトホール91内に形成されるソース電極80と導電性層47とは、オーミック接続される。

また、導電性層47は、図10にその平面図を記載しているように、第2ウェル領域31の平面上で大きな割合の領域に形成される。導電性層47の形成領域は、第2ウェル領域31の形成領域の50%以上などであればよい。

【0066】

導電性層47は、低抵抗n型の多結晶珪素などであればよく、フィールド絶縁膜51および第2絶縁膜52を形成する前に減圧CVD法などにより形成される。低抵抗n型の多結晶珪素の導電性層47は、珪素の価電子帯および伝導帯が一般的に炭化珪素の禁制帯幅にあるので、p型炭化珪素の第2ウェル領域31とショットキ接続する。このように、第2ウェル領域31と導電性層47とを非オーミック接続させることにより、還流動作時にソース電極80側から第2ウェル領域31に多数キャリアである正孔を注入できなくなる。そのため、第2ウェル領域31とドリフト層20との間のバイポーラ通電を抑制することができる。

【0067】

また、活性領域の最外周の第1ウェル領域30と終端領域の第2ウェル領域31との間の第3離間領域23上に、ゲート絶縁膜50より膜厚の大きな第2絶縁膜52を形成して

10

20

30

40

50

いるので、第1ウェル領域30と終端領域の第2ウェル領域31との間の寄生p-MOSFETがオンすることが防止されている。

【0068】

さらに、第2ウェル領域31に形成されている低抵抗の導電性層47により、第2ウェル領域31の断面横方向の抵抗を低減でき、高速スイッチング時に第2ウェル領域31の断面横方向に流れる変位電流によって第2ウェル領域31に発生する電圧を低減することができる。したがって、変位電流によって発生する電圧による素子破壊を防止でき、炭化珪素半導体装置の信頼性を高めることができる。また、変位電流によって発生する電圧はスイッチング速度に応じて大きくなるので、低抵抗の導電性層47を形成していないものと比較して、よりスイッチング速度を増加させることができる。

10

【0069】

加えて、第2ウェル領域31と導電性層47との間にできる空乏層容量があるため、ターンオン時などのチャージアップによる発生電圧を低下させることができ、素子の信頼性をさらに高めることができる。

【0070】

本実施の形態の炭化珪素半導体装置の第2ウェル領域31に設ける断面横方向に低抵抗な層は、第2ウェル領域31の上に直接接するように設けなくてもよい。図11にその断面模式図を示すように、第2ウェル領域31上に絶縁層53を介して導電性層47が設けられてもよい。導電性層47の平面レイアウトは、図9と同様でよい。絶縁層53を薄く形成することにより、絶縁層53の上部と下部の容量結合を大きくできる。

20

絶縁層53をゲート絶縁膜50と同時に同じ厚さで形成する場合、第2ウェル領域31上の絶縁層53を熱酸化法で形成した上に減圧CVD法などにより形成すればよい。

【0071】

このキャパシタが、ターンオン/ターンオフ時の dV/dt 印加時に第2ウェル領域31を平面方向に流れる変位電流をAC的に流す電流経路として働く。キャパシタは、図9の構造の炭化珪素半導体装置の導電性層47との間のショットキ接合が逆バイアスになったときに、これらの間に空乏層容量と同様に働くので、同様に、電圧スイッチング時に変位電流によって発生する電圧を抑制することができる。また、ターンオフ直後に第2ウェル領域31に発生した正の電荷を第2ウェル領域31と導電性層47との間のキャパシタに充電することにより、第2ウェル領域31に発生する電圧を低く抑え、第2ウェル領域31上に形成された絶縁膜の絶縁破壊を防止することができる。

30

【0072】

図9と図11の炭化珪素半導体装置の導電性層47は、多結晶珪素として説明したが、金属であっても、炭化珪素などの半導体であっても、黒鉛のような半金属であってもよい。導電性層47の材料が金属以外の場合、第2ウェル領域31に対してショットキ接続または非線形性接触し、還流動作時に第2ウェル領域31への多数キャリアの注入を防ぐことができればよい。

【0073】

なお、導電性層47は、第1ウェル領域30と第2ウェル領域31の境界にある第3離間領域23上にまで形成してもよい。図12に、導電性層47を第3離間領域23上にまで形成したものの断面模式図を示す。ここで、導電性層47の上部には、第2絶縁膜52が形成されている。

40

図12の構造の炭化珪素半導体装置においては、導電性層47が、第1導電型の第3離間領域23とも非オーミック接続した方がよい。

【0074】

また、本実施の形態の炭化珪素半導体装置の第2ウェル領域31に設ける断面横方向に低抵抗な層は、第2ウェル領域31の上層部に設けた炭化珪素半導体層であってもよい。

図11にその断面模式図を示すように、第2ウェル領域31の上層部に低抵抗n型の炭化珪素導電性層45を形成してもよい。炭化珪素導電性層45の抵抗率を第2ウェル領域31の抵抗率より低くすれば、図8の構造の炭化珪素半導体装置と同様の効果を奏する。

50

炭化珪素導電性層 4 5 と第 2 ウェル領域 3 1 との間には p n 接合ができ、この p n 接合の空乏層容量が図 8 の構造と同様に働く。

【 0 0 7 5 】

図 1 1 の構造の炭化珪素半導体装置の炭化珪素導電性層 4 5 は、窒素などのドナーとなるイオンを注入することによって形成すればよい。炭化珪素導電性層 4 5 は、ソース領域 4 0 と同時にイオン注入により形成して、製造工程を削減してもよい。

また、炭化珪素導電性層 4 5 は、エピタキシャル法により形成してもよい。

【 0 0 7 6 】

本実施の形態の炭化珪素半導体装置は、第 2 ウェル領域 3 1 の表層の一部またはその上部に、第 1 導電型の炭化珪素導電性層 4 5 または導電性層 4 7 を形成しているの
10

【 0 0 7 7 】

実施の形態 3 .

実施の形態 1 では、第 3 離間領域 2 3 上に第 2 絶縁膜が形成されていたが、本実施の形態の炭化珪素半導体装置では、第 3 離間領域 2 3 上にフィールド絶縁膜 5 1 が形成されている。その他の点については、実施の形態 1、2 と同様であるので、詳しい説明は省略する。

【 0 0 7 8 】

図 1 4 は、本実施の形態の炭化珪素半導体装置の断面模式図である。図 1 4 に示した本実施の形態の炭化珪素半導体装置においては、最外周の第 1 ウェル領域 3 0 と第 2 ウェル領域 3 1 との間の第 3 離間領域 2 3 上にも第 2 ウェル領域 3 1 上と同じフィールド絶縁膜 5 1 が形成されている。したがって、実施の形態 1 のようにフィールド絶縁膜 5 1 やゲート絶縁膜 5 0 と異なる第 2 絶縁膜を形成する必要が無く、第 2 ウェル領域 3 1 上にフィールド絶縁膜 5 1 を形成するとき同時に第 3 離間領域 2 3 上の第 3 離間領域 2 3 上を形成でき、製造工程を簡略化できる。
20

【 0 0 7 9 】

本実施の形態の炭化珪素半導体装置においても、実施の形態 1 の炭化珪素半導体装置と同様に、寄生 p - M O S F E T の動作の抑制などの効果を奏することができる。
30

【 0 0 8 0 】

実施の形態 4 .

本実施の形態の炭化珪素半導体装置においては、最外周の第 1 ウェル領域 3 0 と第 2 ウェル領域 3 1 との間の第 3 離間領域 2 3 にドリフト層 2 0 の不純物濃度の 5 倍以上の不純物濃度の第 1 導電型の接合注入領域 4 3 を形成する。その他の点については、実施の形態 1 ~ 3 と同様であるので、詳しい説明は省略する。

【 0 0 8 1 】

図 1 5 は、本実施の形態の炭化珪素半導体装置の断面模式図である。図 1 4 に示した本実施の形態の炭化珪素半導体装置においては、最外周の第 1 ウェル領域 3 0 と第 2 ウェル領域 3 1 との間の第 3 離間領域 2 3 に不純物濃度が高い接合注入領域 4 3 を形成している。
40

【 0 0 8 2 】

本実施の形態の炭化珪素半導体装置は、第 3 離間領域 2 3 に不純物濃度が高い接合注入領域 4 3 を形成しているの
50

【 0 0 8 3 】

実施の形態 5 .

本実施の形態の炭化珪素半導体装置においては、第2ウェル領域31の活性領域に隣接した領域の表層部に、第2ウェル領域31より第2導電型の不純物濃度が高い第2導電型の高濃度領域35を設けている。その他の点については、実施の形態1~4と同様であるので、詳しい説明は省略する。

【0084】

図16に、本実施の形態の炭化珪素半導体装置の断面模式図を示す。高濃度領域35の第2導電型の不純物濃度は、第2ウェル領域31の第2導電型の不純物濃度の2倍以上とする。高濃度領域35は、第2ウェル領域31と同様に、イオン注入法により形成すればよい。

本発明の炭化珪素半導体装置の第2ウェル領域31のように、ソース電極80とオーミック接続しないで、フローティングになると、第2ウェル領域31とフィールド絶縁膜51との界面、第2ウェル領域31と第2絶縁膜52との界面、および、第1ウェル領域30と第2絶縁膜52との界面に、意図せぬ反転層が形成される可能性がある。

【0085】

そこで、本実施の形態の炭化珪素半導体装置のように、第2ウェル領域31の活性領域側の領域の表層部に高濃度領域35を形成しておくことにより、少なくとも高濃度領域35が形成された領域において反転層が形成されることを防止でき、第2ウェル領域31がソース電極80と同電位になるのを抑制できる。したがって、還流動作時の第2ウェル領域31のバイポーラ通電をさらに抑制できる。

【0086】

なお、第2ウェル領域31の第2コンタクトホール91が形成されていない他の領域の表層部にも高濃度領域35を形成して、第2ウェル領域31の断面横方向の抵抗を低減してもよい。図17は、第2ウェル領域31の他の領域の表層部にも高濃度領域35を形成したものの断面模式図である。このような炭化珪素半導体装置によれば、第2ウェル領域31の断面横方向の抵抗を低減でき、実施の形態2の炭化珪素半導体装置と同様に、炭化珪素半導体装置がオン/オフするときに第2ウェル領域31に流れる変位電流による発生電圧を低減できる。したがって、より信頼性を高くすることができる。

【0087】

さらに、上記実施形態では、ソース側のオーミック電極70と第1ショットキ電極71とが分離して作製されているが、同一材料で連続して形成されてもよいし、別材料で連続していてもよい。

また、上記実施形態では、結晶構造、主面の面方位、オフ角および各注入条件等、具体的な例を用いて説明したが、これらの数値範囲に適用範囲が限られるものではない。

【0088】

実施の形態6.

本実施の形態の炭化珪素半導体装置においては、実施の形態2に記載の炭化珪素半導体装置の終端領域において、第2ウェル領域31の内部の表層部の導電性層47が形成された領域の外側でJTE領域37が形成された領域の内側に、第2ウェル領域31より第2導電型の不純物濃度が高い保護高濃度領域39が形成されている。その他の点については、実施の形態2と同様であるので、詳しい説明は省略する。

【0089】

図18は、本実施の形態の炭化珪素半導体装置の断面模式図である。図18に示した本実施の形態の炭化珪素半導体装置においては、第2ウェル領域31の内部の表層部の導電性層47が形成された領域の外側でJTE領域37が形成された領域の内側に、第2ウェル領域31より第2導電型の不純物濃度が高い保護高濃度領域39が形成されている。保護高濃度領域39は、コンタクト領域32形成方法と同様にイオン注入法によって形成すればよい。

【0090】

ここで、本実施の形態の炭化珪素半導体装置の効果について説明する。

炭化珪素半導体装置では、p型不純物をドーブして形成したアクセプタの準位が深く、

10

20

30

40

50

アクセプタがキャリア生成のために比較的長い時定数を持つために、素子を高速でスイッチングさせた場合、特に p 型のキャリアの生成がスイッチング速度に追いつかない場合があった。キャリアの生成が遅れるのは、アクセプタのイオン化が遅れる（不完全イオン化）ためである。

【 0 0 9 1 】

特に、素子を高速でターンオフさせたときには、不純物濃度が第 2 ウェル領域 3 1 より低濃度の J T E 領域 3 7 のような領域において、キャリアの生成の遅れにより、ドーピングしたアクセプタ濃度よりキャリア濃度が過渡的に少なくなる場合がある。このため、実施の形態 2 のような終端構造の場合には、J T E 領域 3 7 から第 2 ウェル領域 3 1 にかけての領域中に、静的なオフ時よりも広い範囲に空乏層が拡張し、この空乏層が、ゲート電極 6 0 下部や導電性層 4 7 まで到達することにより、素子が破壊されてしまう場合があった。

10

【 0 0 9 2 】

この現象を防止するためには、第 2 ウェル領域 3 1 の不純物濃度を高める方法が考えられるが、本実施の形態の炭化珪素半導体装置において第 2 ウェル領域 3 1 の不純物濃度を高めると、第 2 ウェル領域 3 1 の導電性層 4 7 との接触部分で逆方向リークが発生し、還流動作時にバイポーラ通電してしまう。

【 0 0 9 3 】

そこで、本実施の炭化珪素半導体装置においては、第 2 ウェル領域 3 1 の内部の表層部の導電性層 4 7 が形成された領域の外側で J T E 領域 3 7 が形成された領域の内側に、第 2 ウェル領域 3 1 より第 2 導電型の不純物濃度が高い保護高濃度領域 3 9 を形成している。このため、高速スイッチング時の第 2 ウェル領域 3 1 内部への空乏層の拡張を抑制し、導電性層 4 7 と第 2 ウェル領域 3 1 からなるダイオードの逆方向リーク電流が流れるのを防止して、還流動作時にソース電極 8 0 からドレイン電極 8 4 へのバイポーラ通電を大幅に抑制することができる。

20

【 0 0 9 4 】

なお、本実施の形態では、実施の形態 2 の最初の形態と同様に第 2 ウェル領域 3 1 上に導電性層 4 7 がある場合について説明を行なったが、実施の形態 2 と同様に、導電性層 4 7 が第 2 ウェル領域 3 1 の表層部に形成されていてもよい。

導電性層 4 7 が第 2 ウェル領域 3 1 の表層部に形成されていて、導電性層 4 7 が炭化珪素導電性層 4 5 である場合の断面図を図 1 9 に示す。

30

【 0 0 9 5 】

実施の形態 7 .

本実施の形態は、実施の形態 1 ~ 6 で説明した炭化珪素半導体装置の活性領域の最も外側の第 1 ウェル領域 3 0 と終端領域の第 2 ウェル領域 3 1 との間の第 3 離間領域 2 3 近傍の第 1 ウェル領域 3 0 側において、寄生 p - M O S F E T がオンするのを防止する特別な構造を備えたものである。

最初に説明する構造は、第 3 離間領域 2 3 に隣接する第 1 ウェル領域 3 0 のコンタクト領域 3 2 と第 3 離間領域 2 3 との間に、他の活性領域のチャネルより長いチャネルを形成したものである。

40

【 0 0 9 6 】

図 2 0 は、本実施の形態の炭化珪素半導体装置の断面模式図である。図 2 0 に示した本実施の形態の炭化珪素半導体装置においては、活性領域の最も外側の第 1 ウェル領域 3 0 のソース領域 4 0 と第 3 離間領域 2 3 との間で、ゲート絶縁膜 5 0 または第 2 絶縁膜 5 2 を介してゲート電極 6 0 の下部の領域を、他の活性領域の第 1 ウェル領域 3 0 のソース領域 4 0 と第 2 離間領域 2 2 との間でゲート絶縁膜 5 0 を介してゲート電極 6 0 の下部の領域より特に長くしている。

【 0 0 9 7 】

本実施の形態の炭化珪素半導体装置においては、活性領域の最も外側の第 1 ウェル領域 3 0 のソース領域 4 0 と第 3 離間領域 2 3 との間で、ゲート絶縁膜 5 0 または第 2 絶縁膜

50

を介してゲート電極 60 の下部の領域で形成される寄生 n 型（第 1 導電型）チャンネル MOS FET のチャンネル長を特に長くしているため、寄生 n 型チャンネル MOS FET がオンしにくくなる。また、寄生 n 型チャンネル MOS FET の一部の、ゲート絶縁膜 50 より厚さの大きい第 2 絶縁膜が形成されている領域でオフ状態にするためのゲート電極 60 からの電圧で発生する電界が弱くなり、寄生 n 型チャンネル MOS FET がオフにしているにもかかわらず、瞬間的なオンやリーク電流の増大などの予期せぬ動作を起こすことを防止できる。

【 0 0 9 8 】

また、本実施の形態の炭化珪素半導体装置においては、活性領域の最も外側の第 1 ウェル領域 30 のソース領域 40 と第 3 離間領域 23 との間で、ゲート絶縁膜 50 または第 2 絶縁膜 52 を介してゲート電極 60 の下部の領域を、特に長くしなくても、他の方法で寄生 n 型チャンネル MOS FET がオンすることを防止してもよい。

10

【 0 0 9 9 】

例えば、図 21 にその断面模式図を示すように、活性領域の最も外側の第 1 ウェル領域 30 にソース領域 40 を形成しないようにしてもよい。活性領域の最も外側の第 1 ウェル領域 30 にソース領域 40 を形成しないことにより、寄生 n 型チャンネル MOS FET ができず、上記で説明した予期せぬ動作が発生しなくなる。

【 0 1 0 0 】

また、図 22 にその断面模式図を示すように、活性領域の最も外側の第 1 ウェル領域 30 のソース領域 40 の第 3 離間領域 23 側に、第 1 ウェル領域 30 より第 2 導電型の不純物濃度が高いチャンネル形成抑制領域 38 を形成してもよい。この構造によっても、寄生 n 型チャンネル MOS FET がオンすることを抑制でき、活性領域端部からの耐圧リークを十分に抑制することができる。

20

【 0 1 0 1 】

さらに、図 23 にその断面模式図を示すように、図 22 のソース領域 40 の第 3 離間領域 23 側に設けたチャンネル形成抑制領域 38 とコンタクト領域 32 をひとまとめにして（まとめてチャンネル形成抑制領域 38 としている）、これらの間に設けられていたソース領域 40 を作成しないようにしてもよい。図 23 のような構造にすることにより、活性領域の最も外側の第 1 ウェル領域 30 の幅を小さくでき、終端領域の第 2 ウェル領域 31 を活性領域最外周の内蔵ショットキダイオードに近づけることができるので、第 2 ウェル領域 31 におけるバイポーラ通電をさらに抑制することができる。

30

【 0 1 0 2 】

また、図 22、図 23 等の構造を採用し、寄生 n 型チャンネル MOS FET の動作を抑制すれば、活性領域の最も外側の第 1 ウェル領域 30 の上方のゲート電極 60 を必ずしもゲート絶縁膜 50 上に配置する必要がなくなる。

例えば、図 24 にその断面模式図を示すように、活性領域の最も外側の第 1 ウェル領域 30 の上方のゲート電極 60 を、ゲート絶縁膜 50 より厚さが大きく第 3 離間領域 23 上にも形成する第 2 絶縁膜 52 上に形成してもよい。図 24 では、活性領域の最も外側の第 1 ウェル領域 30 に、チャンネル形成抑制領域 38 だけを形成している。

【 0 1 0 3 】

同様に、図 25 にその断面模式図を示す構造であってもよい。図 25 では、活性領域の最も外側の第 1 ウェル領域 30 に、コンタクト領域 32、ソース領域 40、チャンネル形成抑制領域 38 を第 3 離間領域 23 に向かって順に形成している。

40

図 24、図 25 の構造では、活性領域の最も外側の第 1 ウェル領域 30 上のゲート電極 60 がゲート絶縁膜 50 より厚さが大きい第 2 絶縁膜 52 上に形成されており、ゲート電極 60 の電界効果が効きにくくなっているが、チャンネル形成抑制領域 38 を形成することによって、寄生 n 型 MOS FET を抑制することができる。

【 0 1 0 4 】

なお、実施の形態 1 ~ 7 においては、第 1 の導電型を n 型、第 2 の導電型を p 型として説明したが、これに限るものではなく、第 1 の導電型を p 型、第 2 の導電型を n 型として

50

も同様の効果を奏する。また、n型(第1導電型)不純物としてNを用いたが、リンまたはヒ素であってもよい。p型(第2導電型)不純物としてAlを用いたが、ホウ素またはガリウムであってもよい。

【0105】

また、実施の形態1~7で説明したMOSFETにおいては、ゲート絶縁膜50は、必ずしも酸化珪素などの酸化膜である必要はなく、酸化膜以外の絶縁膜、または、酸化膜以外の絶縁膜と酸化膜とを組み合わせたものであってもよい。また、ゲート絶縁膜50として炭化珪素を熱酸化した酸化珪素を用いたが、CVD法による堆積膜の酸化珪素であってもよい。さらに、本発明は、スーパージャンクション構造を有するMOSFETにも用いることができる。

10

【0106】

また、上記実施形態では、ゲート絶縁膜50を有するMOSFETについて説明したが、ユニポーラデバイスであれば本発明を適用することができ、例えば、ゲート絶縁膜50を有しないJFET(Junction FET)やMESFET(Metal-Semiconductor Field Effect Transistor)にも本発明を用いることができる。

【0107】

実施の形態8.

本実施の形態は、上述した実施の形態1~7にかかる炭化珪素半導体装置を電力変換装置に適用したものである。本発明は特定の電力変換装置に限定されるものではないが、

20

以下、実施の形態8として、三相のインバータに本発明を適用した場合について説明する。

【0108】

図26は、本実施の形態にかかる電力変換装置を適用した電力変換システムの構成を示すブロック図である。

【0109】

図26に示す電力変換システムは、電源100、電力変換装置200、負荷300から構成される。電源100は、直流電源であり、電力変換装置200に直流電力を供給する。電源100は種々のもので構成することが可能であり、例えば、直流系統、太陽電池、蓄電池で構成することができるし、交流系統に接続された整流回路やAC/DCコンバータで構成することとしてもよい。また、電源100を、直流系統から出力される直流電力

30

を所定の電力に変換するDC/DCコンバータによって構成することとしてもよい。

【0110】

電力変換装置200は、電源100と負荷300の間に接続された三相のインバータであり、電源100から供給された直流電力を交流電力に変換し、負荷300に交流電力を供給する。電力変換装置200は、図16に示すように、直流電力を交流電力に変換して出力する主変換回路201と、主変換回路201の各スイッチング素子を駆動する駆動信号を出力する駆動回路202と、駆動回路202を制御する制御信号を駆動回路202に出力する制御回路203とを備えている。

【0111】

負荷300は、電力変換装置200から供給された交流電力によって駆動される三相の電動機である。なお、負荷300は特定の用途に限られるものではなく、各種電気機器に搭載された電動機であり、例えば、ハイブリッド自動車や電気自動車、鉄道車両、エレベーター、もしくは、空調機器向けの電動機として用いられる。

40

【0112】

以下、電力変換装置200の詳細を説明する。主変換回路201は、スイッチング素子と還流ダイオードを備えており(図示せず)、スイッチング素子がスイッチングすることによって、電源100から供給される直流電力を交流電力に変換し、負荷300に供給する。ここで、スイッチング素子をオフするゲート電圧は、ソース電圧と同じ電圧であってもよいし、ソース電圧よりマイナス側に設定してもよい。主変換回路201の具体的な回路構成は種々のものがあるが、本実施の形態にかかる主変換回路201は2レベルの三相

50

フルブリッジ回路であり、6つのスイッチング素子とそれぞれのスイッチング素子に逆並列された6つの還流ダイオードから構成することができる。主変換回路201の各スイッチング素子には、上述した実施の形態1～6のいずれかにかかる炭化珪素半導体装置を適用する。6つのスイッチング素子は2つのスイッチング素子ごとに直列接続され上下アームを構成し、各上下アームはフルブリッジ回路の各相（U相、V相、W相）を構成する。そして、各上下アームの出力端子、すなわち主変換回路201の3つの出力端子は、負荷300に接続される。

【0113】

駆動回路202は、主変換回路201のスイッチング素子を駆動する駆動信号を生成し、主変換回路201のスイッチング素子の制御電極に供給する。具体的には、後述する制御回路203からの制御信号に従い、スイッチング素子をオン状態にする駆動信号とスイッチング素子をオフ状態にする駆動信号とを各スイッチング素子の制御電極に出力する。スイッチング素子をオン状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以上の電圧信号（オン信号）であり、スイッチング素子をオフ状態に維持する場合、駆動信号はスイッチング素子の閾値電圧以下の電圧信号（オフ信号）となる。

10

【0114】

制御回路203は、負荷300に所望の電力が供給されるよう主変換回路201のスイッチング素子を制御する。具体的には、負荷300に供給すべき電力に基づいて主変換回路201の各スイッチング素子がオン状態となるべき時間（オン時間）を算出する。例えば、出力すべき電圧に応じてスイッチング素子のオン時間を変調するPWM制御によって主変換回路201を制御することができる。そして、各時点においてオン状態となるべきスイッチング素子にはオン信号を、オフ状態となるべきスイッチング素子にはオフ信号が出力されるよう、駆動回路202に制御指令（制御信号）を出力する。駆動回路202は、この制御信号に従い、各スイッチング素子の制御電極にオン信号又はオフ信号を駆動信号として出力する。

20

【0115】

本実施の形態に係る電力変換装置では、主変換回路201のスイッチング素子として実施の形態1～3にかかる炭化珪素半導体装置を適用するため、低損失、かつ、高速スイッチングの信頼性を高めた電力変換装置を実現することができる。

【0116】

本実施の形態では、2レベルの三相インバータに本発明を適用する例を説明したが、本発明は、これに限られるものではなく、種々の電力変換装置に適用することができる。本実施の形態では、2レベルの電力変換装置としたが3レベルやマルチレベルの電力変換装置であっても構わないし、単相負荷に電力を供給する場合には単相のインバータに本発明を適用しても構わない。また、直流負荷等に電力を供給する場合にはDC/DCコンバータやAC/DCコンバータに本発明を適用することも可能である。

30

【0117】

また、本発明を適用した電力変換装置は、上述した負荷が電動機の場合に限定されるものではなく、例えば、放電加工機やレーザー加工機、又は誘導加熱調理器や非接触給電システムの電源装置として用いることもでき、さらには太陽光発電システムや蓄電システム等のパワーコンディショナーとして用いることも可能である。

40

【符号の説明】

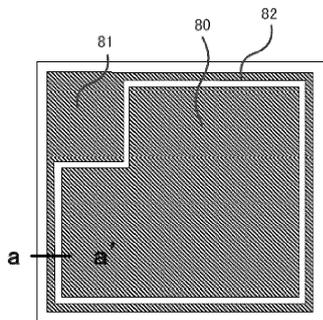
【0118】

10 半導体基板、20 ドリフト層、21 第1離間領域、22 第2離間領域、23 第3離間領域、24 第4離間領域、30 第1ウェル領域、31 第2ウェル領域、32 コンタクト領域、34 補助接続領域、35 高濃度領域、36 第2ウェルコンタクト領域、37 JTE領域、38 チャンネル形成抑制領域、39 保護高濃度領域、40 ソース領域、45 炭化珪素導電性層、50 ゲート絶縁膜、51 フィールド絶縁膜、52 第2絶縁膜、53 絶縁層、55 層間絶縁膜、60 ゲート電極、70 オーミック電極、71 第1ショットキ電極、76 第2ショットキ電極、80 ソース

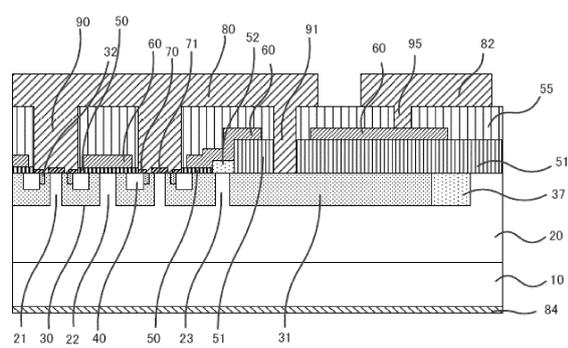
50

電極、ソースパッド、81 ゲートパッド、82 ゲート配線、84 ドレイン電極、90 第1コンタクトホール、91 第2コンタクトホール、92 第2ウェル領域コンタクトホール、95 ゲートコンタクトホール、100 電源、200、電力変換装置、201 主変換回路、202 駆動回路、203 制御回路、300 負荷。

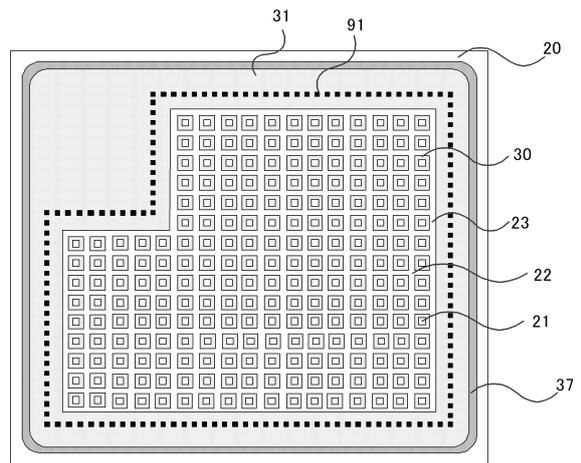
【図1】



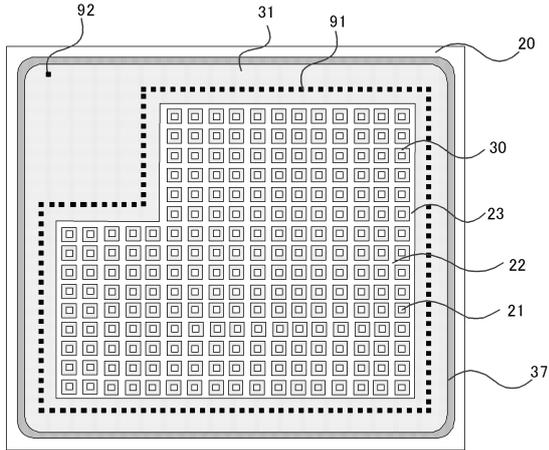
【図2】



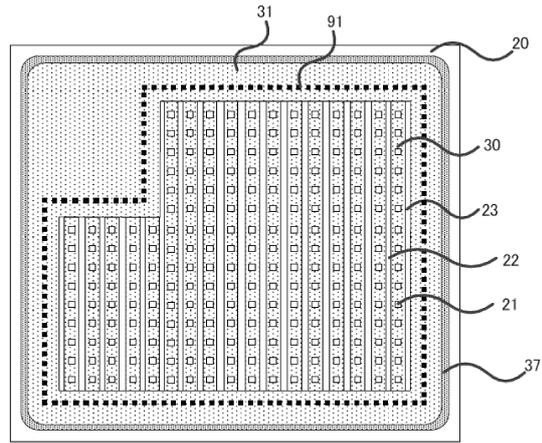
【図3】



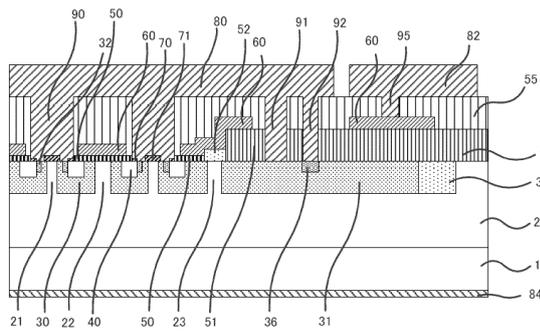
【図4】



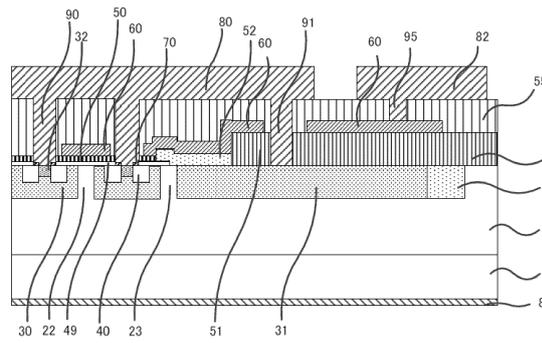
【図6】



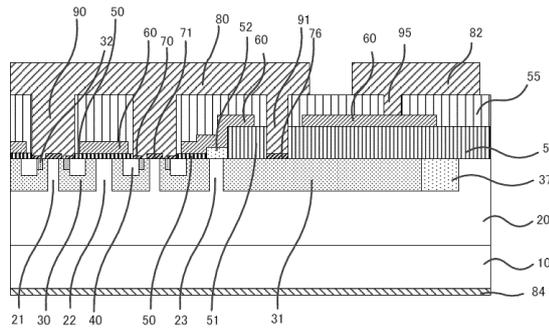
【図5】



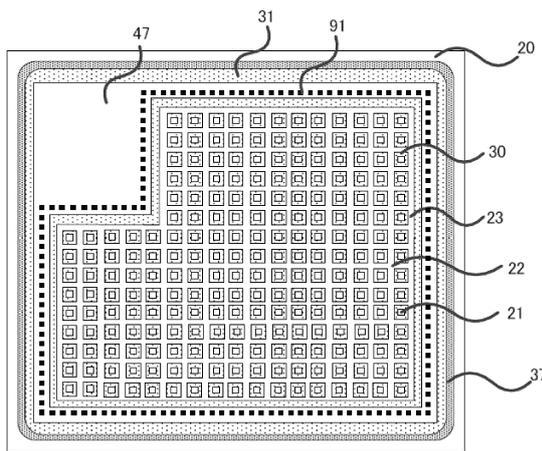
【図7】



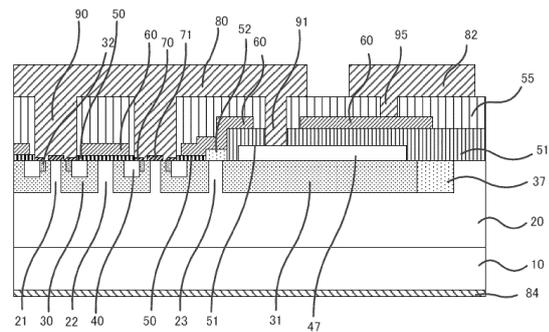
【図8】



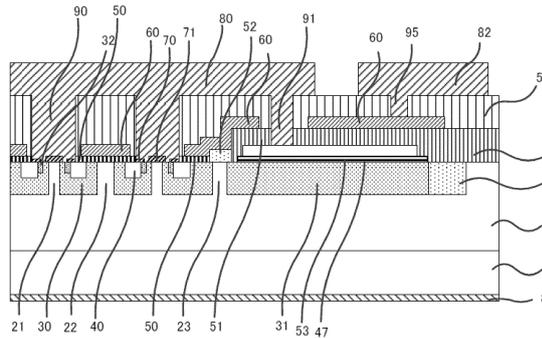
【図10】



【図9】



【図11】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 5 2 S
H 0 1 L 29/78 6 5 2 F
H 0 1 L 29/78 6 5 2 J
H 0 1 L 29/06 3 0 1 G
H 0 1 L 29/06 3 0 1 V
H 0 1 L 29/86 3 0 1 F
H 0 1 L 29/86 3 0 1 D
H 0 1 L 29/86 3 0 1 E

(72)発明者 八田 英之
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

(72)発明者 貞松 康史
東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

審査官 杉山 芳弘

(56)参考文献 国際公開第2017/179102(WO,A1)
特開2012-216705(JP,A)
特開2014-045211(JP,A)
国際公開第2012/056704(WO,A1)

(58)調査した分野(Int.Cl.,DB名)
H 0 1 L 2 9 / 1 2
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 0 6
H 0 1 L 2 9 / 8 7 2
H 0 1 L 2 9 / 7 3 9