

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6159296号
(P6159296)

(45) 発行日 平成29年7月5日(2017.7.5)

(24) 登録日 平成29年6月16日(2017.6.16)

(51) Int.Cl.		F I			
GO 1 R	33/07	(2006.01)	GO 1 R	33/06	H
HO 1 L	43/06	(2006.01)	HO 1 L	43/06	A

請求項の数 12 (全 30 頁)

(21) 出願番号	特願2014-123576 (P2014-123576)	(73) 特許権者	303046277 旭化成エレクトロニクス株式会社 東京都千代田区神田神保町一丁目105番地
(22) 出願日	平成26年6月16日(2014.6.16)	(74) 代理人	100066980 弁理士 森 哲也
(65) 公開番号	特開2016-3924 (P2016-3924A)	(74) 代理人	100103850 弁理士 田中 秀▲てつ▼
(43) 公開日	平成28年1月12日(2016.1.12)	(72) 発明者	片岡 誠 神奈川県厚木市岡田3050番地 旭化成エレクトロニクス株式会社内
審査請求日	平成28年2月18日(2016.2.18)	(72) 発明者	岡武 茂樹 神奈川県厚木市岡田3050番地 旭化成エレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 ホールセンサ及びホール起電力検出方法

(57) 【特許請求の範囲】

【請求項1】

ホール素子と、

前記ホール素子の通電方向を切り替えて前記ホール素子を駆動する駆動部と、

前記ホール素子のホール起電力に応じた第1のアナログ信号をサンプリングしないサンプリング非実行期間と、前記第1のアナログ信号をサンプリングするサンプリング実行期間とを有し、前記サンプリング実行期間にサンプリングした第1のアナログ信号をデジタル信号に変換する離散時間型AD変換器と、

前記離散時間型AD変換器のアナログ信号パスに設けられ、前記サンプリング非実行期間に前記アナログ信号パスのダイナミックエレメントマッチングを行うダイナミックエレメントマッチング部と、

を備えているホールセンサ。

【請求項2】

前記離散時間型AD変換器は、離散時間型 変調器である

請求項1に記載のホールセンサ。

【請求項3】

前記離散時間型AD変換器は、離散時間型積分器を有し、

前記ダイナミックエレメントマッチング部は、前記離散時間型積分器の入出力端子に設けられている

請求項2に記載のホールセンサ。

【請求項 4】

前記離散時間型 A D 変換器は、
 前記デジタル信号を第 2 のアナログ信号に変換する D A 変換部と、
 前記第 2 のアナログ信号をバッファするバッファ部と、
 前記第 1 のアナログ信号とバッファされた前記第 2 のアナログ信号との減算を行う減算部と、
 を有し、
 前記ダイナミックエレメントマッチング部は、前記バッファ部の入出力端子に設けられている
 請求項 2 または 3 に記載のホールセンサ。

10

【請求項 5】

前記離散時間型 A D 変換器は、離散時間型積分型 A D 変換器である
 請求項 1 に記載のホールセンサ。

【請求項 6】

前記離散時間型 A D 変換器は、離散時間型積分器を有し、
 前記ダイナミックエレメントマッチング部は、前記離散時間型積分器の入出力端子に設けられている
 請求項 5 に記載のホールセンサ。

【請求項 7】

前記離散時間型 A D 変換器は、
 リファレンス信号をバッファして第 2 のアナログ信号を出力するバッファ部と、
 前記第 1 のアナログ信号と前記第 2 のアナログ信号のいずれかを選択する選択部と、
 前記選択部で選択された信号を積分する離散時間型積分器と、
 を有し、
 前記ダイナミックエレメントマッチング部は、前記バッファ部の入出力端子に設けられている
 請求項 6 に記載のホールセンサ。

20

【請求項 8】

前記ダイナミックエレメントマッチング部は、前記離散時間型積分器の入出力端子に設けられている
 請求項 7 に記載のホールセンサ。

30

【請求項 9】

前記アナログ信号パスは、差動信号パスである
 請求項 1 から 8 までのいずれか 1 項に記載のホールセンサ。

【請求項 10】

前記サンプリング非実行期間は、前記通電方向の切り替えに同期して開始する
 請求項 1 から 9 までのいずれか 1 項に記載のホールセンサ。

【請求項 11】

前記サンプリング実行期間は、前記通電方向の切り替えに同期して終了する
 請求項 1 から 10 までのいずれか 1 項に記載のホールセンサ。

40

【請求項 12】

ホール素子の通電方向を切り替え、
 前記通電方向を切り替えてから、離散時間型 A D 変換器のアナログ信号パスのダイナミックエレメントマッチングを、前記アナログ信号パスに送信されるアナログ信号をサンプリングしないサンプリング非実行期間に行い、

前記ダイナミックエレメントマッチングを行ってから、前記ホール素子のホール起電力に応じたアナログ信号を前記離散時間型 A D 変換器でデジタル信号に変換する

ホール起電力検出方法。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、ホール素子を用いて磁気的変量を検出する磁気センサ等を構成するホールセンサ及びホール起電力検出方法に関する。

【背景技術】

【 0 0 0 2 】

従来から、ホール素子を内蔵した磁気センサ半導体集積回路として、電流から発生する磁場を検出する電流センサ、磁石の回転を検出する回転角センサ及び磁石の位置を検出するポジションセンサ等が知られている（例えば、特許文献1並びに非特許文献1及び2）。このようなホール素子の用途では、ホール素子の出力するホール起電力信号の磁気感度（単位磁場あたりのホール起電力出力）やオフセットによる誤差、あるいはホール起電力信号を増幅する増幅器の増幅率やオフセットによる誤差が、電流量や磁石位置等の検出精度を劣化させ、種々の問題となる。

10

【 0 0 0 3 】

例えば電流センサは、バッテリーから充放電される電力量の検出に使われており、電流センサの読み取る電流値を積分することで電力量が計算される。しかし、電流センサに磁気感度のずれやオフセットによる誤差が生じた場合、正確な電流値が検出できず、電力量の算出結果に大きなずれが生じてくる。

そのため、ホール素子の信号処理においては、磁場の検出精度を向上させるための多くの技術が提案されているが、より高精度かつ高分解能な磁場検出装置が求められるようになっている。

20

【先行技術文献】

【特許文献】

【 0 0 0 4 】

【特許文献1】米国特許第7432840号明細書

【非特許文献】

【 0 0 0 5 】

【非特許文献1】R S Popovic著 HALL EFFECT DEVICES Second Edition p.285-286 (ISBN-10:0750308559 Inst of Physics Pub Inc (2003/12)刊

【非特許文献2】Mario Motz. ISSCC 2006 / SESSION 16 / MEMS AND SENSORS / 16.6

【発明の概要】

30

【発明が解決しようとする課題】

【 0 0 0 6 】

上述した従来技術は、高精度かつ高分解能な磁場検出ができなかった。

本発明の目的は、高精度かつ高分解能な磁場検出が可能なホールセンサ及びホール起電力検出方法を提供することにある。

【課題を解決するための手段】

【 0 0 0 7 】

上記目的を達成するために、本発明の一態様によるホールセンサは、ホール素子と、前記ホール素子の通電方向を切り替えて前記ホール素子を駆動する駆動部と、前記ホール素子のホール起電力に応じた第1のアナログ信号をサンプリングしないサンプリング非実行期間と、前記第1のアナログ信号をサンプリングするサンプリング実行期間とを有し、前記サンプリング実行期間にサンプリングした第1のアナログ信号をデジタル信号に変換する離散時間型AD変換器と、前記離散時間型AD変換器のアナログ信号パスに設けられ、前記サンプリング非実行期間に前記アナログ信号パスのダイナミックエレメントマッチングを行うダイナミックエレメントマッチング部と、を備えている。

40

【 0 0 0 8 】

前記離散時間型AD変換器は、離散時間型変調器であってもよい。

前記離散時間型AD変換器は、離散時間型積分器を有していてもよく、前記ダイナミックエレメントマッチング部は、前記離散時間型積分器の入出力端子に設けられていてもよい。

50

前記離散時間型 A D 変換器は、前記デジタル信号を第 2 のアナログ信号に変換する D A 変換部と、前記第 2 のアナログ信号をバッファするバッファ部と、前記第 1 のアナログ信号とバッファされた前記第 2 のアナログ信号との減算を行う減算部と、を有していてもよく、前記ダイナミックエレメントマッチング部は、前記バッファ部の入出力端子に設けられていてもよい。

【 0 0 0 9 】

前記離散時間型 A D 変換器は、離散時間型積分型 A D 変換器であってもよい。

前記離散時間型 A D 変換器は、離散時間型積分器を有していてもよく、前記ダイナミックエレメントマッチング部は、前記離散時間型積分器の入出力端子に設けられていてもよい。

10

前記離散時間型 A D 変換器は、リファレンス信号をバッファして第 2 のアナログ信号を出力するバッファ部と、前記第 1 のアナログ信号と前記第 2 のアナログ信号のいずれかを選択する選択部と、前記選択部で選択された信号を積分する離散時間型積分器と、を有していてもよく、前記ダイナミックエレメントマッチング部は、前記バッファ部の入出力端子に設けられていてもよい。

【 0 0 1 0 】

前記ダイナミックエレメントマッチング部は、前記離散時間型積分器の入出力端子に設けられていてもよい。

前記アナログ信号パスは、差動信号パスであってもよい。

前記サンプリング非実行期間は、前記通電方向の切り替えに同期して開始してもよい。

20

前記サンプリング実行期間は、前記通電方向の切り替えに同期して終了してもよい。

【 0 0 1 1 】

また、上記目的を達成するために、本発明の一態様によるホール起電力検出方法は、ホール素子の通電方向を切り替え、前記通電方向を切り替えてから、離散時間型 A D 変換器のアナログ信号パスのダイナミックエレメントマッチングを、前記アナログ信号パスに送信されるアナログ信号をサンプリングしないサンプリング非実行期間に行い、前記ダイナミックエレメントマッチングを行ってから、前記ホール素子のホール起電力に応じたアナログ信号を前記離散時間型 A D 変換器でデジタル信号に変換する。

【発明の効果】

【 0 0 1 2 】

本発明によれば、高精度かつ高分解能な磁場検出をすることができる。

30

【図面の簡単な説明】

【 0 0 1 3 】

【図 1】本発明の第 1 の実施形態によるホールセンサ 1 の概略構成を示すブロック図である。

【図 2】本発明の第 1 の実施形態によるホールセンサ 1 に備えられた離散時間型 A D 変換器 6 の概略構成を示すブロック図である。

【図 3】本発明の第 1 の実施形態によるホールセンサ 1 の離散時間型 A D 変換器 6 に備えられた S C 積分器 6 2 b の概略構成を示すブロック図である。

【図 4】本発明の第 1 の実施形態によるホールセンサ 1 に備えられたホール素子 2 をブリッジ抵抗でモデル化して示す図である。

40

【図 5】本発明の第 1 の実施形態によるホールセンサ 1 を説明する図であって、ホール素子 2 に流す駆動電流の方向を切り替えた場合のホール起電力の電圧信号波形の一例を示す図である。

【図 6】本発明の第 1 の実施形態によるホールセンサ 1 に備えられた離散時間型 A D 変換器 6 の内部の信号波形等を示す図である。

【図 7】本発明の第 1 の実施形態によるホールセンサ 1 の離散時間型 A D 変換器 6 に備えられた構成要素の一部を示す図である。

【図 8】本発明の第 1 の実施形態によるホールセンサ 1 の関連技術を説明する図である。

【図 9】本発明の第 1 の実施形態によるホールセンサ 1 の関連技術を説明する図である。

50

【図10】本発明の第1の実施形態によるホールセンサ1の関連技術の問題点を説明する図である(その1)。

【図11】本発明の第1の実施形態によるホールセンサ1の関連技術の問題点を説明する図である(その2)。

【図12】本発明の第1の実施形態の変形例によるホールセンサ1の概略構成を示すブロック図である。

【図13】本発明の第2の実施形態によるホールセンサに備えられた離散時間型AD変換器6の概略構成を示すブロック図である。

【図14】本発明の第2の実施形態によるホールセンサの離散時間型AD変換器6に備えられた1ビット量子化器62cの内部構成等を示す図である。

10

【図15】本発明の第3の実施形態によるホールセンサに備えられた離散時間型AD変換器6の概略構成を示すブロック図である。

【図16】本発明の第3の実施形態によるホールセンサに備えられた離散時間型AD変換器6の各部の信号波形を示す図である。

【発明を実施するための形態】

【0014】

〔第1の実施形態〕

本発明の第1の実施形態によるホールセンサ及びホール起電力検出方法について図1から図12を用いて説明する。図1は、本実施形態によるホールセンサ1の概略構成を示すブロック図である。

20

図1に示すように、ホールセンサ1は、ホール素子2と、ホール素子2の通電方向を切り替えてホール素子2を駆動する駆動部3と、駆動部3から出力されたアナログ信号を増幅する増幅器4とを有している。また、ホールセンサ1は、増幅器4から入力するアナログの入力信号VIN(+), VIN(-)をデジタル出力信号に変換する離散時間型アナログ-デジタル変換器6(以下、アナログ-デジタル変換を「AD変換」と称する場合がある)を有している。さらに、ホールセンサ1は、離散時間型AD変換器6に設けられたダイナミックエレメントマッチング部61(以下、ダイナミックエレメントマッチングを「DEM」と略記する場合がある)と、駆動部3及び離散時間型AD変換器6に入力する各種制御信号を生成する制御信号生成部5とを有している。

30

【0015】

ホール素子2は、ホール素子2に流れる電流の向きと直交する向きに、ホール効果により電位勾配(ホール起電力)を発生させる半導体素子である。ホール素子2は、第1から第4端子2a, 2b, 2c, 2dを有している。第1端子2a及び第2端子2bは、ホール素子2の駆動方向が0°のときにホール起電力を出力し、ホール素子2の駆動方向が90°のときに駆動部3から入力する駆動電流を通電する端子である。第3端子2c及び第4端子2dは、ホール素子2の駆動方向が0°のときに駆動部3から入力する駆動電流を通電し、ホール素子2の駆動方向が90°のときにホール起電力を出力する端子である。

【0016】

駆動部3は、駆動電源35(図1では不図示)から出力された電源電圧が印加される電源入力端子33と、基準電位(例えばグランド電位)が印加される基準電位入力端子34とを有している。駆動部3は、ホール素子2に通電する駆動電流を生成する駆動電流源32と、ホール素子2に通電する駆動電流の方向を切り替える電流方向切替スイッチ31とを有している。駆動電流源32の正極側端子は電流方向切替スイッチ31の負極側端子に接続され、駆動電流源32の負極側端子は基準電位入力端子34に接続されている。電流方向切替スイッチ31の正極側端子は電源入力端子33に接続されている。電流方向切替スイッチ31は、4つの入力端子を有し、各入力端子には、ホール素子2の第1から第4端子2a, 2b, 2c, 2dが接続されている。電流方向切替スイッチ31は2つの出力端子を有し、各出力端子には、増幅器4の非反転入力端子(+)及び反転入力端子(-)が接続されている。

40

【0017】

50

ホール素子 2 の直後に配置される電流方向切替スイッチ 3 1 は、スピニングカレント（詳細は後述）を行う回路である。電流方向切替スイッチ 3 1 は、ホール素子 2 が有する第 1 及び端子 2 a , 2 b 間並びに第 3 及び第 4 端子 2 c , 2 d 間のそれぞれに供給する駆動電流の通電方向を切り替えてホール起電力信号からオフセット成分を分離するようになっている。電流方向切替スイッチ 3 1 は、ホール素子 2 の駆動方向が 0° のときには例えば、第 1 端子 2 a を増幅器 4 の非反転入力端子 (+) に接続し、第 2 端子 2 b を増幅器 4 の反転入力端子 (-) に接続し、第 3 端子 2 c を電源入力端子 3 3 に接続し第 4 端子を駆動電流源 3 2 に接続する。一方、電流方向切替スイッチ 3 1 は、ホール素子 2 の駆動方向が 90° のときには例えば、第 1 端子 2 a を駆動電流源 3 2 に接続し、第 2 端子 2 b を電源入力端子 3 3 に接続し、第 3 端子 2 c を増幅器 4 の非反転入力端子 (+) に接続し、第 4 端子を増幅器 4 の反転入力端子 (-) に接続する。

10

【 0 0 1 8 】

電流方向切替スイッチ 3 1 には、制御信号生成部 5 が生成した電流方向切替信号 S_{cs} が入力するようになっている。電流方向切替スイッチ 3 1 は、例えば入力する電流方向切替信号 S_{cs} の極性に基づいて、電源入力端子 3 3 と駆動電流源 3 2 との間に第 1 端子 2 a , 2 b 及び第 2 端子 2 c , 2 d のいずれか一方を接続し、増幅器 4 の非反転入力端子 (+) 及び反転入力端子 (-) に第 1 端子 2 a , 2 b 及び第 2 端子 2 c , 2 d のいずれか他方を接続する。

【 0 0 1 9 】

増幅器 4 は、電流方向切替スイッチ 3 1 に接続されている。増幅器 4 は、ホール素子 2 が出力するホール起電力信号を増幅するようになっている。さらに、増幅器 4 は、遮断周波数 f_c の高域遮断特性を有し、離散時間型 A/D 変換器 6 においてホール起電力信号に応じた第 1 のアナログ信号をサンプリングした際に発生する折り返しノイズを防止する折り返し防止フィルタとしても機能するようになっている。すなわち、増幅器 4 は、ホール起電力信号を単に増幅するだけに留まらず、折り返し防止フィルタとしての機能も発揮可能な折り返し防止フィルタ兼増幅器である。また、増幅器 4 は、差動アンプであり、差動信号を入力し差動信号を出力する。増幅器 4 が出力する差動信号は、入力信号 $V_{IN}(+)$, $V_{IN}(-)$ として離散時間型 A/D 変換器 6 に入力する。

20

【 0 0 2 0 】

離散時間型 A/D 変換器 6 は、増幅器 4 からのアナログ信号をサンプル信号 S_{sp} に応じてサンプリングし、デジタル信号を出力する回路である。離散時間型 A/D 変換器 6 は、ホール素子 2 のホール起電力に応じた第 1 のアナログ信号をサンプリングしないサンプリング休止期間（サンプリング非実行期間の一例）と、第 1 のアナログ信号をサンプリングするサンプリング実行期間とを有している。離散時間型 A/D 変換器 6 は、サンプリング実行期間にサンプリングした第 1 のアナログ信号をデジタル信号に変換するようになっている。詳細は後述するが第 1 のアナログ信号は、入力信号 V_{IN+} , V_{IN-} からリファレンス電圧信号 $V_{ref}(+)$, $V_{ref}(-)$ を減算した信号が相当する。離散時間型 A/D 変換器 6 は、A/D 変換部 6 2 と、ダイナミックエレメントマッチング部 6 1 とを有している。

30

【 0 0 2 1 】

A/D 変換部 6 2 及び D E M 部 6 1 の概略構成について図 2 を用いて説明する。図 2 は、A/D 変換部 6 2 及び D E M 部 6 1 の概略構成を示すブロック図である。

40

図 2 に示すように、A/D 変換部 6 2 は、減算器 6 2 a と、制御信号生成部 5（図 2 では不図示）から入力するサンプル信号 S_{sp} の極性に応じて、減算器 6 2 a からの出力信号を積分する積分動作を行うスイッチトキャパシタ（以下、「S C」と略記する場合がある）積分器 6 2 b と、このサンプル信号 S_{sp} に応じて S C 積分器 6 2 b からの出力信号の電圧値の大小に基づき + 1 又は - 1 の出力を更新する 1 ビット量子化器（クロックコンパレータ）6 2 c とを有している。また、A/D 変換部 6 2 は、1 ビット量子化器 6 2 c の出力するデジタル出力信号を積算し、N ビットのデジタル出力信号を出力するデジタルフィルタ 6 2 d と、1 ビット量子化器 6 2 c の出力するデジタル出力信号が入力するデジタ

50

ル - アナログ変換 (以下、デジタル - アナログ変換を「DA変換」と称する場合がある) 素子 62e と、DA変換素子 62e から出力されるリファレンス電圧信号 $V_{ref}(+)$, $V_{ref}(-)$ (第2のアナログ信号の一例) の各電圧信号を保持するバッファアンプ 62f 及びバッファアンプ 62g とを有している。DA変換素子 62e は、1ビット量子化器 62c が出力するデジタル出力信号を第2のアナログ信号に変換するDA変換部に相当する。

【0022】

DEM部 61 は、制御信号生成部 5 から入力するDEM信号 S_{de} の極性に従って入出力の接続を入れ替えるDEMスイッチ 61a 及びDEMスイッチ 61b を有している。

DEM部 61 は、バッファアンプ 62f , 62g の入出力端子に設けられている。DEMスイッチ 61a は、バッファアンプ 62f , 62g の入力側に設けられ、DEMスイッチ 61b は、バッファアンプ 62f , 62g の出力側に設けられている。DEMスイッチ 61a は、DA変換素子 62e が出力するリファレンス電圧信号 $V_{ref}(+)$, $V_{ref}(-)$ が入力する2つの入力端子と、入力したリファレンス電圧信号 $V_{ref}(+)$, $V_{ref}(-)$ をバッファアンプ 62f , 62g に出力する2つの出力端子とを有している。バッファアンプ 62f , 62g は、第2のアナログ信号をバッファするバッファ部に相当する。DEMスイッチ 61b は、バッファアンプ 62f , 62g が出力するリファレンス電圧信号 $V_{ref}(+)$, $V_{ref}(-)$ が入力する2つの入力端子と、入力したリファレンス電圧信号 $V_{ref}(+)$, $V_{ref}(-)$ を減算器 62a に出力する2つの出力端子とを有している。DEM部 61 は、アナログ信号であるリファレンス電圧信号 $V_{ref}(+)$, $V_{ref}(-)$ が送信されるアナログ信号パス 63 に設けられている。アナログ信号パス 63 は、DA変換素子 62e、バッファアンプ 62f , 62g 及び減算器 62a を含んで構成されている。

【0023】

減算器 62a は、増幅器 4 から入力する入力信号 $V_{IN}(+)$, $V_{IN}(-)$ と、DEMスイッチ 61a、バッファアンプ 62f , 62g 及びDEMスイッチ 61b を介してDA変換素子 62e から入力するリファレンス電圧信号 $V_{ref}(+)$, $V_{ref}(-)$ との減算を行う。減算器 62a は、第1のアナログ信号とバッファされた第2のアナログ信号との減算を行う減算部に相当する。より具体的に、減算器 62a は、入力信号 $V_{IN}(+)$ と入力信号 $V_{IN}(-)$ との差信号から、リファレンス電圧信号 $V_{ref}(+)$ とリファレンス電圧信号 $V_{ref}(-)$ との差信号を減算して得られた信号をSC積分器 62b に出力する。

【0024】

DEMスイッチ 61a , 61b はそれぞれ、DEM信号 S_{de} の極性に応じて、一方の入力端子と一方の出力端子とを接続するとともに他方の入力端子と他方の出力端子とを接続したり、一方の入力端子と他方の出力端子とを接続するとともに他方の入力端子と一方の出力端子とを接続したりする。DEM部 61 は、DEMスイッチ 61a , 61b のそれぞれの入出力端子の接続関係を切り替えることによりアナログ信号パス 63 のダイナミックエレメントマッチングを行うようになっている。ダイナミックエレメントマッチングとは、回路を構成する種々の素子を順次入れ替えて使用することをいう。DEM部 61 は、リファレンス電圧信号 $V_{ref}(+)$ をバッファアンプ 62f , 62g のいずれを介して減算器 62a に入力するのかを、DEMスイッチ 61a , 61b の入出力端子の接続関係を切り替えることによって順次入れ替える。こうして、DEM部 61 は、アナログ信号パス 63 のダイナミックエレメントマッチングを行う。詳細は後述するが、DEM部 61 は、アナログ信号パス 63 のダイナミックエレメントマッチングをAD変換部 62 のサンプリング休止時間に行うようになっている。

【0025】

次に、SC積分器 62b の概略構成について図3を用いて説明する。図3は、SC積分器 62b の概略構成を示す回路図である。また、図3には、理解を容易にするため、SC積分器 62b に接続された減算器 62a と、バッファアンプ 62f , 62g と、DEM部

10

20

30

40

50

61とが併せて図示されている。

図3に示すように、SC積分器62bは、減算器62aが出力する第1のアナログ信号が入力するSC回路601と、SC回路601が出力する出力信号が入力する演算増幅器602と、演算増幅器602の入出力端子間に接続された静電容量素子603、604とを有している。

【0026】

SC回路601は、減算器62aの一方の出力端子から出力される第1のアナログ信号が入力するスイッチ601aと、演算器62aの他方の出力端子から出力される第1のアナログ信号が入力するスイッチ601aとを有している。また、SC回路601は、スイッチ601aから出力する出力信号に基づく電荷が蓄積される静電容量素子601iと、
10
スイッチ601cから出力する出力信号に基づく電荷が蓄積される静電容量素子601jとを有している。また、SC回路601は、スイッチ601aの出力端子と静電容量素子601iの一方の電極との間に一方の端子が接続され、基準電位の入力端子に他方の端子が接続されたスイッチ601fを有している。また、SC回路601は、スイッチ601cの出力端子と静電容量素子601jの一方の電極との間に一方の端子が接続され、基準電位に他方の端子が接続されたスイッチ601hを有している。

【0027】

また、SC回路601は、静電容量素子601iの他方の電極にそれぞれの一方の端子が接続されたスイッチ601b及びスイッチ601eと、静電容量素子601jの他方の電極にそれぞれの一方の電極が接続されたスイッチ601d及びスイッチ601gとを有
20
している。スイッチ601b及びスイッチ601dのそれぞれの他方の端子は、基準電位の入力端子に接続されている。スイッチ601eの他方の電極から出力された第1のアナログ信号は、演算増幅器602の非反転入力端子(+)に入力される。スイッチ601gの他方の端子から出力された第1のアナログ信号は、演算増幅器602の反転入力端子(-)に入力される。

【0028】

静電容量素子603は、一方の電極が演算増幅器602の非反転入力端子(+)に接続され、他方の電極が演算増幅器602の出力端子に接続されている。静電容量素子604は、一方の電極が演算増幅器602の反転入力端子(-)に接続され、他方の電極が演算増幅器602の出力端子に接続されている。静電容量素子603、604は、帰還容量素子としての機能を発揮するようになっている。
30

【0029】

サンプル信号 S_{sp} の極性が低レベルの場合に、スイッチ601a、601b、601c、601dは閉状態となり、スイッチ601e、601f、601g、601hは開状態となる。これにより、静電容量素子601i、601jには、入力する第1のアナログ信号の電圧値に応じた電荷が蓄積される。また、サンプル信号 S_{sp} の極性が高レベルの場合に、スイッチ601a、601b、601c、601dは開状態となり、スイッチ601e、601f、601g、601hは閉状態となる。これにより、静電容量素子601iに蓄積されている電荷は演算増幅器602の非反転入力端子(+)に転送され、静電容量素子601jに蓄積されている電荷は演算増幅器602の反転入力端子(-)に転送
40
される。演算増幅器602が出力する出力信号の電圧値は、静電容量素子603、603に蓄積される電荷量に比例した値となり、スイッチ601a、601b、601c、601d、601e、601f、601g、601hの開閉動作が繰り返されることにより積分動作が行われる。

【0030】

図1に戻って、ホールセンサ1に備えられた制御信号生成部5は、駆動部3における駆動電流の流れる方向を切り替えるための電流方向切替信号 S_{cs} と、DEM部61でのアナログ信号パス63のダイナミックエレメントマッチングを行うためのDEM信号 S_{de} と、AD変換部62での第1のアナログ信号をサンプリングするためのサンプル信号 S_{sp} とを生成するようになっている。制御信号生成部5は、不図示の制御部の指令に基づい
50

てこれらの信号を生成し、電流方向切替信号 S_{cs} を駆動部 3 に備えられた電流方向切替スイッチ 31 に出力し、DEM 信号 S_{de} を DEM 部 61 に出力し、サンプル信号 S_{sp} を AD 変換部 62 に備えられた SC 積分器 62b 及び 1 ビット量子化器 62c (図 2 参照) に出力する。

【 0031 】

離散時間型 AD 変換器 6 は、増幅器 4 から入力する入力信号 $V_{IN}(+)$, $V_{IN}(-)$ の差信号「 $V_{IN}(+) - V_{IN}(-)$ 」と、DEM スイッチ 61a , 61b 及びバッファアンプ 62f , 62g を介して DA 変換素子 62e から入力するリファレンス電圧信号 $V_{ref}(+)$, $V_{ref}(-)$ の差信号「 $V_{ref}(+) - V_{ref}(-)$ 」とを比較し、アナログ電圧信号をデジタル出力信号に変換する回路である。離散時間型 AD 変換器 6 の分解能を N ビットとすると、AD 変換後のデジタル出力信号は、以下の式 (1) で表される。

10

【 0032 】

【 数 1 】

$$\text{デジタル出力信号} : \frac{VIN(+)-VIN(-)}{Vref(+)-Vref(-)} \times 2^{N-1}(LSB) \dots (1)$$

【 0033 】

リファレンス電圧信号 $V_{ref}(+)$, $V_{ref}(-)$ を保持するバッファアンプ 62f , 62g にオフセット電圧が生じると、離散時間型 AD 変換器 6 のデジタル出力信号には、式 (1) で表されるデジタル出力信号に対して誤差が生じる。例えば、バッファアンプ 62f の出力信号にオフセット電圧 V_{off} が生じたとする。図 2 では、オフセット電圧 V_{off} を印で模式的に示している。バッファアンプ 62f の出力信号にオフセット電圧 V_{off} が生じた場合の AD 変換後のデジタル出力信号は、以下の式 (2) で表される。

20

【 0034 】

【 数 2 】

$$\text{デジタル出力信号} : \frac{VIN(+)-VIN(-)}{Vref(+)-Vref(-)+Voff} \times 2^{N-1}(LSB) \dots (2)$$

【 0035 】

式 (2) に示すように、バッファアンプ 62f の出力信号にオフセット電圧信号 V_{off} が生じると、バッファアンプ 62f の出力信号にオフセット電圧が生じていない場合 (式 (1) 参照) と比較して、AD 変換後のデジタル出力信号には、オフセット電圧 V_{off} 分だけ誤差が生じる。そのため、本実施形態によるホールセンサ 1 は、バッファアンプ 62f , 62g が設けられたアナログ信号パス 63 のダイナミックエレメントマッチングを行う回路として DEM スイッチ 61a , 61b を有している。これにより、ホールセンサ 1 は、DEM 信号 S_{de} の極性に応じてバッファアンプ 62f , 62g の入出力部の接続状態を制御してバッファアンプ 62f , 62g を入れ替えて使用することができる。DEM 信号 S_{de} の極性が高レベルにおけるデジタル出力信号は、以下の式 (3) で表される。

30

【 0036 】

【 数 3 】

$$\begin{aligned} \text{デジタル出力信号} &: \frac{VIN(+)-VIN(-)}{Vref(+)-Vref(-)+Voff} \times 2^{N-1} \\ &= \left(\frac{VIN(+)-VIN(-)}{Vref(+)-Vref(-)} \right) \cdot \left(\frac{1}{1 + \frac{Voff}{Vref(+)-Vref(-)}} \right) \times 2^{N-1} \\ &\approx \left(\frac{VIN(+)-VIN(-)}{Vref(+)-Vref(-)} \right) \cdot \left(1 - \frac{Voff}{Vref(+)-Vref(-)} \right) \times 2^{N-1}(LSB) \dots (3) \end{aligned}$$

40

【 0037 】

50

また、DEM信号S d eの極性が低レベルにおけるデジタル出力信号は、以下の式(4)で表される。

【数4】

$$\begin{aligned} \text{デジタル出力信号} &: \frac{VIN(+)-VIN(-)}{Vref(+)-Vref(-)-Voff} \times 2^{N-1} \\ &= \left(\frac{VIN(+)-VIN(-)}{Vref(+)-Vref(-)} \right) \cdot \left(\frac{1}{1-\frac{Voff}{Vref(+)-Vref(-)}} \right) \times 2^{N-1} \\ &\approx \left(\frac{VIN(+)-VIN(-)}{Vref(+)-Vref(-)} \right) \cdot \left(1 + \frac{Voff}{Vref(+)-Vref(-)} \right) \times 2^{N-1} (LSB) \dots (4) \end{aligned}$$

10

【0038】

デジタルフィルタ62dは、DEM信号S d eが高レベルの場合のデジタル出力信号と低レベルの場合のデジタル出力信号とを平均化したデジタル出力信号を出力する。DEM信号S d eが高レベル及び低レベルにおけるデジタル出力信号を平均化することにより、式(3)の第2かっこ内の「 $-Voff / (Vref(+)-Vref(-))$ 」の項と、式(4)の第2かっこ内の「 $+Voff / (Vref(+)-Vref(-))$ 」の項とが相殺される。これにより、オフセット電圧Voffの影響による誤差は、デジタルフィルタ62dが出力するデジタル出力信号から除去される。

20

このように、本実施形態によるホールセンサ1は、ホール素子2やバッファアンプ62f, 62gに生じるオフセット電圧による誤差をAD変換後のデジタル出力信号から除去することができる。

【0039】

次に、本実施形態によるホールセンサ1の動作及びホール起電力検出方法について、図1から図3を参照しつつ図4から図11を用いて説明する。また、ホールセンサ1の動作及びホール起電力検出方法の説明と併せて、従来のホールセンサ及びホール起電力検出方法の問題点についても説明する。

図1から図3を用いて説明したように、本実施形態によるホールセンサ1は、ホール素子2の駆動電流の方向を0°方向及び90°方向に交互に切り替えることで、ホール起電力からオフセットを分離するスピニングカレント法と呼ばれる方法によりホール素子2を駆動している。制御信号生成部5が出力する電流方向切替信号S c sの極性に基づいて駆動部3を制御してホール素子2の通電方向を切り替える際に(通電方向切替ステップの一例)、ホール素子2が磁場を検出する。そうすると、ホール素子2は、ホール効果により同一平面内で、駆動電流の流れる方向と直交する方向にホール起電力を発生する。

30

【0040】

図4は、ブリッジ抵抗でホール素子2をモデル化した状態を示している。図4(a)は、第3及び第4端子2c, 2d間に駆動電流を通電している状態を示し、図4(b)は、第1及び第2端子2a, 2b間に駆動電流を通電している状態を示している。以下、図4(a)に示す状態でホール素子2に流れる駆動電流の方向を0°方向と呼び、図4(b)に示す状態でホール素子2に流れる駆動電流の方向を90°方向と呼ぶ。

40

【0041】

図4に示すように、ホール素子2は例えば、直列接続された抵抗R1, R2と直列接続された抵抗R3, R4とが並列に接続されたブリッジ抵抗でモデル化される。このブリッジ抵抗において例えば、抵抗R2及び抵抗R4の接続点が第1端子2aとなり、抵抗R1と抵抗R3との接続点が第2端子2bとなり、抵抗R1と抵抗R2との接続点が第3端子2cとなり、抵抗R3と抵抗R4との接続点が第4端子2dとなる。

【0042】

ホール起電力は、ホール効果と呼ばれる、電流を通電した状態で磁場を印加することによって電子がローレンツ力を受けて生じる電位勾配に基づいて発生する。このため、図4

50

(a) に示すように、例えば第 3 端子に駆動電源 3 5 が接続され、第 4 端子に駆動電流源 3 2 が接続され、第 3 端子 2 c から第 4 端子 2 d に向かう駆動電流がホール素子 2 に流れている状態で、ホール素子の感磁面に対して下方から上方に向かう磁場 H がホール素子 2 に印加されると、第 1 端子 2 a 側に正電圧 $V_h (+)$ が誘起され、第 2 端子 2 b 側に負電圧 $V_h (-)$ が誘起される。一方、図 4 (b) に示すように、例えば第 2 端子に駆動電源 3 5 が接続され、第 1 端子に駆動電流源 3 2 が接続され、第 2 端子 2 b から第 1 端子 2 a に向かう駆動電流がホール素子 2 に流れている状態で、紙面下方から上方に向かう磁場 H がホール素子 2 に印加されると、第 3 端子 2 c 側に正電圧 $V_h (+)$ が誘起され、第 4 端子 2 d 側に負電圧 $V_h (-)$ が誘起される。ホール素子 2 に誘起された正電圧 $V_h (+)$ と負電圧 $V_h (-)$ との電位差「 $V_h (+) - V_h (-)$ 」から磁場強度を測定できる。

10

【 0 0 4 3 】

ホール素子 2 は、ブリッジ抵抗 R_1, R_2, R_3, R_4 の不均衡、パッケージの応力あるいは実装時の応力による抵抗値の変化によってオフセット電圧が発生する。例えば、抵抗 R_1 の抵抗値が他の抵抗 R_2, R_3, R_4 の抵抗値と異なると、ホール素子 2 が出力するホール起電力は、磁場 H の磁場強度に依存する電位差「 $V_h (+) - V_h (-)$ 」にオフセット電圧 V_{off} が加算された電圧となる。本実施形態によるホールセンサ 1 は、スピニングカレント法を用いることによりホール素子 2 に生じるオフセット電圧 V_{off} を除去することができる。すなわち、ホールセンサ 1 は、ホール素子 2 に流れる駆動電流の方向を 0 度方向と 90 度方向とに切り替えて制御することにより、オフセット電圧 V_{off} の極性を反転し出力できる構成を有している。ホール素子 2 を 0° 方向の駆動電流で駆動した際に得られるホール起電力を $V_h (0)$ とし、ホール素子 2 を 90° 方向の駆動電流で駆動した際に得られるホール起電力を $V_h (90)$ とし、オフセット電圧を V_{off} とすると、ホール起電力 $V_h (0), V_h (90)$ は、以下の式 (5) 及び式 (6) で表される。

20

$$V_h (0) = V_h (+) - V_h (-) - V_{off} \quad \dots (5)$$

$$V_h (90) = V_h (+) - V_h (-) + V_{off} \quad \dots (6)$$

【 0 0 4 4 】

図 5 は、ホール素子 2 に流す駆動電流の方向を切り替えた場合に駆動部 3 から出力され増幅器 4 の非反転入力端子 (+) に入力するホール起電力の電圧信号波形の一例を示す図である。横軸は時間 (t) を示し、縦軸はホール起電力の電圧 [V] を示している。期間 T_1, T_2, T_3, T_4 の周期は、電流方向切替スイッチ 3 1 を制御する電流方向切替信号 S_{cs} の極性が反転する周期である。すなわち、期間 T_1, T_2, T_3, T_4 の周期は、ホール素子 2 に通電する駆動電流の駆動方向が 0° 方向と 90° 方向とに交互に切り替わる周期である。期間 T_1 及び期間 T_3 は、ホール素子 2 を 0° の方向で駆動する期間を示し、期間 T_2 及び期間 T_4 は、ホール素子 2 を 90° の方向で駆動する期間を示している。

30

【 0 0 4 5 】

図 1 を用いて説明したように、ホール素子 2 の直後に配置される電流方向切替スイッチ 3 1 は、ホール素子 2 に通電する駆動電流の方向を 0° 方向と 90° 方向とに切り替えるスイッチである。このため、ホール素子 2 は、電流方向切替信号 S_{cs} の極性が反転する一定の周期に同期してホール素子 2 に通電する電流方向が切り替わるように制御される。その結果、図 5 に示すように、電流方向切替スイッチ 3 1 から出力され増幅器 4 の非反転入力端子 (+) に入力するホール起電力の電圧値は、期間 T_1, T_3 では $V_h (0)$ となり、期間 T_2, T_4 では $V_h (90)$ となる。

40

【 0 0 4 6 】

期間 T_1, T_3 でのホール起電力 $V_h (0)$ は、「 $V_h (+) - V_h (-) - V_{off}$ 」であり、期間 T_2, T_4 でのホール起電力 $V_h (90)$ は、「 $V_h (+) - V_h (-) + V_{off}$ 」である。この時、回路後段に平滑化回路 (図 2 のデジタルフィルタ 6 2 d) を設けることで、信号波形は、期間 T_1, T_3 でのホール起電力 $V_h (0)$ の電圧値と期間 T_2, T_4 でのホール起電力 $V_h (90)$ の電圧値との平均値となる。このため、平滑

50

化された信号電圧の電圧値は、ホール起電力 $V_h(0)$ とホール起電力 $V_h(90)$ との平均値となり、「 $V_h(+)-V_h(-)$ 」($=((V_h(+)-V_h(-)-V_{off})+(V_h(+)-V_h(-)+V_{off}))/2$)となる。また、平滑化された信号電圧の信号波形は、図5中に破線で示すように、電圧値が「 $V_h(+)-V_h(-)$ 」である直線の波形となる。ホール素子2の駆動電流方向の切り替わりは一定の周期で制御されている。このため、信号波形は、ホール素子2を 0° の方向で駆動している際に発生する負のオフセット電圧 V_{off} と、ホール素子2を 90° の方向で駆動している際に発生する正のオフセット電圧 V_{off} とが相殺した波形となる。このため、ホール素子2の出力信号の電圧値から、デジタルフィルタ62dを経由することで、磁場Hに依存する出力の電圧値「 $V_h(+)-V_h(-)$ 」のみを最終的に取得できる。

10

【0047】

ホール素子2において生じるオフセット電圧を含んだ増幅器4から出力された出力信号は、入力信号 $V_{IN}(+)$ 、 $V_{IN}(-)$ として離散時間型AD変換器6に入力する。離散時間型AD変換器6において、離散時間型AD変換器6に入力する入力信号 $V_{IN}(+)$ 、 $V_{IN}(-)$ に基づく第1のアナログ信号が送信されるアナログ信号パスのダイナミックエレメントマッチングが行われる(ダイナミックエレメントマッチングステップの一例)。図6は、離散時間型AD変換器6内部の信号波形等を示す図である。図6中の1段目の「Scs」は、電流方向切替信号の信号波形を示し、2段目の「Sis」は、増幅器4の非反転入力端子(+)に入力する入力信号から反転入力端子(-)に入力する入力信号減算した入力差信号の信号波形を示し、3段目の「Sos」は、増幅器4の正側出力端子(+)から出力する出力信号(すなわち入力信号 $V_{IN}(+)$)から負側出力端子(-)に出力する出力信号(すなわち入力信号 $V_{IN}(-)$)を減算した出力差信号の信号波形を示している。図6中の4段目の「Sde」は、DEM部61を制御するDEM信号 S_{de} の信号波形を示し、5段目の「Ssk」は、アナログ信号パス63をダイナミックエレメントする際に生じるスパイク信号の信号波形を示し、6段目の「Ssp」は、サンプル信号の信号波形を示している。格段において縦軸は電圧を示し、横軸は時間を示している。また、図6中、左から右に向かって時の経過が表されている。

20

【0048】

図6中の1段目に示すように、電流方向切替信号 S_{cs} は、ホール素子2の駆動電流方向を 0° 及び 90° に交互に切り替えるために、所定の周期で極性が反転する矩形の信号波形を有している。時刻 t_0 から時刻 t_4 までの期間は、ホール素子2を 90° の方向に駆動する期間であり、時刻 t_4 から時刻 t_7 の期間はホール素子2を 0° の方向に駆動する期間である。

30

【0049】

図6中の2段目に示すように、増幅器4の非反転入力端子(+)に入力する入力信号と反転入力端子(-)に入力する入力信号との入力差信号 S_{is} は、磁場強度に依存する電位差「 $V_h(+)-V_h(-)$ 」に、正のオフセット信号 V_{off} (図6には、「 $+V_{off}$ 」と表記されている)及び負のオフセット電圧 V_{off} (図6には、「 $-V_{off}$ 」と表記されている)が、電流方向切替信号 S_{cs} の極性の変化に応じて交互に重畳した信号となる。このため、図6中の1段目及び2段目に示すように、時刻 t_0 において、ホール素子2の駆動方向が 0° から 90° に切り替わると、入力差信号 S_{is} は、重畳する負のオフセット電圧 V_{off} から正のオフセット電圧 V_{off} への変化により、信号レベルが相対的に低い状態から相対的に高い状態に変化する。入力差信号 S_{is} の立ち上がり時間は、電流方向切替スイッチ31が切り替わる時間分だけ電流方向切替信号 S_{cs} の立ち上がり時間に対して一定時間だけ遅延する。その結果、入力差信号 S_{is} は時刻 t_1 で立ち上がりが完了する。

40

【0050】

図6中の3段目に示すように、増幅器4の正側出力端子(+)から出力する出力信号と負側出力端子(-)に出力する出力信号との差の信号である出力差信号 S_{os} は、増幅器4によって増幅された磁場強度に依存する電位差「 $V_h(+)-V_h(-)$ 」に、正のオ

50

フセット電圧 V_{off} 及び負のオフセット電圧 V_{off} が交互に重畳した信号波形である。出力差信号 S_{os} は、入力差信号 S_{is} に対して、ホール素子 2 の駆動電流方向の切り替え時点から、増幅器 4 の持つ高域遮断特性により一定時間だけ遅延する。出力差信号 S_{os} は、時刻 t_0 から開始し時刻 t_3 にかけて、信号レベルが相対的に低い状態から相対的に高い状態へ変化する。

【0051】

図 6 中の 4 段目に示すように、DEM 信号 S_{de} は、出力差信号 S_{os} の信号レベルが安定化するまでの、時刻 t_0 から時刻 t_3 までの期間に極性が反転するように設定されている。出力差信号 S_{os} は、例えば時刻 t_0 と時刻 t_3 との間の期間において相対的に低い状態から高い状態に信号レベルが変化する。また、出力差信号 S_{os} は、例えば時刻 t_4 と時刻 t_6 との間の期間において相対的に高い状態から低い状態に信号レベルが変化する。DEM 信号 S_{de} の極性に依りてリファレンス電圧信号 $V_{ref}(+)$ 、 $V_{ref}(-)$ を入力するバッファアンプ 62f、62g の入れ替え動作が制御される。

詳細は後述するが、図 6 中の 5 段目に示すように、DEM 信号 S_{de} の極性反転に伴って時刻 t_2 、 t_9 でそれぞれ発生するスパイク信号 S_{sk} がバッファアンプ 62f 又はバッファアンプ 62g の出力信号に混入する。

【0052】

図 6 中の 6 段目に示すように、サンプル信号 S_{sp} は、出力差信号 S_{os} が一定値に収束した後、例えば時刻 t_3 から時刻 t_4 、時刻 t_6 から時刻 t_7 の間に出力される。本実施形態では、増幅器 4 の出力差信号 S_{os} が一定値になる前、すなわち時刻 t_0 から時刻 t_3 、時刻 t_4 から時刻 t_6 の間に、スパイク信号 S_{sk} が基準電位 V_{com} レベルまで減衰するように DEM 信号 S_{de} の入力タイミングが設定されている。これにより、ホールセンサ 1 は、アナログ信号パス 63 のダイナミックエレメントマッチングによって生じるスパイク信号 S_{sk} が AD 変換後のデジタル信号に混入してしまふのを防止できる（詳細は後述）。サンプル信号 S_{sp} は通常、 $1/f_{samp}$ の周期でホール起電力をサンプリングするように設定される。サンプリング信号は、ホール素子 2 のオフセット信号のセトリングを待つために、駆動電流方向の切り替えのタイミングから一定の時間だけ第 1 のアナログ信号のサンプリングを休止する時間を持つように調整される。このサンプリングを休止する時間はサンプル休止時間（サンプリング非実行期間の一例）と呼ばれる。また、第 1 のアナログ信号のサンプリングを休止していない時間、すなわち第 1 のアナログ信号をサンプリングしている時間は、サンプリング実行期間と呼ばれる。本実施形態では、時刻 t_0 から時刻 t_3 までの期間、時刻 t_4 から時刻 t_6 までの期間及び時刻 t_7 から時刻 t_{10} までの期間がサンプリング休止時間に相当する。また、時刻 t_3 から時刻 t_4 までの期間、時刻 t_6 から時刻 t_7 までの期間及び時刻 t_{10} から時刻 t_{11} までの期間がサンプリング実行期間に相当する。サンプリング休止時間は、ホール素子 2 への通電方向の切替に同期して開始する（例えば、時刻 t_0 、時刻 t_4 、時刻 t_7 及び時刻 t_{11} ）。また、サンプリング実行期間は、ホール素子 2 への通電方向の切替に同期して終了する（例えば、時刻 t_0 、時刻 t_4 、時刻 t_7 及び時刻 t_{11} ）。サンプリング休止時間の開始タイミングはサンプリング実行期間の終了タイミングに一致する。

【0053】

本実施形態によるホールセンサ 1 は、ダイナミックエレメントマッチングを使用している点において特許文献 1 に開示された発明と共通している。一方、ホールセンサ 1 は、離散時間方式である離散時間型 AD 変換器 6 を有している点において、連続時間方式の AD 変換装置が使用されている、特許文献 1 に開示された発明と相違している。連続時間方式の AD 変換装置においてダイナミックエレメントマッチングを行った場合、バッファアンプなどの素子の入れ替えに伴う全てのスパイク信号が積分器で積算される。これに対し、本実施形態では、離散時間型 AD 変換器 6 を用いることにより、第 1 のアナログ信号をサンプリングする時点でスパイク信号の電圧レベルを基準電位（例えば 0V）に近い大きさに収束させることができる。このため、ホールセンサ 1 は、スパイク信号の影響による誤差が SC 積分器 62b で積算される信号に発生するのを防止できる。

10

20

30

40

50

【 0 0 5 4 】

離散時間型 A D 変換器 6 のサンプル周期 T_s ($1 / f_{\text{samp}}$) は、数 100 ナノ秒と極めて短い周期であるため、スパイク信号を基準電圧レベルまで完全に収束させる時間としては不十分である。そこで、本実施例形態によるホールセンサ 1 は、ホール素子 2 の信号処理回路に離散時間型 A D 変換器 6 を有し、離散時間型 A D 変換器 6 では必要な構成となるサンプル休止時間をバッファアンプ 6 2 f , 6 2 g の入れ替え動作の実行期間に割り当てようになっている。これにより、ホールセンサ 1 は、スパイク信号が基準電圧レベルに収束するまでのセトリング時間を十分に確保できる構成を有し得る。

【 0 0 5 5 】

離散時間型 A D 変換器 6 がホール起電力信号をデジタル出力に変換する場合にサンプル休止時間が必須構成であることについて説明する。離散時間型 A D 変換器 6 は、連続時間方式の A D 変換器と異なり、アナログ信号のサンプリングに伴う折り返しノイズが発生する。この折り返しノイズは、サンプリングを行うアナログ信号中に高周波ノイズが多く含まれるほど影響が大きくなる。特に、ホール素子 2 は、磁場を検出するセンサであり、ホール素子 2 周辺の電子機器が放射する高周波の電磁ノイズの影響を受けるため、折り返しノイズに対する対策が必要となる。この折り返しノイズを防止するには、サンプリングを行う回路の前段に高域遮断特性を備えた折り返し防止フィルタを配置して高周波ノイズを低減させる。本実施形態によるホールセンサ 1 は、離散時間型 A D 変換器 6 の前段に配置される増幅器 4 が、この折り返し防止フィルタとして機能する構成を有している。

【 0 0 5 6 】

ただし、この折り返し防止フィルタをホール素子の信号処理において使用した場合、ホール素子の出力信号には、ホール起電力信号と同等以上の大きさのオフセット信号が含まれる。ホール素子の駆動電流方向の切り替えに伴ってオフセット信号の極性が反転した際に、ホール素子の出力信号に折り返し防止フィルタで生じる遅延が生じる。これにより、オフセット信号が一定値に収束するまで、離散時間型 A D 変換器 6 のサンプリングを行えない時間が生じる。本実施形態によるホールセンサ 1 は、ホール素子 2 の信号処理を離散時間型 A D 変換器 6 で A D 変換する際に、このサンプル休止時間を利用してバッファアンプ 6 2 f , 6 2 g の入れ替え動作を行い、スパイク信号の影響を低減しようになっている。

【 0 0 5 7 】

また、本実施形態において、折り返し防止フィルタ、すなわち増幅器 4 の遮断周波数 f_c は、ナイキスト周波数と呼ばれる $1 / (2 \cdot f_{\text{samp}})$ の周波数以下に設定されることが好適である。折り返しノイズは、高周波のノイズ成分がサンプリングされることで、 $1 / 2 \cdot f_{\text{samp}}$ 以下の周波数帯域にノイズが集中する現象である。増幅器 4 の遮断周波数 f_c をナイキスト周波数以下に設定しておくこと、サンプリング前に $1 / 2 \cdot f_{\text{samp}}$ 以上の周波数帯域のノイズが低減されるので、折り返しノイズの発生をほぼ 0 に抑えられる。

【 0 0 5 8 】

また、オフセット信号が折り返し防止フィルタ通過後に一定値に収束するために要するオフセット電圧信号のセトリング時間は、折り返し防止フィルタの遮断周波数を f_c とすると、一般に $2 \cdot 2 \left(= 1 / (2 \cdot f_c) \right)$ で定義される。このため、離散時間型 A D 変換器 6 のサンプル休止時間は、ホール素子 2 の駆動電流方向の切り替え時から $2 \cdot 2 \left(= 1 / (2 \cdot f_c) \right)$ 以上の時間に設定することが好適である。

【 0 0 5 9 】

ここで、本実施形態によるホールセンサ 1 においてダイナミックエレメントマッチングを行った場合に、スパイク信号が積分器で積算される信号に影響しない理由について図 7 を用いて説明する。図 7 は、離散時間型 A D 変換器 6 に備えられた構成要素のうち、S C 積分器 6 2 b の入力側に設けられたスイッチトキャパシタ回路 6 0 1 と、D E M スイッチ 6 1 a , 6 1 b と、バッファアンプ 6 2 f , 6 2 g とを示している。図 7 では、離散時間型 A D 変換器 6 内の S C 積分器 6 2 b がサンプル休止時間における S C 回路 6 0 1 のスイ

10

20

30

40

50

ッチ601a~601hの開閉状態が図示されている。

【0060】

図7に示すように、DEMスイッチ61a, 61bには、制御信号生成部5(図7では不図示)のDEM信号出力端子に接続されてDEM信号Sdeを送信するための信号配線65が接続されている。DEMスイッチ61a, 61bやバッファアンプ62fの容量及び種々の信号配線間に形成される容量などにより、信号配線65と信号配線66との間には、寄生容量64が形成される。信号配線66はアナログ信号パス63に含まれる配線である。信号配線66は、DEMスイッチ61aとバッファアンプ62fとを接続する配線であり、リファレンス電圧信号Vref(+)又はリファレンス電圧信号Vref(-)が送信される。信号配線65、DEM信号Sdeの極性が反転するタイミングで寄生容量64及び信号配線66を介して電荷Qがバッファアンプ62f内に混入する。その結果、バッファアンプ62fの出力信号にはスパイク状のスパイク信号Sskが発生する。

10

【0061】

図6に示すように、本実施形態によるホールセンサ1は、ダイナミックエレメントマッチングによるバッファアンプ62f, 62gの入れ替えをサンプル休止時間に行うように調整されている。サンプル休止時間においてサンプル信号Sspの極性は、常に低レベルとなっている。このため、SC回路601のスイッチ601a~601dは閉状態になり、スイッチ601e~601hは開状態になる。スイッチ601e~601hが開状態であると、SC回路601と演算増幅器602及び静電容量素子603, 604(図3参照)とは電氣的に切断される。さらに、サンプル休止時間は、駆動電流方向の切り替えから

20

ホール起電力信号が一定値に収束するのに必要な時間が確保されているが、ダイナミックエレメントマッチングに伴って発生するスパイク信号の電圧レベルが基準電位レベルに収束するために十分な時間である。このため、ダイナミックエレメントマッチングに伴って発生するスパイク信号は、演算増幅器602の出力信号の電圧値を決める静電容量素子603, 604に混入せず、ホールセンサ1は、アナログ信号パス63において実行するダイナミックエレメントマッチングに伴って発生するスパイク信号の影響を除去できる。ホールセンサ1は、ダイナミックエレメントマッチングを行う際に発生するスパイク信号の影響を除去できるタイミングで、ダイナミックエレメントマッチングを行ってから、ホール素子2のホール起電力に応じたアナログ信号を離散時間型AD変換器6でデジタル信号に変換する(AD変換ステップの一例)。

30

【0062】

次に、関連技術の問題点について図8から図11を用いて説明する。

AD変換器を使用した場合、AD変換器自体の持つ誤差要因により、測定する信号の検出精度が劣化する問題が生じる。特許文献1では連続時間方式のAD変換器について、AD変換器の持つ誤差を低減するための回路技術が開示されている。一般にAD変換器は、装置内部にDA変換素子を複数個備えた構成となっている。そのDA変換素子間にミスマッチが生じると、AD変換器の出力信号から線形性が損なわれる問題が生じる。特許文献1には、回路を構成する種々の素子を順次入れ替えて使用する、ダイナミックエレメントマッチング(Dynamic Element Matching: DEM)と呼ばれる技術を用いることが開示されている。特許文献1には、ダイナミックエレメント

40

【0063】

また、ホール素子の磁気感度は、温度や応力によって変化することが知られている。非特許文献2には、ホール素子からのアナログ信号を、連続時間方式のAD変換器でデジタル値に変換し、デジタル部の演算により、ホール素子の信号から温度や応力による変動を補正する技術が開示されている。

磁場の検出精度を向上させるには、前述したようなスピニングカレント法や、ダイナミックエレメントマッチングを備えたAD変換器を利用する必要がある。しかし、AD変換

50

器でダイナミックエレメントマッチングを行う場合、前述のスパイク信号が寄生容量を介してA/D変換器内に混入し、磁場検出の精度を劣化させる問題が生じる。以下、これらの問題点について詳述する。

【0064】

図8は、本実施形態によるホールセンサ1の関連技術のホールセンサに備えられた連続時間型A/D変換器のトランスコンダクタンスアンプ-容量(以下、「Gm-C」と略記する)積分器7の概略構成を示すブロック図である。図8(a)は、GM-C積分器7の概略構成を示し、図8(b)は、GM-C積分器7に設けられたGmアンプ71bの回路構成を示している。

【0065】

図8(a)に示すように、Gm-C積分器7は、不図示のホール素子が出力した信号が入力するDEMスイッチ71aと、DEMスイッチ71aが出力する信号が入力するGmアンプ71bとを有している。また、Gm-C積分器7は、Gmアンプ71bが出力した出力信号を切り替えるDEMスイッチ71cと、DEMスイッチ71cが出力する信号が入力するGmアンプ71dとを有している。さらに、Gm-C積分器7は、Gmアンプ71dの一方の入出力端子間に接続された静電容量素子71eと、Gmアンプ71dの他方の入出力端子間に接続された静電容量素子71fとを有している。

【0066】

図8(b)に示すように、Gmアンプ71bは、トランジスタ対710と、トランジスタ対710に流れる電流を生成する電流源711とを有している。Gmアンプ71bは、Gmアンプ71bに入力する入力信号VIN(+), VIN(-)を出力電流I(+), I(-)に変換する電圧電流変換素子である。Gmアンプ71bは、入力信号VIN(+), VIN(-)の電圧値に応じた電流値の出力電流I(+), I(-)を出力する。

【0067】

Gmアンプ71bから出力した出力電流I(+), I(-)は、DEMスイッチ71cを介して静電容量素子71e, 71fに充電される。Gmアンプ71dは、静電容量素子71e, 71fに充電された電荷量に応じた電圧値の出力電圧VOUT(+), -VOUT(-)を出力する。Gmアンプ71bの出力電流I(+), I(-)は、入力信号VIN(+), VIN(-)が0(V)の場合、通常0(A)となる。しかしながら、Gmアンプ71bに備えられたトランジスタ対710を構成するトランジスタ710a及びトランジスタ710bのそれぞれの電気的特性に製造ばらつき等の要因により mismatchが生じると、Gmアンプ71bは、入力信号VIN(+), VIN(-)が0(V)であっても一定の出力電流I(+), I(-)を出力する。この現象は等価的にはGmアンプ71bの入力部にオフセット電圧Voff1が入力された場合に相当する。図8(a)では、このオフセット電圧Voff1は、DEMスイッチ71aとGmアンプ71bとの間に破線の印によって模式的に表されている。

オフセット電圧Voff1を考慮した場合、連続時間型A/D変換器より出力されるデジタル出力信号は、以下の式(7)で表される。

【0068】

【数5】

$$\text{デジタル出力} : \frac{VIN(+)-VIN(-)+Voff1}{Vref(+)-Vref(-)} \times 2^{N-1}(\text{LSB}) \dots (7)$$

【0069】

式(7)に示すように、オフセット電圧Voff1を考慮したデジタル出力信号は、オフセット電圧を考慮していないデジタル出力信号(式(1)参照)と比較して、オフセット電圧Voff1の電圧分だけ誤差が生じる。オフセット電圧Voff1の影響を低減するために、図8に示す連続時間型A/D変換器は、Gmアンプ71bの入出力段に、入力信号VIN(+), VIN(-)を入力するトランジスタ710a, 710bを入れ替える入力信号切替スイッチ71aを有している。さらに、連続時間型変換器は、トラ

10

20

30

40

50

ンジスタ710a, 710bの切り替えに伴って反転するGmアンプ71bの出力の極性を再反転するDEMスイッチ71cを有している。入力信号切替スイッチ71a及びDEMスイッチ71cは、DEM信号Sdeの極性に基づいて制御される。

【0070】

Gm-C積分器7に入力する入力信号VIN(+), VIN(-)は、Gmアンプ71dに入力するまでに、DEMスイッチ71a及びDEMスイッチ71cのそれぞれで1回ずつ合計2回切り替えられる。このため、入力信号VIN(+), VIN(-)は、復調してGmアンプ71dの非反転入力端子(+)及び反転入力端子(-)にそれぞれ入力される。これに対し、オフセット電圧Voff1は、Gmアンプ71dに入力するまでに、DEMスイッチ71cで1回のみ切り替えられる。このため、Gmアンプ71dの非反転入力端子(+)及び反転入力端子(-)には、DEM信号Sdeの極性反転に基づいて極性の反転したオフセット電圧Voff1が交互に入力される。

10

【0071】

図9は、Gm-C積分器7の信号波形を示す図である。図9中の上段に示す「Sde」は、DEM信号の信号波形を示し、下段に示す「Sis」は、Gmアンプ71dの非反転入力端子(+)に入力する入力信号の信号波形を示している。図9中の上段の縦軸は電圧を示し、下段の縦軸は電流を示し、横軸は時間を示している。図9中の左から右に向かって時の経過が示されている。

【0072】

図9に示すように、DEM信号Sdeの極性が反転すると、Gmアンプ71dに入力する入力信号の極性も反転する。DEM信号Sdeの極性が高レベルの場合には、入力信号の電流レベルは高レベルとなり、DEM信号Sdeの極性が低レベルの場合には、入力信号の電流レベルは低レベルとなる。入力信号が高レベルのときの電流値は、Voff1・Gmとなり、入力信号が低レベルのときの電流値は、-Voff1・Gmとなる。ここで、「Voff1」は、オフセット電圧Voff1の電圧値を表し、「Gm」はGmアンプ71bのトランスコンダクタンスを表している。Gmアンプ71dに入力する入力信号が高レベルの電流値と低レベルの電流値とは絶対値が同じである。DEMスイッチ71a及びDEMスイッチ71cの入出力の接続状態を切り替えることによってGmアンプ71b内のトランジスタ710a, 710bに入力する入力信号VIN(+), VIN(-)の切り替え動作を行うと、Gm71dの出力信号には、正のオフセット電圧Voff1と負のオフセット電圧Voff1とが交互に混入する。Gmアンプ71dの出力信号が入力する1ビット量子化器(不図示)のデジタル出力信号はGmアンプ71dの出力信号をデジタル出力信号に変換して得られる。このため、連続時間型AD変換器のデジタル出力信号にも、正のオフセット電圧Voff1と負のオフセット電圧Voff1とが交互に混入する。1ビット量子化器から出力されたデジタル出力信号は、1ビット量子化器の後段に設けられたデジタルフィルタ(不図示)によって平均化される。DA変換素子(不図示)が出力するリファレンス信号をVref(+), Vref(-)とすると、連続時間型AD変換器が出力するデジタル出力信号は、以下の式(8)で表すことができる。

20

30

【数6】

$$\begin{aligned} \text{デジタル出力信号} &: \frac{\left(\frac{VIN(+)-VIN(-)+Voff1}{Vref(+)-Vref(-)}\right) + \left(\frac{VIN(+)-VIN(-)-Voff1}{Vref(+)-Vref(-)}\right)}{2} \times 2^{N-1} \\ &= \frac{VIN(+)-VIN(-)}{Vref(+)-Vref(-)} \times 2^{N-1} (LSB) \dots (8) \end{aligned}$$

40

式(8)に示すように、連続時間型AD変換器が出力するデジタル出力信号からオフセット電圧Voff1に起因する誤差は除去される。

連続時間型AD変換器がダイナミックエレメントマッチング機能を備えていてもGmアンプに生じるオフセット電圧の影響が完全に除去されるのは寄生容量などが生じていない理想的な場合である。ここで、ダイナミックエレメントマッチング機能を備えたGm-C積分器の出力信号の誤差の要因となる寄生容量を考慮した場合について説明する。図

50

10は、寄生容量を考慮した場合の連続時間型 A D変換器のG m - C積分器7の概略構成を示すブロック図である。

【0073】

図10に示すように、DEM信号S d eが送信される信号配線72とG mアンプ71bの入力部の信号配線73と間には、DEMスイッチ71bの容量や信号配線72, 73間に生じる容量によって寄生容量75が存在する。このため、DEM信号S d eの極性が反転するタイミングで寄生容量75を介して電荷+Q, -QがG m - C積分器7内に混入してスパイク状のノイズが発生する。

【0074】

図11は、寄生容量75を考慮した場合のG m - C積分器7の信号波形を示す図である。図11中の上段に示す「S d e」はDEM信号の信号波形を示し、中段に示す「S s k 1」はG mアンプ71bに入力されるスパイク信号の信号波形を示し、下段に示す「S s k 2」はG mアンプ71dに入力されるスパイク信号の信号波形を示している。縦軸は電圧を示し、横軸は時間を示している。図11中の左から右に向かって時の経過が示されている。

【0075】

図11に示すように、DEM信号S d eの極性が反転するタイミングでスパイク状のスパイク信号S s k 1が発生する。スパイク信号S s k 1は、急峻に立ち上がり又は立ち下がりその後元の電圧レベルに収束する。DEM信号S d eの電圧レベルが低レベルから高レベルに切り替わる場合には急峻に立ち上がるスパイク信号が発生する。一方、DEM信号S d eの電圧レベルが高レベルから低レベルに切り替わる場合には急峻に立ち下がるスパイク信号が発生する。正極側に急峻に立ち上がるスパイク信号と、負極側に急峻に立ち下がるスパイク信号とはG mアンプ71bの入力部に交互に発生する。DEMスイッチ71eでG mアンプ71bの出力信号の反転動作が行われると、G mアンプ71bの入力側に発生するスパイク信号S s k 2は、図11中の下段に示すように、同じ極性のスパイク信号としてG mアンプ71dに入力される。スパイク信号S s k 2は、デジタルフィルタにより平均化されるが、同じ極性であるため、平均化後もオフセット電圧V o f f 2として残存する。この場合に、連続時間型 A D変換器が出力するデジタル出力信号は、以下の式(9)で表すことができる。

【数7】

$$\text{デジタル出力信号} : \frac{VIN(+)-VIN(-)+Voff2}{Vref(+)-Vref(-)} \times 2^{N-1}(LSB) \dots (9)$$

【0076】

ダイナミックエレメントマッチングによってG mアンプ71b内のトランジスタ710a, 710bのミスマッチに起因するオフセット電圧V o f f 1の影響の低減を図っても、連続時間型 A D変換器にはスパイク信号に起因する新たなオフセット電圧V o f f 2が生じる。また、ホール素子から出力される磁場に依存するホール起電力信号は、数μVから数mV程度の微弱な電圧である。このため、スパイク信号に起因するオフセット電圧V o f f 2によって生じるデジタル出力信号の誤差は無視できない大きさとなる。

【0077】

近年、ホール素子を使った磁場検出装置の技術分野では、高精度・高分解能な磁場検出装置が求められるようになってきている。本願発明者らは、上述のスパイク信号に起因する新たなオフセット電圧が生じることを発見し、これが磁場検出装置の高精度化の妨げになることを見出した。

このスパイク信号を生じさせないようにすることは困難であるため、鋭意検討した結果、本願発明者らは、離散時間型A D変換器を採用し、ホール素子のホール起電力に応じた第1のアナログ信号をサンプリングしないサンプリング非実行期間に、第1のアナログ信号が送信されるアナログ信号バスのダイナミックエレメントマッチングを行うことで、スパイク信号の影響が低減され、高精度かつ高分解能なホールセンサの作製に成功した。

【0078】

10

20

30

40

50

(変形例)

次に、本実施形態の変形例によるホールセンサ1について図1を参照しつつ図12を用いて説明する。本変形例によるホールセンサ1は、増幅器4と離散時間型AD変換器6との間に変調スイッチ11及び復調スイッチ9を備えている点に特徴を有している。以下、図1に示すホールセンサ1と異なる点のみを簡述する。また、図1に示すホールセンサ1と同一の作用・機能を奏する構成要素には同一の符号を付して、その説明は省略する。

【0079】

電流方向切替スイッチ31でホール素子2のオフセット電圧の極性を反転させる場合、図1に示すように、増幅器4の出力は離散時間型AD変換器6に直接入力される構成となる。一方、ホール起電力信号の極性を反転させる場合、図12に示すように、ホールセンサ1は、離散時間型AD変換器6に設けられた変調スイッチ11と復調スイッチ9とを有している。変調スイッチ11は増幅器4の前段に設けられ、復調スイッチ9は増幅器4の後段に設けられている。変調スイッチ11は、電流方向切替スイッチ31から出力された2つのホール起電力信号を切り替えて増幅器4の非反転入力端子(+)と非反転入力端子(-)に交互に入力する構成を有する。復調スイッチ9は、増幅器4から出力されるホール起電力信号を入力する前に、ホール起電力信号を直流信号に戻す構成を有する。

【0080】

また、スピニングカレント法は、磁場強度に依存する電位差「 $V_h(+)$ - $V_h(-)$ 」の信号とオフセット電圧 V_{off} とを分離する技術である。図1に示すホールセンサ1では、ホール素子2の駆動電流方向の切り替えに伴ってオフセット電圧を反転させている(図6参照)。これに対し、本変形例によるホールセンサ1は、電流方向切替スイッチ31と増幅器4の接続方法を変更することにより90°方向に駆動電流を通電した際のホール起電力信号 $V_h(90)$ を反転させることで、磁場に依存する電位差「 $V_h(+)$ - $V_h(-)$ 」を反転させる構成となっている。変調スイッチ11は $V_h(90)$ の極性を反転させるスイッチであり、増幅器4へ入力されるホール起電力信号 $V_h(0)$ 及びホール起電力信号 $V_h(90)$ は、以下の式(10)及び式(11)で表される。すなわち、増幅器4へ入力されるホール起電力信号 $V_h(90)$ は、増幅器4へ入力されるホール起電力信号 $V_h(0)$ に対して磁場に依存する電位差「 $V_h(+)$ - $V_h(-)$ 」が反転した信号となる。

$$V_h(0) = V_h(+)-V_h(-)-V_{off} \quad \dots (10)$$

$$V_h(90) = -(V_h(+)-V_h(-))-V_{off} \quad \dots (11)$$

【0081】

ホール素子2から出力されたホール起電力 $V_h(90)$ は、変調スイッチ11で極性の反転動作が行われた後、増幅器4によって増幅され、復調スイッチ9により極性が再反転される。復調スイッチ9の通過後に磁場に依存する電位差「 $V_h(+)$ - $V_h(-)$ 」の信号は直流に戻る。一方、オフセット信号 V_{off} はホール素子2の駆動電流方向によって極性が反転する。そのため、復調スイッチ9から出力されるホール起電力信号は、前述の式(5)及び式(6)で表される信号と等しくなり、離散時間型AD変換部に入力される。この場合、ホールセンサ1の製造時のばらつきに伴って発生する、増幅器4の持つオフセット電圧に関しても、ホール素子2の持つオフセット電圧 V_{off} と同様に極性の反転が行われる。このため、増幅器4の持つオフセット電圧もホール素子2の持つオフセット電圧 V_{off} と同時にデジタルフィルタ62dにより取り除くことが可能である。

【0082】

〔第2の実施形態〕

次に、本発明の第2の実施形態によるホールセンサ及びホール起電力検出方法について図1を参照しつつ図13及び図14を用いて説明する。本実施形態によるホールセンサは、上記第1の実施形態によるホールセンサ1と比較して、全体構成は同一であるものの、離散時間型AD変換器の構成が異なっている。したがって、以下、本実施形態によるホールセンサについて、上記第1の実施形態によるホールセンサ1と異なる点のみを説明する。

。

10

20

30

40

50

【 0 0 8 3 】

図 1 3 は、本実施形態によるホールセンサに備えられた離散時間型 A D 変換器 6 の概略構成を示すブロック図である。図 1 3 に示すように、本実施形態における離散時間型 A D 変換器 6 は、上記第 1 の実施形態における離散時間型 A D 変換器 6 と同様に、サンプリング非実行期間とサンプリング実行期間とを有し、サンプリング実行期間にサンプリングした第 1 のアナログ信号をデジタル信号に変換するようになっている。上記第 1 の実施形態と同様に、第 1 のアナログ信号は、入力信号 $V_{IN}(+)$ 、 $V_{IN}(-)$ からリファレンス電圧信号 $V_{ref}(+)$ 、 $V_{ref}(-)$ を減算した信号が相当する。

【 0 0 8 4 】

図 1 3 に示すように、離散時間型 A D 変換器 6 は、A D 変換部 6 2 と、D E M 部 6 1 とを有している。A D 変換部 6 2 は、減算器 6 2 a と、制御信号生成部 5 (図 1 参照) から出力されたサンプル信号 S_{sp} の極性に応じて積分動作を行う S C 積分器 6 2 b と、サンプル信号 S_{sp} に応じて + 1 又は - 1 の出力を更新する 1 ビット量子化器 (クロックコンパレータ) 6 2 c とを有している。また、A D 変換部 6 2 は、1 ビット量子化器 6 2 c の出力信号が入力するデジタルフィルタ 6 2 d と、1 ビット量子化器 6 2 c の出力信号が入力する D A 変換素子 6 2 e と、D A 変換素子 6 2 e から出力されるリファレンス電圧信号 $V_{ref}(+)$ 、 $V_{ref}(-)$ の各電圧信号を保持するバッファアンプ 6 2 f 及びバッファアンプ 6 2 g とを有している。

【 0 0 8 5 】

D E M 部 6 1 は、S C 積分器 6 2 b の入出力端子に設けられている。D E M 部 6 1 は、D E M 信号 S_{de} の極性に従って入出力の接続を入れ替える D E M スイッチ 6 1 a 及び D E M スイッチ 6 1 b を有している。D E M スイッチ 6 1 a は S C 積分器 6 2 b の入力側に設けられ、D E M スイッチ 6 1 b は S C 積分器 6 2 b の出力側に設けられている。D E M スイッチ 6 1 a は、減算器 6 2 a が出力する第 1 のアナログ信号が入力する。第 1 のアナログ信号は差動信号である。D E M スイッチ 6 1 a は、差動信号の正側及び差動信号の負側を入力可能なように 2 つの入力端子と、入力した第 1 のアナログ信号を S C 積分器 6 2 b に出力する 2 つの出力端子とを有している。出力端子の一方は、第 1 のアナログ信号を構成する差動信号の正側を出力し、出力端子の他方は、第 1 のアナログ信号を構成する差動信号の負側を出力する。

【 0 0 8 6 】

D E M スイッチ 6 1 b は、S C 積分器 6 2 b が積分した第 1 のアナログ信号が入力する。S C 積分器 6 2 b は、第 1 のアナログ信号を構成する正側及び差動信号の負側のいずれも積分する。このため、D E M スイッチ 6 1 b は、積分された差動信号の正側及び負側を入力可能なように 2 つの入力端子を有している。また、D E M スイッチ 6 1 b は、入力した第 1 のアナログ信号を 1 ビット量子化器 6 2 c に出力する 2 つの出力端子を有している。出力端子の一方は、第 1 のアナログ信号を構成する差動信号の正側を出力し、出力端子の他方は、第 1 のアナログ信号を構成する差動信号の負側を出力する。

【 0 0 8 7 】

D E M 部 6 1 は、第 1 のアナログ信号が送信されるアナログ信号パス 6 8 に設けられている。アナログ信号パス 6 8 は、減算器 6 2 a、S C 積分器 6 2 b 及び 1 ビット量子化器 6 2 c で構成されている。

D E M スイッチ 6 1 a、6 1 b はそれぞれ、D E M 信号 S_{de} の極性に応じて、一方の入力端子と一方の出力端子とを接続するとともに他方の入力端子と他方の出力端子とを接続したり、一方の入力端子と他方の出力端子とを接続するとともに他方の入力端子と一方の出力端子とを接続したりする。D E M 部 6 1 は、D E M スイッチ 6 1 a、6 1 b のそれぞれの入出力端子の接続関係を切り替えることによりアナログ信号パス 6 8 のダイナミックエレメントマッチングを行うようになっている。

【 0 0 8 8 】

S C 積分器 6 2 b は、演算増幅器 6 0 2 (図 3 参照) を有している。演算増幅器 6 0 2 は、非反転入力端子 (+) 及び反転入力端子 (-) の入力部に差動対の 2 つのトランジス

10

20

30

40

50

タ（不図示）を有している。この2つのトランジスタの電気的特性等のミスマッチにより、演算増幅器602の出力電圧にはオフセット電圧Voff3が生じる。図13では、このオフセット電圧Voff3は、DEMスイッチ61aとSC積分器62bとの間に印で模式的に表されている。本実施形態によるホールセンサは、オフセット電圧Voff3を演算増幅器602の出力電圧から除去するためにDEMスイッチ61a, 61bをSC積分器62bの入出力側に設けた構成を有している。これにより、図8及び図9を用いて説明したように、本実施形態によるホールセンサは、DEM信号Sdeの極性に応じて演算増幅器602の差動対を構成する2つのトランジスタを入れ替えて使用できるため演算増幅器602の出力電圧からオフセット電圧Voff3を除去することができる。本実施形態において、DEM信号Sdeの極性が高レベルの場合のデジタル出力信号は、以下の式(12)で表され、DEM信号Sdeの極性が低レベルの場合のデジタル出力信号は、以下の式(13)で表される。

【数8】

$$\text{デジタル出力信号} : \frac{VIN(+)-VIN(-)+Voff3}{Vref(+)-Vref(-)} \times 2^{N-1}(LSB) \dots (12)$$

$$\text{デジタル出力信号} : \frac{VIN(+)-VIN(-)-Voff3}{Vref(+)-Vref(-)} \times 2^{N-1}(LSB) \dots (13)$$

【0089】

DEM信号Sdeの極性が高レベルのときに1ビット量子化器62cが出力するデジタル出力信号と、DEM信号Sdeの極性が低レベルの時に1ビット量子化器62cが出力するデジタル出力信号とは、デジタルフィルタ62dで平均化される。このため、デジタル出力信号に重畳しているオフセット電圧Voff3は除去される。すなわち、式(12)及び式(13)における「Voff3」の項は相殺される。

【0090】

本実施形態におけるDEM動作は、DEM信号Sdeが極性反転することによって生じるスパイク信号の影響を離散時間型AD変換器6が出力するデジタル出力信号に与えないために、上記第1の実施形態と同様に、サンプル休止時間内で実行される。ここで、本実施形態によるホールセンサでのサンプル休止時間における1ビット量子化器62cの入力部のスイッチの開閉状態について図14を用いて説明する。図14は、1ビット量子化器62cの内部構成とともに、サンプル休止時間におけるスイッチ606a, 606bの開閉状態を示す図である。また、図14には、理解を容易にするため、1ビット量子化器62cに接続されたDEMスイッチ61bと、DEMスイッチ61bに接続されたSC積分器62bと、SC積分器62bに接続されたDEMスイッチ61aとが併せて図示されている。

【0091】

図14に示すように、1ビット量子化器62cは、DEMスイッチ61bの一方の出力端子から出力された出力信号が入力するスイッチ606aと、DEMスイッチ61bの他方の出力端子から出力された出力信号が入力するスイッチ606bとを有している。また、1ビット量子化器62cは、スイッチ606a, 606bのそれぞれから出力された出力信号が入力する比較器605を有している。さらに、1ビット量子化器62cは、比較器605の一方の入力端子及びスイッチ606aの出力端子に一方の電極が接続され、他方の電極が基準電位となる静電容量素子607aと、比較器605の他方の入力端子及びスイッチ606bの出力端子に一方の電極が接続され、他方の電極が基準電位となる静電容量素子607bとを有している。

【0092】

1ビット量子化器62cは、制御信号生成部5（図1参照）が出力するサンプル信号sspの極性反転に同期して+1または-1の出力が更新されるクロックコンパレータで構成されている。1ビット量子化器62cは、スイッチ606a, 606bが閉状態の間に静電容量素子607a, 607bにSC積分器62bの出力信号の信号レベルに応じた

10

20

30

40

50

電荷を蓄積する。また、1ビット量子化器62cは、スイッチ606a, 606bが閉状態から開状態に切り替わるタイミングで静電容量素子607a, 607bに蓄積している電荷量の大小に応じて比較器605の出力を更新する。サンプル休止時間ではスイッチ606a, 606bは常に開状態となっている。また、DEM信号Sdeは、サンプル休止時間に反転するように設定されている。さらに、サンプル休止時間は、スパイク信号Sskが基準電位レベルに収束するのに十分な期間となるように設定されている。このため、DEM信号Sdeが送信される信号配線65とDEMスイッチ61aとSC積分器62bとを接続する信号配線67との間に形成される寄生容量66に起因するスパイク信号Sskが、SC積分器62bに入力され、DEMスイッチ61bを介して1ビット量子化器62cに入力したとしても、静電容量素子607a, 607bには蓄積されない。これにより、静電容量素子602b, 602cに保持された電荷量は一定値を維持する。したがって、本実施形態によるホールセンサはデジタル出力信号からスパイク信号の影響を除去できる。

10

【0093】

〔第3の実施形態〕

本発明の第3の実施形態について図1を参照しつつ図15及び図16を用いて説明する。本実施形態によるホールセンサは、上記第1の実施形態によるホールセンサ1と比較して、全体構成は同一であるものの、離散時間型AD変換器の構成が異なっている。本実施形態によるホールセンサは、ダイナミックエレメントマッチングを行うAD変換器として離散時間方式の2重積分AD変換器（離散時間型積分型AD変換器の一例）を備えた点

20

【0094】

図15は、本実施形態によるホールセンサに備えられた離散時間型AD変換器6の概略構成を示すブロック図である。図15に示すように、本実施形態における離散時間型AD変換器6は、上記第1の実施形態における離散時間型AD変換器6と同様に、サンプリング非実行期間とサンプリング実行期間とを有し、サンプリング実行期間にサンプリングした第1のアナログ信号をデジタル信号に変換するようになっている。入力信号VIN(+), VIN(-)が第1のアナログ信号に相当し、リファレンス電圧信号Vref(+), Vref(-)が第2のアナログ信号に相当する。

30

【0095】

図15に示すように、離散時間型AD変換器6は、制御信号生成部5（図1参照）から出力されたサンプル信号Sspの極性に応じて積分動作を行うSC積分器62bと、サンプル信号Sspに応じて+1又は-1の出力を更新する1ビット量子化器（クロックコンパレータ）62cとを有している。また、AD変換部62は、1ビット量子化器62cの出力信号が入力するDA変換素子62eと、DA変換素子62eから出力されるリファレンス電圧信号Vref(+), Vref(-)の各電圧信号を保持するバッファアンプ62f及びバッファアンプ62gとを有している。さらに、AD変換部62は、SC積分器62の入力部に入力信号VIN(+), VIN(-)とリファレンス電圧信号Vref(-), Vref(+)とのいずれか一方を選択する選択部62hと、1ビット量子化器62cが出力するデジタル出力信号が入力され、リファレンス電圧信号Vref(-)からリファレンス電圧信号Vref(+)を減算した差信号を積算した回数をカウントするカウンタ部62iとを有している。

40

【0096】

選択部62hは、入力信号VIN(+)が入力するスイッチ621aと、入力信号VIN(-)が入力するスイッチ621bと、リファレンス電圧信号Vref(+)が入力するスイッチ621cと、リファレンス電圧信号Vref(-)が入力するスイッチ621dとを有している。スイッチ621aは、入力信号VIN(+)が入力する入力端子と、SC積分器62bの非反転入力端子(+)及びスイッチ621dの出力端子に接続された出力端子とを有している。スイッチ621bは、入力信号VIN(-)が入力する入力端

50

子と、SC積分器62bの反転入力端子(-)及びスイッチ621cの出力端子に接続された出力端子とを有している。スイッチ621cは、DEMスイッチ61bを介してバッファアンプ62gの出力端子に接続された入力端子と、SC積分器62bの反転入力端子(-)に接続された出力端子とを有している。スイッチ621dは、DEMスイッチ61bを介してバッファアンプ62fの出力端子に接続された入力端子と、SC積分器62bの非反転入力端子(+)に接続された出力端子とを有している。選択部62hは、制御信号生成部5が生成して出力する選択信号S_sの極性に応じてSC積分器62bへ入力する信号を選択するようになっている。

【0097】

SC積分器62bは、選択部62hを介して入力する入力信号VIN(+)から入力信号VIN(-)を減算した電圧値をサンプル信号S_{sp}に応じて一定のサンプル回数積算し、その後リファレンス電圧信号V_{ref}(-)の電圧値からリファレンス電圧信号V_{ref}(+)の電圧値を減算した電圧値をサンプル信号S_{sp}に応じて積算する。SC積分器62bは、リファレンス電圧信号V_{ref}(-)からリファレンス電圧信号V_{ref}(+)を減算した電圧値が負の値に反転するまで積算する。SC積分器62bは、1ビット量子化器62cが出力するデジタル出力信号が低レベルから高レベルへの切り替わりに基づいて出力信号の反転するタイミングを判定する。

【0098】

カウンタ部62iは、カウント信号S_{ct}に応じてリファレンス電圧信号V_{ref}(-)の電圧値からリファレンス電圧信号V_{ref}(-)の電圧値を減算した電圧値を積算した回数をカウントする。カウント信号S_{ct}は、制御信号生成部5によって生成され、制御信号生成部5からカウンタ部62iに入力される。なお、図1では、カウント信号S_{ct}の図示は省略されている。

【0099】

ここで、図15を参照しつつ図16を用いて離散時間型AD変換器6の動作について説明する。図16は、離散時間型AD変換器6の各部の信号波形を示す図である。図16中の1段目の「S_{sp}」はサンプル信号の信号波形を示し、2段目の「S_s」は選択信号の信号波形を示し、3段目の「S_{ct}」はカウンタ信号の信号波形を示している。図16中の4段目の「CT」はカウンタ部62iがリファレンス電圧信号V_{ref}(+)、V_{ref}(-)をカウントしたカウント数を示し、5段目の「S_{de}」はDEM信号の信号波形を示し、「SC-OUT」はSC積分器62bの出力電圧の信号波形を示し、「QT-OUT」は1ビット量子化器62cの出力信号波形を示している。

【0100】

図16に示すように、カウント信号S_{ct}は、選択信号S_sの極性が高レベルとなりリファレンス電圧信号V_{ref}(+)、V_{ref}(-)が積算される場合のみ、サンプル信号S_{sp}と同期した波形となる。この際、カウンタ部62iのカウントするカウント数「CT」の値N(Nは、負数を除く整数)は、1ビット量子化器62cの出力信号QT-OUTの極性が高レベルに切り替わった際に最終値となる。

【0101】

図16では、時刻t₀から時刻t₁までの期間が、入力信号VIN(+)の電圧値から入力信号VIN(-)の電圧値を減算した電圧値をSC積分器62bにおいて積分する期間である。時刻t₁から時刻t₂までの期間が、リファレンス電圧信号V_{ref}(-)の電圧値からリファレンス電圧信号V_{ref}(+)の電圧値を減算した電圧値をSC積分器62bにおいて積分する期間である。SC積分器62bの出力電圧「SC-OUT」に示すように、入力信号VIN(+)の電圧値から入力信号VIN(-)の電圧値を減算した電圧値の積算数が多いほど、リファレンス電圧信号V_{ref}(-)の電圧値からリファレンス電圧信号V_{ref}(+)の電圧値を減算した電圧値の積算数が多くなる。なお、図16に示すVINは、入力信号VIN(+)の電圧値から入力信号VIN(-)の電圧値を減算した電圧値を表し、V_{ref}は、リファレンス電圧信号V_{ref}(-)の電圧値からリファレンス電圧信号V_{ref}(+)の電圧値を減算した電圧値にオフセット電圧V

10

20

30

40

50

offset (offset) を加算した電圧値を表している。カウント数「CT」は、入力信号VIN (+) の電圧値から入力信号VIN (-) の電圧値を減算した電圧値が大きいほどNの値は増加する。本実施形態における離散時間型AD変換器6において採用している2重積分AD変換器では、カウンタ部62iがカウントするカウント数「CT」の値「N」がデジタル出力信号に相当する。

【0102】

図15に戻って、2重積分AD変換器の構成を採用した離散時間型AD変換器6についても、上記第1及び第2の実施形態における離散時間型AD変換器6と同様に、バッファアンプ62f, 62gにおいて生じるオフセット電圧VoffsetやSC積分器62b内の演算増幅器602において生じるオフセット電圧により、デジタル出力信号に誤差が生じる。なお、図15では、理解を容易にするため、オフセット電圧Voffsetは、バッファアンプ62fとDEMスイッチ61aとの間に印で模式的に図示されている。しかしながら、本実施形態によるホールセンサは、上記第1及び第2の実施形態によるホールセンサと同様に、DEMスイッチ62f, 62gを備えているので、バッファアンプ62f, 62gなどの各素子間のミスマッチに伴う誤差を低減できる。また、本実施形態によるホールセンサは、上記第1及び第2の実施形態によるホールセンサと同様に、サンプル休止時間にDEM動作を実行するように調整されている。これにより、本実施形態によるホールセンサは、DEM動作に伴って発生するスパイク信号の影響を除去できる。

上記第1から上記第3の実施形態における各構成は、同時に実施することも可能であり、AD変換器内の複数の箇所でダイナミックエレメントマッチングを行い、各素子の入れ替えのタイミングをサンプル休止時間に調整することも好適である。

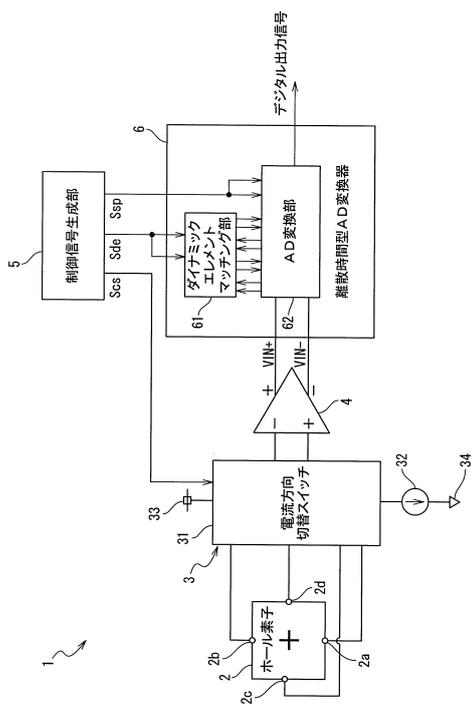
【符号の説明】

【0103】

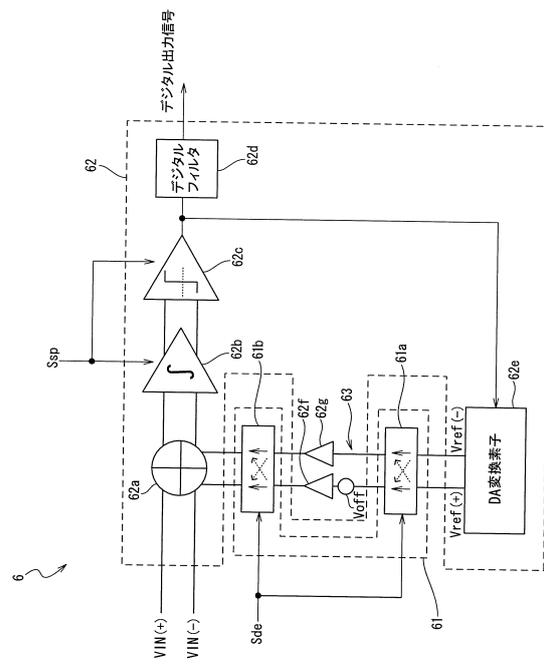
- | | | |
|-------------|------------|----|
| 1 | ホールセンサ | |
| 2 | ホール素子 | |
| 2a | 第1端子 | |
| 2b | 第2端子 | |
| 2c | 第3端子 | |
| 2d | 第4端子 | |
| 3 | 駆動部 | 30 |
| 4 | 増幅器 | |
| 5 | 制御信号生成部 | |
| 6 | 離散時間型AD変換器 | |
| 31 | 電流方向切替スイッチ | |
| 33 | 電源入力端子 | |
| 34 | 基準電位入力端子 | |
| 35 | 駆動電源 | |
| 61 | DEM部 | |
| 61a, 61b | DEMスイッチ | |
| 62 | AD変換部 | 40 |
| 62a | 減算器 | |
| 62b | SC積分器 | |
| 62c | 1ビット量子化器 | |
| 62d | デジタルフィルタ | |
| 62e | DA変換素子 | |
| 62f, 62g | バッファアンプ | |
| 62h | 選択部 | |
| 62i | カウンタ部 | |
| 601a ~ 601h | スイッチ | |
| 602 | 演算増幅器 | 50 |

603, 604 静電容量素子

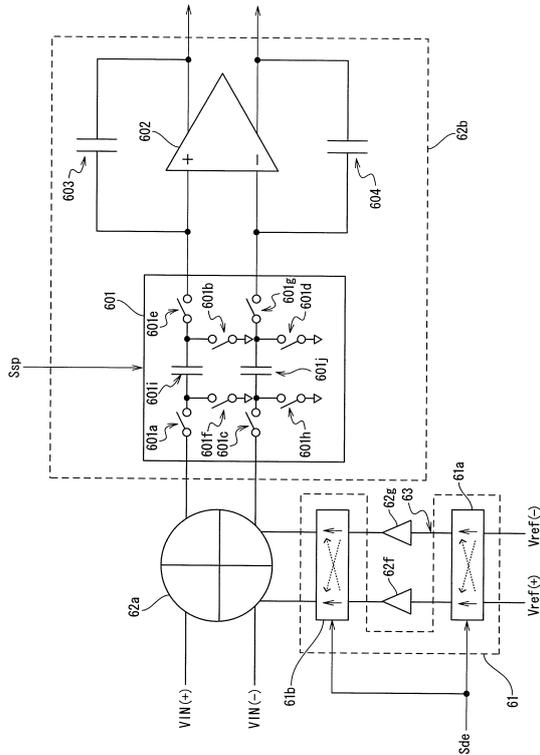
【図1】



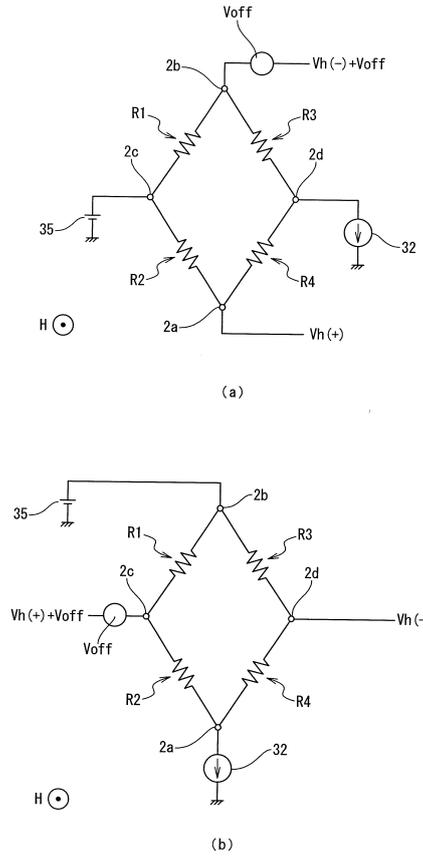
【図2】



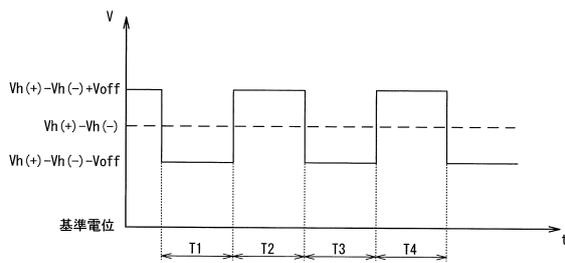
【図3】



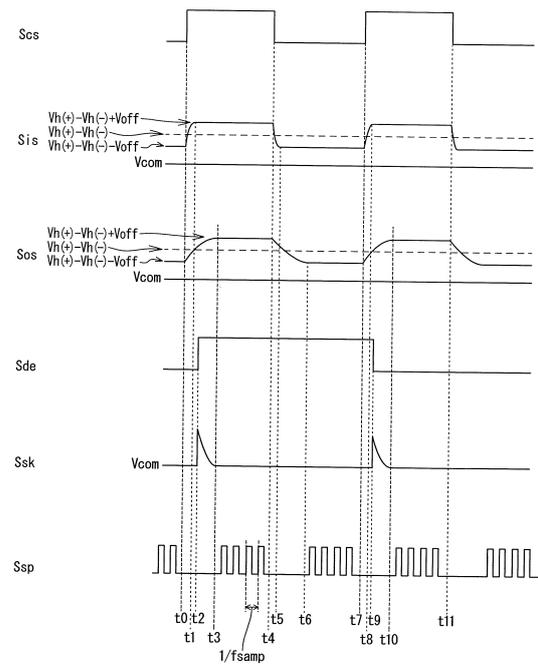
【図4】



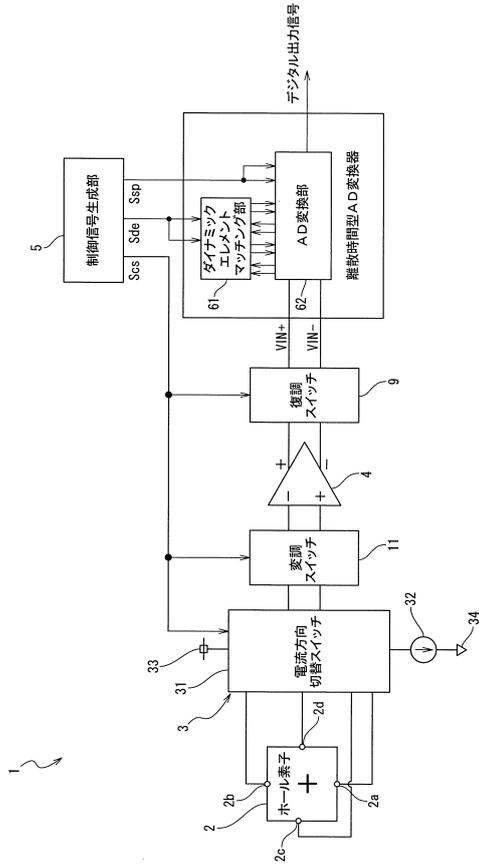
【図5】



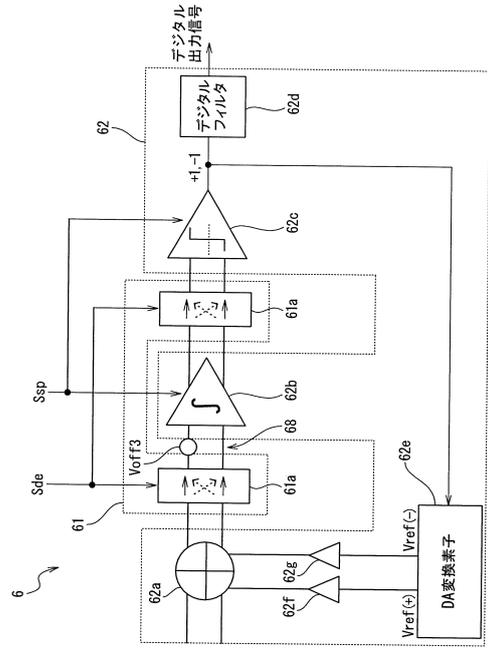
【図6】



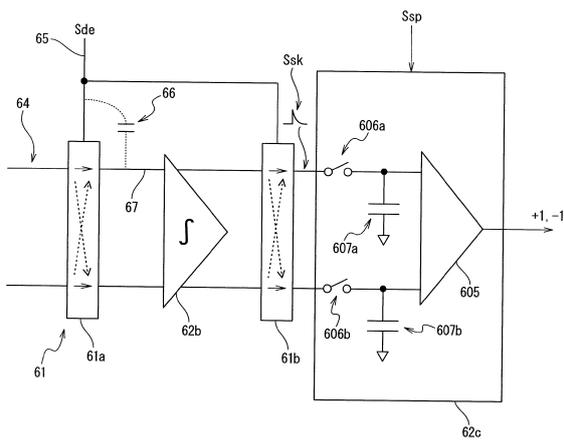
【図 1 2】



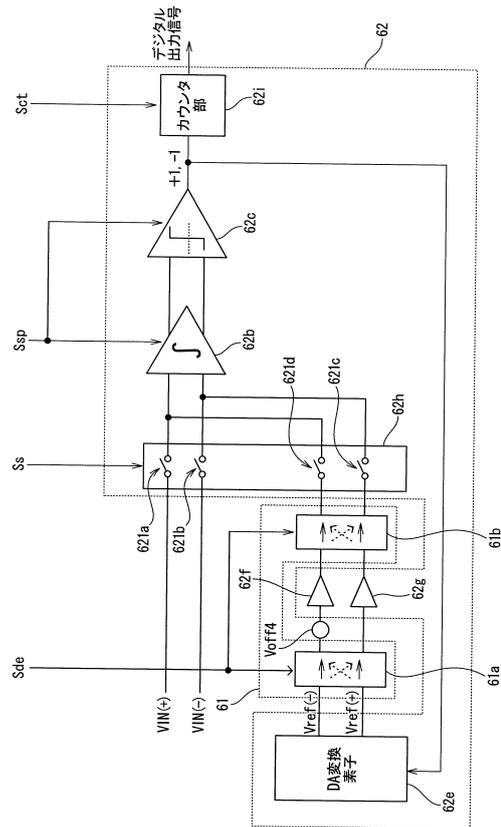
【図 1 3】



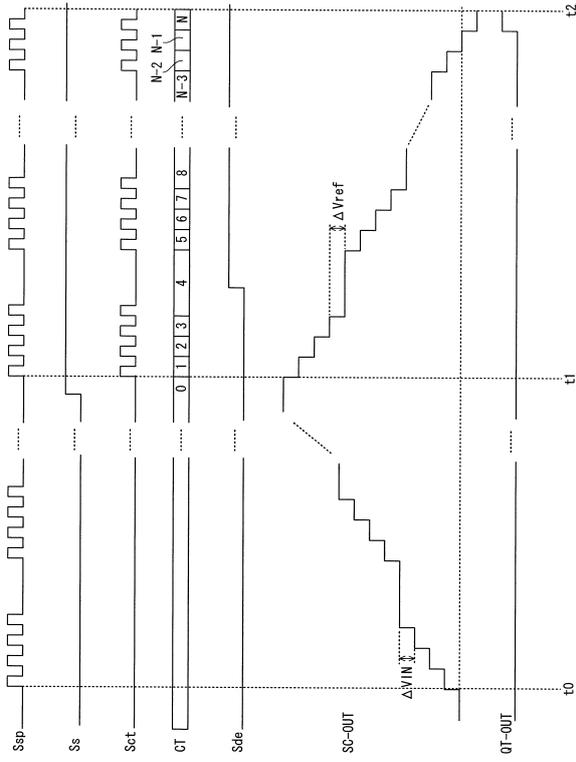
【図 1 4】



【図 1 5】



【 16 】



フロントページの続き

審査官 山崎 仁之

- (56)参考文献 特開2010-245765(JP,A)
特開2008-219404(JP,A)
特開2014-025740(JP,A)
特開2011-163928(JP,A)
米国特許第06400297(US,B1)
米国特許出願公開第2003/0227401(US,A1)

- (58)調査した分野(Int.Cl., DB名)
G01R 33/07
H01L 43/06