



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0133365
(43) 공개일자 2017년12월05일

- (51) 국제특허분류(Int. Cl.)
H03F 1/32 (2006.01) H03C 3/08 (2006.01)
H03F 1/02 (2006.01) H03F 3/193 (2006.01)
H03H 11/04 (2006.01) H03H 11/12 (2006.01)
H04B 1/30 (2006.01)
- (52) CPC특허분류
H03F 1/3205 (2013.01)
H03C 3/08 (2013.01)
- (21) 출원번호 10-2017-7027887
- (22) 출원일자(국제) 2016년03월08일
심사청구일자 없음
- (85) 번역문제출일자 2017년09월28일
- (86) 국제출원번호 PCT/US2016/021369
- (87) 국제공개번호 WO 2016/160287
국제공개일자 2016년10월06일
- (30) 우선권주장
62/141,685 2015년04월01일 미국(US)
14/806,334 2015년07월22일 미국(US)

- (71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자
아수리, 부산 산티
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드 (내)
조쉬, 알록 프라카쉬
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드 (내)
라젠드란, 지리쉬
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드 (내)
- (74) 대리인
특허법인 남앤드남

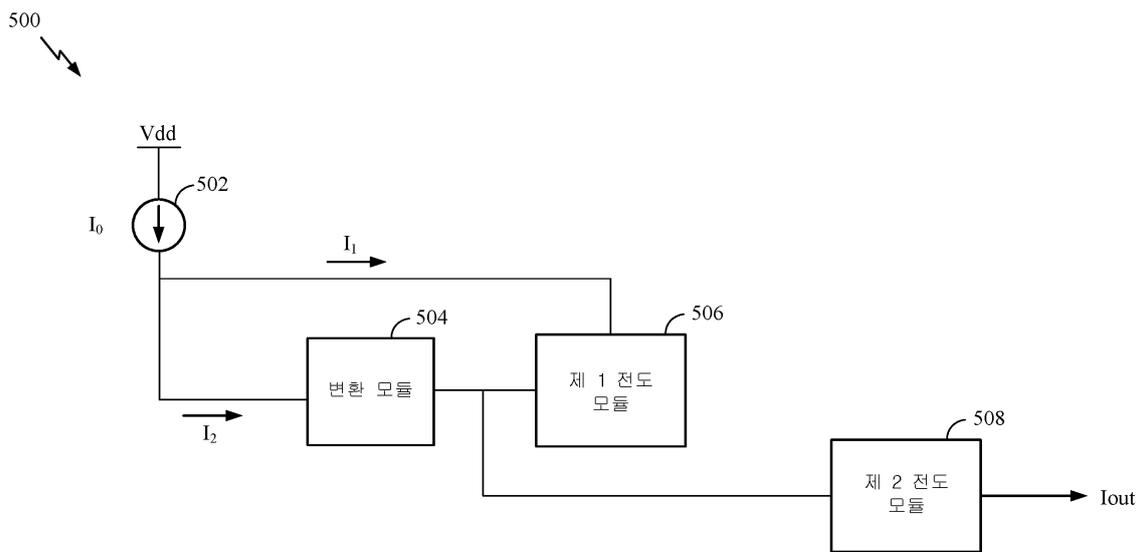
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 능동 피드백을 갖는 기저대역 필터를 위한 선형화 방식

(57) 요약

기저대역 필터를 선형화하기 위한 방법 및 장치가 제공된다. 장치는 제 1 전도 모듈을 통해 제 1 전류 신호를 수신하도록 구성된다. 장치는 또한 변환 모듈을 통해, 제 2 전류 신호를 수신하고, 제 2 전류 신호에 기초하여 전압 신호를 생성하고, 전압 신호를 제 1 전도 모듈에 인가하도록 구성된다. 변환 모듈에 의해 수신된 제 2 전류 신호의 양은 제 1 전도 모듈을 통해 흐르는 제 1 전류 신호의 양에 기초한다. 장치는 또한 제 2 전도 모듈을 통해, 전압 신호에 기초하여 출력 전류 신호를 제어하도록 구성된다. 출력 전류 신호는 대역 내 주파수들에 대한 제 1 전류 신호의 선형 레플리카가 되도록 제어된다.

대표도 - 도5



(52) CPC특허분류

H03F 1/0205 (2013.01)

H03F 3/193 (2013.01)

H03H 11/04 (2013.01)

H03H 11/12 (2013.01)

H04B 1/30 (2013.01)

H03F 2200/129 (2013.01)

H03F 2200/165 (2013.01)

H03F 2200/451 (2013.01)

H03F 2200/456 (2013.01)

명세서

청구범위

청구항 1

기저대역 필터를 선형화하기 위한 장치로서,

제 1 전류 신호를 수신하도록 구성된 제 1 전도 모듈;

제 2 전류 신호를 수신하고, 상기 제 2 전류 신호에 기초하여 전압 신호를 생성하고, 상기 전압 신호를 상기 제 1 전도 모듈에 인가하도록 구성된 변환 모듈 - 상기 변환 모듈에 의해 수신된 제 2 전류 신호의 양은 상기 제 1 전도 모듈을 통해 흐르는 제 1 전류 신호의 양에 기초함 - ; 및

상기 전압 신호에 기초하여 출력 전류 신호를 제어하도록 구성된 제 2 전도 모듈을 포함하고,

상기 출력 전류 신호는 대역 내 주파수들(in-band frequencies)에 대한 제 1 전류 신호의 선형 레플리카(linear replica)가 되도록 제어되는,

기저대역 필터를 선형화하기 위한 장치.

청구항 2

제 1 항에 있어서,

상기 변환 모듈은 4차(biquadratic) 증폭기를 포함하고, 상기 제 1 전도 모듈은 제 1 커패시터, 제 1 레지스터, 및 상기 4차 증폭기로부터의 전압 신호에 기초하여 동작하도록 구성된 제 1 트랜지스터를 포함하고,

상기 4차 증폭기의 비-반전 입력은 전류 소스에 커플링되고,

상기 제 1 트랜지스터의 드레인은 상기 전류 소스에 커플링되고, 상기 제 1 트랜지스터의 게이트는 상기 4차 증폭기의 출력에 커플링되고, 상기 제 1 트랜지스터의 소스는 상기 제 1 커패시터의 제 1 노드 및 상기 제 1 레지스터의 제 1 노드에 커플링되고, 그리고

상기 제 1 커패시터의 제 2 노드 및 상기 제 1 레지스터의 제 2 노드는 접지 노드에 커플링되는,

기저대역 필터를 선형화하기 위한 장치.

청구항 3

제 2 항에 있어서,

상기 제 1 트랜지스터가 상기 4차 증폭기로부터의 전압 신호에 기초하여 동작하도록 구성될 때, 상기 제 1 트랜지스터는 상기 제 1 전류 신호를, 상기 제 1 트랜지스터의 드레인으로부터 소스로 상기 제 1 커패시터 및 상기 제 1 레지스터를 향해 흐르게 하도록 구성되고, 그리고

상기 제 1 트랜지스터를 통해 흐르는 제 1 전류 신호의 양은 상기 제 1 커패시터에 의해 저장된 제 1 전류 신호와 연관된 에너지의 양 및 상기 제 1 레지스터에 의해 소산된 제 1 전류 신호와 연관된 에너지의 양에 기초하는,

기저대역 필터를 선형화하기 위한 장치.

청구항 4

제 3 항에 있어서,

최고(highest) 대역 내 주파수보다 높은 주파수에서, 상기 제 1 트랜지스터를 통해 흐르는 제 1 전류 신호의 양은 상기 4차 증폭기에 의해 수신된 제 2 전류 신호의 양을 감소시키는, 기저대역 필터를 선형화하기 위한 장치.

청구항 5

제 2 항에 있어서,
 상기 제 2 전도 모듈은 제 2 레지스터, 제 2 커패시터, 제 3 레지스터 및 제 2 트랜지스터를 포함하고,
 상기 제 2 레지스터의 제 1 노드는 상기 4차 증폭기의 출력 및 상기 제 1 트랜지스터의 게이트에 커플링되고, 상기 제 2 레지스터의 제 2 노드는 상기 제 2 커패시터의 제 1 노드 및 상기 제 2 트랜지스터의 게이트에 커플링되고,
 상기 제 2 커패시터의 제 1 노드는 상기 제 2 레지스터의 제 2 노드 및 상기 제 2 트랜지스터의 게이트에 커플링되고, 상기 제 2 커패시터의 제 2 노드는 상기 접지 노드에 커플링되고,
 상기 제 3 레지스터의 제 1 노드는 상기 제 2 트랜지스터의 소스에 커플링되고, 상기 제 3 레지스터의 제 2 노드는 상기 접지 노드에 커플링되고,
 상기 제 2 트랜지스터의 소스는 상기 제 3 레지스터의 제 1 노드에 커플링되고, 그리고
 상기 출력 전류 신호는 상기 제 2 트랜지스터의 드레인을 통해 흐르는,
 기저대역 필터를 선형화하기 위한 장치.

청구항 6

제 5 항에 있어서,
 상기 출력 전류 신호는,
 상기 4차 증폭기가 상기 제 2 트랜지스터의 게이트에 인가되도록 상기 제 2 레지스터에 거쳐 상기 전압 신호를 흐르게 하고, 그리고
 상기 제 2 트랜지스터가 상기 제 2 트랜지스터의 게이트에 인가되는 전압 신호에 기초하여 동작하고 상기 제 2 트랜지스터의 드레인과 소스 사이에 상기 출력 전류 신호를 흐르게 함으로써, 상기 제 1 전류 신호의 선형 레플리카가 되도록 제어되는,
 기저대역 필터를 선형화하기 위한 장치.

청구항 7

제 6 항에 있어서,
 상기 제 2 트랜지스터의 게이트에서의 전압 신호의 양은 상기 제 2 레지스터에 의해 소산된 전압 신호와 연관된 에너지의 양 및 상기 소산 후에 상기 제 2 커패시터에 의해 저장된 전압 신호와 연관된 에너지의 양에 기초하는,
 기저대역 필터를 선형화하기 위한 장치.

청구항 8

제 6 항에 있어서,
 상기 제 2 트랜지스터를 통해 흐르는 출력 전류 신호의 양은 상기 제 3 레지스터에 의해 소산된 출력 전류 신호

와 연관된 에너지의 양에 기초하는,
기저대역 필터를 선형화하기 위한 장치.

청구항 9

제 5 항에 있어서,
상기 제 2 트랜지스터의 크기는 상기 제 1 트랜지스터의 크기의 n 배이고, 여기서 n 은 실수인,
기저대역 필터를 선형화하기 위한 장치.

청구항 10

제 5 항에 있어서,
상기 제 1 레지스터의 값은 제 3 레지스터의 값의 n 배이며, 여기서 n 은 실수인,
기저대역 필터를 선형화하기 위한 장치.

청구항 11

기저대역 필터를 선형화하기 위한 방법으로서,
제 1 전도 모듈을 통해 제 1 전류 신호를 수신하는 단계;
변환 모듈을 통해 제 2 전류 신호를 수신하는 단계,
상기 변환 모듈을 통해, 상기 제 2 전류 신호에 기초하여 전압 신호를 생성하고, 상기 전압 신호를 상기 제 1 전도 모듈에 인가하는 단계 - 상기 변환 모듈에 의해 수신된 제 2 전류 신호의 양은 상기 제 1 전도 모듈을 통해 흐르는 제 1 전류 신호의 양에 기초함 - ; 및
제 2 전도 모듈을 통해, 상기 전압 신호에 기초하여 출력 전류 신호를 제어하는 단계를 포함하고,
상기 출력 전류 신호는 대역 내 주파수들에 대한 제 1 전류 신호의 선형 레플리카가 되도록 제어되는,
기저대역 필터를 선형화하기 위한 방법.

청구항 12

제 11 항에 있어서,
상기 변환 모듈은 4차 증폭기를 포함하고, 상기 제 1 전도 모듈은 제 1 커패시터, 제 1 레지스터 및 상기 4차 증폭기로부터의 전압 신호에 기초하여 동작하도록 구성된 제 1 트랜지스터를 포함하고,
상기 4차 증폭기의 비-반전 입력은 전류 소스에 커플링되고,
상기 제 1 트랜지스터의 드레인은 상기 전류 소스에 커플링되고, 상기 제 1 트랜지스터의 게이트는 상기 4차 증폭기의 출력에 커플링되고, 상기 제 1 트랜지스터의 소스는 상기 제 1 커패시터의 제 1 노드 및 상기 제 1 레지스터의 제 1 노드에 커플링되고, 그리고
상기 제 1 커패시터의 제 2 노드 및 상기 제 1 레지스터의 제 2 노드는 접지 노드에 커플링되는,
기저대역 필터를 선형화하기 위한 방법.

청구항 13

제 12 항에 있어서,

상기 제 1 트랜지스터가 상기 4차 증폭기로부터의 전압 신호에 기초하여 동작할 때, 상기 제 1 트랜지스터는 상기 제 1 전류 신호를, 상기 제 1 트랜지스터의 드레인으로부터 소스로 상기 제 1 커패시터 및 상기 제 1 레지스터를 향해 흐르게 하고, 그리고

상기 제 1 트랜지스터를 통해 흐르는 제 1 전류 신호의 양은 상기 제 1 커패시터에 의해 저장된 제 1 전류 신호와 연관된 에너지의 양 및 상기 제 1 레지스터에 의해 소산된 제 1 전류 신호와 연관된 에너지의 양에 기초하는,

기저대역 필터를 선형화하기 위한 방법.

청구항 14

제 13 항에 있어서,

최고 대역 내 주파수보다 높은 주파수에서, 상기 제 1 트랜지스터를 통해 흐르는 제 1 전류 신호의 양은 상기 4차 증폭기에 의해 수신된 제 2 전류 신호의 양을 감소시키는,

기저대역 필터를 선형화하기 위한 방법.

청구항 15

제 12 항에 있어서,

상기 제 2 전도 모듈은 제 2 레지스터, 제 2 커패시터, 제 3 레지스터 및 제 2 트랜지스터를 포함하고,

상기 제 2 레지스터의 제 1 노드는 상기 4차 증폭기의 출력 및 상기 제 1 트랜지스터의 게이트에 커플링되고, 상기 제 2 레지스터의 제 2 노드는 상기 제 2 커패시터의 제 1 노드 및 상기 제 2 트랜지스터의 게이트에 커플링되고,

상기 제 2 커패시터의 제 1 노드는 상기 제 2 레지스터의 제 2 노드 및 상기 제 2 트랜지스터의 게이트에 커플링되고, 상기 제 2 커패시터의 제 2 노드는 상기 접지 노드에 커플링되고,

상기 제 3 레지스터의 제 1 노드는 상기 제 2 트랜지스터의 소스에 커플링되고, 상기 제 3 레지스터의 제 2 노드는 상기 접지 노드에 커플링되고,

상기 제 2 트랜지스터의 소스는 상기 제 3 레지스터의 제 1 노드에 커플링되고, 그리고

상기 출력 전류 신호는 상기 제 2 트랜지스터의 드레인을 통해 흐르는,

기저대역 필터를 선형화하기 위한 방법.

청구항 16

제 15 항에 있어서,

상기 출력 전류 신호는,

상기 제 2 트랜지스터의 게이트에 인가되도록 상기 제 2 레지스터에 거쳐 상기 4차 증폭기로부터의 전압 신호를 흐르게 하고, 그리고

상기 제 2 트랜지스터의 게이트에 인가되는 전압 신호에 기초하여 상기 제 2 트랜지스터를 동작시키고 상기 제 2 트랜지스터의 드레인과 소스 사이에 상기 출력 전류 신호를 흐르게 함으로써, 상기 제 1 전류 신호의 선형 레플리카가 되도록 제어되는,

기저대역 필터를 선형화하기 위한 방법.

청구항 17

제 16 항에 있어서,

상기 제 2 트랜지스터의 게이트에서의 전압 신호의 양은 상기 제 2 레지스터에 의해 소산된 전압 신호와 연관된 에너지의 양 및 상기 소산 후에 상기 제 2 커패시터에 의해 저장된 전압 신호와 연관된 에너지의 양에 기초하는,

기저대역 필터를 선형화하기 위한 방법.

청구항 18

제 16 항에 있어서,

상기 제 2 트랜지스터를 통해 흐르는 출력 전류 신호의 양은 상기 제 3 레지스터에 의해 소산된 출력 전류 신호와 연관된 에너지의 양에 기초하는,

기저대역 필터를 선형화하기 위한 방법.

청구항 19

제 15 항에 있어서,

상기 제 2 트랜지스터의 크기는 상기 제 1 트랜지스터의 크기의 n 배이고, 여기서 n 은 실수인,

기저대역 필터를 선형화하기 위한 방법.

청구항 20

제 15 항에 있어서,

상기 제 1 레지스터의 값은 상기 제 3 레지스터의 값의 n 배이며, 여기서 n 은 실수인,

기저대역 필터를 선형화하기 위한 방법.

청구항 21

기저대역 필터를 선형화하기 위한 장치로서,

제 1 전류 신호를 수신하기 위한 제 1 전도 수단;

제 2 전류 신호를 수신하고, 상기 제 2 전류 신호에 기초하여 전압 신호를 생성하고, 상기 전압 신호를 상기 제 1 전도 수단에 인가하기 위한 변환 수단 - 상기 변환 수단에 의해 수신된 제 2 전류 신호의 양은 상기 제 1 전도 수단을 통해 흐르는 상기 제 1 전류 신호의 양에 기초함 - ; 및

상기 전압 신호에 기초하여 출력 전류 신호를 제어하기 위한 제 2 전도 수단을 포함하고,

상기 출력 전류 신호는 대역 내 주파수들에 대한 제 1 전류 신호의 선형 레플리카가 되도록 제어되는,

기저대역 필터를 선형화하기 위한 장치.

청구항 22

제 21 항에 있어서,

상기 변환 수단은 4차 증폭기를 포함하고, 상기 제 1 전도 수단은 제 1 커패시터, 제 1 레지스터, 및 상기 4차

증폭기로부터의 전압 신호에 기초하여 동작하도록 구성된 제 1 트랜지스터를 포함하고,

상기 4차 증폭기의 비-반전 입력은 전류 소스에 커플링되고,

상기 제 1 트랜지스터의 드레인은 상기 전류 소스에 커플링되고, 상기 제 1 트랜지스터의 게이트는 상기 4차 증폭기의 출력에 커플링되고, 상기 제 1 트랜지스터의 소스는 상기 제 1 커패시터의 제 1 노드 및 상기 제 1 레지스터의 제 1 노드에 커플링되고, 그리고

상기 제 1 커패시터의 제 2 노드 및 상기 제 1 레지스터의 제 2 노드는 접지 노드에 커플링되는,

기저대역 필터를 선형화하기 위한 장치.

청구항 23

제 22 항에 있어서,

상기 제 1 트랜지스터가 상기 4차 증폭기로부터의 전압 신호에 기초하여 동작할 때, 상기 제 1 트랜지스터는 상기 제 1 전류 신호를, 상기 제 1 트랜지스터의 드레인으로부터 소스로 상기 제 1 커패시터 및 상기 제 1 레지스터를 향해 흐르게 하도록 구성되고, 그리고

상기 제 1 트랜지스터를 통해 흐르는 제 1 전류 신호의 양은 상기 제 1 커패시터에 의해 저장된 제 1 전류 신호와 연관된 에너지의 양 및 상기 제 1 레지스터에 의해 소산된 제 1 전류 신호와 연관된 에너지의 양에 기초하는,

기저대역 필터를 선형화하기 위한 장치.

청구항 24

제 23 항에 있어서,

최고 대역 내 주파수보다 높은 주파수에서, 상기 제 1 트랜지스터를 통해 흐르는 제 1 전류 신호의 양은 상기 4차 증폭기에 의해 수신된 제 2 전류 신호의 양을 감소시키는,

기저대역 필터를 선형화하기 위한 장치.

청구항 25

제 22 항에 있어서,

상기 제 2 전도 수단은 제 2 레지스터, 제 2 커패시터, 제 3 레지스터 및 제 2 트랜지스터를 포함하고,

상기 제 2 레지스터의 제 1 노드는 상기 4차 증폭기의 출력 및 상기 제 1 트랜지스터의 게이트에 커플링되고, 상기 제 2 레지스터의 제 2 노드는 상기 제 2 커패시터의 제 1 노드 및 상기 제 2 트랜지스터의 게이트에 커플링되고,

상기 제 2 커패시터의 제 1 노드는 상기 제 2 레지스터의 제 2 노드 및 상기 제 2 트랜지스터의 게이트에 커플링되고, 상기 제 2 커패시터의 제 2 노드는 상기 접지 노드에 커플링되고,

상기 제 3 레지스터의 제 1 노드는 상기 제 2 트랜지스터의 소스에 커플링되고, 상기 제 3 레지스터의 제 2 노드는 상기 접지 노드에 커플링되고,

상기 제 2 트랜지스터의 소스는 상기 제 3 레지스터의 제 1 노드에 커플링되고, 그리고

상기 출력 전류 신호는 상기 제 2 트랜지스터의 드레인을 통해 흐르는,

기저대역 필터를 선형화하기 위한 장치.

청구항 26

제 25 항에 있어서,

상기 출력 전류 신호는,

상기 4차 증폭기가 상기 제 2 트랜지스터의 게이트에 인가되도록 상기 제 2 레지스터에 거쳐 상기 전압 신호를 흐르게 하고, 그리고

상기 제 2 트랜지스터가 상기 제 2 트랜지스터의 게이트에 인가되는 전압 신호에 기초하여 동작하고 상기 제 2 트랜지스터의 드레인과 소스 사이에 상기 출력 전류 신호를 흐르게 함으로써, 상기 제 1 전류 신호의 선형 레플리카가 되도록 제어되는,

기저대역 필터를 선형화하기 위한 장치.

청구항 27

제 26 항에 있어서,

상기 제 2 트랜지스터의 게이트에서의 전압 신호의 양은 상기 제 2 레지스터에 의해 소산된 전압 신호와 연관된 에너지의 양 및 상기 소산 후에 상기 제 2 커패시터에 의해 저장된 전압 신호와 연관된 에너지의 양에 기초하는,

기저대역 필터를 선형화하기 위한 장치.

청구항 28

제 26 항에 있어서,

상기 제 2 트랜지스터를 통해 흐르는 출력 전류 신호의 양은 상기 제 3 레지스터에 의해 소산된 출력 전류 신호와 연관된 에너지의 양에 기초하는,

기저대역 필터를 선형화하기 위한 장치.

청구항 29

제 25 항에 있어서,

상기 제 2 트랜지스터의 크기는 상기 제 1 트랜지스터의 크기의 n 배이고, 여기서 n 은 실수인,

기저대역 필터를 선형화하기 위한 장치.

청구항 30

제 25 항에 있어서,

상기 제 1 레지스터의 값은 상기 제 3 레지스터의 값의 n 배이며, 여기서 n 은 실수인,

기저대역 필터를 선형화하기 위한 장치.

발명의 설명

기술 분야

[0001] 본 출원은 2015년 4월 1일 출원되고 발명의 명칭이 "LINEARIZING SCHEME FOR BASEBAND FILTER WITH

ACTIVE FEEDBACK"인 미국 가출원 일련번호 제62/141,685호 및 2015년 7월 22일 출원되고 발명의 명칭이 "LINEARIZING SCHEME FOR BASEBAND FILTER WITH ACTIVE FEEDBACK"인 미국 특허 출원 번호 제14/806,334호를 우선권으로 주장하며, 이들은 그 전체가 인용에 의해 본원에 명시적으로 포함된다.

[0002] [0002] 본 개시는 일반적으로 통신 시스템들에 관한 것으로서, 보다 상세하게는, 기저대역 필터를 선형화하기 위한 장치 및 방법에 관한 것이다.

배경 기술

[0003] [0003] 무선 디바이스(예를 들어, 셀룰러 전화 또는 스마트폰)은 무선 통신 시스템과의 양방향 통신을 위해 데이터를 송신 및 수신할 수 있다. 무선 디바이스는 데이터 송신을 위한 송신기 및 데이터 수신을 위한 수신기를 포함할 수 있다. 데이터 송신을 위해, 송신기는 변조된 라디오 주파수(RF) 신호를 획득하기 위해 데이터로 송신 로컬 오실레이터(LO) 신호를 변조하고, 원하는 출력 전력 레벨을 갖는 출력 RF 신호를 획득하기 위해 변조된 RF 신호를 증폭하고, 안테나를 통해 기저대에 출력 RF 신호를 송신할 수 있다. 데이터 수신을 위해, 수신기는 안테나를 통해 수신된 RF 신호를 획득하고, 수신 LO 신호로, 수신된 RF 신호를 하향변환하고, 하향변환된 신호를 프로세싱하여 기저대에 의해 전송된 데이터를 복원할 수 있다.

[0004] [0004] 무선 디바이스들이 낮은 전력을 소모하면서 고품질의 송신 및 수신을 가능하게 하는 것에 대한 증가하는 요구가 존재한다. 고품질을 달성하기 위한 하나의 핵심은 디바이스의 송신기의 성능과 연관된다. 예를 들어, 송신기의 전체 출력 전력 범위에 걸쳐 효율적으로 동작하는 송신기를 갖는 것이 바람직하다.

[0005] [0005] 기존의 송신기 설계들에서, 기저대역(BB) 필터 및 상향변환기(믹서)는 기저대역 신호를 필터링하고 필터링된 신호를 송신을 위한 라디오 주파수들(RF)로 상향변환하는데 사용된다. 통상적으로, 기저대역 필터 및 상향변환기는 최대 전력에서 엄격한 선형 요건들을 충족시키기 위해 전체 출력 전력 범위에 걸쳐 동작하도록 구성된다. 그러나 기저대역 필터를 선형화하는 기존의 송신기 설계들은 제한된 노이즈 성능 및/또는 전력 성능을 제공할 수 있다. 이러한 기존의 송신기 설계들은 또한 디바이스 면적의 비교적 큰 부분을 소모하는 모듈들/엘리먼트들의 사용으로 인해 디바이스 면적을 비효율적으로 활용할 수 있다. 그러므로 무선 디바이스들에서의 사용을 위해 기저대역 필터를 선형화하기 위한 보다 효율적인 방식을 갖는 것이 바람직하다.

발명의 내용

[0006] [0006] 본 개시의 일 양상에서, 기저대역 필터를 선형화하기 위한 방법 및 장치가 제공된다. 장치는 제 1 전도 모듈을 통해 제 1 전류 신호를 수신하도록 구성된다. 장치는 변환 모듈을 통해, 제 2 전류 신호를 수신하고, 제 2 전류 신호에 기초하여 전압 신호를 생성하고, 전압 신호를 제 1 전도 모듈에 인가하도록 추가로 구성된다. 변환 모듈에 의해 수신된 제 2 전류 신호의 양은 제 1 전도 모듈을 통해 흐르는 제 1 전류 신호의 양에 기초한다. 장치는 또한 제 2 전도 모듈을 통해, 전압 신호에 기초하여 출력 전류 신호를 제어하도록 구성된다. 출력 전류 신호는 대역 내 주파수들에 대한 제 1 전류 신호의 선형 레플리카(linear replica)가 되도록 제어된다.

[0007] [0007] 다른 양상에서, 기저대역 필터를 선형화하기 위해, 제 1 전류 신호는 제 1 전도 모듈을 통해 수신된다. 또한, 제 2 전류 신호는 변환 모듈을 통해 수신된다. 또한, 제 2 전류 신호에 기초한 전압 신호가 생성되고 전압 신호는 제 1 전도 모듈에 인가된다. 변환 모듈에 의해 수신된 제 2 전류 신호의 양은 제 1 전도 모듈을 통해 흐르는 제 1 전류 신호의 양에 기초한다. 출력 전류 신호는 제 2 전도 모듈을 통해 제어된다. 또한, 출력 전류 신호는 전압 신호에 기초한다. 출력 전류 신호는 대역 내 주파수들에 대한 제 1 전류 신호의 선형 레플리카가 되도록 제어된다.

[0008] [0008] 다른 양상에서, 기저대역 필터를 선형화하기 위한 장치는, 제 1 전류 신호를 수신하기 위한 제 1 전도 수단, 제 2 전류 신호를 수신하고, 제 2 전류 신호에 기초하여 전압 신호를 생성하고, 전압 신호를 제 1 전도 수단에 인가하기 위한 변환 수단 - 변환 수단에 의해 수신된 제 2 전류 신호의 양은 제 1 전도 수단을 통해 흐르는 제 1 전류 신호의 양에 기초함 -, 및 전압 신호에 기초하여 출력 전류 신호를 제어하기 위한 제 2 전도 수단을 포함하고, 출력 전류 신호는 대역 내 주파수들에 대한 제 1 전류 신호의 선형 레플리카가 되도록 제어된다.

도면의 간단한 설명

[0009] [0009] 도 1은 본 개시의 일부 양상들에 따라 상이한 무선 통신 시스템들과 통신하는 무선 디바이스를 예시한다.

[0010] 도 2는 본 개시의 일부 양상들에 따른 무선 디바이스의 블록도이다.

[0011] 도 3은 기저대역 필터 아키텍처의 예를 예시한다.

[0012] 도 4는 기저대역 필터 아키텍처의 다른 예를 예시한다.

[0013] 도 5는 본 개시의 일부 양상들에 따라, 능동 피드백을 사용하여 기저대역 필터를 선형화하기 위한 장치의 블록도이다.

[0014] 도 6은 본 개시의 일부 양상들에 따라, 능동 피드백을 사용하여 기저대역 필터를 선형화하기 위한 도 5의 장치의 회로도이다.

[0015] 도 7은 본 개시의 일부 양상들에 따라 기저대역 필터를 선형화하기 위한 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0010] [0016] 첨부된 도면들과 관련하여 아래에서 기술되는 상세한 설명은 다양한 구성들의 설명으로서 의도되며, 본원에서 설명되는 개념들이 실시될 수 있는 유일한 구성들만을 나타내도록 의도되는 것은 아니다. 상세한 설명은 다양한 개념들의 완전한 이해를 제공하기 위해 특정 세부사항들을 포함한다. 그러나 이들 개념들은 이들 특정 세부사항들 없이 실시될 수 있다는 것이 당업자에게 명백해질 것이다. 일부 경우들에서, 잘-알려진 구조들 및 컴포넌트들은 이러한 개념들을 모호하게 하는 것을 피하기 위해 블록도 형태로 도시된다. "예시적인"이란 용어는 "예, 경우 또는 예시로서 작용하는 것"을 의미하도록 본원에서 이용된다. "예시적인" 것으로서 본원에서 설명되는 임의의 설계는 반드시 다른 설계들보다 선호되거나 유리한 것으로서 해석될 필요는 없다.
- [0011] [0017] 원격통신 시스템들의 여러 양상들이 다양한 장치 및 방법들을 참조하여 이제 제시될 것이다. 이러한 장치 및 방법들은 첨부 도면들에서 (통칭하여 "엘리먼트들"로 지칭되는) 다양한 블록들, 모듈들, 컴포넌트들, 회로들, 단계들, 프로세스들, 알고리즘들 등으로 첨부 도면들에서 예시되고 다음의 상세한 설명에서 설명될 것이다. 이러한 엘리먼트들은 전자 하드웨어, 컴퓨터 소프트웨어 또는 이들의 임의의 결합을 사용하여 구현될 수 있다. 그러한 엘리먼트들이 하드웨어로 또는 소프트웨어로 구현되는지 여부는 특정 애플리케이션 및 전체 시스템에 부과되는 설계 제약들에 의존한다.
- [0012] [0018] 예로서, 엘리먼트 또는 엘리먼트의 임의의 부분, 또는 엘리먼트들의 임의의 결합은 하나 또는 그 초과 프로세서들을 포함하는 "프로세싱 시스템"으로 구현될 수 있다. 프로세서들의 예들로는, 마이크로프로세서들, 마이크로제어기들, 디지털 신호 프로세서들(DSP들), 필드 프로그래밍 가능한 게이트 어레이들(FPGA들), 프로그래밍 가능한 로직 디바이스들(PLD들), 상태 머신들, 게이트 로직, 이산 하드웨어 회로들 및 본 개시 전반에 걸쳐 설명된 다양한 기능성을 수행하도록 구성된 다른 적합한 하드웨어를 포함한다. 프로세싱 시스템의 하나 또는 그 초과 프로세서들은 소프트웨어를 실행할 수 있다. 소프트웨어는, 소프트웨어, 펌웨어, 미들웨어, 마이크로코드, 하드웨어 기술 언어 또는 다른 식으로 지칭되든지 간에, 명령들, 명령 세트들, 코드, 코드 세그먼트들, 프로그램 코드, 프로그램들, 서브프로그램들, 소프트웨어 모듈들, 애플리케이션들, 소프트웨어 애플리케이션들, 소프트웨어 패키지들, 루틴들, 서브루틴들, 객체들, 실행 파일(executable)들, 실행 스트림들, 프로시저들, 함수들 등을 의미하는 것으로 광의로 해석되어야 한다.
- [0013] [0019] 이에 따라, 하나 또는 그 초과 예시적인 실시예들에서, 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 결합으로 구현될 수 있다. 소프트웨어로 구현되는 경우, 기능들은 하나 또는 그 초과 명령들 또는 코드로서 컴퓨터-판독 가능한 매체 상에 저장되거나 이로서 인코딩될 수 있다. 컴퓨터-판독 가능한 매체들은 컴퓨터 저장 매체들을 포함한다. 저장 매체들은 컴퓨터에 의해 액세스될 수 있는 임의의 이용 가능한 매체들일 수 있다. 제한이 아닌 예로서, 이러한 컴퓨터-판독 가능한 매체들은 RAM(random-access memory), ROM(read-only memory), EEPROM(electronically erasable programmable ROM), CD-ROM(compact disc ROM) 또는 다른 광학 디스크 저장소, 자기 디스크 저장 또는 다른 자기 저장 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 원하는 프로그램 코드를 전달 또는 저장하는데 사용될 수 있으며 컴퓨터에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다. 본원에서 사용된 것과 같은 디스크(disk 및 disc)는 CD, 레이저 디스크(laser disc), 광학 디스크(optical disc), DVD(digital versatile disc) 및 플로피 디스크(floppy disk)를 포함하며, 여기서 디스크(disk)들은 보통 데이터를 자기적으로 재생하는 반면에, 디스크(disc)들은 데이터를 레이저들에 의해 광학적으로 재생한다. 위의 결합들은 또한 컴퓨터-판독 가능한 매체들의 범위 내에 포함되어야 한다.
- [0014] [0020] 도 1은 본 개시의 일부 양상들에 따라, 상이한 무선 통신 시스템들(120, 122)과 통신하는 무선 디바이스

(110)를 예시하는 도면(100)이다. 무선 시스템들(120, 122)은 각각 CDMA(Code Division Multiple Access) 시스템, GSM(Global System for Mobile Communications) 시스템, LTE(Long Term Evolution) 시스템, WLAN(wireless local area network) 시스템, 또는 일부 다른 무선 시스템일 수 있다. CDMA 시스템은 WCDMA(Wideband CDMA), CDMA 1X 또는 cdma2000, TD-SCDMA(Time Division Synchronous Code Division Multiple Access), 또는 CDMA의 일부 다른 버전을 구현할 수 있다. TD-SCDMA는 또한 UTRA(Universal Terrestrial Radio Access) TDD(Time Division Duplex) 1.28 Mcps 옵션 또는 LCR(Low Chip Rate)로서 지칭된다. LTE는 FDD(Frequency Division Duplexing) 및 TDD(Time Division Duplexing) 둘 다를 지원한다. 예를 들어, 무선 시스템(120)은 GSM 시스템일 수 있고, 무선 시스템(122)은 WCDMA 시스템일 수 있다. 다른 예를 들면, 무선 시스템(120)은 LTE 시스템일 수 있고, 무선 시스템(122)은 CDMA 시스템일 수 있다.

[0015] [0021] 단순함을 위해, 도면(100)은 하나의 기지국(130) 및 하나의 시스템 제어기(140)를 포함하는 무선 시스템(120) 및 하나의 기지국(132) 및 하나의 시스템 제어기(142)를 포함하는 무선 시스템(122)을 도시한다. 일반적으로, 각각의 무선 시스템은 임의의 수의 기지국들 및 임의의 세트의 네트워크 엔티티들을 포함할 수 있다. 각각의 기지국은 기지국의 커버리지 내의 무선 디바이스들에 대한 통신을 지원할 수 있다. 기지국들은 또한 Node B, eNB(evolved Node B), 액세스 포인트, 베이스 트랜시버 스테이션, 라디오 기지국, 라디오 트랜시버, 트랜시버 기능, BSS(basic service set), ESS(extended service set) 또는 일부 다른 적합한 용어로서 지칭될 수 있다. 무선 디바이스(110)는 또한 UE(user equipment), 모바일 디바이스, 원격 디바이스, 무선 디바이스, 무선 통신 디바이스, 스테이션, 모바일 스테이션, 가입자 스테이션, 모바일 가입자 스테이션, 단말, 모바일 단말, 원격 단말, 무선 단말, 액세스 단말, 클라이언트, 모바일 클라이언트, 모바일 유닛, 가입자 유닛, 무선 유닛, 원격 유닛, 핸드셋, 사용자 에이전트 또는 일부 다른 적합한 용어로서 지칭될 수 있다. 무선 디바이스(110)는 셀룰러 전화, 스마트폰, 태블릿, 무선 모뎀, PDA(personal digital assistant), 핸드헬드 디바이스, 랩톱 컴퓨터, 스마트북, 넷북, 코드리스 전화, WLL(wireless local loop) 스테이션, 또는 일부 다른 유사한 기능 디바이스일 수 있다.

[0016] [0022] 무선 디바이스(110)는 무선 시스템(120 및/또는 122)과 통신 가능할 수 있다. 무선 디바이스(110)는 또한 브로드캐스트 스테이션(134)과 같은 브로드캐스트 스테이션들로부터 신호들을 수신 가능할 수 있다. 무선 디바이스(110)는 또한, 하나 또는 그 초과와 GNSS(global navigation satellite systems)에서, 위성(150)과 같은 위성들로부터 신호들을 수신 가능할 수 있다. 무선 디바이스(110)는 GSM, WCDMA, cdma2000, LTE, 802.11 등과 같이 무선 통신 위한 하나 또는 그 초과와 라디오 기술들을 지원할 수 있다. "라디오 기술", "라디오 액세스 기술", "에어 인터페이스" 및 "표준"이란 용어들은 상호 교환 가능하게 이용될 수 있다.

[0017] [0023] 무선 디바이스(110)는 다운링크 및 업링크를 통해 무선 시스템의 기지국과 통신할 수 있다. 다운링크(또는 순방향 링크)는 기지국으로부터 무선 디바이스로의 통신 링크를 지칭하고, 업링크(또는 역방향 링크)는 무선 디바이스로부터 기지국으로의 통신 링크를 지칭한다. 무선 시스템은 TDD 및/또는 FDD를 활용할 수 있다. TDD의 경우, 다운링크 및 업링크는 동일한 주파수를 공유하고, 다운링크 전송들 및 업링크 전송들은 상이한 시간 기간들에 동일한 주파수로 전송될 수 있다.

[0018] [0024] FDD의 경우, 다운링크 및 업링크에는 별개의 주파수들이 할당된다. 다운링크 전송들은 하나의 주파수 상에서 전송될 수 있고, 업링크 전송들은 다른 주파수 상에서 전송될 수 있다. TDD를 지원하는 일부 예시적인 라디오 기술들은 GSM, LTE 및 TD-SCDMA를 포함한다. FDD를 지원하는 일부 예시적인 라디오 기술들은 WCDMA, cdma2000, 및 LTE를 포함한다. 무선 디바이스(110) 및/또는 기지국들(130, 132)은 본원에서 설명된 바와 같이 기저대역 필터(160)를 선형화하기 위한 장치를 포함할 수 있는 예시적인 기저대역 필터(160)를 포함할 수 있다. 기저대역 필터(160)를 선형화하기 위한 장치는 제 1 전류 신호를 수신하도록 구성된 제 1 전도 모듈을 포함할 수 있다. 기저대역 필터(160)를 선형화하기 위한 장치는 또한, 제 2 전류 신호를 수신하고, 제 2 전류 신호에 기초하여 전압 신호를 생성하고, 전압 신호를 제 1 전도 모듈에 인가하도록 구성된 변환 모듈을 포함할 수 있고, 변환 모듈에 의해 수신된 제 2 전류 신호의 양은 제 1 전도 모듈을 통해 흐르는 제 1 전류 신호의 양에 기초한다. 또한, 기저대역 필터(160)를 선형화하기 위한 장치는 전압 신호에 기초하여 출력 전류 신호를 제어하도록 구성된 제 2 전도 모듈을 포함할 수 있고, 출력 전류 신호는 대역 내 주파수들(in-band frequencies)에 대한 제 1 전류 신호의 선형 레플리카가 되도록 제어된다. 대역 내 주파수들은 정의된 원격통신 주파수 대역 또는 채널 내의 주파수들의 임의의 세트를 포함할 수 있다. 일부 예들에서, 대역 내 주파수들은 음성, 데이터 또는 둘 다를 위해 사용되는 주파수들을 포함할 수 있다. 제어 시그널링은 일부 예들에서 상이한 주파수 대역을 사용하여 전송될 수 있다. 음성, 데이터 또는 둘 다를 위해 하나의 원격통신 주파수 대역 및 제어 시그널링을 위해 다른 원격통신 주파수 대역을 사용하는 것은 대역 외 시그널링(out-of-band signaling)으로서 지칭될

수 있다. 일부 예들에서, 대역 내 주파수들은 음성, 데이터 및/또는 제어 시그널링을 위해 사용되는 주파수들을 포함할 수 있다. 동일한 원격통신 주파수 대역 내에서 음성 및/또는 데이터 및 제어 신호들을 전송하는 것은 대역 내 시그널링(in-band signaling)으로서 지칭될 수 있다. 또한, 예시적인 기저대역 필터(160)의 세부사항들이 하기에 제공된다.

[0019] [0025] 도 2는 본 개시의 일부 양상들에 따른, 무선 디바이스(110)와 같은 예시적인 무선 디바이스의 블록도(200)이다. 무선 디바이스는 데이터 프로세서/제어기(210), 트랜시버(218) 및 안테나(290)를 포함한다. 데이터 프로세서/제어기(210)는 프로세싱 시스템으로서 지칭될 수 있다. 프로세싱 시스템은 데이터 프로세서/제어기(210) 또는 데이터 프로세서/제어기(210) 및 메모리(216) 둘 다를 포함할 수 있다. 양-방향 통신을 지원하는 트랜시버(218)는 송신기(220) 및 수신기(250)를 포함한다. 송신기(220) 및/또는 수신기(250)는 슈퍼-헤테로다인(super-heterodyne) 아키텍처 또는 직접-변환 아키텍처로 구현될 수 있다. 슈퍼-헤테로다인 아키텍처에서, 신호는 다수의 스테이지들에서, 예를 들어, 수신기의 경우, 한 스테이지에서 RF로부터 중간 주파수(IF)로 그리고 그 후, 다른 스테이지에서 IF로부터 기저대역으로 RF와 기저대역 간에 주파수-변환된다. 제로-IF 아키텍처로서 또한 지칭되는 직접-변환 아키텍처에서, 신호는 한 스테이지에서 RF와 기저대역 간에 주파수 변환된다. 슈퍼-헤테로다인 및 직접-변환 아키텍처들은 상이한 회로 블록들을 이용하고 그리고/또는 상이한 요건들을 가질 수 있다. 도 2에 도시된 예시적인 설계에서, 송신기(220) 및 수신기(250)는 직접-변환 아키텍처로 구현된다.

[0020] [0026] 송신 경로에서, 데이터 프로세서/제어기(210)는 송신될 데이터를 프로세싱(예를 들어, 인코딩 및 변조)하고 데이터를 DAC(digital-to-analog converter)(230)에 제공할 수 있다. DAC(230)는 디지털 입력 신호를 아날로그 출력 신호로 변환한다. 아날로그 출력 신호는 DAC(230)에 의한 이전의 디지털-아날로그 변환에 의해 야기된 이미지들을 제거하기 위해 아날로그 출력 신호를 필터링할 수 있는 송신(TX) 기저대역(저역통과) 필터(232)에 제공된다. 기저대역 필터(232)는 본원에서 설명된 바와 같이 기저대역 필터를 선형화하기 위한 장치를 포함할 수 있다. 증폭기(amp)(234)는 TX 기저대역 필터(232)로부터의 신호를 증폭하고 증폭된 기저대역 신호를 제공할 수 있다. 일 양상에서, 예시적인 기저대역 필터(160)는 TX 기저대역 필터(232) 및 증폭기(234) 중 하나 또는 그 초과에 의해 구현될 수 있다. 상향변환기(믹서)(236)는 증폭된 기저대역 신호 및 TX LO 신호 생성기(276)로부터의 TX LO 신호를 수신할 수 있다. 상향변환기(236)는 증폭된 기저대역 신호를 TX LO 신호로 상향변환하고 상향변환된 신호를 제공할 수 있다. 필터(238)는 상향변환된 신호를 필터링하여 주파수 상향변환에 의해 야기된 이미지들을 제거할 수 있다. 전력 증폭기(PA)(240)는, 원하는 출력 전력 레벨을 획득하고 출력 RF 신호를 제공하도록 필터(238)로부터의 필터링된 RF 신호를 증폭할 수 있다. 출력 RF 신호는 듀플렉서/스위치플렉서(264)를 통해 라우팅될 수 있다.

[0021] [0027] FDD의 경우, 송신기(220) 및 수신기(250)는 송신기(220)에 대한 TX 필터 및 수신기(250)에 대한 수신(RX) 필터를 포함할 수 있는 듀플렉서(264)에 커플링될 수 있다. TX 필터는 송신 대역의 신호 컴포넌트들을 통과시키고 수신 대역의 신호 컴포넌트들을 감소시키도록 출력 RF 신호를 필터링할 수 있다. TDD의 경우, 송신기(220) 및 수신기(250)는 스위치플렉서(264)에 커플링될 수 있다. 스위치플렉서(264)는 업링크 시간 간격들 동안 송신기(220)로부터의 출력 RF 신호를 안테나(290)로 전달할 수 있다. FDD 및 TDD 둘 다에 대해, 듀플렉서/스위치플렉서(264)는 무선 채널을 통한 송신을 위해 출력 RF 신호를 안테나(290)에 제공할 수 있다.

[0022] [0028] 수신 경로에서, 안테나(290)는 기저대역 및/또는 다른 송신기 스테이션들에 의해 송신된 신호들을 수신할 수 있고 수신된 RF 신호를 제공할 수 있다. 수신된 RF 신호는 듀플렉서/스위치플렉서(264)를 통해 라우팅될 수 있다. FDD의 경우, 듀플렉서(264) 내의 RX 필터는, 수신 대역의 신호 컴포넌트를 통과시키고 송신 대역의 신호 컴포넌트를 감소시키도록, 수신된 RF 신호를 필터링할 수 있다. TDD의 경우, 스위치플렉서(264)는 다운링크 시간 간격들 동안 안테나(290)로부터의 수신된 RF 신호를 수신기(250)에 전달할 수 있다. FDD 및 TDD 둘 다에 대해, 듀플렉서/스위치플렉서(264)는 수신된 RF 신호를 수신기(250)에 제공할 수 있다.

[0023] [0029] 수신기(250) 내에서, 수신된 RF 신호는 입력 RF 신호를 획득하도록, LNA(low noise amplifier)(252)에 의해 증폭되고 필터(254)에 의해 필터링될 수 있다. 하향변환기(믹서)(256)는 입력 RF 신호 및 RX LO 신호 생성기(286)로부터의 RX LO 신호를 수신할 수 있다. 하향변환기(256)는 RX LO 신호로 입력 RF 신호를 하향변환하고 하향변환된 신호를 제공할 수 있다. 하향변환된 신호는 아날로그 입력 신호를 획득하도록, 증폭기(258)에 의해 증폭되고 RX 기저대역(저역통과) 필터(260)에 의해 추가로 필터링될 수 있다. 기저대역 필터(260)는 본원에서 설명된 바와 같이 기저대역 필터를 선형화하기 위한 장치를 포함할 수 있다. 일 양상에서, 예시적인 기저대역 필터(160)는 증폭기(258) 및 RX 기저대역 필터(260) 중 하나 또는 그 초과에 의해 구현될 수 있다. 아날로그 입력 신호는 ADC(analog-to-digital converter)(262)에 제공된다. ADC(262)는 아날로그 입력 신호를 디

지털 출력 신호로 변환한다. 디지털 출력 신호는 데이터 프로세서/제어기(210)에 제공된다.

- [0024] [0030] TX 주파수 합성기(270)는 TX PLL(phase locked loop)(272) 및 VCO(274)를 포함할 수 있다. VCO(274)는 원하는 주파수의 TX VCO 신호를 생성할 수 있다. TX PLL(272)은 데이터 프로세서/제어기(210)로부터 타이밍 정보를 수신하고 VCO(274)에 대한 제어 신호를 생성할 수 있다. 제어 신호는 TX VCO 신호에 대한 원하는 주파수를 획득하기 위해 VCO(274)의 위상 및/또는 주파수를 조정할 수 있다. TX 주파수 합성기(270)는 TX VCO 신호를 TX LO 신호 생성기(276)에 제공한다. TX LO 신호 생성기(276)는 TX 주파수 합성기(270)로부터 수신된 TX VCO 신호에 기초하여 TX LO 신호를 생성할 수 있다.
- [0025] [0031] RX 주파수 합성기(280)는 RX PLL(282) 및 VCO(284)를 포함할 수 있다. VCO(284)는 원하는 주파수의 RX VCO 신호를 생성할 수 있다. RX PLL(282)은 데이터 프로세서/제어기(210)로부터 타이밍 정보를 수신하고 VCO(284)에 대한 제어 신호를 생성할 수 있다. 제어 신호는 RX VCO 신호에 대한 원하는 주파수를 획득하기 위해 VCO(284)의 위상 및/또는 주파수를 조정할 수 있다. RX 주파수 합성기(280)는 RX VCO 신호를 RX LO 신호 생성기(286)에 제공한다. RX LO 신호 생성기는 RX 주파수 합성기(280)로부터 수신된 RX VCO 신호에 기초하여 RX LO 신호를 생성할 수 있다.
- [0026] [0032] LO 신호 생성기들(276, 286)은 각각 주파수 분할기들, 버퍼들 등을 포함할 수 있다. LO 신호 생성기들(276, 286)은 각각, 이들이 TX 주파수 합성기(270) 및 RX 주파수 합성기(280)에 의해 제공된 주파수를 분할하는 경우 주파수 분할기들로서 지칭될 수 있다. PLL들(272, 282)은 각각 위상/주파수 검출기, 루프 필터, 전하 펌프, 주파수 분할기 등을 포함할 수 있다. 각각의 VCO 신호 및 각각의 LO 신호는 특정 기본 주파수를 갖는 주기적 신호일 수 있다. LO 생성기들(276, 286)로부터의 TX LO 신호 및 RX LO 신호는 TDD의 경우 동일한 주파수 또는 FDD의 경우 상이한 주파수를 가질 수 있다. VCO들(274, 284)로부터의 TX VCO 신호 및 RX VCO 신호는 동일한 주파수(예를 들어, TDD의 경우) 또는 상이한 주파수들(예를 들어, FDD 또는 TDD의 경우)을 가질 수 있다.
- [0027] [0033] 송신기(220) 및 수신기(250)에서 신호들의 컨디셔닝은 증폭기, 필터, 상향변환기, 하향변환기 등의 하나 또는 그 초과 스테이지들에 의해 수행될 수 있다. 이들 회로들은 도 2에서 도시된 구성과 상이하게 배열될 수 있다. 또한, 도 2에서 도시되지 않은 다른 회로들이 또한 송신기(220) 및 수신기(250)에서 신호들을 컨디셔닝하는데 이용될 수 있다. 예를 들어, 임피던스 매칭 회로들은 PA(240)의 출력, LNA(252)의 입력, 안테나(290)와 듀플렉서/스위칭플렉서(264) 사이 등에 로케이팅될 수 있다. 도 2의 일부 회로들은 또한 생략될 수 있다. 예를 들어, 필터(238) 및/또는 필터(254)는 생략될 수 있다. 트랜시버들(218) 중 일부 또는 전부는 하나 또는 그 초과 아날로그 집적 회로들(IC들), RF IC들(RFIC들), 믹싱된-신호 IC들 등 상에서 구현될 수 있다. 예를 들어, 송신기(220)에서의 TX 기저대역 필터(232) 내지 PA(240), 수신기(250)에서의 LNA(252) 내지 RX 기저대역 필터(260), PLL들(272, 282), VCO들(274, 284) 및 LO 신호 생성기들(276, 286)은 RFIC 상에 구현될 수 있다. PA(240) 및 아마도, 다른 회로들은 또한 별개의 IC 또는 회로 모듈 상에서 구현될 수 있다.
- [0028] [0034] 데이터 프로세서/제어기(210)는 무선 디바이스에 대한 다양한 기능들을 수행할 수 있다. 예를 들어, 데이터 프로세서/제어기(210)는 송신기(220)를 통해 송신되고 수신기(250)를 통해 수신되는 데이터에 대한 프로세싱을 수행할 수 있다. 데이터 프로세서/제어기(210)는 송신기(220) 및 수신기(250) 내의 다양한 회로들의 동작을 제어할 수 있다. 메모리(212) 및/또는 메모리(216)는 데이터 프로세서/제어기(210)에 대한 프로그램 코드들 및 데이터를 저장할 수 있다. 메모리는 데이터 프로세서/제어기(210) 내부(예를 들어, 메모리(212)) 또는 데이터 프로세서/제어기(210) 외부(예를 들어, 메모리(216))에 있을 수 있다. 메모리는 컴퓨터-관독 가능한 매체로서 지칭될 수 있다. 오실레이터(214)는 특정 주파수의 VCO 신호를 생성할 수 있다. 클럭 생성기(215)는 오실레이터(214)로부터 VCO 신호(들)를 수신할 수 있고 데이터 프로세서/제어기(210) 및/또는 트랜시버(218) 내의 다양한 모듈들에 대한 클럭 신호들을 생성할 수 있다. 데이터 프로세서/제어기(210)는 하나 또는 그 초과 ASIC(application-specific integrated circuit)들 및/또는 다른 IC들 상에 구현될 수 있다.
- [0029] [0035] 본 개시는 기저대역 필터를 선형화하기 위한 장치 및 방법을 제공한다.
- [0030] [0036] 도 3은 기저대역 필터 아키텍처의 예의 도면(300)이다. 도 3의 기저대역 필터는, 전류 신호를 전압 신호로 변환하도록 구성된 전류-전압(ItoV) 4차(biquadratic)(바이쿼드(biquad)) 증폭기(304), 연산 증폭기(op-amp)(306), 트랜지스터(308)(예를 들어, NMOS), 및 레지스터(R)(310)를 포함할 수 있다. ItoV 바이쿼드 증폭기(304)의 반전 입력은 접지 노드에 커플링된다. ItoV 바이쿼드 증폭기(304)의 비-반전 입력은 DAC(digital-to-analog converter)와 같은 디바이스 모듈로부터 신호를 수신할 수 있다. 신호는 전류 신호 또는 전압 신호일 수 있다.

- [0031] [0037] 예를 들어, 신호는 도 3의 전압 소스(Vdd) 및 전류 소스(302)로서 표현되는 DAC 전류 신호(I_0)일 수 있다. ItoV 바이쿼드 증폭기(304)는 I_0 를 전압 신호로 변환할 수 있으며, 이는 그 후 op-amp(306)의 비-반전 입력에 인가될 수 있다. op-amp(306)는 전압 신호를 증폭하고 증폭된 전압 신호(V_1)를 트랜지스터(308)의 게이트에 인가한다.
- [0032] [0038] 트랜지스터(308)는 증폭된 전압 신호(V_1)에 기초하여 동작하도록 구성된다. 따라서, 트랜지스터(308)가 동작중일 때, 트랜지스터(308)의 드레인과 소스 사이에 출력 전류 신호(I_{out})가 흐른다. 트랜지스터(308)를 통해 흐르는 출력 전류 신호(I_{out})의 양은 트랜지스터(308)의 소스에 커플링되는 레지스터(R)(310)에 의해 소산되는 I_{out} 와 연관된 에너지의 양에 기초한다. op-amp(306)의 반전 입력은 또한 트랜지스터(308)의 소스에 커플링된다. 트랜지스터(308)의 드레인은 믹서와 같은 디바이스 모듈에 커플링된다. 따라서, I_{out} 은 그러한 디바이스 모듈에 인가될 수 있다.
- [0033] [0039] op-amp(306)의 출력 전류가 V_1/R 이기 때문에, $I_{out} = G(s)*I_0/R$ 이다. 도 3의 예시적인 기저대역 필터 아키텍처는, 비교적 큰 디바이스 면적을 활용하고 비교적 대량의 전력을 소비하는 op-amp(306)의 존재로 인해 면적 및 전력 비효율적이다. 또한, 도 3의 기저대역 필터 아키텍처는, op-amp(306)의 선형화로 인해 제한된 노이즈 성능을 가질 수 있다.
- [0034] [0040] 도 4는 기저대역 필터 아키텍처의 다른 예의 도면(400)이다. 도 4의 기저대역 필터는, 전류 신호를 전압 신호로 변환하도록 구성된 ItoV 바이쿼드 증폭기(404), 제 1 트랜지스터(406)(예를 들어, NMOS), 제 1 레지스터(410), 제 2 레지스터(412), 커패시터(414), 제 3 레지스터(416) 및 제 2 트랜지스터(408)를 포함할 수 있다.
- [0035] [0041] DAC(digital-to-analog converter)와 같은 디바이스 모듈로부터의 입력 신호는 기저대역 필터에 인가될 수 있다. 신호는 전류 신호 또는 전압 신호일 수 있다. 예를 들어, 신호는 도 4의 전압 소스(Vdd) 및 전류 소스(402)로서 표현되는 DAC 전류 신호(I_0)일 수 있다. 제 1 트랜지스터(406)의 드레인은 I_0 에 기초한 전류 신호(I_1)를 수신할 수 있다. ItoV 바이쿼드 증폭기(404)의 비-반전 입력은 I_0 에 기초한 전류 신호(I_2)를 수신할 수 있다. ItoV 바이쿼드 증폭기(404)의 반전 입력은 접지 노드에 커플링된다.
- [0036] [0042] ItoV 바이쿼드 증폭기(404)는 I_2 를 전압 신호로 변환할 수 있고, 이는 그 후 제 1 트랜지스터(406)의 게이트에 인가될 수 있다. 제 1 트랜지스터(406)는 ItoV 바이쿼드 증폭기(404)로부터의 전압 신호에 기초하여 동작하도록 구성된다. 따라서, 제 1 트랜지스터(406)가 동작 중일 때, 제 1 트랜지스터(406)는 전류 신호(I_1)를 제 1 트랜지스터(406)의 드레인으로부터 소스로 제 1 레지스터(410)를 향해 흐르게 한다. 트랜지스터(406)를 통해 흐르는 전류 신호(I_1)의 양은 제 1 트랜지스터(406)의 소스에 커플링되는 제 1 레지스터(410)에 의해 소산되는 I_1 과 연관된 에너지의 양에 기초한다. 일 양상에서, 제 1 트랜지스터(406)를 통해 흐르는 전류 신호(I_1)의 양은 ItoV 바이쿼드 증폭기(404)에 의해 수신되는 전류 신호(I_2)의 양을 감소 또는 증가시킬 수 있다.
- [0037] [0043] ItoV 바이쿼드 증폭기(404)로부터의 전압 신호는 추가로, 제 2 트랜지스터(408)의 게이트에 인가되도록 제 2 레지스터(412)를 통해 흐를 수 있다. 제 2 트랜지스터(408)의 게이트에서의 전압 신호의 양은 제 2 레지스터(412)에 의해 소산된 전압 신호와 연관된 에너지의 양 및 소산 후에 커패시터(414)에 의해 저장된 전압 신호와 연관된 에너지의 양에 기초한다.
- [0038] [0044] 제 2 트랜지스터(408)는 게이트에 인가된 전압 신호에 기초하여 동작하도록 구성된다. 따라서, 제 2 트랜지스터(408)가 동작중일 때, 제 2 트랜지스터(408)는 제 2 트랜지스터(408)의 드레인과 소스 사이에 출력 전류 신호(I_{out})를 흐르게 한다. 제 2 트랜지스터(408)를 통해 흐르는 출력 전류 신호(I_{out})의 양은 제 2 트랜지스터(408)의 소스에 커플링되는 제 3 레지스터(416)에 의해 소산되는 I_{out} 와 연관된 에너지의 양에 기초한다. 제 2 트랜지스터(408)의 드레인은 믹서와 같은 디바이스 모듈에 커플링된다. 따라서, I_{out} 은 그러한 디바이스 모듈에 인가될 수 있다.
- [0039] [0045] 일 양상에서, 제 2 트랜지스터(408)의 크기는 제 1 트랜지스터(406)의 배수이다. 예를 들어, 제 1 트랜지스터(406)는 크기 X를 가질 수 있으며, 여기서 X는 10, 20 또는 다른 값이다. 따라서, 제 2 트랜지스터(408)는 크기 $n*X$ 를 가질 수 있으며, 여기서 n은 실수이다.
- [0040] [0046] 다른 양상에서, 제 1 레지스터(410)의 값은 제 3 레지스터(416)의 배수이다. 예를 들어, 제 3 레지스터

(416)는 R의 값을 가질 수 있다. 따라서, 제 1 레지스터(410)는 $n \cdot R$ 의 값을 가질 수 있으며, 여기서 n은 실수이다.

[0041] [0047] 도 4의 기저대역 필터 아키텍처에서, DAC 전류 신호(I_0)는 믹서 입력으로 복제된다. 제 1 트랜지스터(406) 주위의 피드백 증폭기로 인해, I_{out} 는 대역 내 주파수들에 대한 I_1 의 선형 레플리카이고, $I_{out} = n \cdot I_1 \cdot (1 / (R1C1 \cdot s + 1))$ 이다. 더 적은 스테이지들 및 R1C1 패시브 폴(passive pole)의 사용으로 인해 노이즈 성능이 개선된다. 면적 및 전력 소비는 또한 도 3의 기저대역 필터 아키텍처와 비교하여 감소된다. 그러나 도 4의 기저대역 필터 아키텍처는, 아키텍처가 DAC 전류 신호(I_0)를 복제함으로써 I_{out} 를 선형화하기 때문에 대역의 거절과 달성 가능한 왜곡 레벨들 간의 트레이드오프(tradeoff)를 경험할 수 있다. 또한, 필터 대역폭 및 R1C1은 달성되는 왜곡 레벨들을 제한할 수 있다.

[0042] [0048] 도 5는 본 개시의 일부 양상들에 따라, 능동 피드백을 사용하여 기저대역 필터를 선형화하기 위한 장치의 블록도(500)이다. 장치(예를 들어, 기저대역 필터)는 변환 모듈(504), 제 1 전도 모듈(506) 및 제 2 전도 모듈(508)을 포함할 수 있다. DAC(digital-to-analog converter)와 같은 디바이스 모듈로부터의 입력 신호가 장치에 인가될 수 있다. 신호는 전류 신호 또는 전압 신호일 수 있다. 예를 들어, 신호는 도 5의 전압 소스(V_{dd}) 및 전류 소스(502)로서 표현되는 DAC 전류 신호(I_0)일 수 있다.

[0043] [0049] 제 1 전도 모듈은 I_0 에 기초한 제 1 전류 신호(I_1)를 수신하도록 구성된다. 변환 모듈(504)은 I_0 에 기초한 제 2 전류 신호(I_2)를 수신하도록 구성된다. 변환 모듈(504)은 또한, 제 2 전류 신호(I_2)에 기초하여 전압 신호를 생성하고 전압 신호를 제 1 전도 모듈(506)에 인가하도록 구성된다. 변환 모듈(504)에 의해 수신된 제 2 전류 신호(I_2)의 양은 제 1 전도 모듈(506)을 통해 흐르는 제 1 전류 신호(I_1)의 양에 기초한다. 제 2 전도 모듈(508)은 전압 신호에 기초하여 출력 전류 신호(I_{out})를 제어하도록 구성된다. 출력 전류 신호(I_{out})는 대역 내 주파수들에 대한 제 1 전류 신호(I_1)의 선형 레플리카가 되도록 제어된다.

[0044] [0050] 도 6은 본 개시의 일부 양상들에 따라, 능동 피드백을 사용하여 기저대역 필터를 선형화하기 위한 도 5의 장치의 회로도(600)이다. 도 5 및 도 6을 참조하면, 변환 모듈(504)은 바이쿼드 증폭기(604)를 포함하고, 제 1 전도 모듈(506)은 제 1 커패시터(618), 제 1 레지스터(610) 및 바이쿼드 증폭기(604)로부터의 전압 신호에 기초하여 동작하도록 구성된 제 1 트랜지스터(예를 들어, NMOS)(606)를 포함한다.

[0045] [0051] 바이쿼드 증폭기(604)의 비-반전 입력은 전류 소스(502)에 커플링된다. 제 1 트랜지스터(606)의 드레인은 전류 소스(502)에 커플링된다. 제 1 트랜지스터(606)의 게이트는 바이쿼드 증폭기(604)의 출력에 커플링된다. 제 1 트랜지스터(606)의 소스는 제 1 커패시터(618)의 제 1 노드 및 제 1 레지스터(610)의 제 1 노드에 커플링된다. 제 1 커패시터(618)의 제 2 노드 및 제 1 레지스터(610)의 제 2 노드는 접지 노드에 커플링된다.

[0046] [0052] 제 1 트랜지스터(606)는 바이쿼드 증폭기(604)로부터의 전압 신호에 기초하여 동작하도록 구성된다. 따라서, 제 1 트랜지스터(606)가 동작할 때, 제 1 트랜지스터(606)는 제 1 전류 신호(I_1)를 제 1 트랜지스터(606)의 드레인으로부터 소스로 제 1 커패시터(618) 및 제 1 레지스터(610)를 향해 흐르게 하도록 구성된다. 제 1 트랜지스터(606)를 통해 흐르는 제 1 전류 신호(I_1)의 양은 제 1 커패시터(618)에 의해 저장된 제 1 전류 신호(I_1)와 연관된 에너지의 양 및 제 1 레지스터(610)에 의해 소산된 제 1 전류 신호(I_1)와 연관된 에너지의 양에 기초한다. 높은 주파수에서, 제 1 트랜지스터(606)를 통해 흐르는 제 1 전류 신호(I_1)의 양은 바이쿼드 증폭기(604)에 의해 수신된 제 2 전류 신호(I_2)의 양을 감소시킨다. 높은 주파수는 사용되는 특정 통신 주파수 대역에 상대적이는데, 예를 들어, 대역 내 주파수들에 상대적일 수 있다. 위에서 설명된 바와 같이, 대역 내 주파수들은 정의된 원격통신 주파수 대역 또는 채널 내의 주파수들의 임의의 세트를 포함할 수 있다. 일부 예들에서, 대역 내 주파수들은 음성, 데이터 또는 둘 다를 위해 사용되는 주파수들을 포함할 수 있다. 다른 예들에서, 대역 내 주파수들은 음성 및/또는 데이터 및 제어 시그널링을 위해 사용되는 주파수들을 포함할 수 있다. 높은 주파수는, 예를 들어, 정의된 원격통신 주파수 대역 또는 채널 내의 주파수들의 특정한 세트의 최고 주파수보다 높은 임의의 주파수일 수 있다.

[0047] [0053] 도 5 및 도 6을 계속 참조하면, 제 2 전도 모듈(508)은 제 2 레지스터(612), 제 2 커패시터(614), 제 3 레지스터(616) 및 제 2 트랜지스터(608)를 포함한다. 제 2 레지스터(612)의 제 1 노드는 바이쿼드 증폭기(604)의 출력 및 제 1 트랜지스터(606)의 게이트에 커플링된다. 제 2 레지스터(612)의 제 2 노드는 제 2 커패시터

(614)의 제 1 노드 및 제 2 트랜지스터(608)의 게이트에 커플링된다.

- [0048] [0054] 제 2 커패시터(614)의 제 1 노드는 제 2 레지스터(612)의 제 2 노드 및 제 2 트랜지스터(608)의 게이트에 커플링된다. 제 2 커패시터(614)의 제 2 노드는 접지 노드에 커플링된다.
- [0049] [0055] 제 3 레지스터(616)의 제 1 노드는 제 2 트랜지스터(608)의 소스에 커플링된다. 제 3 레지스터(616)의 제 2 노드는 접지 노드에 커플링된다.
- [0050] [0056] 제 2 트랜지스터(608)의 소스는 제 3 레지스터(616)의 제 1 노드에 커플링되고, 출력 전류 신호(Iout)는 제 2 트랜지스터(608)의 드레인을 통해 흐른다. 제 2 트랜지스터(608)의 드레인은 믹서와 같은 디바이스 모듈에 커플링된다. 따라서, Iout은 그러한 디바이스 모듈에 인가될 수 있다.
- [0051] [0057] 일 양상에서, 출력 전류 신호(Iout)는 제 2 트랜지스터(608)의 게이트에 인가되도록 제 2 레지스터(612)를 거쳐 전압 신호를 흐르게 하는 바이쿼드 증폭기(604)에 기초하여 제 1 전류 신호(I₁)의 선형 레플리카가 되도록 제어된다. 제 2 트랜지스터(608)는 게이트에 인가된 전압 신호에 기초하여 동작하도록 구성된다. 따라서, 제 2 트랜지스터(608)가 동작할 때, 제 2 트랜지스터(608)는 제 2 트랜지스터(608)의 드레인과 소스 사이에서 출력 전류 신호(Iout)를 흐르게 한다.
- [0052] [0058] 제 2 트랜지스터(608)의 게이트에서의 전압 신호의 양은 제 2 레지스터(612)에 의해 소산된 전압 신호와 연관된 에너지의 양 및 소산 후에 제 2 커패시터(614)에 의해 저장된 전압 신호와 연관된 에너지의 양에 기초한다. 제 2 트랜지스터(608)를 통해 흐르는 출력 전류 신호(Iout)의 양은 제 3 레지스터(616)에 의해 소산된 출력 전류 신호(Iout)와 연관된 에너지의 양에 기초한다.
- [0053] [0059] 일 양상에서, 제 2 트랜지스터(608)의 크기는 제 1 트랜지스터(606)의 배수이다. 예를 들어, 제 1 트랜지스터(606)는 크기 X를 가질 수 있으며, 여기서 X는 10, 20 또는 다른 값이다. 따라서, 제 2 트랜지스터(608)는 크기 n*X를 가질 수 있으며, 여기서 n은 실수이다.
- [0054] [0060] 다른 양상에서, 제 1 레지스터(610)의 값은 제 3 레지스터(616)의 배수이다. 예를 들어, 제 3 레지스터(616)는 R의 값을 가질 수 있다. 따라서, 제 1 레지스터(610)는 n * R의 값을 가질 수 있으며, 여기서 n은 실수이다.
- [0055] [0061] 도 5 및 도 6의 기저대역 필터 아키텍처에서, DAC 전류 신호(I₀)는 믹서 입력으로 복제된다. Iout은 대역 내 주파수들에 대한 I₁의 선형 레플리카이며, 여기서 $I_{out} = n * I_1 * (1 / (R_{IC1} * s + 1))$ 이다. 아키텍처에서 제 1 커패시터(C0)(618)의 사용에 의해, 바이쿼드 증폭기(604)에 의해 전달되는 전류는 높은 주파수들에서 감소된다. 따라서, GM 스테이지에서의 왜곡 전류는 주파수에 따라 강해지지 않고, 이에 따라 4FMOD 전력이 저해되지 않는다. 도 4의 기저대역 필터 아키텍처와 비교하면, 도 5 및 도 6의 기저대역 필터 아키텍처는 개선된 대역 외 거절 및 4FMOD 전력을 제공한다.
- [0056] [0062] 도 7은 본 개시의 일부 양상들에 따라 기저대역 필터를 선형화하기 위한 방법의 흐름도이다. 방법은 장치(예를 들어, 기저대역 필터(160) 또는 도 5 및 도 6의 기저대역 필터)에 의해 수행될 수 있다.
- [0057] [0063] 블록(702)에서, 장치는 제 1 전도 모듈(예를 들어, 제 1 전도 모듈(506))을 통해 제 1 전류 신호를 수신한다. 일 예에서, 제 1 전도 모듈은 제 1 커패시터(예를 들어, 제 1 커패시터(618)), 제 1 레지스터(예를 들어, 제 1 레지스터(610)), 및 바이쿼드 증폭기로부터의 전압 신호에 기초하여 동작하도록 구성된 제 1 트랜지스터(예를 들어, 제 1 트랜지스터(606))를 포함한다.
- [0058] [0064] 블록(704)에서, 장치는 변환 모듈(예를 들어, 변환 모듈(504))을 통해 제 2 전류 신호를 수신한다. 일 예에서, 변환 모듈은 바이쿼드 증폭기(예를 들어, 바이쿼드 증폭기(604))를 포함한다. 바이쿼드 증폭기의 비-반전 입력은 전류 소스(예를 들어, 전류 소스(502))에 커플링된다. 제 1 트랜지스터의 드레인은 전류 소스에 커플링되고, 제 1 트랜지스터의 게이트는 바이쿼드 증폭기의 출력에 커플링되고, 제 1 트랜지스터의 소스는 제 1 커패시터의 제 1 노드 및 제 1 레지스터의 제 1 노드에 커플링된다. 제 1 커패시터의 제 2 노드 및 제 1 레지스터의 제 2 노드는 접지 노드에 커플링된다.
- [0059] [0065] 제 1 트랜지스터가 바이쿼드 증폭기로부터의 전압 신호에 기초하여 동작할 때, 제 1 트랜지스터는 제 1 전류 신호를, 제 1 트랜지스터의 드레인으로부터 스스로 제 1 커패시터 및 제 1 레지스터를 향해 흐르게 한다. 제 1 트랜지스터를 통해 흐르는 제 1 전류 신호의 양은 제 1 커패시터에 의해 저장된 제 1 전류 신호와 연관된 에너지의 양 및 제 1 레지스터에 의해 소산된 제 1 전류 신호와 연관된 에너지의 양에 기초한다. 높은 주파수

에서, 제 1 트랜지스터를 통해 흐르는 제 1 전류 신호의 양은 바이쿼드 증폭기에 의해 수신된 제 2 전류 신호의 양을 감소시킨다.

[0060] [0066] 블록(706)에서, 장치는 변환 모듈(예를 들어, 변환 모듈(504))을 통해, 제 2 전류 신호에 기초하여 전압 신호를 생성하고 전압 신호를 제 1 전도 모듈에 인가한다. 변환 모듈에 의해 수신된 제 2 전류 신호의 양은 제 1 전도 모듈을 통해 흐르는 제 1 전류 신호의 양에 기초한다. 도 5 및 도 6을 참조하면, 변환 모듈(504)은 바이쿼드 증폭기(604)를 포함한다. 바이쿼드 증폭기(604)의 비-반전 입력은 전류 소스(502)에 커플링된다.

[0061] [0067] 블록(708)에서, 장치는 제 2 전도 모듈(예를 들어, 제 2 전도 모듈(508))을 통해, 전압 신호에 기초하여 출력 전류 신호를 제어하며, 여기서 출력 전류 신호는 대역 내 주파수들에 대한 제 1 전류 신호의 선형 레플리카가 되도록 제어된다. 일 예에서, 제 2 전도 모듈은 제 2 레지스터(예를 들어, 제 2 레지스터(612)), 제 2 커패시터(예를 들어, 제 2 커패시터(614)), 제 3 레지스터(예를 들어, 제 3 레지스터(616)) 및 제 2 트랜지스터(예를 들어, 제 2 트랜지스터(608))를 포함한다. 제 2 레지스터의 제 1 노드는 바이쿼드 증폭기의 출력 및 제 1 트랜지스터의 게이트에 커플링된다. 제 2 레지스터의 제 2 노드는 제 2 커패시터의 제 1 노드 및 제 2 트랜지스터의 게이트에 커플링된다. 제 2 커패시터의 제 1 노드는 제 2 레지스터의 제 2 노드 및 제 2 트랜지스터의 게이트에 커플링된다. 제 2 커패시터의 제 2 노드는 접지 노드에 커플링된다. 제 3 레지스터의 제 1 노드는 제 2 트랜지스터의 소스에 커플링된다. 제 3 레지스터의 제 2 노드는 접지 노드에 커플링된다. 제 2 트랜지스터의 소스는 제 3 레지스터의 제 1 노드에 커플링된다. 출력 전류 신호는 제 2 트랜지스터의 드레인을 통해 흐른다. 일 양상에서, 출력 전류 신호는, 제 2 트랜지스터의 게이트에 인가되도록 제 2 레지스터를 거쳐 바이쿼드 증폭기로부터의 전압 신호를 흐르게 하고, 제 2 트랜지스터의 게이트에 인가되는 전압 신호에 기초하여 제 2 트랜지스터를 동작시키고 제 2 트랜지스터의 드레인과 소스 사이에 출력 전류 신호를 흐르게 함으로써, 제 1 전류 신호의 선형 레플리카가 되도록 제어된다. 제 2 트랜지스터의 게이트에서의 전압 신호의 양은 제 2 레지스터에 의해 소산된 전압 신호와 연관된 에너지의 양 및 소산 후에 제 2 커패시터에 의해 저장된 전압 신호와 연관된 에너지의 양에 기초한다. 제 2 트랜지스터를 통해 흐르는 출력 전류 신호의 양은 제 3 레지스터에 의해 소산된 출력 전류 신호와 연관된 에너지의 양에 기초한다.

[0062] [0068] 추가의 양상에서, 제 2 트랜지스터의 크기는 제 1 트랜지스터의 크기의 n 배이고, 여기서 n 은 실수이다. 또한, 제 1 레지스터의 값은 제 3 레지스터의 값의 n 배이며, 여기서 n 은 실수이다.

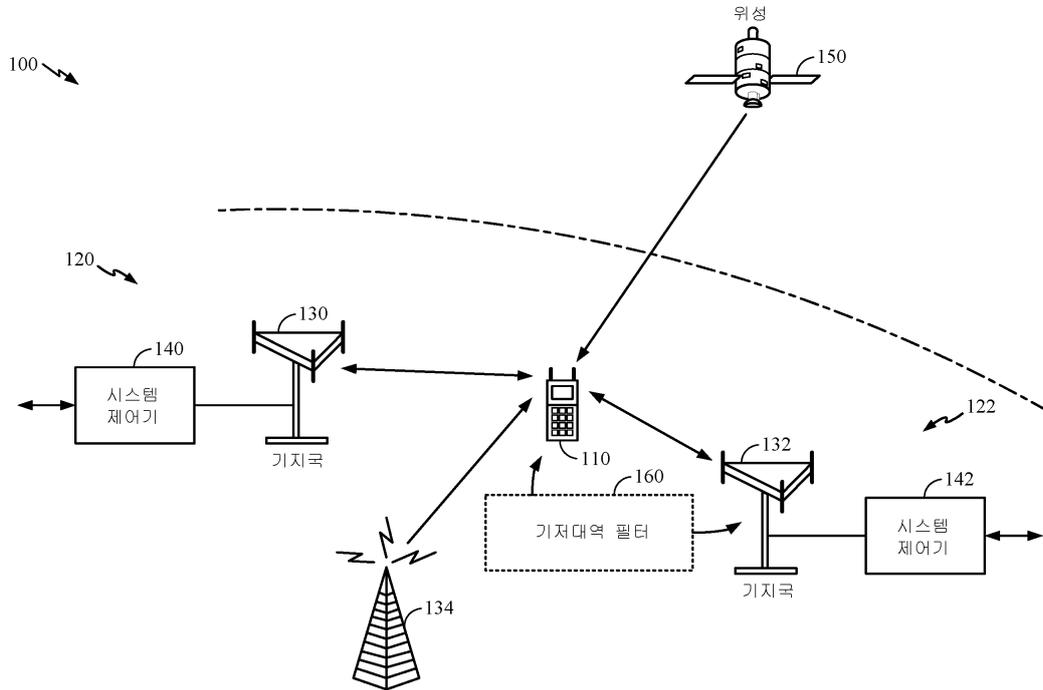
[0063] [0069] 도 5 및 도 6을 재차 참조하면, 장치(예를 들어, 기저대역 필터(160))는 변환 모듈(504), 제 1 전도 모듈(506), 및 제 2 전도 모듈(508) 중 하나 또는 그 초과 및 각각의 모듈들에 대응하는 위에서 설명된 회로 엘리먼트들을 포함할 수 있다. 장치는 제 1 전류 신호를 수신하기 위한 제 1 전도 수단을 포함한다. 장치는, 제 2 전류 신호를 수신하고, 제 2 전류 신호에 기초하여 전압 신호를 생성하고, 전압 신호를 제 1 전도 수단에 인가하기 위한 변환 수단을 더 포함한다. 변환 수단에 의해 수신된 제 2 전류 신호의 양은 제 1 전도 수단을 통해 흐르는 제 1 전류 신호의 양에 기초한다. 장치는 또한 전압 신호에 기초하여 출력 전류 신호를 제어하기 위한 제 2 전도 수단을 포함한다. 출력 전류 신호는 대역 내 주파수들에 대한 제 1 전류 신호의 선형 레플리카가 되도록 제어된다. 상술한 수단은, 변환 모듈(504), 제 1 전도 모듈(506), 제 2 전도 모듈(508), 각각의 모듈에 대응하는 회로 엘리먼트들, 데이터 프로세서/제어기(210), 컴퓨터-판독 가능한 매체, 즉, 메모리(212) 및/또는 컴퓨터-판독 가능한 매체, 즉 상술한 수단에 의해 기술된 기능들을 수행하도록 구성된 메모리(216) 중 하나 또는 그 초과를 포함할 수 있다.

[0064] [0070] 다시 도 5를 참조하면, 능동 피드백을 이용하여 기저대역 필터 선형화하기 위한 장치는 도 7에 예시된 방법을 구현할 수 있다. 도 5는 또한 예시적인 장치 내의 상이한 모듈들/수단/컴포넌트들 사이의 데이터 흐름을 예시하는 개념적인 데이터 흐름도를 제공한다. 장치는 기저대역 필터, 기저대역 필터의 일부, 기저대역 필터 선형화기 또는 기저대역 필터와 관련된 제어 회로의 일부일 수 있다. 일부 예들에서, 장치를 포함하는 기저대역 필터는 도 2의 무선 디바이스(200)와 같은 무선 디바이스, UE, 또는 eNB와 같은 기지국의 서브-부분일 수 있다. 위에서 설명된 바와 같이, 예시적인 장치는 제 1 전류 신호를 수신(도 7의 블록(702))하도록 구성된 변환 모듈(504)을 포함한다. 예시적인 장치는 제 2 전류 신호를 수신(도 7의 블록(704))하도록 구성된 제 1 전도 모듈(506)을 더 포함한다. 제 1 전도 모듈(506)은 제 2 전류 신호에 기초하여 전압 신호를 생성하고 전압 신호를 제 1 전도 모듈에 인가한다(도 7의 블록(706)). 변환 모듈(504)에 의해 수신된 제 2 전류 신호의 양은 제 1 전도 모듈(506)을 통해 흐르는 제 1 전류 신호의 양에 기초할 수 있다. 예시적인 장치는 또한 전압 신호에 기초하여 출력 전류 신호를 제어(도 7의 블록(708))하도록 구성된 제 2 전도 모듈(508)을 포함한다. 일부 예들에서, 출력 전류 신호는 대역 내 주파수들에 대한 제 1 전류 신호의 선형 레플리카가 되도록 제어된다.

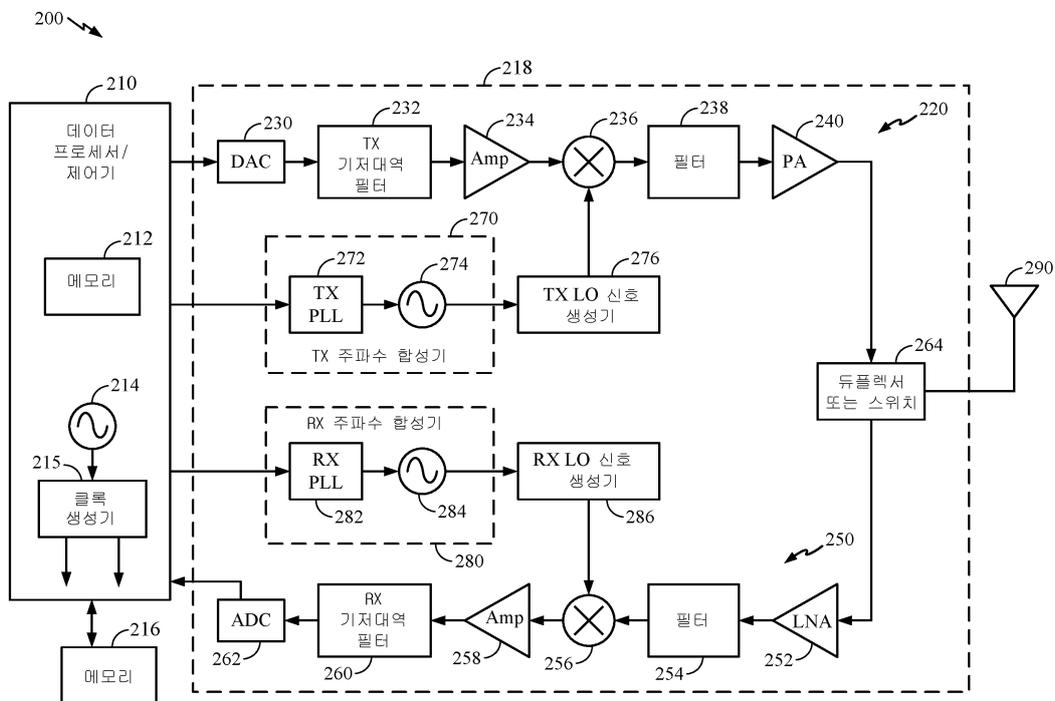
- [0065] [0071] 장치는 도 7의 상술된 흐름도들에서의 알고리즘의 블록들 각각을 수행하는 추가적인 모듈들을 포함할 수 있다. 이와 같이, 도 7의 상술된 흐름도들의 각각의 블록은 모듈에 의해 수행될 수 있고, 장치는 이들 모듈들 중 하나 또는 그 초과를 포함할 수 있다. 모듈들은, 언급된 프로세스/알고리즘을 수행하도록 특별히 구성되고, 언급된 프로세스들/알고리즘을 수행하도록 구성된 프로세서에 의해 구현되고, 프로세서에 의한 구현을 위해 컴퓨터-관독 가능한 매체 내에 저장되거나, 또는 이들의 일부 결합에 의해 이루어지는 하나 또는 그 초과 하드웨어 컴포넌트들일 수 있다.
- [0066] [0072] 개시된 프로세스들에서의 단계들의 특정 순서 또는 계층은 예시적인 접근법들의 예시라는 것이 이해된다. 설계 선호도들에 기초하여, 프로세스들에서의 단계들의 특정 순서 또는 계층이 재배열될 수 있다는 것이 이해된다. 또한, 일부 단계들은 결합되거나 생략될 수 있다. 첨부되는 방법 청구항들은 샘플 순서로 다양한 단계들의 엘리먼트들을 제시하며, 제시되는 특정 순서 또는 계층으로 제한되는 것으로 의도되는 것은 아니다.
- [0067] [0073] 일부 예들에서, 제 1 전류 신호를 수신하기 위한 제 1 전도 수단은 도 5의 제 1 전도 모듈(506)을 포함할 수 있다. 다른 예들에서, 제 1 전도 수단은 제 1 커패시터(618), 제 1 레지스터(610), 및 바이쿼드 증폭기로부터의 전압 신호에 기초하여 동작하도록 구성된 도 6의 제 1 트랜지스터(606)를 포함할 수 있다.
- [0068] [0074] 일부 예들에서, 제 2 전류 신호를 수신하고, 제 2 전류 신호에 기초하여 전압 신호를 생성하고, 전압 신호를 제 1 전도 수단에 인가하기 위한 변환 수단은 도 5의 변환 모듈(504)을 포함할 수 있다. 다른 예들에서, 변환 수단은 도 6의 바이쿼드 증폭기(604)를 포함할 수 있다. 바이쿼드 증폭기의 비-반전 입력은 전류 소스(502)에 커플링된다. 제 1 트랜지스터의 드레인은 전류 소스에 커플링되고, 제 1 트랜지스터의 게이트는 바이쿼드 증폭기의 출력에 커플링되고, 제 1 트랜지스터의 소스는 제 1 커패시터의 제 1 노드 및 제 1 레지스터의 제 1 노드에 커플링된다. 제 1 커패시터의 제 2 노드 및 제 1 레지스터의 제 2 노드는 접지 노드에 커플링된다.
- [0069] [0075] 일부 예들에서, 전압 신호에 기초하여 출력 전류 신호를 제어하기 위한 제 2 전도 수단은 도 5의 제 2 전도 모듈(508)을 포함할 수 있다. 다른 예들에서, 제 2 전도 모듈은 제 2 레지스터(예를 들어, 제 2 레지스터(612)), 제 2 커패시터(예를 들어, 제 2 커패시터(614)), 제 3 레지스터(예를 들어, 제 3 레지스터(616)) 및 제 2 트랜지스터(예를 들어, 제 2 트랜지스터(608))를 포함한다.
- [0070] [0076] 이전의 설명은 임의의 당업자가 본원에서 설명되는 다양한 양상들을 실시하는 것을 가능하게 하도록 제공된다. 이들 양상들에 대한 다양한 변형들은 당업자들에게 쉽게 명백하게 될 것이며, 본원에서 정의되는 일반적인 원리들은 다른 양상들에 적용될 수 있다. 따라서, 청구항들은 본원에서 도시되는 양상들로 제한되도록 의도되지 않고, 청구항 문언에 부합하는 전체 범위로 허용될 것이며, 여기서 단수의 엘리먼트에 대한 참조는 구체적으로 그렇게 기술되지 않는 한 "하나 및 단지 하나"가 아니라, 오히려 "하나 또는 그 초과"를 의미하도록 의도된다. 구체적으로 달리 언급되지 않는 한, 용어 "일부"는 하나 또는 그 초과를 지칭한다. 당업자에게 알려졌거나 이후에 알려지게 될 본 개시 전반에 걸쳐 설명되는 다양한 양상들의 엘리먼트들에 대한 모든 구조적 및 기능적 등가물들은 명시적으로 인용에 의해 본원에 포함되며 청구항들에 의해 포함되도록 의도된다. 더욱이, 본원에서 개시되는 내용은, 청구항들에 이러한 개시가 명시적으로 기재되어 있는지 여부에 관계없이, 공중이 사용하도록 의도되는 것은 아니다. 청구항 엘리먼트가 명백히 "~을 위한 수단"이라는 문구를 사용하여 기재되지 않는 한, 어떠한 청구항 엘리먼트도 수단 + 기능으로서 해석되어야 하는 것은 아니다.

도면

도면1

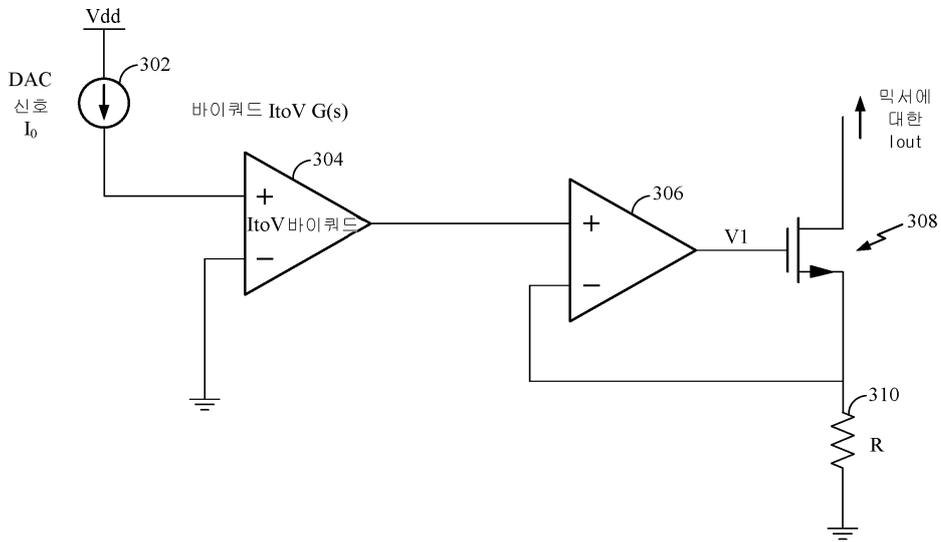


도면2



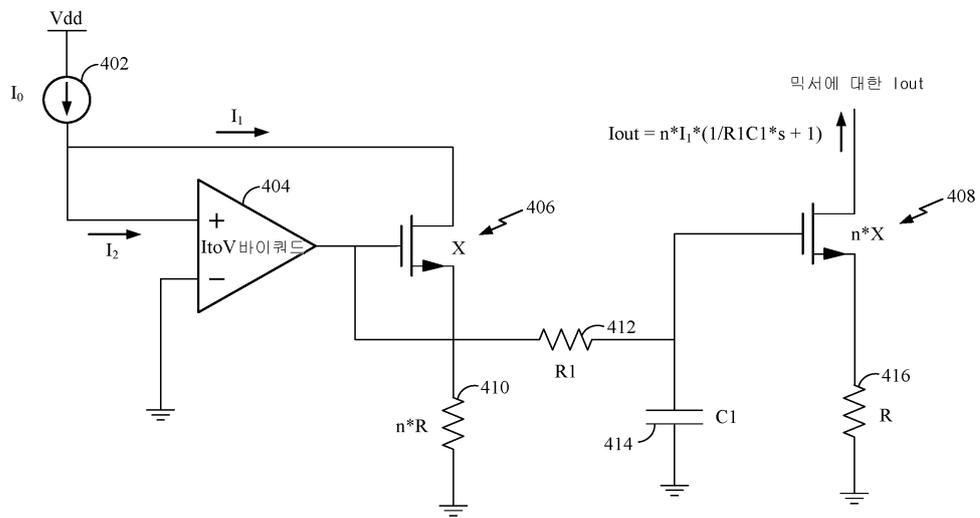
도면3

300 ↘



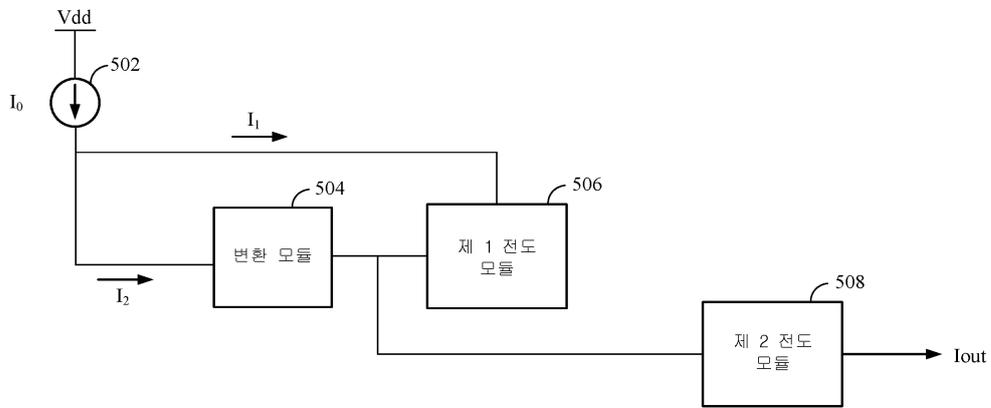
도면4

400 ↘



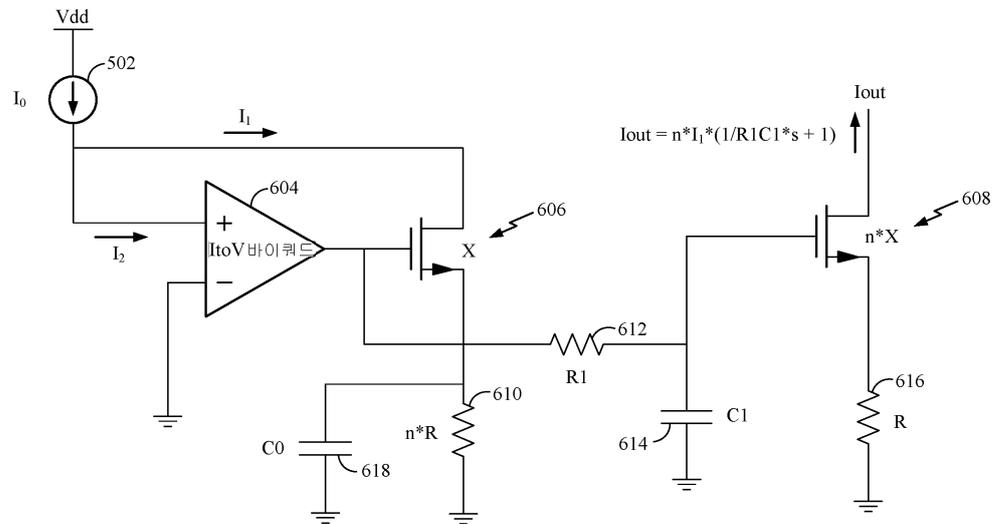
도면5

500 ↘



도면6

600 ↘



도면7

700 ↘

