



1. 一种宽带单端转差分低噪声放大器,其特征在于,包括:

第一级电路和第二级电路,

所述第一级电路包括第一级输入端(VIN),两个第一级共源共栅输出节点,第一互补共源共栅放大结构和第一放大输出端(VOUTP);所述第一级输入端(VIN)用于接收信号输入端的输入信号,所述两个第一级共源共栅输出节点基于所述第一级输入端(VIN)的输入信号产生幅度相近、相位相反的两路输出信号至所述第二级电路,所述第一互补共源共栅放大结构将所述第一级输入端(VIN)的输入信号生成放大的第一级输出信号在所述第一放大输出端(VOUTP)输出;所述第一互补共源共栅放大结构包括由第一晶体管(N0)和第二晶体管(N1)组成的第一共源共栅结构,以及由第三晶体管(P0)和第四晶体管(P1)组成的第一互补结构,所述第一晶体管(N0)和所述第二晶体管(N1)为NMOS晶体管,所述第三晶体管(P0)和所述第四晶体管(P1)为PMOS晶体管;

所述第二级电路包括两个第二级输入节点,第二互补共源共栅放大结构和第二放大输出端(VOUTN);所述两个第二级输入节点用于接收来自所述第一级电路的两个第一级共源共栅输出节点的输出信号,所述第二互补共源共栅放大结构将所述两个第二级输入节点的输入信号生成放大的第二级输出信号在所述第二放大输出端(VOUTN)输出;所述第二互补共源共栅放大结构包括由第五晶体管(N2)和第六晶体管(N3)组成的第二共源共栅结构,以及由第七晶体管(P2)和第八晶体管(P3)组成的第二互补结构,所述第五晶体管(N2)和所述第六晶体管(N3)为NMOS晶体管,所述第七晶体管(P2)和所述第八晶体管(P3)为PMOS晶体管;

所述两个第一级共源共栅输出节点中的第一级上共源共栅输出节点(VP1)被设置在所述第三晶体管(P0)的源极与所述第四晶体管(P1)的漏极之间;所述两个第一级共源共栅输出节点中的第一级下共源共栅输出节点(VN1)被设置在所述第一晶体管(N0)的漏极与所述第二晶体管(N1)的源极之间;

所述两个第二级输入节点中的第二级上输入节点被连接至所述两个第一级共源共栅输出节点中的第一级下共源共栅输出节点(VN1),所述两个第二级输入节点中的第二级下输入节点被连接至所述两个第一级共源共栅输出节点中的第一级上共源共栅输出节点(VP1)。

2. 根据权利要求1所述的低噪声放大器,其特征在于,

所述第一级输入端(VIN)的输入信号包括上路输入信号和下路输入信号;所述第一共源共栅结构通过所述第一晶体管(N0)的栅极输入所述下路输入信号;所述第一互补结构通过所述第三晶体管(P0)的栅极输入所述下路输入信号。

3. 根据权利要求2所述的低噪声放大器,其特征在于,

所述第一级下共源共栅输出节点(VN1)通过附加电容被耦合到所述第二互补结构的第七晶体管(P2)的栅极;所述第一级上共源共栅输出节点(VP1)通过附加电容被耦合到所述第二共源共栅结构的第五晶体管(N2)的栅极。

4. 根据权利要求3所述的低噪声放大器,其特征在于,

所述第一共源共栅结构被设置成所述第一晶体管(N0)的漏极与所述第二晶体管(N1)的源极连接;所述第一互补结构被设置成所述第三晶体管(P0)的源极与所述第四晶体管(P1)的漏极连接。

5. 根据权利要求4所述的低噪声放大器,其特征在于,

所述第二共源共栅结构被设置成所述第五晶体管(N2)的漏极与所述第六晶体管(N3)的源极连接;所述第二互补结构被设置成所述第七晶体管(P2)的源极与所述第八晶体管(P3)的漏极连接。

6. 根据权利要求1所述的低噪声放大器,其特征在于,

所述第一晶体管(N0)的栅极分别与第一电容(C0)的第二端和第一电阻(R0)的第二端连接;所述第一晶体管(N0)的漏极分别与所述第二晶体管(N1)的源极和所述两个第一级共源共栅输出节点中的第一级下共源共栅输出节点(VN1)连接;所述第一晶体管(N0)的源极与接地端连接;

所述第二晶体管(N1)的栅极与第二电压源(VB1)连接;所述第二晶体管(N1)的漏极分别与第二电阻(R1)的第二端、所述第三晶体管(P0)的源极,以及所述第一放大输出端(VOUTP)连接;

所述第三晶体管(P0)的栅极分别与第二电容(C1)的第二端和所述第二电阻(R1)的第一端连接;所述第三晶体管(P0)的漏极与电源电压(VDD)连接;所述第三晶体管(P0)的源极分别与所述第四晶体管(P1)的漏极和所述两个第一级共源共栅输出节点中的第一级上共源共栅输出节点(VP1)连接;

所述第四晶体管(P1)的栅极与第三电压源(VB2)连接;

所述第一电阻(R0)的第一端与第一电压源(VB0)连接;

所述第一级输入端(VIN)分别与所述第一电容(C0)的第一端和所述第二电容(C1)的第一端连接。

7. 根据权利要求6所述的低噪声放大器,其特征在于,

所述第五晶体管(N2)的栅极分别与第三电容(C2)的第二端和第三电阻(R2)的第二端连接;所述第五晶体管(N2)的漏极与所述第六晶体管(N3)的源极连接;所述第五晶体管(N2)的源极与接地端连接;

所述第六晶体管(N3)的栅极与所述第二电压源(VB1)连接;所述第六晶体管(N3)的漏极分别与第四电阻(R3)的第二端、所述第七晶体管(P2)的源极,以及所述第二放大输出端(VOUTN)连接;

所述第七晶体管(P2)的栅极分别与第四电容(C3)的第二端和所述第四电阻(R3)的第一端连接;所述第七晶体管(P2)的漏极与电源电压(VDD)连接;所述第七晶体管(P2)的源极与所述第八晶体管(P3)的漏极连接;

所述第八晶体管(P3)的栅极与所述第三电压源(VB2)连接;

所述第三电阻(R2)的第一端与所述第一电压源(VB0)连接。

8. 根据权利要求7所述的低噪声放大器,其特征在于,

所述两个第二级输入节点中的所述第一级上共源共栅输出节点(VP1)与所述第三电容(C2)的第一端连接,所述两个第二级输入节点中的所述第一级下共源共栅输出节点(VN1)与所述第四电容(C3)的第一端连接。

9. 根据权利要求1-8中任一项所述的低噪声放大器,其特征在于,

所述输入信号为射频信号,其频率范围是0.01~11.5 GHz。

10. 一种射频接收机,其特征在于,包括:

如权利要求1-9中任一项所述的低噪声放大器。

## 一种宽带单端转差分低噪声放大器及射频接收机

### 技术领域

[0001] 本公开涉及射频集成电路技术领域,具体涉及一种宽带单端转差分低噪声放大器和一种射频接收机。

### 背景技术

[0002] 随着无线通信的发展,射频接收技术发挥的作用愈发重要。特别地,宽带通讯系统是当今无线通讯技术的发展趋势,也是国内外研究的热点。一套宽带接收机系统,可以适用于各类通信标准和频段,具有低成本,可配置,灵活性高的特点。

[0003] 在射频接收机的设计中,为了抑制共模噪声,提高射频和本振隔离度,全差分正交混频器、差分滤波器,差分模数转换器被大量采用。全差分混频器需要差分射频输入,但是从天线接收到的射频信号为单端信号,所以需要进行一个单端转差分低噪声放大器将单端信号转为差分信号。大量使用低噪声放大器(LNA),LNA性能的好坏直接影响到通信系统的品质。

[0004] 为了实现单端转差分的功能,必须将输入信号转变成同相和反相的两种信号。在现有技术中使用一些方法来完成单端转差分功能。

[0005] 例如,专利CN101807883A公开了一种单端输入差分输出的单转双CMOS低噪声放大器(LNA),该低噪声放大器可以应用3.1~4.8GHz、3.1~10.6GHz的超宽带(UWB)射频前端中。它由输入寄生参数等效级、输入级、负载级三部分组成。其中输入寄生参数等效级由串联电感和并联电容组成,输入级由共栅管、输入电感和共源管组成,负载级由串联电阻和串联电感组成从而实现了单端输入差分输出的功能。然而,其中的电路虽然适用于宽带应用,但是共源放大器和共栅放大器各自消耗一路电流,用两路电流仅实现了单级增益。

[0006] 又如,专利CN102647157A公开了一种单端输入差分输出的射频低噪声放大器,包括单端输入的主放大电路I;实现另一路反向等幅信号输出的放大器II;为了进一步调整两路输出信号的平衡性,采用了一个交流信号加法反馈电路。然而,其中利用栅极和源极的电感进行输入匹配的方式,这些无源器件增加了器件的面积,而且采用电感的结构并不适合宽带应用。

[0007] 再如,使用带有射频巴伦的低噪声放大器天然具有单端转差分的特性,但是巴伦具有工作频段窄,面积大,成本高的缺陷,因此,大量应用于窄带射频接收机,无法适用于射频宽带接收机。采用无电感方案的有源单端转差分电路具有宽带的特性,其中单晶体管结构,通过仔细设计其源极和漏极的负载电阻可实现单转双功能,但是,由于采用栅极输入,为了实现宽带输入匹配,需要额外加50欧姆输入电阻实现宽带输入匹配,恶化了噪声系数。单晶体管结构的源极和漏极分别是差分输出,继而,天然隔离度差。

[0008] 总之,现有的宽带单端转差分低噪声放大器难以同时实现低功耗,低噪声,低成本,面积小,高线性度。

[0009] 因此,现有技术还有待改进和提高。

## 发明内容

[0010] 为了解决上述问题中的至少一个问题,以及其他潜在问题中的一个或多个问题,本公开提出了一种宽带单端转差分低噪声放大器,其同时具有低功耗、低噪声、低成本、面积小、高线性度等特点。

[0011] 在本公开的第一方面,提供了一种宽带单端转差分低噪声放大器,其包括:第一级电路和第二级电路,上述第一级电路包括第一级输入端VIN,两个第一级共源共栅输出节点,第一互补共源共栅放大结构和第一放大输出端VOUTP;上述第一级输入端VIN用于接收信号输入端的输入信号,上述两个第一级共源共栅输出节点基于上述第一级输入端VIN的输入信号产生幅度相近、相位相反的两路输出信号至上述第二级电路,上述第一互补共源共栅放大结构将上述第一级输入端VIN的输入信号生成放大的第一级输出信号在上述第一放大输出端VOUTP输出;上述第一互补共源共栅放大结构包括由第一晶体管N0和第二晶体管N1组成的第一共源共栅结构,以及由第三晶体管P0和第四晶体管P1组成的第一互补结构,上述第一晶体管N0和上述第二晶体管N1为NMOS晶体管,上述第三晶体管P0和上述第四晶体管P1为PMOS晶体管;上述第二级电路包括两个第二级输入节点,第二互补共源共栅放大结构和第二放大输出端VOUTN;上述两个第二级输入节点用于接收来自上述第一级电路的两个第一级共源共栅输出节点的输出信号,上述第二互补共源共栅放大结构将上述两个第二级输入节点的输入信号生成放大的第二级输出信号在上述第二放大输出端VOUTN输出;上述第二互补共源共栅放大结构包括由第五晶体管N2和第六晶体管N3组成的第二共源共栅结构,以及由第七晶体管P2和第八晶体管P3组成的第二互补结构,上述第五晶体管N2和上述第六晶体管N3为NMOS晶体管,上述第七晶体管P2和上述第八晶体管P3为PMOS晶体管;上述两个第一级共源共栅输出节点中的第一级上共源共栅输出节点VP1被设置在上述第三晶体管P0的源极与上述第四晶体管P1的漏极之间;上述两个第一级共源共栅输出节点中的第一级下共源共栅输出节点VN1被设置在上述第一晶体管N0的漏极与上述第二晶体管N1的源极之间;上述两个第二级输入节点中的第二级上输入节点被连接至上述两个第一级共源共栅输出节点中的第一级下共源共栅输出节点VN1,上述两个第二级输入节点中的第二级下输入节点被连接至上述两个第一级共源共栅输出节点中的第一级上共源共栅输出节点VP1。

[0012] 进一步地,上述第一级输入端VIN的输入信号包括上路输入信号和下路输入信号;上述第一共源共栅结构通过上述第一晶体管N0的栅极输入上述下路输入信号;上述第一互补结构通过上述第三晶体管P0的栅极输入上述下路输入信号。

[0013] 进一步地,上述第一级下共源共栅输出节点VN1通过附加电容被耦合到上述第二互补结构的第七晶体管P2的栅极;上述第一级上共源共栅输出节点VP1通过附加电容被耦合到上述第二共源共栅结构的第五晶体管N2的栅极。

[0014] 进一步地,上述第一共源共栅结构被设置成上述第一晶体管N0的漏极与上述第二晶体管N1的源极直接连接;上述第一互补结构被设置成上述第三晶体管P0的源极与上述第四晶体管P1的漏极直接连接。

[0015] 进一步地,上述第二共源共栅结构被设置成上述第五晶体管N2的漏极与上述第六晶体管N3的源极直接连接;上述第二互补结构被设置成上述第七晶体管P2的源极与上述第八晶体管P3的漏极直接连接。

[0016] 优选地,上述第一晶体管N0的栅极分别与第一电容C0的第二端和第一电阻R0的第二端连接;上述第一晶体管N0的漏极分别与上述第二晶体管N1的源极和上述两个第一级共源共栅输出节点中的第一级下共源共栅输出节点VN1连接;上述第一晶体管N0的源极与接地端连接;上述第二晶体管N1的栅极与第二电压源VB1连接;上述第二晶体管N1的漏极分别与第二电阻R1的第二端、上述第三晶体管P0的源极,以及上述第一放大输出端VOUTP连接;上述第三晶体管P0的栅极分别与第二电容C1的第二端和上述第二电阻R1的第一端连接;上述第三晶体管P0的漏极与电源电压VDD连接;上述第三晶体管P0的源极分别与上述第四晶体管P1的漏极和上述两个第一级共源共栅输出节点中的第一级上共源共栅输出节点VP1连接;上述第四晶体管P1的栅极与第三电压源VB2连接;上述第一电阻R0的第一端与第一电压源VB0连接;上述第一级输入端VIN分别与上述第一电容C0的第一端和上述第二电容C1的第一端连接。

[0017] 优选地,上述第五晶体管N2的栅极分别与第三电容C2的第二端和第三电阻R2的第二端连接;上述第五晶体管N2的漏极与上述第六晶体管N3的源极连接;上述第五晶体管N2的源极与接地端连接;上述第六晶体管N3的栅极与上述第二电压源VB1连接;上述第六晶体管N3的漏极分别与第四电阻R3的第二端、上述第七晶体管P2的源极,以及上述第二放大输出端VOUTN连接;上述第七晶体管P2的栅极分别与第四电容C3的第二端和上述第四电阻R3的第一端连接;上述第七晶体管P2的漏极与电源电压VDD连接;上述第七晶体管P2的源极与上述第八晶体管P3的漏极连接;上述第八晶体管P3的栅极与上述第三电压源VB2连接;上述第三电阻R2的第一端与上述第一电压源VB0连接。

[0018] 优选地,上述两个第二级输入节点中的上述第一级上共源共栅输出节点VP1与上述第三电容C2的第一端连接,上述两个第二级输入节点中的上述第一级下共源共栅输出节点VN1与上述第四电容C3的第一端连接。

[0019] 优选地,上述输入信号为射频信号,其频率范围是0.01~11.5GHz。

[0020] 在本公开的第二方面,提供了一种射频接收机,其包括:上述的低噪声放大器。

[0021] 本公开对比现有技术有如下的有益效果:

(1) 在宽带单端转差分低噪声放大器实施例中,第一级电路和第二级电路均采用了互补共源共栅放大器结构,特别是PMOS和NMOS同时作为放大晶体管,充分利用偏置电流,实现了低功耗,低噪声,并且由此的共源共栅结构具有高隔离度;

(2) 进一步地,在宽带单端转差分低噪声放大器实施例中,第一级电路采用电阻负反馈,而非电感等器件来实现输入匹配,进一步节省了整个电路占用面积;

(3) 进一步地,在宽带单端转差分低噪声放大器实施例中,第一级电路中利用共源共栅节点实现信号反相,并将该反相信号传递给第二级输入,由于共源共栅节点输出阻抗低,实现了宽带的单端转差分;

(4) 进一步地,在宽带单端转差分低噪声放大器实施例中,第一级的PMOS和NMOS的共源共栅节点与第二级的PMOS,NMOS栅极采用交叉耦合结构,提高了输出1dB压缩点,实现了高线性度;

(5) 进一步地,在示例实施例中,所采用的交叉耦合式是PMOS和NMOS互相交叉耦合以驱动第二级放大器,实现信号放大;而非采用同类型MOS管交叉耦合,这是由于采用同类型MOS管交叉耦合仅能实现负阻结构。

## 附图说明

[0022] 结合附图并参考以下详细说明,本公开各实施例的上述和其他特征、优点及方面将变得更加明显,其中:

图1示出了根据本公开的实施例的宽带单端转差分低噪声放大器的输入输出示意图;

图2示出了根据本公开的实施例的宽带单端转差分低噪声放大器的优选电路结构示意图;

图3示出了图2中示例实施例的宽带单端转差分低噪声放大器的噪声系数和增益仿真结果图;

图4示出了图2中示例实施例的宽带单端转差分低噪声放大器的线性度仿真结果图;以及

在各个附图中,相同或对应的附图标记表示相同或对应的部分。

## 实施方式

[0023] 下面将参照附图更详细地描述本公开的实施例。虽然附图中显示了本公开的某些实施例,然而应当理解的是,本公开可以通过各种形式来实现,而且不应该被解释为限于这里所阐述的实施例。相反,提供这些实施例是为了更加透彻和完整地理解本公开。应当理解的是,本公开的附图及实施例仅用于示例性作用,并非用于限制本公开的保护范围。

[0024] 在本公开的实施例的描述中,术语“包括”及其类似用语应当理解为开放性包含,即“包括但不限于”。术语“基于”应当理解为“至少部分地基于”。术语“一个实施例”或“该实施例”应当理解为“至少一个实施例”。术语“第一”、“第二”等等可以指代不同的或相同的对象。下文还可能包括其他明确的和隐含的定义。

[0025] 在射频接收机的设计中,为了抑制共模噪声,提高射频和本振隔离度,一般会采用全差分正交混频器、差分滤波器、差分模数转换器。全差分混频器需要差分射频输入,但是从天线接收到的射频信号为单端信号,所以需要进行一个单端转差分低噪声放大器将单端信号转为差分信号。例如,带有射频巴伦的低噪声放大器天然具有单端转差分的特性,但是巴伦具有工作频段窄,面积大的缺陷,因此,大量应用于窄带射频接收机,无法适用于射频宽带接收机。由此,采用无电感方案的有源单端转差分电路具有宽带的特性,遂被提出,并且其还有面积小,结构简单的特点。其中最简单的是单晶体管结构,通过仔细设计其源极和漏极的负载电阻可实现单转双功能。由于采用栅极输入,为了实现宽带输入匹配,需要额外加50欧姆输入电阻实现宽带输入匹配,恶化了噪声系数。单晶体管结构的源极和漏极分别是差分输出,因此,天然隔离度差。共源共栅差分对结构,它具有较低功耗和很好的隔离度,但是由于匹配增益低,噪声比较差,并且难以实现较高的线性度。最重要的是,共栅的源极需要电流源或者较大的电感进行射频扼流,限制了低频通信的实用,在恶化了噪声的同时,极大的提高了成本。现有的有源宽带单端转差分低噪声放大器难以同时实现低功耗,低噪声,低成本,面积小,高线性度。

[0026] 为了解决上述问题中的至少一个问题,以及其他潜在问题中的一个或多个问题,本公开的示例实施例提出了一种宽带单端转差分低噪声放大器,利用两级共源宽带单端转差分低噪声放大器以解决现有技术中的难以同时实现低功耗,低噪声,低成本,面积小,高



线性度的问题。

[0027] 应注意,低噪声放大器一般是射频接收机的一个部件,射频接收机除了低噪声放大器外,还包含了混频器,中频滤波器,数模转换器等等。其中,低噪声放大器的作用是放大射频信号的同时不明显恶化信号质量(信噪比)。混频器采用全差分双平衡结构,具有高线性度,低噪声,低射频,低本振泄露等优势。因此,低噪声放大器需要将接收到的单端射频信号转换成差分射频信号给到混频器。

[0028] 以下结合附图以及各个实施例对本公开做进一步地详细说明。

[0029] 图1示出了根据本公开的实施例的宽带单端转差分低噪声放大器的输入输出示意图。在该示例实施例中,提供了一个宽带单端转差分低噪声放大器,其中VIN为信号输入端,VOUTP和VOUTN为输出端,进一步地,图中也示出了信号波形示意图,输入端的小信号经由单端转差分低噪声放大器后被放大到输出端,从而得到相位相差 $180^\circ$ 的两路大信号。

[0030] 图2示出了根据本公开的实施例的宽带单端转差分低噪声放大器的优选电路结构示意图。在该示例实施例中,该宽带单端转差分低噪声放大器包括:第一级电路和第二级电路的两级电路结构,其中第一级电路又包括了第一级输入端VIN,两个第一级共源共栅输出节点,第一互补共源共栅放大结构以及第一放大输出端VOUTP;其中第一级输入端VIN是用于接收信号输入端的输入信号,而两个第一级共源共栅输出节点是两个电路连接的交汇点,基于第一级输入端VIN的输入信号可以产生相位相反(即相位相差 $180^\circ$ )的两路输出信号至第二级电路;特别地,第一级电路中所包含的第一互补共源共栅放大结构是将第一级输入端VIN的输入信号生成放大的第一级输出信号并将其在第一放大输出端VOUTP输出(应注意,如图示,其与第一级输入端VIN是同相位,即相位相差 $0^\circ$ ,并且为放大信号)。进一步地,第二级电路包括两个第二级输入节点,第二互补共源共栅放大结构和第二放大输出端VOUTN;其中两个第二级输入节点可以接收来自于第一级电路的两个第一级共源共栅输出节点的输出信号,而第二互补共源共栅放大结构将上述的两个第二级输入节点的输入信号生成放大的第二级输出信号在第二放大输出端VOUTN输出(应注意,如图示,其与第一级输入端VIN是相位相反,即相位相差 $180^\circ$ ,并且为放大信号)。并且,如图示,第一级电路的两个第一级共源共栅输出节点被交叉耦合至第二级电路的两个第二级输入节点。

[0031] 进一步地,细化描述该示例实施例,其中第一级电路除了包括上述的第一级输入端VIN、第一放大输出端VOUTP、两个第一级共源共栅输出节点之外,还包括:第一晶体管N0,第二晶体管N1,第三晶体管P0,以及第四晶体管P1,以形成第一互补共源共栅放大结构。具体地,第一互补共源共栅放大结构由第一共源共栅结构和第一互补结构组成;其中第一共源共栅结构由第一晶体管N0和第二晶体管N1组成,而第一互补结构由第三晶体管P0和第四晶体管P1组成。关于第一晶体管N0,第一晶体管N0的栅极通过第一电容C0与第一级输入端VIN的下路连接,以及通过第一电阻R0与第一电压源VB0连接;而第一晶体管N0的漏极直接与第二晶体管N1的源极连接,以及通过第一级下共源共栅输出节点VN1与第二级电路的第二级下输入节点连接;以及第一晶体管N0的源极与接地端连接。关于第二晶体管N1,第二晶体管N1的栅极直接与第二电压源VB1连接;而第二晶体管N1的漏极通过第二电阻R1与第三晶体管P0的栅极连接、通过第二电阻R1和第二电容C1与第一级输入端VIN的上路连接、直接与第四晶体管P1的源极连接、以及直接与第一放大输出端VOUTP连接。关于第三晶体管P0,第三晶体管P0的栅极通过第二电容C1与第一级输入端VIN的上路连接、通过第二电阻R1与

第二晶体管N1的漏极连接、通过第二电阻R1与第四晶体管P1的源极连接、通过第二电阻R1与第一放大输出端VOUTP连接；第三晶体管P0的漏极直接与电源电压VDD连接；而第三晶体管P0的源极直接与第四晶体管P1的漏极连接、以及通过第一级上共源共栅输出节点VP1与第二级电路的第二级上输入节点连接。关于第四晶体管P1，第四晶体管P1的栅极直接与第三电压源VB2连接；第四晶体管P1的漏极直接与第三晶体管P0的源极连接、以及通过第一级上共源共栅输出节点VP1与第二级电路的第二级上输入节点连接。由此，第一级电路中所采用的电阻负反馈，因其无需电感等器件来实现输入匹配，进一步节省了整个电路占用面积；此外，第一级电路中利用共源共栅节点实现信号反相，并将该反相信号传递给第二级输入，由于共源共栅节点输出阻抗低，实现了宽带的单端转差分。

[0032] 进一步地，第二级电路除了包括两个第二级输入节点、第二放大输出端VOUTN之外，还包括：第五晶体管N2，第六晶体管N3，第七晶体管P2，以及第八晶体管P3，以形成第二互补共源共栅放大结构。具体地，第二互补共源共栅放大结构由第二共源共栅结构和第二互补结构组成；其中第二共源共栅结构由第五晶体管N2和第六晶体管N3组成，而第二互补结构由第七晶体管P2和第八晶体管P3组成。关于第五晶体管N2，第五晶体管N2的栅极通过第三电容C2与第二级下输入节点连接、通过第三电阻R2与第一电压源VB0连接；第五晶体管N2的漏极直接与第六晶体管N3的源极连接；而第五晶体管N2的源极直接与接地端连接。关于第六晶体管N3，第六晶体管N3的栅极直接与第二电压源VB1连接；而第六晶体管N3的漏极通过第四电阻R3与第七晶体管P2的栅极连接、通过第四电阻R3与和第四电容C3与第二级上输入节点连接、直接与第八晶体管P3的源极连接、以及直接与第二放大输出端VOUTN连接；第六晶体管N3的源极直接与第五晶体管N2的漏极连接。关于第七晶体管P2，第七晶体管P2的栅极通过第四电容C3与第二级上输入节点连接、通过第四电阻R3与第六晶体管N3的漏极连接、通过第四电阻R3与第八晶体管P3的源极连接、通过第四电阻R3与第二放大输出端VOUTN连接；第七晶体管P2的漏极直接与电源电压VDD连接；而第七晶体管P2的源极直接与第八晶体管P3的漏极连接。关于第八晶体管P3，第八晶体管P3的栅极直接与第三电压源VB2连接；第八晶体管P3的漏极直接与第七晶体管P2的源极连接；而第八晶体管P3的源极通过第四电阻R3与第七晶体管P2的栅极连接、通过第四电阻R3与和第四电容C3与第二级上输入节点连接、直接与第六晶体管N3的漏极连接、以及直接与第二放大输出端VOUTN连接。

[0033] 应注意，在该图示实施例，第一级电路与第二级电路的耦合方式为，两个第二级输入节点中的第二级上输入节点被连接至两个第一级共源共栅输出节点中的第一级下共源共栅输出节点VN1，两个第二级输入节点中的第二级下输入节点被连接至两个第一级共源共栅输出节点中的第一级上共源共栅输出节点VP1；继而形成第一级电路的两个第一级共源共栅输出节点被交叉耦合到第二级电路的两个第二级输入节点。即第一级下共源共栅输出节点VN1与第四电容C3的第一端（左端）连接，而第一级上共源共栅输出节点VP1与第三电容C2的第一端（左端）连接。这是为了让第二级的晶体管N2和P2被更高的峰值驱动，不被钳位的水平信号驱动而采用交叉耦合结构，将钳位的第一级下共源共栅输出节点VN1和第一级上共源共栅输出节点VP1信号，分别交叉给到晶体管P2和N2。此时，晶体管N2和P2仍然能够被更高的峰值和谷值信号所驱动，得到更大幅度的第二放大输出端VOUTN的输出信号，提高了1dB压缩点。

[0034] 应理解，如图2所示，在第一级电路中，第一晶体管N0和第二晶体管N1为NMOS晶体

管,第三晶体管P0和第四晶体管P1为PMOS晶体管。而在第二级电路中,第五晶体管N2和第六晶体管N3为NMOS晶体管,第七晶体管P2和第八晶体管P3为PMOS晶体管。由此,第一级电路和第二级电路均采用了互补共源共栅放大器结构,在此基础上,特别是PMOS和NMOS同时作为放大晶体管,充分利用偏置电流,实现了低功耗,低噪声,并且由此的共源共栅结构具有高隔离度。进一步地,第一级的PMOS和NMOS的共源共栅节点与第二级的PMOS,NMOS栅极采用交叉耦合结构,提高了输出1dB压缩点,实现了高线性度。

[0035] 应理解,在图2的示例实施中,利用互补共源共栅放大器的共栅节点VN1,VP1与输入信号幅度接近,相位相反(即相位相差 $180^\circ$ )的特点,将VN1和VP1的信号传递到第二级互补共源共栅放大器的共源输入端(栅极),最终得到差分输出VOUTN,VOUTP。与传统的共源共栅单端转差分结构相比,省略了接地电感,大大节省了面积。与传统有源单端转差分结构相比,每一级电流都参与信号的放大,并且采用PMOS,NMOS互补结构,提高了电流利用效率,实现了低功耗模式下的低噪声。第一级反馈电阻提供50ohm的输入阻抗,实现宽带输入匹配。共栅节点VN1,VP1的输出阻抗等于P1和N1的跨导的倒数,一般小于50ohm,因此节点的RC时间常数很小,带宽大,可以实现宽带单端转差分。

[0036] 应理解,在现有技术中,典型的负阻对交叉耦合结构(即该种交叉耦合是指两个同类型MOS管的交叉耦合)实现的是负阻结构。而图2示例实施例中的交叉耦合是完全不同于典型的负阻对交叉耦合结构,图2示例实施例中的交叉耦合是PMOS和NMOS的互相交叉耦合,无论实现方式还是目的,功能都是完全不同的;具体地,图2示例实施例中是第一级电路(前级)采用互补共源共栅结构,利用共源共栅节点的幅度相近,相位相反的特性,耦合到第二级电路(后级)以实现单端转差分的功能;在此基础上的交叉耦合结构改进型才能具有更好的线性度。

[0037] 图3示出了图2中示例实施例的宽带单端转差分低噪声放大器的噪声系数和增益仿真结果图。其中,针对图2示例实施例中各电路器件的赋值如下,电容C0、C1、C2、C3的值为1.8 pF;电阻R0、R2的阻值为12kohm,电阻R1的阻值为900ohm,电阻R3的阻值为15kohm;晶体管N0、N2的宽长比(W/L)为128um/30nm,晶体管N1、N3的宽长比(W/L)为96um/30nm,晶体管P0、P2的宽长比(W/L)为160um/30nm,晶体管P1、P3的宽长比(W/L)为120um/30nm;并由此获得图3的仿真结果,其说明图2示例实施例的电路结构已经展示了具有宽带、低功耗、面积小的优势,特别地,其实现了0.01GHz~11.5GHz的宽带单端转差分。

[0038] 然而,宽带低噪声放大器通常接收到很宽频带内的射频信号,各种信号大小不一。在另一些特别情形时,例如当输入为大信号时,普通的宽带单端转差分低噪声放大器的线性度面临挑战。如图3所示,当输入信号的幅度大于CMOS晶体管的过驱动电压( $V_{ov}$ )时,晶体管的阈值电压( $V_{th}$ )就起到了钳位作用,共栅节点VN1和VP1信号的峰和谷就分别被限制住了,即接近水平线。在大信号的驱动下,PMOS主要由信号波谷来驱动产生放大信号,NMOS主要由信号波峰来驱动产生放大信号。因此,在第二级电路中,晶体管N2和P2在失真信号的驱动下(主要是水平信号),得到的第二放大输出端VOUTN的输出信号幅度会降低,小于第一放大输出端VOUTP的输出信号,导致图2示例实施例中的低噪声放大器的1dB压缩点(P1dB)降低,从而该结构的P1dB改善了2dB。

[0039] 图4示出了图2中示例实施例的宽带单端转差分低噪声放大器线性度的仿真结果图。其中,针对图2示例实施例中各电路器件的赋值如下,电容C0、C1、C2、C3的值为1.8 pF;

电阻R0、R2的阻值为12k $\Omega$ ，电阻R1的阻值为900 $\Omega$ ，电阻R3的阻值为15k $\Omega$ ；晶体管N0、N2的宽长比(W/L)为128 $\mu\text{m}/30\text{nm}$ ，晶体管N1、N3的宽长比(W/L)为96 $\mu\text{m}/30\text{nm}$ ，晶体管P0、P2的宽长比(W/L)为160 $\mu\text{m}/30\text{nm}$ ，晶体管P1、P3的宽长比(W/L)为120 $\mu\text{m}/30\text{nm}$ ；并由此获得图4的仿真结果。图4的仿真结果表明，图2示例实施例中宽带单端转差分低噪声放大器电路结构的饱和输出功率(实线表示)比一般的单端转差分低噪声放大器电路结构饱和输出功率(虚线表示)在输入功率超过-11dBm后仍保持较好的线性度，尤其在-6dBm附近处高2dB左右，继而说明图2示例实施例中宽带单端转差分低噪声放大器，可以有效地提升大信号时的线性度。进一步地，表1为图2示例实施例中宽带单端转差分低噪声放大器电路结构的仿真结果数据，从其功耗、噪声系数、面积、隔离度、1dB压缩点(P1dB)等结果显示，其同时实现低功耗，低噪声，低成本，面积小，高线性度。

[0040] 表1

	功耗 /mW	带宽/GHz	噪声系数 /dB	面积 /mm <sup>2</sup>	隔离度 /dBc	IP1dB/dBm (线性度)
图 2 实施例	3	0.01~11.5	2.8	0.021	60	-6.5

[0041] 在表1中，应理解，现有技术中的宽带单端转差分低噪声放大器，其一般功耗会大于3mW，带宽约0.1~1.2GHz，噪声系数约3.2dB，面积大于0.021 mm<sup>2</sup>，隔离度约44dBc，IP1dB/dBm(线性度)约为-8；或者并不能同时具备图2示例实施例的低功耗，低噪声，低成本，面积小，高线性度的优势。

[0042] 进一步地，本公开还提供了一种射频接收机，该射频接收机包括：上述实施例中的低噪声放大器，及还包括混频器，中频滤波器，数模转换器等。

[0043] 以上已经描述了本公开的各实施例，上述说明是示例性的，并非穷尽性的，并且也不限于所披露的各实施例。在不偏离所说明的各实施例的范围和精神的情况下，对于本技术领域的普通技术人员来说许多修改和变更都是显而易见的。本文中所用术语的选择，旨在最好地解释各实施例的原理、实际应用或对市场中的技术改进，或者使本技术领域的其它普通技术人员能理解本文披露的各实施例。

[0044] 以上所述仅为本公开的可选实施例，并不用于限制本公开，对于本领域的技术人员来说，本公开可以有各种更改和变化。凡在本公开的精神和原则之内，所作的任何修改、等效替换、改进等，均应包含在本公开的保护范围之内。

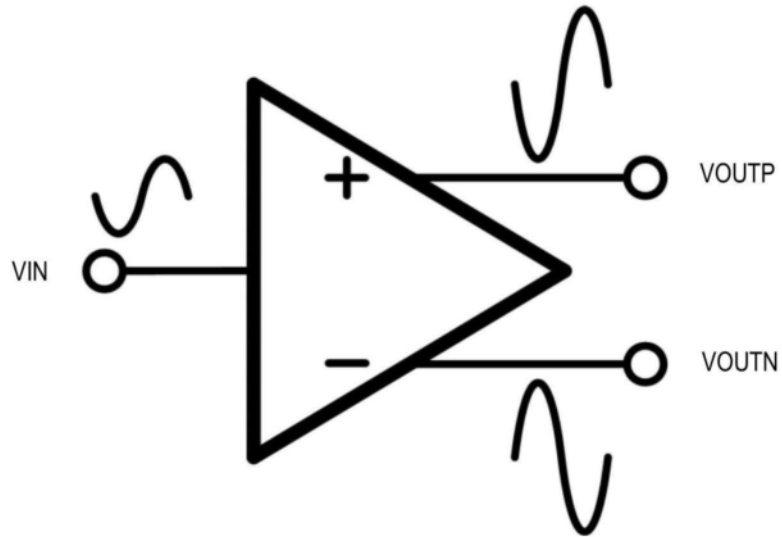


图 1

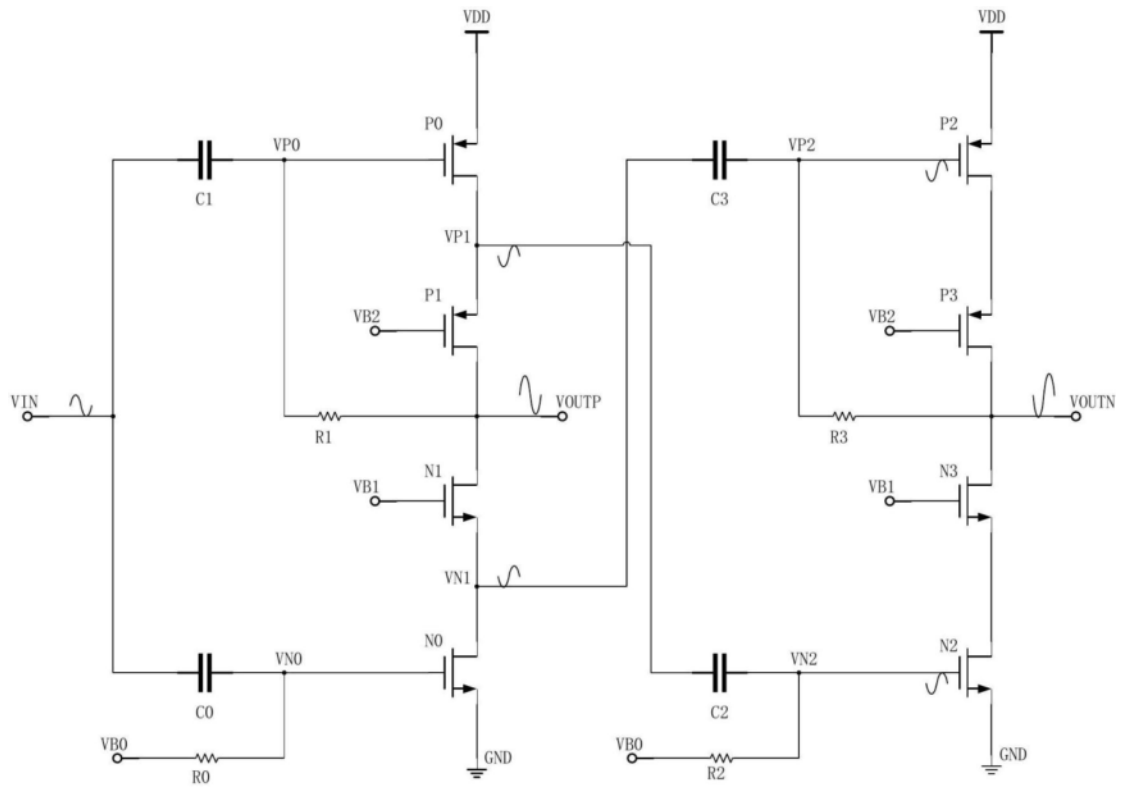


图 2

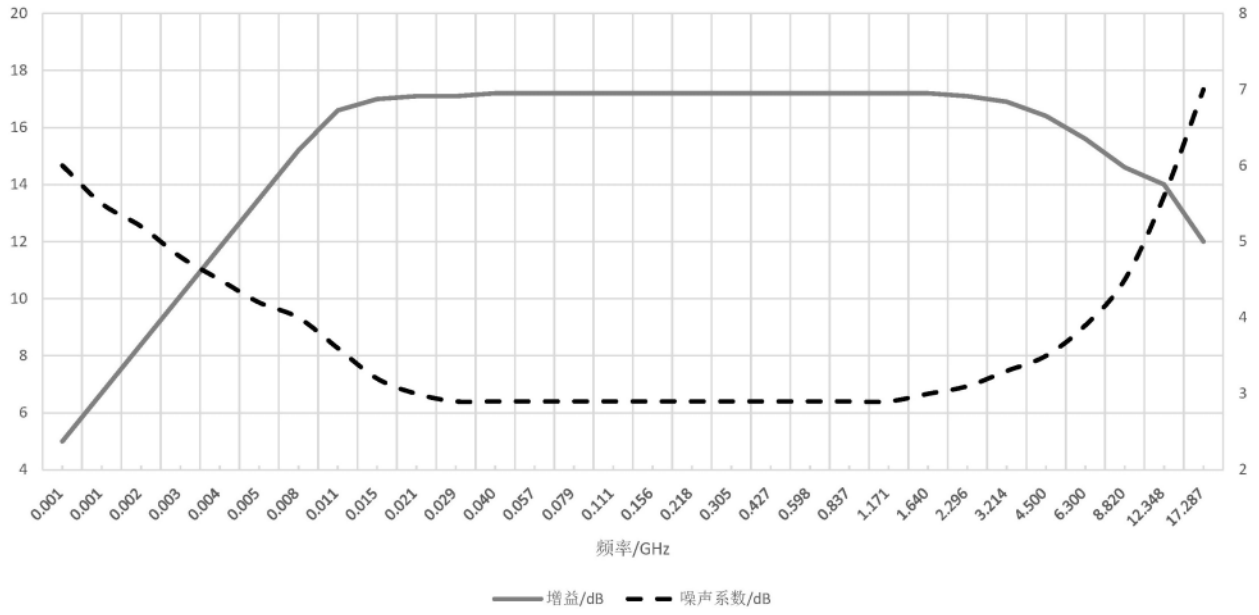


图 3

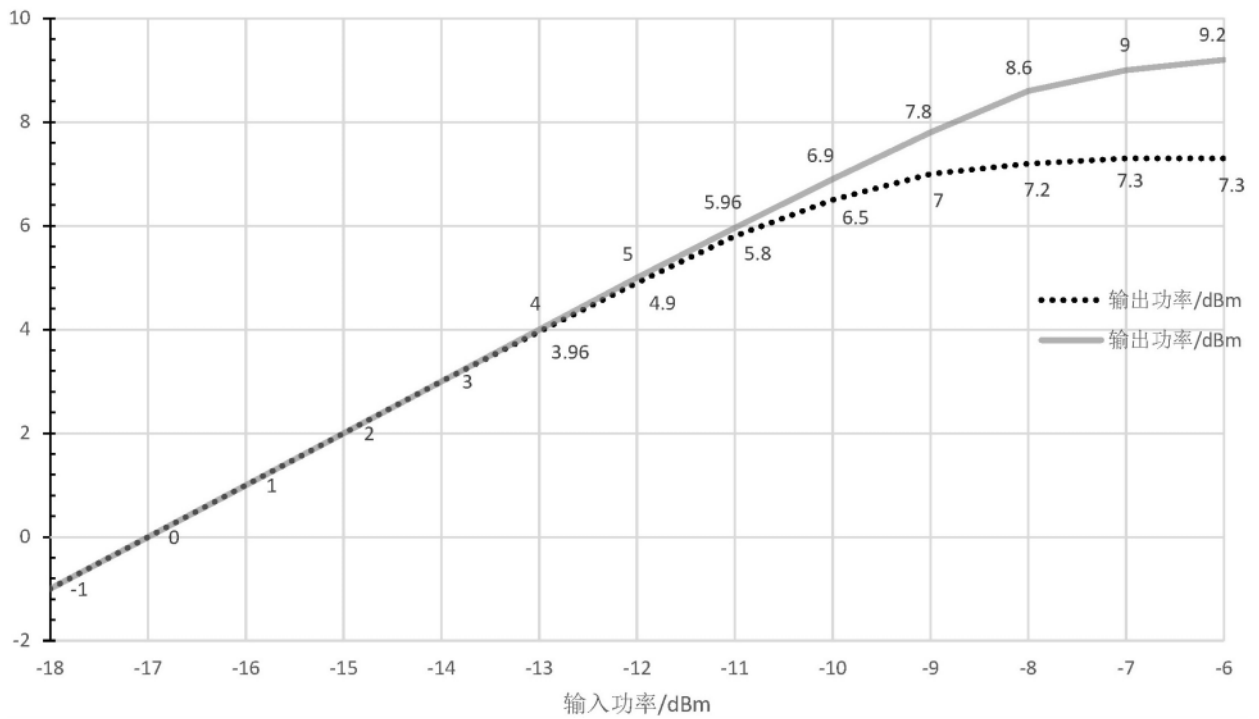


图 4