

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3916854号

(P3916854)

(45) 発行日 平成19年5月23日(2007.5.23)

(24) 登録日 平成19年2月16日(2007.2.16)

(51) Int. Cl.		F I	
HO 1 L 23/12	(2006.01)	HO 1 L	23/12
HO 1 L 21/60	(2006.01)	HO 1 L	21/60
HO 1 L 25/18	(2006.01)	HO 1 L	25/04

請求項の数 21 (全 25 頁)

(21) 出願番号	特願2000-194732 (P2000-194732)	(73) 特許権者	000005049
(22) 出願日	平成12年6月28日(2000.6.28)		シャープ株式会社
(65) 公開番号	特開2002-16182 (P2002-16182A)		大阪府大阪市阿倍野区長池町22番22号
(43) 公開日	平成14年1月18日(2002.1.18)	(74) 代理人	110000338
審査請求日	平成14年7月9日(2002.7.9)		特許業務法人原謙三国際特許事務所
審査番号	不服2004-26331 (P2004-26331/J1)	(72) 発明者	十楚 博行
審査請求日	平成16年12月24日(2004.12.24)		大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	福井 靖樹
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	矢野 祐司
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 配線基板、半導体装置およびパッケージスタック半導体装置

(57) 【特許請求の範囲】

【請求項1】

絶縁基板の第一面の周辺部に、複数それぞれ並設され、ワイヤボンダ法により接続されるターミナル部と、

絶縁基板に、外部接続用端子のランド部と、

上記第一面と第一面の反対面である第二面とに、ターミナル部とランド部とを電気的に接続するためにそれぞれ設けられた配線パターンとを有し、

上記第二面における、上記各ターミナル部にそれぞれ対面した位置に、ワイヤボンダ性を向上させるための支持パターンが、上記第二面に設けられた配線パターンと同じ高さ形成されていることを特徴とする配線基板。

【請求項2】

絶縁基板の第一面の周辺部に、複数それぞれ並設され、ワイヤボンダ法により接続されるターミナル部と、

上記第一面に、外部接続用端子のランド部と、

上記第一面の反対面である第二面に、半導体装置間接続用ランド部と、

上記第一面と第二面とに、ターミナル部とランド部および半導体装置間接続用ランド部とを電気的に接続するためにそれぞれ設けられた配線パターンとを有し、

上記第二面における、上記各ターミナル部にそれぞれ対面した位置に、ワイヤボンダ性を向上させるための支持パターンが、上記第二面に設けられた配線パターンと同じ高さ形成されていることを特徴とする配線基板。

10

20

【請求項 3】

絶縁基板の第一面の周辺部に、複数それぞれ並設された、フリップチップ接続用のターミナル部と、

上記第一面に、外部接続用端子のランド部と、

上記第一面の反対面である第二面に、半導体装置間接続用ランド部と、

上記第一面と第二面とに、ターミナル部とランド部および半導体装置間接続用ランド部とを電氣的に接続するためにそれぞれ設けられた配線パターンとを有し、

上記第二面における、上記各ターミナル部にそれぞれ対面した位置に、接続信頼性を向上させるための支持パターンが、上記第二面に設けられた配線パターンと同じ高さに形成されていることを特徴とする配線基板。

10

【請求項 4】

絶縁基板の中央部に半導体チップ搭載用の貫通孔部と、

絶縁基板の第一面の周辺部に、複数それぞれ並設され、半導体チップに対しワイヤボンド法により接続されるターミナル部と、

上記第一面に、外部接続用端子のランド部と、

上記第一面の反対面である第二面に半導体装置間接続用ランド部と、

上記第一面と第二面とに、ターミナル部とランド部および半導体装置間接続用ランド部とを電氣的に接続するためにそれぞれ設けられた配線パターンとを有し、

上記第二面における、上記各ターミナル部にそれぞれ対面した位置に、ワイヤボンド性を向上させるための支持パターンが、上記第二面に設けられた配線パターンと同じ高さに形成されていることを特徴とする配線基板。

20

【請求項 5】

半導体チップ搭載用に、耐熱性のフィルムが、貫通孔部における第二面側の開口を覆うように設けられていることを特徴とする請求項 4 記載の配線基板。

【請求項 6】

半導体チップ搭載用に、金属箔が、貫通孔部における第二面側の開口を覆うように設けられていることを特徴とする請求項 4 記載の配線基板。

【請求項 7】

支持パターンの形状は、ターミナル部の形状に対応していることを特徴とする請求項 1 ないし 6 の何れかに記載の配線基板。

30

【請求項 8】

支持パターンは、ランド部と接続されていることを特徴とする請求項 1 ないし 7 の何れかに記載の配線基板。

【請求項 9】

配線パターンを多層にて有していることを特徴とする請求項 1 ないし 8 の何れかに記載の配線基板。

【請求項 10】

支持パターンは、並設された各ターミナル部に沿って帯状に形成されている請求項 1 ないし 9 の何れか 1 項に記載の配線基板。

【請求項 11】

絶縁基板の厚さは、0.2 mm 未満である請求項 1 ないし 10 の何れか 1 項に記載の配線基板。

40

【請求項 12】

請求項 1、2、4、5 または 6 記載の配線基板に対し半導体チップが搭載され、

配線基板と半導体チップとの間の電氣的接続を行うボンディングワイヤ部が設けられ、

上記半導体チップの回路形成面および上記ボンディングワイヤ部を封止する樹脂封止部が設けられ、

半導体チップを外部と接続するための導電部材がランド部上に形成されていることを特徴とする半導体装置。

【請求項 13】

50

請求項 3 記載の配線基板に対し、半導体チップが、配線基板と半導体チップとの間をフリップチップ接続により電氣的に接続して搭載され、

上記半導体チップの回路形成面を封止する樹脂封止部が設けられ、

半導体チップを外部と接続するための導電部材がランド部上に形成されていることを特徴とする半導体装置。

【請求項 1 4】

半導体チップが複数個、平面的にまたは立体的に配線基板の上に搭載されていることを特徴とする請求項 1 2 または 1 3 記載の半導体装置。

【請求項 1 5】

絶縁基板の第一面に、半導体チップと接続されるターミナル部と、

絶縁基板に、外部接続用端子のランド部と、

上記第一面と第一面の反対面である第二面とに、ターミナル部とランド部とを電氣的に接続するためにそれぞれ設けられた配線パターンとを有する配線基板が設けられ、

ランド部上に形成される外部接続用端子部による接続部の設定された高さに基づく大きさの補強用突出部が、1 個または複数個、配線基板におけるランド部が形成された表面上で、上記ランド部を配置していない外周辺部に形成されていることを特徴とする半導体装置。

10

【請求項 1 6】

請求項 1 2 ないし 1 5 の何れかに記載の半導体装置が、複数、はんだ接合により互いに積層されていることを特徴とするパッケージスタック半導体装置。

20

【請求項 1 7】

外部に露出する半導体装置の外部接続用端子における、はんだの融点は、他の半導体装置の外部接続用端子における、はんだの融点より低く設定されていることを特徴とする請求項 1 6 記載のパッケージスタック半導体装置。

【請求項 1 8】

互いに隣り合う半導体装置間の空隙に、固定用樹脂が注入されていることを特徴とする請求項 1 6 または 1 7 記載のパッケージスタック半導体装置。

【請求項 1 9】

各半導体装置の外部接続用端子の配置は、少なくとも共通する外部接続用端子については互いの位置を考慮して設定されていることを特徴とする請求項 1 6 ないし 1 8 の何れかに記載のパッケージスタック半導体装置。

30

【請求項 2 0】

少なくとも 2 つの各半導体装置の外形寸法は、互いに異なるように設定されていることを特徴とする請求項 1 6 ないし 1 9 の何れかに記載のパッケージスタック半導体装置。

【請求項 2 1】

外部接続用端子が外部に露出する半導体装置の外形寸法は、他の半導体装置の外形寸法より大きいことを特徴とする請求項 2 0 記載のパッケージスタック半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

40

本発明は、特に、高密度実装に適した、ほぼチップサイズにまで小型化された半導体装置、およびそのための配線基板、並びに、上記半導体装置を複数有するパッケージスタック半導体装置に関するものである。

【0 0 0 2】

【従来の技術】

近年、電子機器の小型化の要求に対応するものとして、また、組立工程の自動化に適合するものとして、Q F P (Quad Flat Package) 型や B G A (Ball Grid Allay) 型の C S P (Chip Size Package) 式半導体装置が広く用いられている。

【0 0 0 3】

これらの半導体装置においては、その中に搭載されている半導体チップ(半導体素子)の

50

信号処理の高速化・高機能化により、外部接続用端子の数がより多く必要になってきている。このような場合、各外部接続用端子を半導体装置の底面に2次元的にそれぞれ配置したBGA型が多く採用されている。

【0004】

このBGA型の半導体装置の一つに、半導体チップの回路形成面を上にして、半導体チップと配線基板とをワイヤボンディング方式にて結線し、上記配線基板上の配線パターンを経由して、上記半導体チップを外部接続用端子と導通させているものが、従来、知られている。

【0005】

そのような従来の樹脂封止型半導体装置としては、特開平9-121002号公報に開示されたものが知られている。このような構造の半導体装置は、図20に示すように、Cu箔により配線パターンが形成された、配線基板67上に半導体チップ52を搭載し、半導体チップ52と配線基板67とをAuワイヤ53により接続し、トランスファーモールド法により封止して樹脂封止部61を形成し、外部接続用端子60として、はんだボールをリフロー処理によりランド部56上に形成したものである。

10

【0006】

また、このような半導体装置の内、携帯機器等へのメモリ等の付加価値や容量の増大のために、1つの半導体装置内に複数の半導体チップを搭載した半導体装置が知られている。例えば、複数個の半導体チップを横に配列し搭載したマルチチップモジュールがあるが、半導体チップを横に並べて配列するために搭載する半導体チップの総面積よりも小さな半導体装置の作製は不可能である。

20

【0007】

そこで、複数個の半導体チップを積層させ、1つの半導体装置内に搭載することにより実装密度を高めている構造の半導体装置(以下、スタックドパッケージという)が知られている。

【0008】

このようなスタックドパッケージとしては、特開平11-5221号公報に開示されたものが挙げられる。上記スタックドパッケージは、図21に示すように、電気絶縁性を有する配線基板67上に各半導体チップ52a、52bを表面側に搭載し、上記配線基板67の裏面側のランド部56上にマトリックス状に外部接続用端子60をそれぞれ備えた、半導体チップ52a、52bとほぼ同サイズのCSP構造を有するものである。

30

【0009】

このような構造の半導体装置の製造方法は以下の通りである。まず、配線基板67上に第一の半導体チップ52bを、その回路形成面を上にしてダイボンディングし、その上に第二の半導体チップ52aをダイボンディングする。その後、各半導体チップ52a、52bと配線基板67のターミナル部55とをワイヤボンディング法によるAuワイヤ53で接続する。さらに、各半導体チップ52a、52bおよびAuワイヤ53をトランスファーモールド法による樹脂封止部61により封止し、外部接続用端子60として、はんだボールをリフローによりランド部56上に形成して、前記半導体装置が得られる。

【0010】

上記の半導体装置に搭載する半導体チップ52a、52bの種類および外部接続用端子60の引き出し位置等から、前述の半導体装置のように1層の配線パターンを有する配線基板67では、配線引回しが不可能になることがあるから、図22に示すように、両面にCuからなる配線パターンをそれぞれ有する、多層の配線基板68が使用されることがある。

40

【0011】

多層の配線基板68では、基材である絶縁基板63の半導体チップ52の搭載面(以下、A面という)側だけではなく、外部接続用端子60の形成面(以下、B面という)にも配線パターンが形成され、通常、ソルダーレジスト57によって保護されている。

【0012】

【発明が解決しようとする課題】

50

ところが、上記従来では、図23に示すように、半導体チップ52とターミナル部55とをワイヤボンドにより接続する時に、上記ターミナル部55に対し絶縁基板63の厚さ方向に接続のために荷重を印加すると、上記絶縁基板63が変形することにより、十分な荷重を上記ターミナル部55に印加できず、ワイヤボンド性が低下して、半導体チップ52とターミナル部55との間において電氣的な接続不良を生じ易いという問題を生じている。

【0013】

すなわち、図20に示すように、片面のみに配線パターンを有する配線基板67の場合、通常、配線基板67のB面は、配線パターンおよび配線パターンの保護のためのソルダーレジストが形成されていないので、平坦なものである。

10

【0014】

よって、片面のみに配線パターンを有する配線基板67の場合、上記B面が、平坦であるから、ワイヤボンドを行うときに、ワイヤボンダーのステージ上に上記B面を下にして置き、ターミナル部55に対し荷重を印加しても、荷重が十分にステージにて支持されるので、荷重位置の配線基板67が変形することは防止されている。

【0015】

一方、図22に示す半導体装置に用いる多層の配線基板68の場合には、配線基板68のB面にも配線パターンが形成され、その上にソルダーレジスト57が塗布されている。このような場合、B面上には配線パターンの有無、ソルダーレジスト57の有無により凸部が生じる。

20

【0016】

配線基板68における絶縁基板63の基板厚が0.2mm以上程度と比較的厚い場合には、この凸部の形成は何ら問題にならない。しかし、基板厚が0.2mm未満、特に0.1mm以下になると、絶縁基板63の剛性が低下してくるために、半導体装置の組立時に以下のような問題が生じる。

【0017】

具体的には、絶縁基板63上に半導体チップ52をダイボンドして搭載した後、ワイヤボンド法によって、半導体チップ52と配線基板68のターミナル部55との間の電氣的接続を行う。

【0018】

このとき、この絶縁基板63のA面に配置された半導体チップ52の裏面となる、B面上に凸部があると、図23に示すように、ワイヤボンド時に矢印(絶縁基板63の厚さ方向)の方向に荷重をワイヤボンド用のターミナル部55に印加すると、絶縁基板63が厚さ方向に変形する。これにより、上記従来では、ワイヤボンド時に十分な荷重を印加できなくなり、ワイヤボンド性が低下して、半導体チップ52と配線基板68間の電氣的な接続不良を生じ易いという問題を招来している。

30

【0019】

【課題を解決するための手段】

本発明の配線基板は、以上の課題を解決するために、絶縁基板の第一面の周辺部に、複数それぞれ並設され、ワイヤボンド法により接続されるターミナル部と、絶縁基板に、外部接続用端子のランド部と、上記第一面と第一面の反対面である第二面とに、ターミナル部とランド部とを電氣的に接続するためにそれぞれ設けられた配線パターンとを有し、上記第二面における、上記各ターミナル部にそれぞれ対面した位置に、ワイヤボンド性を向上させるための支持パターンが、上記第二面に設けられた配線パターンと同じ高さに形成されていることを特徴としている。

40

【0020】

本発明の他の配線基板は、以上の課題を解決するために、絶縁基板の第一面の周辺部に、複数それぞれ並設され、ワイヤボンド法により接続されるターミナル部と、上記第一面に、外部接続用端子のランド部と、上記第一面の反対面である第二面に、半導体装置間接続用ランド部と、上記第一面と第二面とに、ターミナル部とランド部および半導体装置間

50

接続用ランド部とを電氣的に接続するためにそれぞれ設けられた配線パターンとを有し、上記第二面における、上記各ターミナル部にそれぞれ対面した位置に、ワイヤボンディング性を向上させるための支持パターンが、上記第二面に設けられた配線パターンと同じ高さに形成されていることを特徴としている。

【0021】

本発明のさらに他の配線基板は、以上の課題を解決するために、絶縁基板の第一面の周辺部に、複数それぞれ並設された、フリップチップ接続用のターミナル部と、上記第一面に、外部接続用端子のランド部と、上記第一面の反対面である第二面に、半導体装置間接続用ランド部と、上記第一面と第二面とに、ターミナル部とランド部および半導体装置間接続用ランド部とを電氣的に接続するためにそれぞれ設けられた配線パターンとを有し、 10
上記第二面における、上記各ターミナル部にそれぞれ対面した位置に、接続信頼性を向上させるための支持パターンが、上記第二面に設けられた配線パターンと同じ高さに形成されていることを特徴としている。

【0022】

本発明のさらに他の配線基板は、以上の課題を解決するために、絶縁基板の中央部に半導体チップ搭載用の貫通孔部と、絶縁基板の第一面の周辺部に、複数それぞれ並設され、半導体チップに対しワイヤボンディング法により接続されるターミナル部と、上記第一面に、外部接続用端子のランド部と、上記第一面の反対面である第二面に半導体装置間接続用ランド部と、上記第一面と第二面とに、ターミナル部とランド部および半導体装置間接続用ランド部とを電氣的に接続するためにそれぞれ設けられた配線パターンとを有し、 20
上記第二面における、上記各ターミナル部にそれぞれ対面した位置に、ワイヤボンディング性を向上させるための支持パターンが、上記第二面に設けられた配線パターンと同じ高さに形成されていることを特徴としている。

【0023】

上記構成によれば、ターミナル部とランド部とを電氣的に接続するための配線パターンを第一面と第二面とにそれぞれ設けたことにより、例えば、入出力端子の数が多き半導体チップを搭載した場合でも、ターミナル部とランド部とを、上記各配線パターンにより確実に接続でき、その上、上記構成では、絶縁基板の周辺部に、複数それぞれ並設されたターミナル部へのワイヤボンディング時やフリップチップ接続時にターミナル部が絶縁基板の厚さ方向に荷重されて押圧されても、各ターミナル部に対面した位置に上記第二面に設けら 30
れた配線パターンと同じ高さに設けられた支持パターンにより支持されて、上記絶縁基板の変形を軽減できるので、ワイヤボンディング時やフリップチップ接続時の荷重を確保でき、従来より、ワイヤボンディングやフリップチップ接続での接続信頼性を向上できる。

【0024】

上記の貫通孔部を有する配線基板においては、半導体チップ搭載用に、耐熱性のフィルムが、貫通孔部における第二面側の開口を覆うように設けられていてもよい。上記構成によれば、上記フィルムにより、半導体チップを貫通孔部に搭載し易くなる。

【0025】

上記の貫通孔部を有する配線基板においては、半導体チップ搭載用に、金属箔が、貫通孔部における第二面側の開口を覆うように設けられていてもよい。上記構成によれば、上記 40
金属箔により、半導体チップを貫通孔部に搭載し易くなると共に、上記金属箔によって、半導体チップの裏面側の保護、電磁波遮蔽および放熱性向上を図れる。

【0026】

上記配線基板においては、支持パターンの形状は、ターミナル部の形状に対応していることが望ましい。上記構成によれば、ワイヤボンディング時やフリップチップ接続時における、支持パターンによる絶縁基板の変形を、より確実に回避することが可能となる。

【0027】

上記配線基板では、支持パターンは、ランド部と接続されていてもよい。上記構成によれば、支持パターンを配線パターンとしても用いることができ、配線基板の作製を簡素化できる。

10

20

30

40

50

【0028】

上記配線基板においては、配線パターンを多層にて有していてもよい。上記構成によれば、配線パターンを多層にて有することにより、例えば、半導体チップの入出力端子の数が増大しても、ターミナル部とランド部との間での配線パターンでの接続を確保できる。

【0029】

上記配線基板では、支持パターンは、並設された各ターミナル部に沿って帯状に形成されていることが望ましい。上記構成によれば、各ターミナル部に対するワイヤボンダ時やフリップチップ接続時における、絶縁基板の支持パターンでの支持をより確実化できて、ワイヤボンダやフリップチップ接続での接続信頼性を向上できる。上記配線基板においては、絶縁基板の厚さは、0.2mm未満であってもよい。上記構成によれば、絶縁基板の厚さが0.2mm未満と薄いときに、上記支持パターンを設けることによる上述した効果をより明確に発揮できる。

10

【0030】

本発明の半導体装置は、前記の課題を解決するために、ワイヤボンダ法により接続されるターミナル部を備えた上記配線基板に対し半導体チップが搭載され、配線基板と半導体チップとの間の電気的接続を行うボンディングワイヤ部が設けられ、上記半導体チップの回路形成面および上記ボンディングワイヤ部を封止する樹脂封止部が設けられ、半導体チップを外部と接続するための導電部材がランド部上に形成されていることを特徴としている。

【0031】

上記の構成によれば、ターミナル部に対応した位置に支持パターンを有する配線基板を用いたことにより、ボンディングワイヤ部によるワイヤボンダの接続信頼性を向上できて、信頼性を改善することができる。

20

【0032】

本発明の他の半導体装置は、前記の課題を解決するために、フリップチップ接続される上記配線基板に対し、半導体チップが、配線基板と半導体チップとの間をフリップチップ接続により電気的に接続して搭載され、上記半導体チップの回路形成面を封止する樹脂封止部が設けられ、半導体チップを外部と接続するための導電部材がランド部上に形成されていることを特徴としている。

【0033】

上記の構成によれば、ターミナル部に対応した位置に支持パターンを有する配線基板を用いたことにより、フリップチップ接続の接続信頼性を向上できて、信頼性を改善することができる。

30

【0034】

上記半導体装置においては、半導体チップが複数個、平面的にまたは立体的に配線基板上に搭載されていてもよい。上記構成によれば、絶縁基板の両面に配線パターンを有しているので、半導体チップを複数備えて、上記各半導体チップの入出力端子の数が増大しても、容易に対応でき、かつ、上記各半導体チップの外部との電気的接続に関する信頼性を向上できる。

【0035】

本発明のさらに他の半導体装置は、前記の課題を解決するために、絶縁基板の第一面に、半導体チップと接続されるターミナル部と、絶縁基板に、外部接続用端子のランド部と、上記第一面と第一面の反対面である第二面とに、ターミナル部とランド部とを電気的に接続するためにそれぞれ設けられた配線パターンとを有する配線基板が設けられ、ランド部上に形成される外部接続用端子部による接続部の設定された高さに基づく大きさの補強用突出部が、1個または複数個、配線基板におけるランド部が形成された表面上で、上記ランド部を配置していない外周辺部に形成されていることを特徴としている。

40

【0036】

上記構成によれば、複数の半導体装置を互いに、配線基板の厚さ方向に積層して、隣り合う各半導体装置間を外部接続用端子により互いに電気的に接続したとき、上記補強用突出

50

部を設けたことにより、上記両者間での電氣的接続を維持できるので、各半導体装置間での接続信頼性を向上できる。

【0037】

本発明のパッケージスタック半導体装置は、前記の課題を解決するために、上記半導体装置が、複数、はんだ接合により互いに積層されていることを特徴としている。

【0038】

上記構成によれば、半導体装置を、複数、例えば、配線基板の厚さ方向に互いに重ね合わせ、各半導体装置の外部接続用端子をはんだ接合により接続することにより、各半導体装置を互いに積層させて接続することができる。

【0039】

その上、上記構成では、ワイヤボンドの接続信頼性が向上した配線基板を有する半導体装置を用いているので、接続信頼性を向上できる。

【0040】

上記パッケージスタック半導体装置においては、外部に露出する半導体装置の外部接続用端子における、はんだの融点は、他の半導体装置の外部接続用端子における、はんだの融点より低く設定されていてもよい。

【0041】

上記構成によれば、各半導体装置を積層して互いに電氣的に接続するときには、他の半導体装置の外部接続用端子における、はんだの融点に合わせてリフロー処理することにより、上記接続が可能となる。一方、外部接続用端子が外部に露出する半導体装置の外部接続用端子を、例えば外部の実装基板との電氣的な接続には、他の半導体装置の外部接続用端子における、はんだの融点より低い温度設定でできるので、他の各半導体装置間でののはんだの溶融を抑制できて、それら間での電氣的接続を確保できる。

【0042】

上記パッケージスタック半導体装置では、互いに隣り合う半導体装置間の空隙に、固定用樹脂が注入されていてもよい。上記構成によれば、固定用樹脂により、各半導体装置の変形や振動を抑制できて、より信頼性を改善できる。

【0043】

上記パッケージスタック半導体装置においては、各半導体装置の外部接続用端子の配置は、少なくとも共通する外部接続用端子については互いの位置を考慮して設定されていることが望ましい。

【0044】

上記構成によれば、少なくとも共通する外部接続用端子については互いの位置を考慮して設定することにより、互いに積層される各半導体装置間の電氣的な接続を確実化でき、かつ、作製を容易化できる。

【0045】

上記パッケージスタック半導体装置においては、少なくとも2つの各半導体装置の外形寸法は、互いに異なるように設定されていてもよい。

【0046】

上記構成によれば、外形寸法の大きな半導体装置には、入出力端子数の多いロジック回路用の半導体チップを配し、上記半導体装置より外形寸法の小さい半導体装置には、入出力端子数の少ないメモリー回路用の半導体チップを配することができる。

【0047】

上記パッケージスタック半導体装置では、外部接続用端子が外部に露出する半導体装置の外形寸法は、他の半導体装置の外形寸法より大きいことが好ましい。

【0048】

上記構成によれば、外部接続用端子が外部に露出する半導体装置には、入出力端子数が多い、ロジック回路用の半導体チップを配し、他の半導体装置には、入出力端子数がロジック回路用の半導体チップより少ないメモリー回路用の半導体チップを配することができる。

。

10

20

30

40

50

【 0 0 4 9 】

これにより、上記構成では、端子数を多く設定できる、外形寸法の大きい半導体装置を外部に露出して配置できるので、互いに積層された各半導体装置と外部との電気的接続を確実化できる。

【 0 0 5 0 】

【 発明の実施の形態 】

本発明の実施の各形態について図 1 ないし図 1 9 に基づいて説明すれば、以下の通りである。

【 0 0 5 1 】

〔 第一の実施の形態 〕

図 1 に本発明の第一の実施の形態に係る半導体装置の断面図、図 2 に上記半導体装置に用いた、本発明に係る第一の実施の形態の配線基板の A 面〔図 2 (a) を参照〕、および B 面〔図 2 (b) を参照〕の配線パターンを示す。

【 0 0 5 2 】

本第一の実施の形態に係る半導体装置は、図 1 に示すように、上記配線基板 1 と、半導体チップ 2 と、Auワイヤ（ボンディングワイヤ部）3 と、ソルダーレジスト 7 と、外部接続用端子部 1 0 と、樹脂封止部 1 1 とを有するものである。上記半導体チップ 2 としては、例えば、CPU (Central Processing Unit) やメモリ等の集積回路 (L S I : Large Scaled Integrated circuit) が挙げられる。

【 0 0 5 3 】

上記半導体チップ 2 は、配線基板 1 上にダイボンドにより搭載されている。Auワイヤ 3 は、ワイヤボンド法により配線基板 1 上のターミナル部 5 と半導体チップ 2 とを電気的接続を行うものである。樹脂封止部 1 1 は、トランスファーマールド法により、上記半導体チップ 2 および Auワイヤ 3 を封止樹脂によって覆うことにより保護するためのものである。

【 0 0 5 4 】

外部接続用端子部（導電部材）1 0 は、半導体チップ 2 の搭載部位の面（以下、A 面 1 3 a という）とは反対面（以下、B 面 1 3 b という）に形成された、後述するランド部 6 上に、はんだボールをリフロー処理により形成してなるものである。

【 0 0 5 5 】

上記配線基板 1 には、図 1 および図 2 に示すように、例えば、基材厚 0 . 0 6 m m のガラスエポキシ材からなる絶縁基板 1 3 に対し、半導体チップ 2 を外部と接続するための、導電性のランド部 6 が複数、上記半導体チップ 2 の入出力端子の数に合わせて、例えばマトリクス状に、それぞれ、B 面 1 3 b 上に形成されている。

【 0 0 5 6 】

また、配線基板 1 には、半導体チップ 2 の搭載部位の面である、A 面 1 3 a の周辺部に、半導体チップ 2 の上面端子と電気的に接続される、ワイヤボンド用の導電性、例えば Cu 箔からなるターミナル部 5 が、複数、半導体チップ 2 の入出力端子の数に合わせて、それぞれ、並設されている。

【 0 0 5 7 】

さらに、配線基板 1 の A 面 1 3 a 上には、ランド部 6 と、それに対応するターミナル部 5 とをそれぞれ電気的に接続するための配線パターン 4 が、導電性金属箔、例えば Cu 箔により形成されている。このため、配線パターン 4 の先端部と、ランド部 6 とを電気的に接続するために、上記先端部とランド部との間の絶縁基板 1 3 にスルーホール部 8 が形成されており、そのスルーホール部 8 に、銀や金等によるメッキまたは導電性ペーストが充填された接続部 1 7 が形成されている。

【 0 0 5 8 】

また、配線基板 1 における、A 面 1 3 a の反対面である B 面 1 3 b 上には、A 面 1 3 a 上での配線パターン 4 では配線しきれない、ランド部 6 と、それに対応するターミナル部 5 とをそれぞれ電気的に接続するための配線パターン 4 ' が、導電性金属箔、例えば Cu 箔

10

20

30

40

50

により形成されている。

【0059】

この配線パターン4'を、A面13a上の配線パターン4を介して、対応するランド部6に接続するために、絶縁基板13には、スルーホール部8aが、上記配線パターン4'に応じて穿設されている。このスルーホール部8aでは、図示しないが、導電体、例えばCuからなるハトメや、上記メッキや導電性ペースト等により、スルーホール部8aに達する配線パターン4および配線パターン4'を互いに電氣的に接続するようになっている。よって、A面13aの配線パターン4は、前記ターミナル部5から、上記スルーホール部8aを介して対応するランド部6への配線パターンも含むものとなっている。

【0060】

そして、配線基板1では、絶縁基板13のB面13b上における、各ターミナル部5が形成されている位置に相対する位置（対面する位置）に、ランド部6や配線パターン4'の高さに基づく高さ、より好ましくは同じ高さを有する支持パターン9が、二辺部の全ターミナル部5と一辺部毎にそれぞれ相対する略帯状のダミーパターンとして形成されている。また、上記支持パターン9を、B面13b上に形成された凸部の内、最もB面13b上にて高いものに応じて、より好ましくは合わせて形成してもよい。

【0061】

このような支持パターン9は、配線パターン4'をエッチング等により形成するとき、A面13a上のターミナル部5を形成するためのエッチングパターンを援用して、同時に作製でき、かつ、高さを合わせることも容易にできることから、ランド部6や配線パターン4'と同様な素材であることが好ましい。

【0062】

このような配線基板1は、絶縁基板13のA面13a上に、半導体チップ2を搭載し、その半導体チップ2の上面（下面は絶縁基板13にダイボンドされる）の回路形成面の各入出力端子（図示せず）と、絶縁基板13の各ターミナル部5とがワイヤボンド法を用いたAuワイヤ3によりそれぞれ電氣的に接続されるものである。

【0063】

通常、ワイヤボンド法は、ワイヤボンダーのステージ上に配線基板1を吸着により固定したり、クランパーによる挟持によって配線基板1を押圧して固定したりすることで行われる。配線基板1が十分な剛性を有しているときは、配線基板1のB面13bに配線パターン4'等による凹凸があり十分な固定ができなくとも、ワイヤボンド接続のときに配線基板1に対し荷重を印加した場合に、上記配線基板1が変位することは防止されており、十分に電氣的接続信頼性の高いワイヤボンド接続が得られる。

【0064】

一方、本第一の実施の形態に記載の配線基板1のように、絶縁基板13の基板厚が、例えば0.06mmと薄く、上記絶縁基板13の剛性が小さい場合には、各ターミナル部5の部分十分に固定できないと、ワイヤボンド法により荷重を絶縁基板13上の各ターミナル部5に対し印加したとき、上記絶縁基板13が厚さ方向に変位し、荷重不良のため十分なワイヤボンド接続が得られない。

【0065】

このような配線基板1でも、片面つまりA面13aにのみ配線パターン4が形成されている場合、B面13bが平坦であるため、上記配線基板1の絶縁基板13の厚さが薄い場合でも、ワイヤボンダーへの絶縁基板13の固定が十分にできるため、ワイヤボンド性の低下は回避されている。

【0066】

しかしながら、本第一の実施の形態では、配線基板1の基板厚は薄く、かつ、B面13b上にも配線パターン4'等が形成されているため、配線基板1のB面13b上に凹凸が生じている。仮に、配線基板1の全域を固定できないとしても、ワイヤボンドされるターミナル部5に相対するB面13bは最低限固定する必要がある。

【0067】

10

20

30

40

50

そこで、本発明に係る配線基板 1 は、各ターミナル部 5 に相対する位置の B 面 1 3 b に、B 面 1 3 b 上に形成された配線パターン 4' 等の高さを考慮して形成された支持パターン 9 を有しているため、上記のようなワイヤボンディング時において、上記荷重を上記支持パターン 9 にて支えることができ、荷重時の絶縁基板 1 3 の変形（弾性変形または塑性変形）を防止できる。

【0068】

このことから、上記配線基板 1 では、ワイヤボンディング時に荷重を、設定値に正確に印加できるので、Au ワイヤ 3 とターミナル部 5 との電気的な接続を確実化できる。

【0069】

なお、配線基板 1 において、ターミナル部 5 に相対する B 面 1 3 b の位置に形成される支持パターン 9 は、押圧位置での絶縁基板 1 3 の変形を防止するように上記絶縁基板 1 3 をワイヤボンディングのステージ上で支持できるものであればよく、前述のダミーパターンに限定されるものではなく、ランド部 6 と接続させた配線パターン 4' を用いてもよく、また、図 2 (c) に示すように、形成された支持パターン 9 は、複数に、例えば、各ターミナル部 5 の配列に応じて分割されて形成されていてもよい。

【0070】

〔第二の実施の形態〕

図 3 に、本発明に係る第二の実施の形態の半導体装置の断面図 (a)、上面図 (b)、下面図 (c) を示す。本第二の実施の形態の半導体装置は、図 3 に示すように、配線基板 1 上の各ターミナル部 5 に対し、半導体チップ 2 を、例えば異方性導電膜 1 9 により、フリップチップ接続して、配線基板 1 と半導体チップ 2 との間を電気的に接続し、かつ互いに固定したものである。

【0071】

上記半導体装置では、外部接続用端子部 1 0 は、半導体チップ 2 の搭載面と同一面つまり A 面 1 3 a の外部接続用端子の各ランド部 6 上に、はんだボールをリフロー接続して形成されている。このため、A 面 1 3 a には、各ターミナル部 5 と、各ランド部 6 とを電気接続するための各配線パターン 4 が形成されている。

【0072】

本第二の実施の形態に係る配線基板 1 には、例えば 0.1 mm 以下のガラスエポキシ材からなる絶縁基板 1 3 の B 面 1 3 b 上に、半導体装置間の接続用に、半導体装置間接続用ランド部 6' が、上記各ランド部 6 の対面する位置に、それぞれ形成されている。上記の対面する、ランド部 6 と、半導体装置間接続用ランド部 6' とは、スルーホール部 8 の接続部 1 7 を介して、電気的に互いに接続されている。よって、相対する位置にある各ランド部 6、6' は、それぞれ、同じ電気信号を有するように配線されている。

【0073】

また、配線基板 1 では、絶縁基板 1 3 における、半導体チップ 2 をフリップチップ接続する領域の反対側の面である B 面 1 3 b に、フリップチップ接続時の圧力が半導体チップ 2 と配線基板 1 の各ターミナル部 5 との間の各接続点に十分にかかるように、前述と同様な支持パターン 9 が、半導体装置間接続用ランド部 6' を考慮、つまりその高さを考慮して形成されており、よって、フリップチップ接続時における、上記 B 面 1 3 b の平坦性を確保している。

【0074】

これにより、上記構成は、上記支持パターン 9 を設けたことによって、半導体チップ 2 と配線基板 1 の各ターミナル部 5 との電気的な接続を確実化できるものとなっている。

【0075】

〔第三の実施の形態〕

図 4 に、本発明の第三の実施の形態に係る半導体装置の断面図 (a)、上面図 (b)、下面図 (c) を示す。なお、上記の第二および第三の各実施の形態と同様な機能を有する部材については、同一の部材番号を付与して、それらの説明を必要がないかぎり省いた。

【0076】

10

20

30

40

50

本第三の実施の形態の半導体装置では、図4、図6および図7に示すように、半導体チップ2の搭載用としての、貫通孔部13cが形成された配線基板1と、半導体チップ2をAuワイヤ3により接続され、Auワイヤ3および半導体チップ2の回路形成面が樹脂封止部11により封止され、外部接続用端子部10は、樹脂封止面と同一面に形成されている。

【0077】

図4に示す第三の実施の形態に係る半導体装置の製造方法を以下に図5に基づいて説明する。まず、絶縁基板13のほぼ中央部に、半導体チップ2の搭載用の、略矩形に穿設された貫通孔部13cを形成した配線基板1を用いる。このような貫通孔部13cを有する配線基板1の片面に対し、接着剤面を備えたフィルム12を上記接着剤面により貼り付ける

10

【0078】

続いて、上記貫通孔部13cの部分のフィルム12上に半導体チップ2を搭載する。このとき、半導体チップ2の各入出力端子の形成面の反対面（以下、背面という）が上記接着面に接着されている。

【0079】

その後、ワイヤボンダ法により、半導体チップ2と絶縁基板13のターミナル部5との間をAuワイヤ3によって電氣的に接続し、半導体チップ2の回路形成面とAuワイヤ3とを覆うように樹脂封止した樹脂封止部11を形成する。

【0080】

外部接続用端子のランド部6上に、はんだペースト印刷後、リフローを実施し、外部接続用端子部10を形成する。次に、ダイシング切断装置を用いて、個々の半導体装置に分割する。個片に分割後、ピックアップしてトレイに収納する。

20

【0081】

以下、上記工法をさらに具体的に説明する。図5に本第三の実施の形態に係る半導体装置の製造工程の各工程を示す。図6に上記半導体装置に用いる両面配線の配線基板1の断面図を、図7に両面の配線パターン4の例を示す。

【0082】

配線基板1の絶縁基板13は、厚さ0.06mm~0.1mmのガラスクロス入りエポキシ材で、半導体チップ搭載部分である貫通孔部13cをルーター・金型等で穴あけ加工する。

30

【0083】

上記配線基板1は、Cuからなる各配線パターン4、4'を両面に有し、両面の、互に対応する各配線パターン4、4'はスルーホール部8の接続部17によって接続されている。さらに、絶縁基板13における、各ターミナル部5の形成面に、外部接続用端子であるランド部6が、その反対面に、半導体装置間接続用ランド部6'がそれぞれ形成されている。

【0084】

そして、ワイヤボンダ用の各ターミナル部5が形成されている反対側の面には、前述と同様な支持パターン9を配置し、ワイヤボンダ性を向上させている。

40

【0085】

ランド部6は、例えば、0.5mmピッチで配列され、その径が0.2mm~0.3mmである。両面の各ランド部6、6'間の接続を行うスルーホール部8は、図6中に示すように、ランド部6下にあるパッドオン構造でもよいし、ランド部6と別の位置に配置し配線パターン4により接続を行った構造でもよい。上記各ランド部6、6'およびワイヤボンダ用のターミナル部5以外の配線は、ソルダーレジスト7が塗布され保護されている。配線基板1の仕上げり厚さは、0.1mm~0.2mm程度となる。

【0086】

次に、上記半導体装置の製造方法について説明すると、図5に示すように、上記絶縁基板13の両面に各配線パターン4、4'を有する配線基板1の、半導体チップ搭載用の貫通

50

孔部 13c に、半導体チップ 2 を搭載できるように予めフィルム 12 を貼り付けておき、上記貫通孔部 13c 内のフィルム 12 上に半導体チップ 2 を搭載する。フィルム 12 は、半導体装置の組立の各工程での熱履歴に対して十分な耐熱性を有するものが望ましい。また、フィルム 12 は、半導体チップ 2 を固定し、また、絶縁基板 13 に容易に貼り付けるために、片面に接着成分を備えたものが望ましい〔図 5 (a) 参照〕。

【0087】

次に、配線基板 1 と、半導体チップ 2 との間をワイヤボンダ法すなわち Au ワイヤ 3 により接続する。半導体装置を薄型にするために、超低ループのワイヤボンダ法を用いる。ワイヤボンダ法を用いると半導体チップ 2 と配線基板 1 との接続に柔軟性を備えさせることができる。

10

【0088】

フリップチップボンディング法やシングルポイントボンディング法等の他の接続方法を用いたときは、半導体チップ 2 の種類毎に配線基板 1 の設計を行う必要があるが、ワイヤボンダ法を用いるとチップシュリンク等による半導体チップ 2 のパッドピッチの変更や、メモリ等の端子配列が標準化された半導体チップ 2 等で、新たな基板設計を行う必要が無い〔図 5 (b) 参照〕。

【0089】

次に、半導体チップ 2 および Au ワイヤ 3 を樹脂封止して樹脂封止部 11 を形成する。従来より用いられているトランスファーモールド法を用いて、半導体チップ 2 の回路形成面を片面封止する。封止方法は特にトランスファーモールド法でなくてもよく、ポッティングにより描画法やスクリーンマスクを用いた印刷法で実施してもよい〔図 5 (c) 参照〕。

20

【0090】

外部接続用端子部 10 の形成は、配線基板 1 のモールド封止面と同一の面上のランド部 6 上に、はんだペーストを印刷後、リフローにより半球状に形成させて成される。また、外部接続用端子部 10 の形成は、はんだペーストの代わりに、はんだボールを用いて、通常の BGA と同様のボール搭載法で実施してもよい〔図 5 (d) 参照〕。

【0091】

外部接続用端子部 10 の形成後、ダイシングにより半導体装置を個片化する〔図 5 (e) 参照〕。半導体装置を個片化する方法は、ダイシング法に限定されるものではなく、ルーターや金型による切断も可能である。また、配線基板 1 の個々の半導体装置装置間に予めスリットを形成しておき、そのスリットから切断する方法も有効である。本第三の実施の形態の半導体装置においては、外部接続用端子部 10 の厚みを 0.1mm ~ 0.15mm 程度に設定することで、厚み約 0.2mm ~ 0.3mm での製造が可能である。

30

【0092】

〔第四の実施の形態〕

本発明に係る第四の実施の形態としての積層半導体装置（以下、パッケージスタック半導体装置という）について以下に説明する。

【0093】

本第二および第三の実施の各形態に係る半導体装置は、ランド部 6 や半導体装置間接続用ランド部 6' を配線基板 1 の両面に露出してそれぞれ有するために、半導体チップ 2 のサイズや種類に関係なく、半導体装置の外形サイズおよび外部接続用端子部 10 の配置を、互いに考慮して、例えば統一することにより、各半導体装置を互いに積層し、各半導体装置間を電氣的に接続することで、2 個以上の各半導体装置を、1 個の前記パッケージスタック半導体装置として使用することができる。

40

【0094】

上記パッケージスタック半導体装置は、図 8 に示すように、最上段に位置する半導体装置 21₁ から順に外部接続用端子部 10 を上（投入口に向けて）にして、各半導体装置 21₁ ~ 21₃ をパッケージスタック化用トレイ 14 に収納し、リフロー処理により、互いにはんだ接続されたものである。このようなパッケージスタック半導体装置は、このまま

50

1個の積層半導体装置として使用してもよいし、リフロー接続後に、はんだ接続部以外の半導体装置 $21_1 \sim 21_3$ 間の空隙部に、後述する固定用の樹脂を注入することで、より信頼性の高いものとするのが可能になる。

【0095】

また、予め、各半導体装置 $21_1 \dots$ の組立時、パッケージスタック半導体装置の何段目として使用されるかが決まっている場合には、最下段（つまり、外部接続用端子部10が露出していて、外部と接続される半導体装置）に使用される半導体装置 21_N （ N は積層数）の外部接続用端子部10には通常用いられる $S_n - P_b$ のはんだを使用し、2段目以上に使用される各半導体装置 $21_1 \sim 21_{N-1}$ には、上記 $S_n - P_b$ のはんだの融点より、高融点のはんだを使用するのが好ましい。

10

【0096】

これにより、各半導体装置 $21 \dots$ を積層して互いに電氣的に接続するときのリフロー処理を、高融点のはんだに合わせた温度条件で実施し、最下段の半導体装置 21_N への実装基板搭載時のリフロー処理を通常の実施することで、各半導体装置 $21_1 \sim 21_{N-1}$ 間の接続を行っているはんだの溶融・流失を最小限に抑制できる。

【0097】

また、図9に示すように、半導体装置 $21 \dots$ を個片化する前にフレーム状態の集合半導体装置22のまま、半導体装置 $21 \dots$ の積層を行うこともできる。このまま個片に、図9中破線にて示した切断線にて切断してもよいし、個片化を行う前に各フレーム間に固定用の樹脂の注入を行うと、切断部分に各半導体装置 $21 \dots$ 間の空隙が無くなり、より安定した切断に効果的である。

20

【0098】

上記半導体装置 21 を4個使用し、パッケージスタックを行ったパッケージスタック半導体装置の断面図を図10(a)に示す。また、図10(b)に固定用樹脂15を注入した形態の断面図を示す。同じ半導体チップ2を搭載した半導体装置 21 を互いに積層した場合、各半導体装置 $21 \dots$ の外部接続用端子部10の配列を、チップセレクト用端子を除いて、同じ位置に設定しておくこと、上段の半導体装置 21 の信号を下段の半導体装置 21 の半導体装置間接続用ランド部6'を介して外部基板と接続できる。

【0099】

パッケージスタック半導体装置として使用するとき、それぞれの半導体装置 21 を識別するために、各半導体装置 $21 \dots$ にチップセレクト用端子をそれぞれ設けることが望ましい。

30

【0100】

配線基板1に、互いに積層する半導体装置 $21 \dots$ の数と同じ数以上のチップセレクト用端子を、配線基板1に配置しておくこと、ワイヤ接続の変更のみで同一の配線基板1を用いて製造した半導体装置 21 同士での積層が可能である。図11(b)に4段の積層の場合の一例を示す（仮に、最下段の半導体装置 21 より順に第1段、第2段...とする）。

【0101】

同じタイプの半導体チップ2を有する半導体装置 21 をパッケージスタックする場合は積層毎に新たな基板設計を行う必要が無く、ワイヤボンディング位置の変更のみで積層位置を変えることができる。ワイヤボンディング法以外のフリップチップ接続法やインナーリードボンディング法等を用いて半導体チップ2と配線基板1との間の電氣的接続を行う方法では、ワイヤボンディング法のように同じ配線基板1を用いて接続端子を変更することはできない。

40

【0102】

一方、配線基板1側のチップセレクト端子接続用のターミナル部5付近の配線23を、図11(a)のように設定すると、各半導体装置 $21 \dots$ の配線基板1に切欠部や貫通穴部を設け、配線23を切断することで、パッケージスタック位置を設定することができる。

【0103】

半導体装置 21 をチップセレクトAとして使用するときには、図中のターミナル部5Aにワイヤボンディングを行い、C部の配線23を切断する。一方、チップセレクトBとして使用す

50

るときにも、ターミナル部 5 A に接続し、D 部の配線 2 3 を切断する。これにより、同一の半導体チップ 2 と配線基板 1 を用いて作製した半導体装置 2 1 同士を積層させても、電氣的、外観的に判別可能になる。配線基板 1 への切欠部や貫通穴部の加工は、配線基板 1 への加工時に行ってもよいし、半導体装置 2 1 を個片化させるときに行ってもよいし、半導体装置 2 1 の個片化後に行ってもよい。

【 0 1 0 4 】

このような配線基板 1 を用いると、積層する各半導体装置 2 1 の個数より少ない端子数でチップの識別が可能になり、ワイヤボンドのためのターミナル部 5 の数を減らすことが可能になる。また、半導体装置 2 1 の外観も異なるために容易に識別が可能になる。

【 0 1 0 5 】

チップサイズが大きく異なるが、端子の配列が似通ったチップが存在するとき、図 1 2 に示すような配線基板 1 を用い、チップ搭載部の貫通孔部 1 3 c の大きさを変えることにより、新たな基板設計を省いて、同一の配線基板 1 に対する、用いることができる半導体チップ 2 の種類を増加させることが可能となる。

【 0 1 0 6 】

半導体チップ 2 のサイズが小さいときは、図中の中央の実線内を、貫通孔部 1 3 c として穴あけ加工し、配線基板 1 の内側のワイヤボンド用のターミナル部 5 を用いる。一方、半導体チップ 2 のサイズが大きい場合には、上記実線で示した貫通孔部 1 3 c の外形寸法より大きい外形寸法を有する、破線内を貫通孔部 1 3 c として穴あけ加工し外側のターミナル部 5 を用いればよい。

【 0 1 0 7 】

図 1 3 に示すように、配線基板 1 において、外部接続用端子部 1 0 のためのランド部 6 を配置していない外周辺部に、ランド部 6 上に形成される外部接続用端子部 1 0 による接続部の、設定された大きさ（高さ）に基づく、大きさの補強用端子（補強用突出部）1 6 を、1 個または複数個配置しておく、積層後の半導体装置 2 1 間および半導体装置 2 1 と実装基板との間の接続信頼性の向上に有効である。

【 0 1 0 8 】

次に、ロジック回路のための半導体チップ 2 と、メモリー回路のための半導体チップ 2 のように、外部接続用端子部 1 0 の数が大きく異なり、それらの外形寸法も相違する場合の積層形態を図 1 4 (a) ないし図 1 4 (c) に示す。上記積層形態に関する、図 1 4 (a) は正面図、図 1 4 (b) は側面図、図 1 4 (c) は上面図である。

【 0 1 0 9 】

ロジック回路のための半導体チップ 2 と、メモリー回路のための半導体チップ 2 との組み合わせのように、端子配列や端子数が大きく異なる各半導体チップ 2 を互いに積層するときは、例えば図 7 に示す配線基板 1 と、それより外形寸法の大きな、例えば図 1 6 に示すような配線基板 1 を組み合わせて用いればよい。

【 0 1 1 0 】

ロジック回路のための半導体チップ 2 は、外部接続用端子部 1 0 の数が、メモリー回路のための半導体チップ 2 と比較して多くなるために、図 1 5 に示すように、上記半導体チップ 2 を有する半導体装置においては、四辺部にそれぞれ外部接続用端子部 1 0 が有する配線基板 1 が用いられる。四辺部の内、二辺部の各外部接続用端子部 1 0 は、ロジック回路専用の端子として、残りの二辺部の各外部接続用端子部 1 0 は、メモリー回路とロジック回路の共通の外部接続用端子部 1 0 およびメモリー回路専用の外部接続用端子部 1 0 とする。

【 0 1 1 1 】

パッケージスタック後の半導体装置の構造は、図 1 4 (a) ないし図 1 4 (c) に示すように、最下段にロジック回路のための半導体チップ 2 を有する配線基板 1 の半導体装置 2 1₄ を、2 段目以上は、メモリー回路のための半導体チップ 2 を有する配線基板 1 の各半導体装置 2 1₁ ~ 2 1₃ を、互いに積層させて有するものとなる。メモリー回路のための配線基板 1 の外部接続用端子部 1 0 は、ロジック回路の配線基板 1 を介して外部の実装基

10

20

30

40

50

板と接続される。

【0112】

本発明に係る半導体装置の他の製造方法として、配線基板1の、半導体チップ搭載部の貫通孔部13cの片側(B面13b側)の開口を、配線パターン4に用いるのと同じCu箔20でふさいだ配線基板1を用いたものが挙げられる。この配線基板1の断面図を図16(b)に示す。上述した製造方法で使用したフィルム12に代えて、Cu箔20を用いる。また、このCu箔20は、ワイヤボンダ用のターミナル部5の裏面にも配置され、ワイヤボンダ性向上のための役割も果たしている。

【0113】

まず、貫通孔部13cのCu箔20上に半導体チップ2を搭載し、半導体チップ2と配線基板1のターミナル部5とをワイヤボンダ法であるAuワイヤ3により接続した後、半導体チップ2の回路形成面およびAuワイヤ3を樹脂により封止する。続いて、前述と同様に外部接続用端子であるランド部6に対し、リフロー処理により、外部接続用端子部10を形成する。

10

【0114】

その後、フレーム状の配線基板1をダイシング接続用のフィルムに貼り付け、切断を行う。ダイシング切断により個片化された半導体装置の半導体チップ2の裏面には、Cu箔20が残ることになる。このようなCu箔20は、フィルム12の取り付けを省けるという、半導体装置の組み立て上のメリットだけではなく、半導体チップ2の裏面側の保護、電磁波遮蔽および放熱性向上等の効果を発揮するものである。

20

【0115】

本発明に係る半導体装置のさらに他の製造方法として、チップ供給装置付きワイヤボンダを用いる方法を例えば図5に基づいて説明する以下の通りである。まず、上記製造方法では、ワイヤボンダのステージ部に固定された配線基板1の、半導体チップ搭載位置の貫通孔部13cのステージ露出部分に半導体チップ2を供給し、真空吸着により半導体チップ2をステージに固定し、ワイヤボンダを実施する。上記半導体装置に用いる半導体チップ2の厚さは、例えば150μm以下と薄いため、ワイヤボンダ以降の樹脂封止までの工程での搬送は、Auワイヤ3による支持のみで可能である。

【0116】

上記の第一ないし第三の実施の各形態においては、配線基板1の材質として、ガラスエポキシ材を用いた例を挙げたが、これに限定されるものではなく、例えばポリイミド、BT(ビスマレイド・トリアジン)レジン、アラミド等の樹脂を用いることもできる。

30

【0117】

〔第五の実施の形態〕

図17に、本発明の第五の実施の形態に係る半導体装置の断面図を示す。上記半導体装置は、上記の第三の実施の形態に係る半導体装置内に、2つの各半導体チップ2a、2bを搭載した構造を有するものである。上記半導体装置では、用いる各半導体チップ2a、2bの厚さは、上記第三の実施の形態に示した半導体チップ2の厚さより薄いものを用いている。

【0118】

第五の実施の形態に係る半導体装置では、前記第三の実施の形態と同様に、第一の半導体チップ2aをフィルム12上に搭載した後、裏面に熱圧着タイプのフィルムを貼り付けた第二の半導体チップ2bを、第一の半導体チップ2aの回路形成面にダイボンダした後、各半導体チップ2a、2bをワイヤボンダ法のAuワイヤ3により配線基板1と接続を行い、樹脂封止、外部接続用端子部10の取り付け、切断を行う。

40

【0119】

第二の半導体チップ2bは、配線基板1に対し直接ワイヤボンダしてもよいし、第二の半導体チップ2bから第一の半導体チップ2aにワイヤボンダし、第一の半導体チップ2aを介して配線基板1との電氣的接続を行ってもよい。このような積層は、2段に限定されず、3段目以降も同等な方法で実施可能である。

50

【 0 1 2 0 】

また、半導体チップ 2 は積層するのではなく、図 1 8 のように 2 次元的に平面上に並設するように配置してもよいし、図 1 9 のように、平面上に並設された各半導体チップ 2 a、2 c に対し、さらに他の半導体チップ 2 b、2 d を積層してもよい。また、本発明で用いる配線基板 1 において、配線パターン 4 の層数は、2 層に限定されることはなく、それ以上の多層になっている配線基板 1 を用いてもよい。

【 0 1 2 1 】

【 発明の効果 】

本発明の配線基板は、以上のように、絶縁基板の周辺部上に、ワイヤボンドやフリップチップ接続用のターミナル部が、複数それぞれ並設され、上記ターミナル部の形成面とは反対面の、上記各ターミナル部にそれぞれ対面した位置に、ワイヤボンド時等の接続信頼性を向上させるための支持パターンが、上記反対面に設けられた配線パターンと同じ高さに形成されている構成である。

10

【 0 1 2 2 】

それゆえ、上記構成は、ワイヤボンド時等にターミナル部が押圧されても、支持パターンにより絶縁基板の変形が軽減されるので、従来より、ワイヤボンド等での接続信頼性を向上できるという効果を奏する。

【 0 1 2 3 】

本発明の半導体装置は、以上のように、上記配線基板を有する構成である。それゆえ、上記構成は、従来より、ワイヤボンドやフリップチップ接続での接続信頼性を向上できる薄型の半導体装置を提供できるという効果を奏する。

20

【 0 1 2 4 】

本発明のパッケージスタック半導体装置は、以上のように、上記半導体装置を積層した構成である。それゆえ、上記構成は、露出しているランド部上に形成された外部接続用端子を用いて、各半導体装置を互いに積層しても、各半導体装置間の電氣的な接続を確実化できるという効果を奏する。

【 図面の簡単な説明 】

【 図 1 】本発明に係る第一の実施の形態に関する配線基板およびそれを用いた半導体装置の断面図である。

【 図 2 】上記配線基板の両面に関する説明図であって、(a) は、A 面での配置の説明図を示し、(b) は、B 面での配置の説明図を示し、(c) は、B 面での配置の変形例を示す説明図を示す。

30

【 図 3 】本発明に係る第二の実施の形態の配線基板およびそれを用いた半導体装置の説明図であって、(a) は断面図、(b) は上面図、(c) は下面図を示す。

【 図 4 】本発明に係る第三の実施の形態の配線基板およびそれを用いた半導体装置の説明図であって、(a) は断面図、(b) は上面図、(c) は下面図を示す。

【 図 5 】上記半導体装置の製造工程を示す各工程図である。

【 図 6 】上記半導体装置に用いる配線基板の概略断面図である。

【 図 7 】上記配線基板の説明図であって、(a) は上面図、(b) は下面図である。

【 図 8 】本発明に係るパッケージスタック半導体装置の説明図である。

40

【 図 9 】上記パッケージスタック半導体装置の製造方法を示す説明図である。

【 図 1 0 】上記パッケージスタック半導体装置の他の例を示す説明図であって、(a) は半導体装置を 4 層に積層したものの概略断面図であり、(b) は上記各半導体装置間に固定用樹脂を注入したものの概略断面図である。

【 図 1 1 】上記パッケージスタック半導体装置において、各半導体装置のチップセレクトの様子を示す説明図であって、(a) は、半導体装置にセレクト用の配線を示す、上記半導体装置の要部平面図であり、(b) は、上記半導体装置においてターミナル部にチップセレクト機能を付与した例を示す上記半導体装置の要部平面図である。

【 図 1 2 】上記配線基板の他の変形例を示す概略平面図である。

【 図 1 3 】上記配線基板のさらに他の変形例を示す概略平面図である。

50

【図14】上記パッケージスタック半導体装置の他の変形例を示す説明図であって、(a)は正面図、(b)は側面図、(c)は平面図である。

【図15】上記パッケージスタック半導体装置に用いる配線基板の平面図である。

【図16】上記配線基板のさらに他の変形例を示す説明図であって、(a)は正面図、(b)は、上記(a)の矢視断面図である。

【図17】上記半導体装置のさらに他の変形例の断面図である。

【図18】上記半導体装置のさらに他の変形例の断面図である。

【図19】上記半導体装置のさらに他の変形例の断面図である。

【図20】従来の半導体装置の断面図である。

【図21】従来の他の半導体装置の断面図である。

10

【図22】従来のさらに他の半導体装置の断面図である。

【図23】上記半導体装置のワイヤボンド時の絶縁基板の変形を示す断面図である。

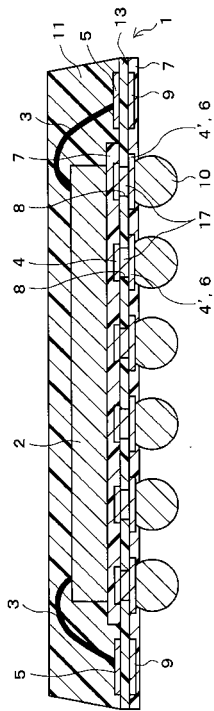
【符号の説明】

- 1 配線基板
- 2 半導体チップ
- 3 Auワイヤ
- 4 配線パターン
- 4' 配線パターン
- 5 ターミナル部
- 6 ランド部
- 6' 半導体装置間接続用ランド部
- 7 ソルダレジスト
- 8 スルーホール部
- 9 支持パターン
- 10 スタックドパッケージ
- 11 樹脂封止部
- 12 フィルム
- 13 絶縁基板
- 13a A面(第一面)
- 13b B面(第二面)
- 13c 貫通孔部
- 14 パッケージスタック化用トレイ
- 20 Cu箔

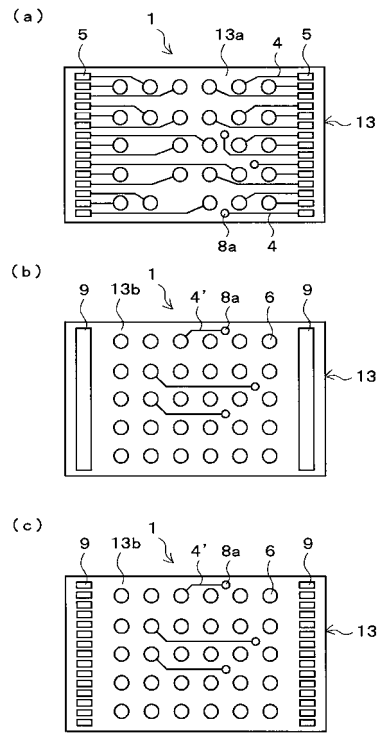
20

30

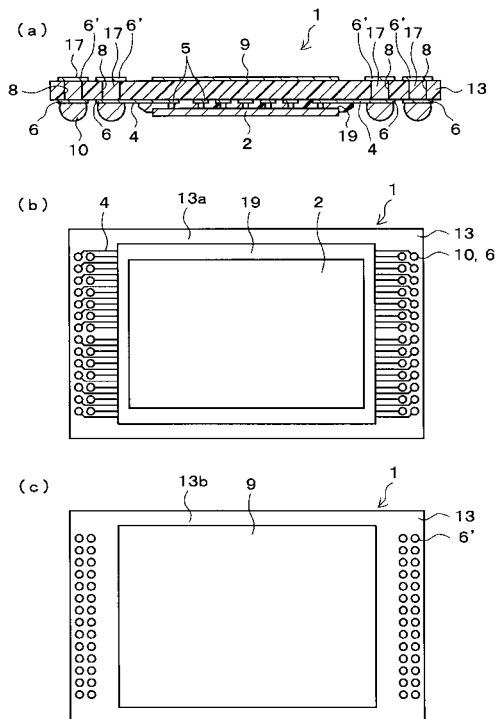
【 図 1 】



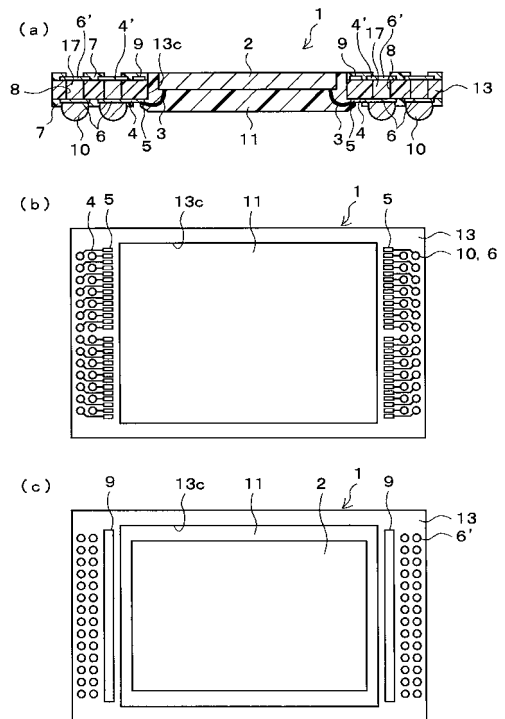
【 図 2 】



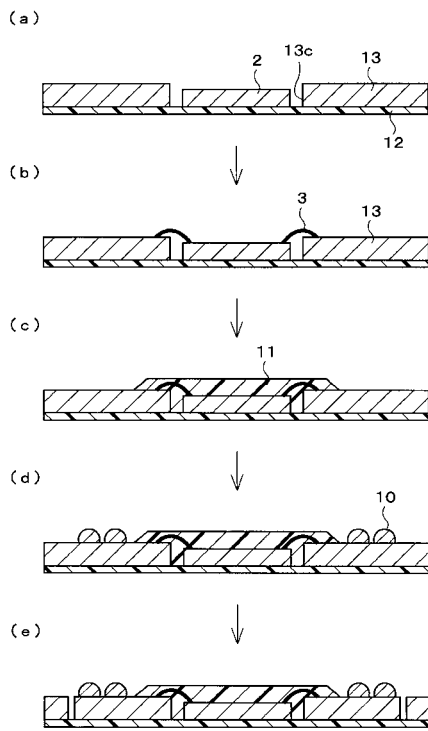
【 図 3 】



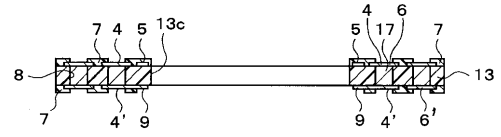
【 図 4 】



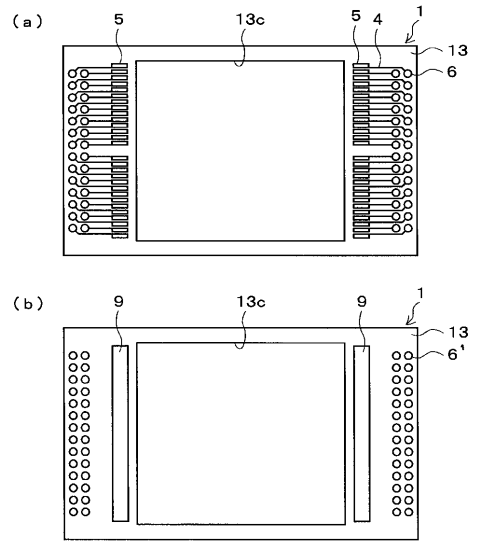
【 図 5 】



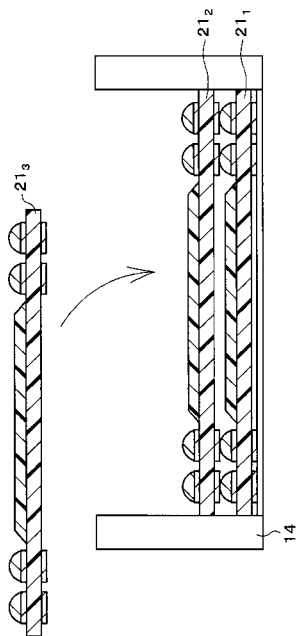
【 図 6 】



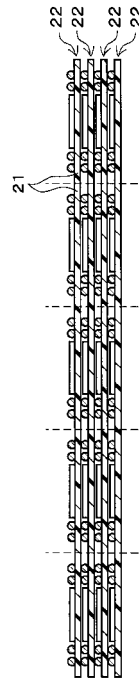
【 図 7 】



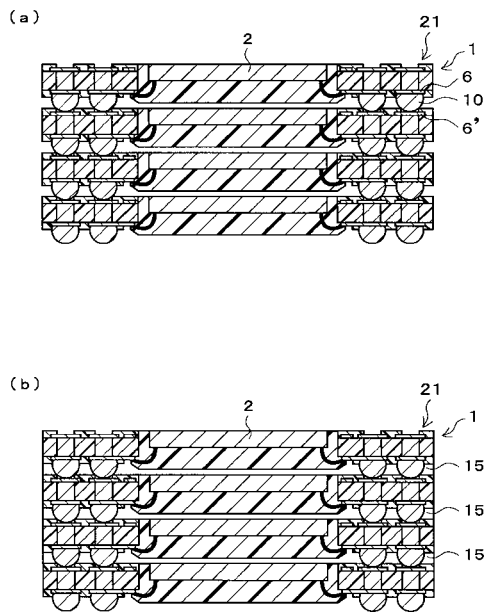
【 図 8 】



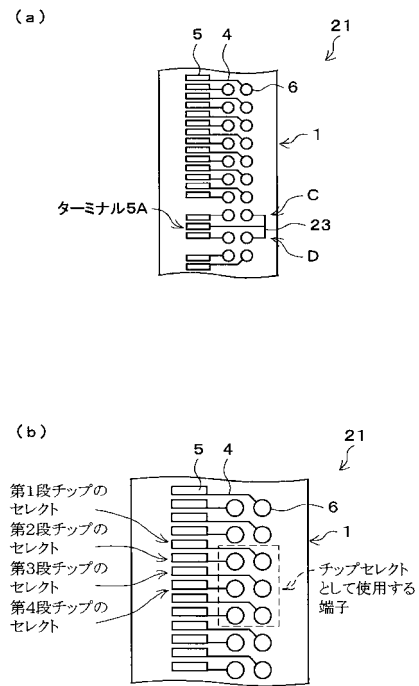
【 図 9 】



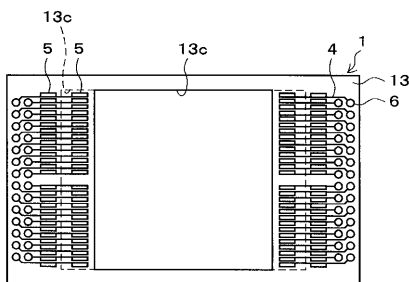
【図10】



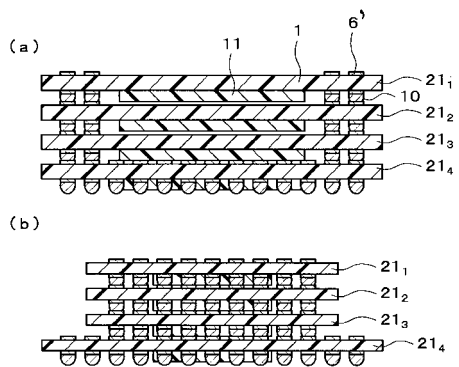
【図11】



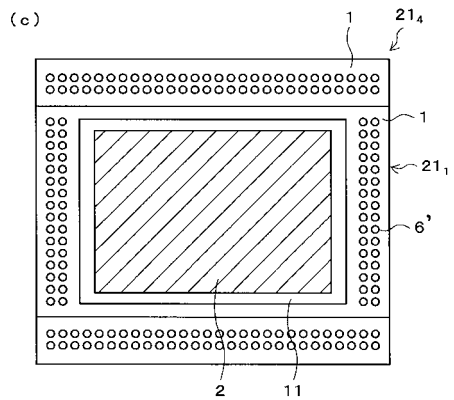
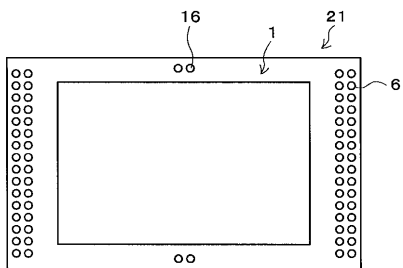
【図12】



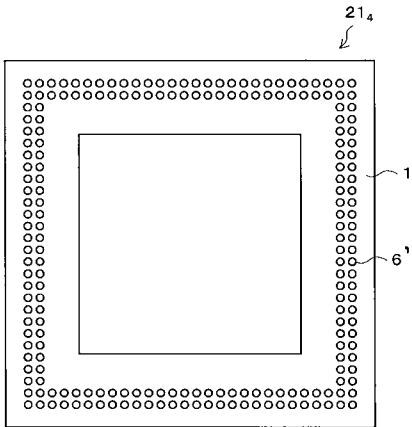
【図14】



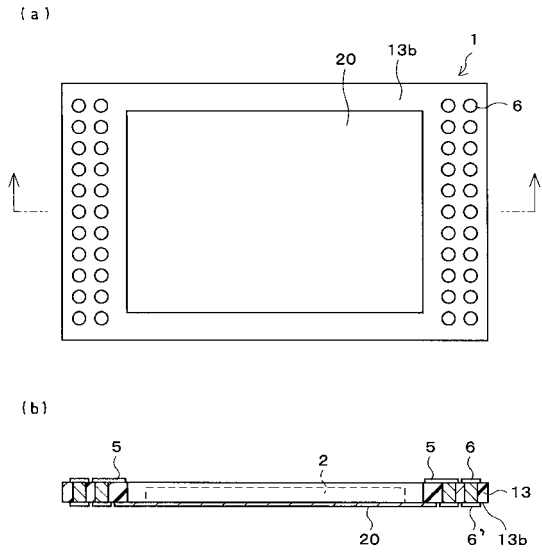
【図13】



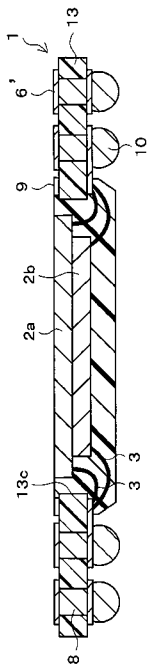
【 図 1 5 】



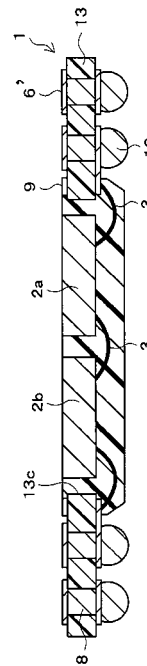
【 図 1 6 】



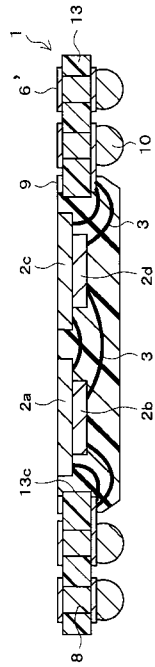
【 図 1 7 】



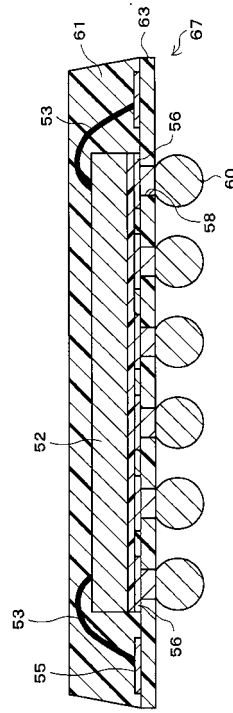
【 図 1 8 】



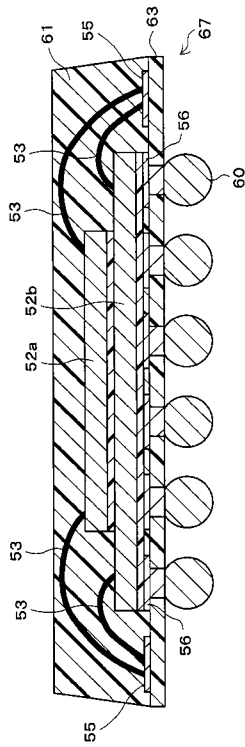
【 図 19 】



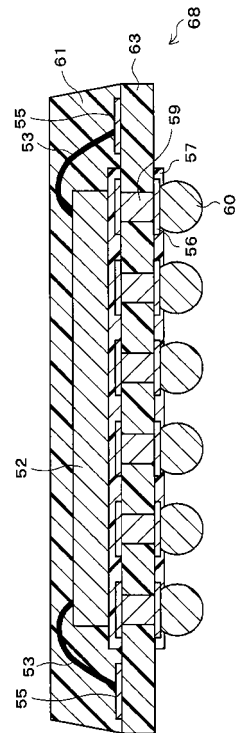
【 図 20 】



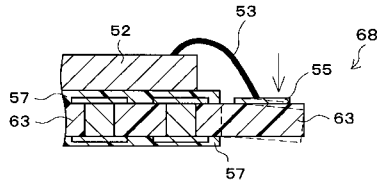
【 図 21 】



【 図 22 】



【 図 2 3 】



フロントページの続き

(72)発明者 石原 誠治
大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

合議体
審判長 池田 正人
審判官 川真田 秀男
審判官 岡 和久

(56)参考文献 特開2000-58716(JP,A)
実開平1-163365(JP,U)

(58)調査した分野(Int.Cl., DB名)
H01L 23/12, H01L 21/60