



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2014년11월27일  
 (11) 등록번호 10-1463948  
 (24) 등록일자 2014년11월14일

(51) 국제특허분류(Int. Cl.)  
 H01L 27/115 (2006.01) H01L 21/8247 (2006.01)  
 (21) 출원번호 10-2010-0110520  
 (22) 출원일자 2010년11월08일  
 심사청구일자 2013년11월22일  
 (65) 공개번호 10-2012-0048989  
 (43) 공개일자 2012년05월16일  
 (56) 선행기술조사문헌  
 KR1020080070597 A  
 JP2009081216 A  
 KR1020100047985 A  
 US20110051503 A1

(73) 특허권자  
 삼성전자주식회사  
 경기도 수원시 영통구 삼성로 129 (매탄동)  
 (72) 발명자  
 김우진  
 경기도 용인시 기흥구 이현로29번길 86-23, - 20  
 3동 902호 (보정동, 대림아파트)  
 이장은  
 경기도 수원시 영통구 태장로71번길 19, 동수원엘  
 지빌리지2차 203동 1904호 (망포동)  
 (뒷면에 계속)  
 (74) 대리인  
 권혁수, 오세준, 송윤호

전체 청구항 수 : 총 10 항

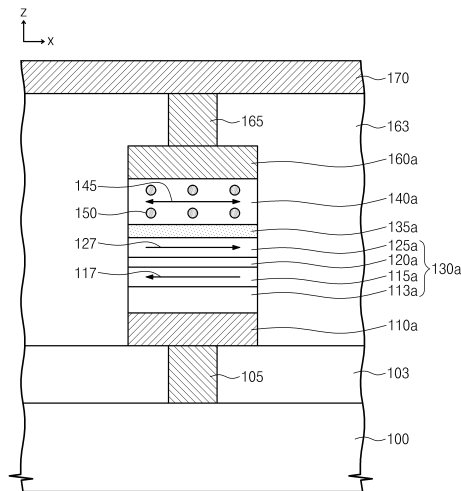
심사관 : 류정현

(54) 발명의 명칭 자기 기억 소자

(57) 요약

자기 기억 소자를 제공한다. 이 소자는 기판 상에 배치된 기준 패턴, 자성 패턴 및 이들 사이의 터널 배리어 패턴을 포함할 수 있다. 또한, 이 소자는 자성 패턴 내부에(inside) 배치된 적어도 하나의 수직 자성부를 포함할 수 있다. 수직 자성부는 자성 패턴의 자화방향에 수직한 자화 성분을 갖는 수직 자성 물질을 포함한다.

대표도 - 도1a



(72) 발명자

**오세충**

경기 수원시 영통구 태장로71번길 19, 207동 01호  
(맏포동, 동수원엘지빌리지2차)

**김영현**

서울특별시 강남구 광평로19길 10, 까치마을 아파  
트 1006동 314호 (수서동)

**최석현**

경기 수원시 영통구 덕영대로1555번길 20, 946동  
1402호 (영통동, 벽적골9단지아파트)

**임우창**

경기 화성시 동탄반석로 277, 117동 901호 (   
석우동, 예당마을우미린제일풍경채)

---

## 특허청구의 범위

### 청구항 1

기관 상에 배치된 자성 패턴 및 기준 패턴, 상기 기준 패턴은 일 방향으로 고정된 자화방향을 갖고, 상기 자성 패턴은 상기 기준 패턴의 고정된 자화방향에 평행 또는 반평행하게 변경 가능한 자화방향을 갖도록 설정된 것;

상기 자성 패턴 및 기준 패턴 사이에 개재된 터널 배리어 패턴; 및

상기 자성 패턴 내부에(inside) 배치된 적어도 하나의 수직 자성부를 포함하되, 상기 수직 자성부는 상기 자성 패턴의 자화방향에 대하여 수직한 자화 성분을 갖는 수직 자성 물질을 포함하는 자기 기억 소자.

### 청구항 2

청구항 1항에 있어서,

상기 수직 자성 물질은 란타늄 원소(lanthanoids) 중에서 적어도 하나를 포함하는 화합물인 자기 기억 소자.

### 청구항 3

청구항 1항에 있어서,

상기 수직 자성 물질은 비정질 상태인 자기 기억 소자.

### 청구항 4

청구항 1항에 있어서,

상기 자성 패턴 및 기준 패턴의 자화방향들은 상기 터널 배리어 패턴에 인접한 상기 자성 패턴의 일면에 대하여 수평인 자기 기억 소자.

### 청구항 5

청구항 1항에 있어서,

상기 자성 패턴, 터널 배리어 패턴 및 기준 패턴은 자기 기억 요소에 포함되고,

상기 자성 패턴의 자화방향은 상기 자기 기억 요소를 관통하는 프로그램 전류 내 전자들의 스핀 전송 토크(spin transfer torque)에 의하여 변경되는 자기 기억 소자.

### 청구항 6

기관 상에 배치된 자성 패턴 및 기준 패턴, 상기 기준 패턴은 일 방향으로 고정된 자화방향을 갖고, 상기 자성 패턴은 상기 기준 패턴의 고정된 자화방향에 평행 또는 반평행 하게 변경 가능한 자화방향을 갖도록 설정되고, 상기 자성 패턴의 적어도 일부는 적어도 하나의 결정립(grain)을 포함하는 결정 상태인 것;

상기 자성 패턴 및 기준 패턴 사이에 개재된 터널 배리어 패턴; 및

상기 자성 패턴의 상기 결정립 내부에(inside) 위치한 수직 자성부를 포함하되, 상기 수직 자성부는 상기 자성 패턴의 자화방향에 수직한 자화 성분을 갖는 수직 자성 물질을 포함하는 자기 기억 소자.

### 청구항 7

청구항 6항에 있어서,

상기 수직 자성 물질은 란타늄 원소 중에서 적어도 하나와, 상기 자성 패턴을 구성하는 원소들 중에서 적어도 하나를 포함하는 화합물로 형성된 자기 기억 소자.

### 청구항 8

청구항 8은(는) 설정등록료 납부시 포기되었습니다.

청구항 7항에 있어서,  
상기 수직 자성부는 비정질 상태인 자기 기억 소자.

**청구항 9**

청구항 9은(는) 설정등록료 납부시 포기되었습니다.

청구항 6항에 있어서,  
상기 자성 패턴 및 기준 패턴의 자화방향들은 상기 터널 배리어 패턴에 인접한 상기 자성 패턴의 일면에 대하여 수평인 자기 기억 소자.

**청구항 10**

청구항 6항에 있어서,  
상기 자성 패턴은 상기 결정 상태인 제1 부분 및 비정질 상태인 제2 부분을 포함하는 자기 기억 소자.

**청구항 11**

청구항 6항에 있어서,  
상기 수직 자성부의 자화방향은 상기 자성 패턴의 자화방향에 비-평행(non-parallel) 그리고 비-반평행(non-anti-parallel)한 자기 기억 소자.

**청구항 12**

청구항 12은(는) 설정등록료 납부시 포기되었습니다.

청구항 6항에 있어서,  
상기 기준 패턴은 제1 기준 패턴이고, 상기 터널 배리어 패턴은 제1 터널 배리어 패턴이고, 상기 자성 패턴은 서로 대향된 제1 면 및 제2 면을 갖고, 상기 제1 터널 배리어 패턴은 상기 자성 패턴의 상기 제1 면에 인접하되,  
고정된 자화방향을 갖는 제2 기준 패턴; 및  
상기 제2 기준 패턴과 상기 자성 패턴의 상기 제2 면 사이에 개재된 제2 터널 배리어 패턴을 더 포함하되,  
상기 제1 기준 패턴의 고정된 자화방향은 상기 제2 기준 패턴의 고정된 자화방향과 반평행한 자기 기억 소자.

**청구항 13**

청구항 13은(는) 설정등록료 납부시 포기되었습니다.

청구항 6항에 있어서,  
상기 자성 패턴, 기준 패턴 및 터널 배리어 패턴은 각각 제1 자성 패턴, 제1 기준 패턴 및 제1 터널 배리어 패턴이고, 상기 제1 자성 패턴은 서로 대향된 제1 면 및 제2 면을 갖고, 상기 제1 터널 배리어 패턴은 상기 제1 자성 패턴의 상기 제1 면 및 상기 제1 기준 패턴 사이에 개재되되,  
고정된 자화방향을 갖는 제2 기준 패턴;  
상기 제2 기준 패턴과 상기 제1 자성 패턴의 제2 면 사이에 개재된 제2 터널 배리어 패턴;  
상기 제2 터널 배리어 패턴과 상기 제1 자성 패턴의 제2 면 사이에 개재된 제2 자성 패턴, 상기 제2 자성 패턴의 자화방향은 상기 제1 자성 패턴의 상기 자화방향에 반평행하게 교환 결합되는 것;  
상기 제2 자성 패턴 내부에 위치한 적어도 하나의 수직 자성부; 및  
상기 제1 자성 패턴의 제2 면과 상기 제2 자성 패턴 사이에 개재된 층간 패턴을 더 포함하고,  
상기 제2 자성 패턴 내부의 상기 수직 자성부는 상기 제2 자성 패턴의 자화방향에 수직한 자화 성분을 갖는 수직 자성 물질을 포함하고,

상기 제1 기준 패턴의 고정된 자화방향은 상기 제2 기준 패턴의 고정된 자화방향과 평행한 자기 기억 소자.

**청구항 14**

기관 상에 배치된 자성 패턴 및 기준 패턴, 상기 기준 패턴은 일 방향으로 고정된 자화방향을 갖고, 상기 자성 패턴은 상기 기준 패턴의 상기 고정된 자화방향에 평행 또는 반평행 하게 변경 가능한 자화방향을 갖도록 설정되고, 상기 자성 패턴의 적어도 일부는 복수의 결정립들(grains)을 포함하는 결정 상태인 것;

상기 자성 패턴 및 기준 패턴 사이에 개재된 터널 배리어 패턴; 및

상기 자성 패턴 내부에 배치되되, 상기 자성 패턴의 상기 결정립들 사이에 위치한 수직 자성부를 포함하되, 상기 수직 자성부는 상기 자성 패턴의 자화방향에 수직한 자화 성분을 갖는 수직 자성 물질을 포함하는 자기 기억 소자.

**청구항 15**

청구항 15은(는) 설정등록료 납부시 포기되었습니다.

청구항 14항에 있어서,

상기 수직 자성 물질은 란탄족 원소 중에서 적어도 하나와, 상기 자성 패턴을 구성하는 원소들 중에서 적어도 하나를 포함하는 화합물로 형성된 자기 기억 소자.

**청구항 16**

청구항 16은(는) 설정등록료 납부시 포기되었습니다.

청구항 15항에 있어서,

상기 수직 자성부는 비정질 상태인 자기 기억 소자.

**청구항 17**

청구항 17은(는) 설정등록료 납부시 포기되었습니다.

청구항 14항에 있어서,

상기 수직 자성부는 스트링 형태(string-shaped)인 자기 기억 소자.

**청구항 18**

청구항 18은(는) 설정등록료 납부시 포기되었습니다.

청구항 14항에 있어서,

상기 수직 자성부는 제1 수직 자성부이되,

상기 자성 패턴의 결정립들 중에서 적어도 하나의 내부에(inside) 포함된 적어도 하나의 제2 수직 자성부를 더 포함하되,

상기 제2 수직 자성부는 상기 자성 패턴의 자화방향에 수직한 자화 성분을 갖는 수직 자성 물질을 포함하는 자기 기억 소자.

**청구항 19**

청구항 19은(는) 설정등록료 납부시 포기되었습니다.

청구항 18항에 있어서,

상기 제2 수직 자성부의 수직 자성 물질은 상기 제1 수직 자성부의 수직 자성 물질과 동일한 물질을 포함하는 자기 기억 소자.

**청구항 20**

청구항 20은(는) 설정등록료 납부시 포기되었습니다.

청구항 14항에 있어서,

상기 자성 패턴 및 기준 패턴의 자화방향들은 상기 터널 배리어 패턴에 인접한 상기 자성 패턴의 일면에 대하여 수평인 자기 기억 소자.

**명세서**

**기술분야**

[0001] 본 발명은 반도체 소자에 관한 것으로, 특히, 자기 기억 소자에 관한 것이다.

**배경기술**

[0002] 전자 기기의 고속화, 저 소비전력화에 따라 이에 내장되는 반도체 기억 소자 역시 빠른 읽기/쓰기 동작, 낮은 동작 전압이 요구되고 있다. 이러한 요구들을 충족시키기 일 방안으로 반도체 기억 소자로 자기 기억 소자가 제안된 바 있다. 자기 기억 소자는 고속으로 동작할 수 있으며, 또한 비휘발성 특성을 가질 수 있어, 차세대 기억 소자로서 각광 받고 있다.

[0003] 일반적으로, 자기 기억 소자는 자기터널접합(Magnetic Tunnel Junction:MTJ)을 포함할 수 있다. 자기터널접합은 두 개의 자성체들과 그 사이에 개재된 터널 배리어막을 포함할 수 있다. 두 개의 자성체들의 자화 방향들에 따라 상기 자기터널접합의 저항값이 달라질 수 있다. 예컨대, 두 개의 자성체들의 자화 방향들이 서로 반평행하는 경우에 자기터널접합은 상대적으로 큰 저항값을 가질 수 있으며, 두 개의 자성체들의 자화 방향들이 평행한 경우에 자기터널접합은 상대적으로 작은 저항값을 가질 수 있다. 이러한 저항값들의 차이를 이용하여 자기 기억 소자는 데이터를 기입/판독할 수 있다.

[0004] 전자 산업이 고도로 발전함에 따라, 자기 기억 소자에 대한 고집적화 및/또는 저 소비전력화에 대한 요구가 심화되고 있다. 따라서, 이러한 요구들을 충족시키기 위한 많은 연구들이 진행되고 있다.

**발명의 내용**

**해결하려는 과제**

[0005] 본 발명이 해결하고자 하는 일 기술적 과제는 소비전력을 최소화할 수 있는 자기 기억 소자를 제공하는 데 있다.

[0006] 본 발명이 이루고자 하는 다른 기술적 과제는 우수한 신뢰성을 갖는 자기 기억 소자를 제공하는 데 있다.

[0007] 본 발명이 이루고자 하는 또 다른 기술적 과제는 고집적화에 최적화된 자기 기억 소자를 제공하는 데 있다.

**과제의 해결 수단**

[0008] 상술된 기술적 과제들을 해결하기 위한 자기 기억 소자를 제공한다. 본 발명의 일 실시예에 따른 자기 기억 소자는, 기판 상에 배치된 자성 패턴 및 기준 패턴, 상기 기준 패턴은 일 방향으로 고정된(fixed) 자화방향을 갖고, 상기 자성 패턴은 상기 기준 패턴의 고정된 자화방향에 평행(parallel) 또는 반평행(anti-parallel)하게 변경 가능한 자화방향을 갖도록 설정된(configured) 것; 상기 자성 패턴 및 기준 패턴 사이에 개재된 터널 배리어 패턴(tunnel barrier pattern); 및 상기 자성 패턴 내부에(inside) 배치된 적어도 하나의 수직 자성부(perpendicular-magnetic section)를 포함할 수 있다. 이때, 상기 수직 자성부는 상기 자성 패턴의 자화방향에 대하여 수직인 자화 성분(magnetization component)을 갖는 수직 자성 물질을 포함한다.

[0009] 일 실시예에 따르면, 상기 수직 자성 물질은 란타넘족 원소들(lanthanoids) 중에서 적어도 하나를 포함하는 화합물일 수 있다.

[0010] 일 실시예에 따르면, 상기 수직 자성 물질은 비정질 상태일 수 있다.

[0011] 일 실시예에 따르면, 상기 자성 패턴 및 기준 패턴의 자화방향들은 상기 터널 배리어 패턴에 인접한 상기 자성 패턴의 일면에 대하여 실질적으로 수평일 수 있다.

[0012] 일 실시예에 따르면, 상기 자성 패턴, 터널 배리어 패턴 및 기준 패턴은 자기 기억 요소에 포함될 수 있다. 상기 자성 패턴의 자화방향은 상기 자기 기억 요소를 관통하는 프로그램 전류 내 전자들의 스핀 전송 토크(spin

transfer torque)에 의하여 변경될 수 있다.

- [0013] 본 발명의 다른 실시예에 따른 자기 기억 소자는, 기판 상에 배치된 자성 패턴 및 기준 패턴, 상기 기준 패턴은 일 방향으로 고정된 자화방향을 갖고, 상기 자성 패턴은 상기 기준 패턴의 고정된 자화방향에 평행 또는 반평행하게 변경 가능한 자화방향을 갖도록 설정되고, 상기 자성 패턴의 적어도 일부는 적어도 하나의 결정립(grain)을 포함하는 결정 상태인 것; 상기 자성 패턴 및 기준 패턴 사이에 개재된 터널 배리어 패턴; 및 상기 자성 패턴의 상기 결정립 내부에(inside) 위치한 수직 자성부를 포함할 수 있다. 상기 수직 자성부는 상기 자성 패턴의 자화방향에 수직인 자화 성분을 갖는 수직 자성 물질을 포함한다.
- [0014] 일 실시예에 따르면, 상기 수직 자성 물질은 란타늄 원소 중에서 적어도 하나와, 상기 자성 패턴을 구성하는 원소들 중에서 적어도 하나를 포함하는 화합물로 형성될 수 있다.
- [0015] 일 실시예에 따르면, 상기 자성 패턴은 상기 결정 상태인 제1 부분 및 비정질 상태인 제2 부분을 포함할 수 있다.
- [0016] 일 실시예에 따르면, 상기 수직 자성부의 자화방향은 상기 자성 패턴의 자화방향에 비-평행(non-parallel) 그리고 비-반평행(non-anti-parallel)할 수 있다.
- [0017] 일 실시예에 따르면, 상기 기준 패턴은 제1 기준 패턴에 해당할 수 있으며, 상기 터널 배리어 패턴은 제1 터널 배리어 패턴에 해당할 수 있다. 상기 자성 패턴은 서로 대향된 제1 면 및 제2 면을 갖고, 상기 제1 터널 배리어 패턴은 상기 자성 패턴의 상기 제1 면에 인접할 수 있다. 이 경우에, 상기 소자는 고정된 자화방향을 갖는 제2 기준 패턴; 및 상기 제2 기준 패턴과 상기 자성 패턴의 상기 제2 면 사이에 개재된 제2 터널 배리어 패턴을 더 포함할 수 있다. 상기 제1 기준 패턴의 고정된 자화방향은 상기 제2 기준 패턴의 고정된 자화방향과 반평행할 수 있다.
- [0018] 일 실시예에 따르면, 상기 자성 패턴, 기준 패턴 및 터널 배리어 패턴은 각각 제1 자성 패턴, 제1 기준 패턴 및 제1 터널 배리어 패턴에 해당할 수 있다. 상기 제1 자성 패턴은 서로 대향된 제1 면 및 제2 면을 갖고, 상기 제1 터널 배리어 패턴은 상기 제1 자성 패턴의 상기 제1 면 및 상기 제1 기준 패턴 사이에 개재될 수 있다. 이 경우에, 상기 소자는 고정된 자화방향을 갖는 제2 기준 패턴; 상기 제2 기준 패턴과 상기 제1 자성 패턴의 제2 면 사이에 개재된 제2 터널 배리어 패턴; 상기 제2 터널 배리어 패턴과 상기 제1 자성 패턴의 제2 면 사이에 개재된 제2 자성 패턴, 상기 제2 자성 패턴의 자화방향은 상기 제1 자성 패턴의 상기 자화방향에 반평행하게 교환 결합되는 것; 상기 제2 자성 패턴 내부에 위치한 적어도 하나의 수직 자성부; 및 상기 제1 자성 패턴의 제2 면과 상기 제2 자성 패턴 사이에 개재된 층간 패턴을 더 포함할 수 있다. 상기 제2 자성 패턴 내부의 상기 수직 자성부는 상기 제2 자성 패턴의 자화방향에 수직인 자화 성분을 갖는 수직 자성 물질을 포함할 수 있다. 상기 제1 기준 패턴의 고정된 자화방향은 상기 제2 기준 패턴의 고정된 자화방향과 평행할 수 있다.
- [0019] 본 발명의 또 다른 실시예에 따른 자기 기억 소자는, 기판 상에 배치된 자성 패턴 및 기준 패턴, 상기 기준 패턴은 일 방향으로 고정된 자화방향을 갖고, 상기 자성 패턴은 상기 기준 패턴의 상기 고정된 자화방향에 평행 또는 반평행하게 변경 가능한 자화방향을 갖도록 설정되고, 상기 자성 패턴의 적어도 일부는 복수의 결정립들(grains)을 포함하는 결정 상태인 것; 상기 자성 패턴 및 기준 패턴 사이에 개재된 터널 배리어 패턴; 및 상기 자성 패턴 내부에 배치되되, 상기 자성 패턴의 상기 결정립들 사이에 위치한 수직 자성부를 포함할 수 있다. 상기 수직 자성부는 상기 자성 패턴의 자화방향에 수직인 자화 성분을 갖는 수직 자성 물질을 포함한다.
- [0020] 일 실시예에 따르면, 상기 수직 자성부는 제1 수직 자성부에 해당할 수 있다. 이 경우에, 상기 소자는 상기 자성 패턴의 결정립들 중에서 적어도 하나의 내부에(inside) 포함된 적어도 하나의 제2 수직 자성부를 더 포함할 수 있다. 상기 제2 수직 자성부는 상기 자성 패턴의 자화방향에 수직인 자화 성분을 갖는 수직 자성 물질을 포함한다.
- [0021] 일 실시예에 따르면, 상기 제2 수직 자성부의 수직 자성 물질은 상기 제1 수직 자성부의 수직 자성 물질과 동일한 물질을 포함할 수 있다.

**발명의 효과**

- [0022] 상술한 자기 기억 소자에 따르면, 수직 자성부가 자성 패턴 내부에 배치된다. 이로 인하여, 자성 패턴의 임계 전류 밀도를 감소시킬 수 있다. 특히, 데이터 유지 특성을 충분히 갖도록 상기 자성 패턴의 두께 및/또는 포화 자화량을 충분히 확보한 상태에서, 상기 수직 자성부로 인하여 상기 자성 패턴의 상기 임계 전류 밀도를 감소시킬 수 있다. 그 결과, 소비전력이 최소화된 자기 기억 소자를 구현할 수 있다. 또한, 우수한 신뢰성을 갖고 고

집적화에 최적화된 자기 기억 소자를 구현할 수 있다.

**도면의 간단한 설명**

[0023]

- 도 1a는 본 발명의 일 실시예에 따른 자기 기억 소자를 나타내는 단면도.
- 도 1b는 본 발명의 일 실시예에 따른 자기 기억 소자에 포함된 수직 자성부의 자화방향의 일 예를 설명하기 위하여, 도 1a의 자성 패턴의 내부를 확대한 도면.
- 도 1c는 본 발명의 일 실시예에 따른 자기 기억 소자에 포함된 수직 자성부의 자화방향의 다른 예를 설명하기 위하여, 도 1a의 자성 패턴의 내부를 확대한 도면.
- 도 1d는 도 1a의 터널 배리어 패턴, 자성 패턴 및 수직 자성부를 확대한 도면.
- 도 1e는 본 발명의 일 실시예에 따른 자기 기억 소자에 포함된 자성 패턴의 변형예를 설명하기 위하여, 터널 배리어 패턴, 자성 패턴 및 수직 자성부를 확대한 도면.
- 도 2a는 본 발명의 다른 실시예에 따른 자기 기억 소자를 나타내는 단면도.
- 도 2b는 도 2a의 터널 배리어 패턴, 자성 패턴 및 수직 자성부를 확대한 도면.
- 도 3a는 본 발명의 또 다른 실시예에 따른 자기 기억 소자를 나타내는 단면도.
- 도 3b는 도 3a의 터널 배리어 패턴, 자성 패턴 및 수직 자성부들을 확대한 도면.
- 도 4는 본 발명의 또 다른 실시예에 따른 자기 기억 소자를 나타내는 단면도.
- 도 5는 본 발명의 또 다른 실시예에 따른 자기 기억 소자를 나타내는 단면도.
- 도 6은 본 발명의 또 다른 실시예에 따른 자기 기억 소자를 나타내는 단면도.
- 도 7a 내지 도 7d는 본 발명의 일 실시예에 따른 자기 기억 소자의 제조 방법을 설명하기 위한 단면도들.
- 도 8은 자성막 및 수직 자성부의 다른 형성 방법을 설명하기 위한 플로우 차트.
- 도 9는 본 발명의 다른 실시예에 따른 자기 기억 소자의 제조 방법을 설명하기 위한 단면도.
- 도 10은 자성막 및 수직 자성부의 또 다른 형성 방법을 설명하기 위한 플로우 차트.
- 도 11은 본 발명의 또 다른 실시예에 따른 자기 기억 소자의 제조 방법을 설명하기 위한 단면도.
- 도 12는 본 발명의 또 다른 실시예에 따른 자기 기억 소자의 제조 방법을 설명하기 위한 단면도.
- 도 13은 본 발명의 또 다른 실시예에 따른 자기 기억 소자의 제조 방법을 설명하기 위한 단면도.
- 도 14은 본 발명의 기술적 사상에 기초한 자기 기억 소자를 포함하는 전자 시스템의 일 예를 도시한 블록도.
- 도 15는 본 발명의 기술적 사상에 기초한 자기 기억 소자를 포함하는 메모리 카드의 일 예를 도시한 블록도.

**발명을 실시하기 위한 구체적인 내용**

[0024]

이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

[0025]

본 명세서에서, 어떤 막(또는 층)이 다른 막(또는 층) 또는 기판 상에 있다고 언급되는 경우에 그것은 다른 막(또는 층) 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 막(또는 층)이 개재될 수도 있다 또한, 도면들에 있어서, 구성들의 크기 및 두께 등은 명확성을 위하여 과장된 것이다. 또한, 본 명세서의 다양한 실시예들에서 제1, 제2, 제3 등의 용어가 다양한 영역, 막들(또는 층들) 등을 기술하기 위해서 사용되었지만, 이들 영역, 막들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어들은 단지 어느 소정 영역 또는 막(또는 층)을 다른 영역 또는 막(또는 층)과 구별시키기 위해서 사용되었을 뿐이다. 따라서, 어느 한 실시예에 의 제1막질로 언급된 막질이 다른 실시예에서는 제2막질로 언급될 수도 있다. 여기에 설명되고 예시되는 각 실시예는 그것의 상보적인 실시예도 포함한다. 본 명세서에서 '및/또는' 이란 표현은 전후에 나열된 구성요소들 중 적어도 하나를 포함하는 의미로 사용된다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한



구성요소들을 나타낸다.

- [0026] 도 1a은 본 발명의 일 실시예에 따른 자기 기억 소자를 나타내는 단면도이다.
- [0027] 도 1a를 참조하면, 기판(100) 상에 스위칭 유닛(switching unit)이 배치될 수 있다. 상기 스위칭 유닛은 전계 효과 트랜지스터 또는 다이오드 등일 수 있다. 상기 기판(100) 전면 상에 제1 층간 유전막(103)이 배치될 수 있다. 상기 제1 층간 유전막(103)은 상기 스위칭 유닛 상에 배치될 수 있다. 하부 콘택 플러그(105, lower contact plug)가 상기 제1 층간 유전막(103)을 관통하는 하부 콘택홀 내에 배치될 수 있다. 상기 하부 콘택 플러그(105)는 상기 스위칭 유닛의 일 단자와 전기적으로 접속될 수 있다. 일 실시예에 따르면, 상기 스위칭 유닛이 다이오드인 경우에, 상기 스위칭 유닛의 적어도 일부는 상기 하부 콘택홀의 아랫부분을 채울 수 있다. 이 경우에, 상기 하부 콘택 플러그(105)는 상기 하부 콘택홀의 윗부분을 채울 수 있다. 상기 기판(100)은 실리콘 기판, 게르마늄 기판 또는 실리콘-게르마늄 기판 등일 수 있다. 상기 제1 층간 유전막(103)은 산화물, 질화물 및/또는 산화질화물 등을 포함할 수 있다. 상기 하부 콘택 플러그(105)는 도펀트로 도핑된 반도체(ex, 도핑된 실리콘 등), 금속(ex, 텅스텐, 구리 또는 알루미늄 등), 도전성 금속질화물(ex, 질화티타늄, 질화탄탈륨 등), 전이 금속(ex, 티타늄, 탄탈륨 등) 및/또는 금속-반도체 화합물(ex, 금속실리사이드 등) 등을 포함할 수 있다.
- [0028] 상기 제1 층간 유전막(103) 상에 기준 패턴(130a, reference pattern) 및 자성 패턴(140a, magnetic pattern)이 배치될 수 있다. 터널 배리어 패턴(135a, tunnel barrier pattern)이 상기 기준 패턴(130a) 및 자성 패턴(140a) 사이에 개재될 수 있다. 상기 기준 패턴(130a)은 일 방향으로 고정된(fixed) 자화방향(127)을 가질 수 있다. 상기 자성 패턴(140a)의 자화방향(145)은 상기 기준 패턴(130a)의 자화방향(127)에 대하여 평행(parallel) 또는 반평행(anti-parallel)한 방향으로 변경가능 하도록 설정(configured)될 수 있다. 상기 자성 패턴(140a)은 상기 터널 배리어 패턴(135a)에 인접한 일면을 갖는다. 상기 자성 패턴(140a)의 상기 일면은 편평할(flat) 수 있다. 이때, 상기 기준 패턴(130a) 및 자성 패턴(140a)의 자화방향들(127, 145)은 상기 자성 패턴(140a)의 상기 일면에 실질적으로 수평(horizontal)할 수 있다. 상기 기준 패턴(130a), 터널 배리어 패턴(135a) 및 자성 패턴(140a)은 자기 기억 요소(magnetic memory element)에 포함될 수 있다.
- [0029] 일 실시예에 따르면, 도 1a에 도시된 바와 같이, 상기 기준 패턴(130a), 터널 배리어 패턴(135a) 및 자성 패턴(140a)이 상기 제1 층간 유전막(103) 상에 차례로 적층될 수 있다. 이 경우에, 상기 자성 패턴(140a)의 상기 터널 배리어 패턴(135a)에 인접한 상기 일면은 상기 자성 패턴(140a)의 하부면에 해당할 수 있다. 상기 자성 패턴(140a)의 상기 하부면은 상기 기판(100)의 상부면과 실질적으로 평행할 수 있다.
- [0030] 제1 전극(110a)이 상기 자기 기억 요소 및 상기 제1 층간 유전막(103) 사이에 개재될 수 있다. 상기 제1 전극(110a)은 상기 하부 콘택 플러그(105)와 접속될 수 있다. 제2 전극(160a)이 상기 자기 기억 요소 상에 배치될 수 있다. 즉, 상기 자기 기억 요소는 상기 제1 전극(110a) 및 제2 전극(160a) 사이에 개재될 수 있다. 예컨대, 도 1a에 개시된 바와 같이, 상기 제1 전극(110a)은 상기 기준 패턴(130a) 및 제1 층간 유전막(103) 사이에 개재될 수 있으며, 상기 제2 전극(160a)은 상기 자성 패턴(140a) 상에 배치될 수 있다.
- [0031] 제2 층간 유전막(163)이 상기 전극들(110a, 160a) 및 자기 기억 요소를 포함한 기판(100) 상에 배치될 수 있다. 상기 제2 층간 유전막(163)은 단일층(single-layered) 또는 다층(multi-layered)일 수 있다. 상기 제2 층간 유전막(163)은 산화물, 질화물 및/또는 산화질화물 등을 포함할 수 있다. 상기 제2 층간 유전막(163)은 상기 제2 전극(160a)의 상부면을 덮을 수 있다. 상부 콘택 플러그(165)가 상기 제2 층간 유전막(163)을 관통하여 상기 제2 전극(160a)에 접속될 수 있다. 배선(170)이 상기 제2 층간 유전막(163) 상에 배치되어, 상기 제2 전극(160a)과 전기적으로 접속될 수 있다. 상기 배선(170)은 상기 상부 콘택 플러그(165)에 접속될 수 있다. 상기 배선(170)은 비트 라인에 해당할 수 있다. 다른 실시예에 따르면, 상기 제2 층간 유전막(163)은 평탄화되어, 상기 제2 층간 유전막(163)의 상부면은 상기 제2 전극(160a)의 상부면과 실질적으로 동일한 레벨에 위치할 수 있다. 이 경우에, 상기 상부 콘택 플러그(165)는 생략될 수 있으며, 상기 배선(170)은 상기 제2 전극(160a)이 직접 접속될 수 있다. 상기 상부 콘택 플러그(165)는 도전 물질을 포함한다. 예컨대, 상기 상부 콘택 플러그(165)는 금속(ex, 텅스텐, 구리 또는 알루미늄 등), 도전성 금속질화물(ex, 질화티타늄, 질화탄탈륨 등), 전이 금속(ex, 티타늄, 탄탈륨 등) 및/또는 금속-반도체 화합물(ex, 금속실리사이드 등) 등을 포함할 수 있다. 상기 배선(170)은 도전 물질을 포함한다. 예컨대, 상기 배선(170)은 금속(ex, 텅스텐, 구리 또는 알루미늄 등), 도전성 금속 질화물(ex, 질화티타늄, 질화탄탈륨 등), 전이 금속(ex, 티타늄, 탄탈륨 등) 및/또는 금속-반도체 화합물(ex, 금속실리사이드 등) 등을 포함할 수 있다.
- [0032] 상술된 바와 같이, 상기 자성 패턴(140a)은 코발트(Co), 철(Fe) 또는 니켈(Ni) 중에서 적어도 하나를 포함하는 강자성체로 형성될 수 있다. 예컨대, 상기 자성 패턴(140a)은 CoFeB, CoFe 및/또는 CoFeNi 등을 포함할 수

있다. 상기 자성 패턴(140a)은 제1 방향으로 연장된 자화 용이축(easy axis)을 가질 수 있다. 상기 제1 방향은 상기 자성 패턴(140a)의 상기 터널 배리어 패턴(135a)에 인접한 상기 일면(예컨대, 하부면)에 평행할 수 있다. 이에 따라, 상기 자성 패턴(140a)의 자화방향(145)은 상기 자성 패턴(140a)의 터널 배리어 패턴(135a)에 인접한 상기 일면에 대하여 수평할 수 있다. 상기 제1 방향은 도 1a의 x축에 해당할 수 있다. 상기 자성 패턴(140a)은 상기 제1 방향에 수직(perpendicular) 제2 방향으로 연장된 자화 곤란축(hard axis)을 포함할 수 있다. 상기 제2 방향도 상기 자성 패턴(140a)의 상기 하부면에 평행할 수 있다. 상기 제2 방향은 도 1a의 x축 방향 및 z축 방향에 수직인 y축 방향(미도시함)에 해당할 수 있다. 평면적 관점에서(in plan view), 상기 자성 패턴(140a)은 상기 제1 방향과 평행한 장축 및 상기 제2 방향과 평행한 단축을 갖는 장방형의 형태를 가질 수 있다.

[0033] 적어도 하나의 수직 자성부(150, perpendicular-magnetic section)가 상기 자성 패턴(140a)의 내부에(inside) 배치된다. 상기 수직 자성부(150)는 상기 자성 패턴(140a)의 자화방향(145)에 수직인 자화 성분(magnetization component)을 갖는 수직 자성 물질(perpendicular-magnetic material)을 포함한다. 일 실시예에 따른 상기 수직 자성부(150)의 자화방향에 대하여 도 1b를 참조하여 좀더 구체적으로 설명한다.

[0034] 도 1b는 본 발명의 일 실시예에 따른 자기 기억 소자에 포함된 수직 자성부의 자화방향의 일 예를 설명하기 위하여, 도 1a의 자성 패턴의 내부를 확대한 도면이다.

[0035] 도 1a 및 도 1b를 참조하면, 상기 수직 자성부(150)의 자화방향(155)은 상기 자성 패턴(140a)의 자화방향(145)에 대하여 비-평행(non-parallel) 그리고 비-반평행(non-anti-parallel)하다. 일 실시예에 따르면, 도 1b에 개시된 바와 같이, 수직 자성부(150)의 자화방향(155) 및 상기 자성 패턴(140a)의 자화방향(145) 사이의 각은 예각(acute angle) 또는 둔각(obtuse angle)일 수 있다. 이 경우에, 벡터 분해에 의하여, 상기 수직 자성부(150)의 자화방향(155)은 제1 자화 성분(154p) 및 제2 자화 성분(154h)으로 분해될 수 있다. 이때, 상기 제1 자화 성분(154p)은 상기 자성 패턴(140a)의 자화방향(145)에 대하여 수직이고, 상기 제2 자화 성분(154h)은 상기 자성 패턴(140a)의 자화방향(145)에 대하여 수평하다. 상기 수직 자성부(150)의 자화방향(155)이 상기 수직 자성부(150)의 자화방향(145)에 대하여 비-평행 그리고 비-반평행함으로, 상기 수직 자성부(150)의 자화방향(155)의 상기 수직인 제1 자화성분(154p)은 항상 존재한다. 도 1b에는 상기 수직 자성부(150)의 제1 자화성분(154p)이 z축 방향과 평행하도록 도시되어 있다. 하지만, 본 발명은 여기에 한정되지 않는다. 상기 수직 자성부(150)의 제1 자화성분(154p)은 상기 z축 방향에 반평행할 수도 있다.

[0036] 다른 실시예에 따른 상기 수직 자성부(150)의 자화방향을 도 1c를 참조하여 설명한다.

[0037] 도 1c는 본 발명의 일 실시예에 따른 자기 기억 소자에 포함된 수직 자성부의 자화방향의 다른 예를 설명하기 위하여, 도 1a의 자성 패턴의 내부를 확대한 도면이다.

[0038] 도 1a 및 도 1c를 참조하면, 다른 실시예에 따르면, 상기 수직 자성부(150)의 자화방향(155a)은 자성 패턴(140a)의 자화방향(145)에 대하여 수직할 수 있다. 이 경우에, 상기 수직 자성부(150)의 자화방향(155a)의 전체가 상기 자성 패턴(140a)의 자화방향(145)에 수직인 자화 성분에 해당할 수 있다. 이 경우에, 상기 수직 자성부(150)의 자화방향(155a)은 상기 자성 패턴(140a)의 자화 방향(145)에 수평한 자화 성분을 포함하지 않을 수 있다. 도 1c에는 상기 수직 자성부(150)의 자화방향(155a)이 z축 방향에 평행하도록 도시되어 있다. 하지만, 본 발명은 여기에 한정되지 않는다. 상기 수직 자성부(150)의 자화방향(155a)은 상기 z축 방향에 반평행할 수도 있다.

[0039] 도 1a, 도 1b 및 도 1c를 참조하면, 상기 수직 자성부(150)에 포함된 수직 자성 물질은 란타넘족 원소들(lanthanoids) 중에서 적어도 하나를 포함하는 화합물을 포함할 수 있다. 이에 더하여, 상기 수직 자성부(150)는 상기 란타넘족 원소들 중에서 적어도 하나와 상기 자성 패턴(140)을 구성하는 원소들 중에서 적어도 하나를 포함하는 화합물을 포함할 수 있다. 예컨대, 상기 수직 자성부(150)의 수직 자성 물질은 XCo, XFeB, XCoFe 및/또는 XFe (X는 란타넘족 원소들 중에서 어느 하나) 동일 수 있다. 예컨대, 상기 수직 자성부(150)의 상기 수직 자성 물질은 SmCo (samarium-cobalt), NdFeB(neodymium-iron-boron), GdFe(gadolinium-iron), GdCo(gadolinium-cobalt), GdCoFe(gadolinium-cobalt-iron), TbFe(terbium-iron), TbCo(terbium-cobalt), TbCoFe(terbium-cobalt-iron), DyFe(dysprosium-iron), DyCo(dysprosium-cobalt) 또는 DyCoFe(dysprosium-cobalt-iron) 등에서 적어도 하나를 포함할 수 있다. 상기 수직 자성부(150)의 수직 자성 물질은 비정질 상태일 수 있다.

[0040] 상기 자성 패턴(140a) 내부의 상기 수직 자성부들(150) 중에서 적어도 일부는 상기 기판(100)의 상부면으로 실질적으로 동일한 레벨에 위치할 수 있다. 도 1a에서는, 2층으로 정렬될 수직 자성부들(150)을 도시하였다. 각 층의 수직 자성부들(150)은 상기 기판(100)의 상부면으로 실질적으로 동일한 레벨에 위치할 수 있다. 하지만,

본 발명은 여기에 한정되지 않는다. 상기 수직 자성부들(150)은 상기 자성 패턴(140a) 내부에서 무작위(random)로 배치될 수도 있다.

[0041] 계속해서, 도 1a를 참조하면, 상기 기준 패턴(130a)은 고정 패턴(113a, pinning pattern)과, 상기 고정 패턴(113a) 및 터널 배리어 패턴(135a) 사이에 개재된 주 피고정 패턴(125a, main pinned pattern)을 포함할 수 있다. 이에 더하여, 상기 기준 패턴(130a)은 보조 피고정 패턴(115a, assistant pinned pattern) 및 교환 결합 패턴(120a, exchange coupling pattern)을 더 포함할 수 있다. 상기 보조 피고정 패턴(115a)은 상기 고정 패턴(113a) 및 주 피고정 패턴(125a) 사이에 개재될 수 있으며, 상기 교환 결합 패턴(120a)은 상기 주 피고정 패턴(125a) 및 보조 피고정 패턴(115a) 사이에 개재될 수 있다. 상기 보조 피고정 패턴(115a)의 자화방향(117)은 상기 고정 패턴(113a)에 의하여 고정될(fixed) 수 있다. 상기 교환 결합 패턴(120a)은 상기 보조 피고정 패턴(115a)의 자화방향(117) 및 상기 주 피고정 패턴(125a)의 자화방향(127)을 서로 반평행(anti-parallel)하게 결합시킬 수 있다. 따라서, 상기 주 피고정 패턴(125a)의 자화방향(127)은 상기 고정 패턴(113a), 보조 피고정 패턴(115a) 및 교환 결합 패턴(120a)에 의하여 일 방향으로 고정될(fixed)될 수 있다. 상기 주 피고정 패턴(125a)은 상기 터널 배리어 패턴(135a)에 인접하다. 이로써, 상기 주 피고정 패턴(125a)의 자화방향(127)은 상기 자기 기억 요소의 상기 기준 패턴(130a)의 고정된 자화방향에 해당해 해당한다. 일 실시예에 따르면, 상기 보조 피고정 패턴(115a) 및 교환 결합 패턴(120a)이 생략될 수 있으며, 상기 주 피고정 패턴(125a)이 상기 고정 패턴(113a)에 직접 접촉될 수도 있다.

[0042] 상기 고정 패턴(113a)은 반강자성 물질(anti-ferromagnetic material)을 포함할 수 있다. 예컨대, 상기 고정 패턴(113a)은 백금망간(PtMn), 이리듐망간(IrMn), 산화망간(MnO), 황화망간(MnS), 망간텔레륨(MnTe) 또는 불화망간(MnF) 등에서 적어도 하나를 포함할 수 있다. 상기 주 피고정 패턴(125a)은 강자성 물질을 포함할 수 있다. 예컨대, 상기 주 피고정 패턴(125a)은 CoFeB(cobalt-iron-boron), CoFe(cobalt-iron), NiFe(nickel-iron), CoFePt(cobalt-iron-platinum), CoFePd(cobalt-iron-palladium), CoFeCr(cobalt-iron-chromium), CoFeTb(cobalt-iron-terbium), 또는 CoFeNi(cobalt-iron-nickel) 등에서 적어도 하나를 포함할 수 있다. 상기 보조 피고정 패턴(115a)은 강자성 물질을 포함할 수 있다. 예컨대, 상기 보조 피고정 패턴(115a)은 CoFeB(cobalt-iron-boron), CoFe(cobalt-iron), NiFe(nickel-iron), CoFePt(cobalt-iron-platinum), CoFePd(cobalt-iron-palladium), CoFeCr(cobalt-iron-chromium), CoFeTb(cobalt-iron-terbium), 또는 CoFeNi(cobalt-iron-nickel) 등에서 적어도 하나를 포함할 수 있다. 상기 교환 결합 패턴(120a)은 루테튬(Ru), 이리듐(Ir) 또는 로듐(Rh) 등에서 적어도 하나를 포함할 수 있다.

[0043] 상기 터널 배리어 패턴(135a)은 스핀 확산 길이(spin diffusion distance) 보다 얇은 두께를 가질 수 있다. 상기 터널 배리어 패턴(135a)은 유전 물질을 포함할 수 있다. 예컨대, 상기 터널 배리어 패턴(125a)은 산화마그네슘(magnesium oxide), 산화티타늄(titanium oxide), 산화알루미늄(aluminum oxide), 산화마그네슘아연(magnesium-zinc oxide) 또는 산화마그네슘붕소(magnesium-boron oxide) 등에서 적어도 하나를 포함할 수 있다.

[0044] 상기 제1 전극(110a)은 반응성이 낮은 도전 물질을 포함할 수 있다. 예컨대, 상기 제1 전극(110a)은 도전성 금속 질화물(ex, 질화티타늄, 질화탄탈륨, 질화텅스텐 등)을 포함할 수 있다. 상기 제2 전극(160a)도 반응성이 낮은 도전 물질을 포함할 수 있다. 예컨대, 상기 제2 전극(160a)은 도전성 금속질화물(ex, 질화티타늄, 질화탄탈륨, 질화텅스텐 등)을 포함할 수 있다. 이에 더하여, 상기 자성 패턴(140a)과 인접한 상기 제2 전극(160a)은 다층(multi-layered)일 수 있다. 예컨대, 상기 제2 전극(160a)은 차례로 적층된 페시베이션층 및 도전성 금속 질화층을 포함할 수 있다. 이 경우에, 상기 페시베이션층은 탄탈륨(Ta), 팔라듐(Pd), 티타늄(Ti), 백금(Pt), 은(Ag), 금(Au), 루테튬(Ru) 또는 구리(Cu) 등에서 선택된 적어도 하나를 포함할 수 있다.

[0045] 상술된 자기 기억 소자의 동작 방법을 설명한다. 상기 자성 패턴(140a)의 자화방향(145)은 상기 자기 기억 요소를 관통하는 프로그램 전류 내 전자들의 스핀 전송 토크(spin transfer torque)에 의하여 변경될 수 있다. 이때, 상기 자성 패턴(140a)은 논리 데이터를 저장하는 요소로서 작용될 수 있다. 예컨대, 상기 자성 패턴(140a)의 자화방향(145)이 상기 기준 패턴(130a)의 자화방향(127)과 반평행한(anti-parallel) 경우에, 프로그램 전류는 상기 자성 패턴(140a) 으로부터 상기 기준 패턴(130a)을 향하여 공급될 수 있다. 즉, 상기 프로그램 전류 내 전자들은 상기 기준 패턴(130a) 으로부터 상기 자성 패턴(140a)을 향하여 공급될 수 있다. 상기 프로그램 전류 내 전자들은 메이저 전자들(major electrons) 및 마이너 전자들(minor electrons)을 포함할 수 있다. 상기 메이저 전자들은 상기 기준 패턴(130a)의 자화방향(127)과 평행한 스핀들을 가질 수 있으며, 상기 마이너 전자들은 상기 기준 패턴(130a)의 자화방향(127)과 반평행한 스핀들을 가질 수 있다. 상기 메이저 전자들이 상기 자성 패턴(140a) 내에 축적되고, 축적된 메이저 전자들의 스핀 토크에 의하여 상기 자성 패턴(140a)의 자화

방향(145)이 상기 기준 패턴(130a)의 자화방향(127)과 평행하도록 변경될 수 있다.

- [0046] 이와는 다르게, 상기 자성 패턴(140a)의 자화방향(145)과 상기 기준 패턴(130a)의 자화방향(127)이 평행한 경우에, 프로그램 전류는 상기 기준 패턴(130a) 으로부터 상기 자성 패턴(140a)을 향하여 공급될 수 있다. 즉, 상기 프로그램 전류 내 전자들은 상기 자성 패턴(130a) 으로부터 상기 기준 패턴(130a)을 향하여 공급될 수 있다. 프로그램 전류 내 전자들 중에서 상기 기준 패턴(130a)의 자화방향(127)과 반평행한 마이너 전자들은 상기 기준 패턴(130a)의 자화방향(127)에 의하여 반사될 수 있다. 반사된 마이너 전자들은 상기 자성 패턴(140a) 내에 축적될 수 있다. 축적된 마이너 전자들의 스핀 토크에 의하여 상기 자성 패턴(140a)의 자화방향(145)이 상기 기준 패턴(130a)의 자화방향(127)과 반평행 하도록 변경될 수 있다.
- [0047] 상기 자성 패턴(140a)의 자화방향(145)을 변경하기 위한 최소 전류 밀도를 임계 전류 밀도라 정의한다. 이때, 상기 수직 자성부(150)로 인하여, 상기 자성 패턴(140a)의 상기 임계 전류 밀도가 감소시킬 수 있다. 특히, 상기 수직 자성부(150)로 인하여, 상기 자성 패턴(140a)의 데이터 유지 특성을 충분히 향상시킨 상태에서 상기 자성 패턴(140a)의 상기 임계 전류 밀도를 감소시킬 수 있다. 예컨대, 상기 자성 패턴(140a)의 두께의 감소 및/또는 상기 자성 패턴(140a)의 포화자화의 감소가 없는 상태에서, 상기 수직 자성부(150)로 인하여 상기 자성 패턴(140a)의 상기 임계 전류 밀도를 감소시킬 수 있다. 그 결과, 소비전력이 최소화된 자기 기억 소자를 구현할 수 있다. 또한, 우수한 신뢰성을 갖고 고집적화에 최적화된 자기 기억 소자를 구현할 수 있다.
- [0048] 상술된 바와 같이, 상기 수직 자성부(150)는 상기 자성 패턴(140a) 내부에(inside)에 배치된다. 이에 대하여, 도 1d를 참조하여 좀더 구체적으로 설명한다.
- [0049] 도 1d는 도 1a의 터널 배리어 패턴, 자성 패턴 및 수직 자성부를 확대한 도면이다.
- [0050] 도 1d를 참조하면, 자성 패턴(140a)의 적어도 일부는 적어도 하나의 결정립(148, grain)을 갖는 결정 상태일 수 있다. 일 실시예에 따르면, 상기 자성 패턴(140a)의 전체가 복수의 결정립들(148)을 포함하는 다결정 상태일 수 있다. 상기 결정립들(148) 사이에 경계(148GB, boundary)가 정의될 수 있다. 상기 수직 자성부(150)는 상기 결정립(148)의 내부에(inside) 배치될 수 있다. 즉, 상기 수직 자성부(150)에 인접하고 상기 수직 자성부(150)를 둘러싸는 상기 자성 패턴(140a)의 일부분(즉, 자성 패턴(140a)의 결정립(148))은 단결정 상태일 수 있다.
- [0051] 상기 터널 배리어 패턴(135)도 복수의 결정립들(138)을 포함하는 결정 상태일 수 있다. 상기 터널 배리어 패턴(135)의 결정립들(138) 사이에도 경계(138GB)가 정의될 수 있다. 상기 자성 패턴(140a)의 결정립들(148)은 상기 터널 배리어 패턴(135)의 결정립들(138)을 시드로 하여 성장될 수 있다. 상기 자성 패턴(140a)의 결정립들(148)은 (001) 결정 방향으로 성장될 수 있다.
- [0052] 한편, 상기 자성 패턴(140a)은 비정질 상태인 부분을 더 포함할 수도 있다. 이를 도 1e를 참조하여 설명한다.
- [0053] 도 1e는 본 발명의 일 실시예에 따른 자기 기억 소자에 포함된 자성 패턴의 변형예를 설명하기 위하여, 터널 배리어 패턴, 자성 패턴 및 수직 자성부를 확대한 도면이다.
- [0054] 도 1e를 참조하면, 자성 패턴(140a')은 결정 상태인 제1 부분 및 비정질 상태인 제2 부분(149)을 포함할 수 있다. 상기 자성 패턴(140a')의 제1 부분은 적어도 하나의 결정립(148)을 포함할 수 있다. 일 실시예에 따르면, 상기 자성 패턴(140a')의 제2 부분(149)은 상기 결정 상태인 제1 부분 상에 배치될 수 있다. 즉, 상기 자성 패턴(140a')의 결정립들(148)은 상기 제2 부분(149)과 상기 터널 배리어 패턴(135a) 사이에 배치될 수 있다. 상기 수직 자성부(150)는 상기 자성 패턴(140a')의 결정립(148) 내부에 배치될 수 있다. 상기 자성 패턴(140a')의 결정립들(148)은 상기 터널 배리어 패턴(135a)의 결정립들(138)을 시드로 하여 성장될 수 있다.
- [0055] 다음으로, 본 발명의 다른 실시예에 따른 수직 자성부를 도면들을 참조하여 설명한다.
- [0056] 도 2a는 본 발명의 다른 실시예에 따른 자기 기억 소자를 나타내는 단면도이고, 도 2b는 도 2a의 터널 배리어 패턴, 자성 패턴 및 수직 자성부를 확대한 도면이다.
- [0057] 도 2a 및 도 2b를 참조하면, 수직 자성부(150a)가 자성 패턴(140a)의 내부에(inside) 배치된다. 상기 자성 패턴(140a)은 복수의 결정립들(148)을 포함할 수 있다. 이때, 상기 수직 자성부(150a)는 상기 자성 패턴(140a)의 결정립들(148) 사이에 배치될 수 있다. 다시 말해서, 상기 수직 자성부(150a)는 상기 자성 패턴(140a)의 결정립들(148)의 경계(148GB)를 따라 연장될 수 있다. 상기 수직 자성부(150a)는 상기 자성 패턴(140a)의 자화방향(145)에 수직한 자화성분을 포함하는 수직 자성 물질을 포함한다. 상기 수직 자성부(150a)의 자화방향은 상기 자성 패턴(140a)의 자화방향(145)에 비-평행 그리고 비-반평행 하다. 도 1b의 수직 자성부(150)와 같이, 상기 수직 자성부(150a)의 자화방향은 상기 자성 패턴(140a)의 자화방향(145)과 둔각 또는 예각을 이룰 수 있다. 이와는



다르게, 도 1c의 수직 자성부(150)와 같이, 상기 수직 자성부(150a)의 자화방향은 상기 자성 패턴(140a)의 자화방향(145)에 수직할 수 있다. 상기 수직 자성부(150a)는 도 1a 내지 도 1e를 참조하여 설명한 수직 자성부(150)와 동일한 물질로 형성될 수 있다.

- [0058] 상술된 바와 같이, 상기 수직 자성부(150a)는 상기 자성 패턴(140a)의 결정립들(148) 사이에 배치될 수 있으며, 상기 자성 패턴(140a)의 결정립들(148) 사이의 경계(148GB)를 따라 연장될 수 있다. 이때, 상기 수직 자성부(150a)는 상기 터널 배리어 패턴(135a) 으로부터 이격될 수 있다. 하지만, 본 발명은 여기에 한정되지 않는다. 상기 수직 자성부(150a)는 상기 자성 패턴(140a)의 경계(148GB)를 따라 연장되어 상기 터널 배리어 패턴(135a)과 접촉될 수도 있다. 상기 수직 자성부(150a)은 스트링 형태(string-shaped)일 수 있다.
- [0059] 도 3a는 본 발명의 또 다른 실시예에 따른 자기 기억 소자를 나타내는 단면도이고, 도 3b는 도 3a의 터널 배리어 패턴, 자성 패턴 및 수직 자성부들을 확대한 도면이다.
- [0060] 도 3a 및 도 3b를 참조하면, 자성 패턴(140a) 내부에(inside) 적어도 하나의 제1 수직 자성부(150) 및 적어도 하나의 제2 수직 자성부(150a)가 배치될 수 있다. 상기 자성 패턴(140a)의 적어도 일부는 복수의 결정립들(148)을 갖는 결정 상태일 수 있다. 상기 제1 수직 자성부(150)는 상기 자성 패턴(140a)의 결정립(148) 내에 배치되고, 상기 제2 수직 자성부(150a)는 상기 자성 패턴(140a)의 결정립들(148) 사이에 배치될 수 있다. 본 실시예에 따르면, 상기 자성 패턴(140a) 내에 도 1a의 수직 자성부(150) 및 도 2a의 수직 자성부(150a)가 함께 배치될 수 있다. 상술된 바와 같이, 상기 제1 및 제2 수직 자성부들(150, 150a)은 서로 동일한 수직 자성 물질을 포함할 수 있다.
- [0061] 도 1, 도 2 및 도 3에 개시된 자기 기억 소자들에서, 상기 자성 패턴(140a)은 상기 터널 배리어 패턴(135a) 상에 배치될 수 있다. 상기 자성 패턴(140a), 터널 배리어 패턴(135a) 및 기준 패턴(130a)은 다르게 배치될 수도 있다. 이를 도 4를 참조하여 설명한다.
- [0062] 도 4는 본 발명의 또 다른 실시예에 따른 자기 기억 소자를 나타내는 단면도이다.
- [0063] 도 4를 참조하면, 제1 층간 유전막(103) 상에 제1 전극(110a)이 배치될 수 있다. 상기 제1 전극(110a) 상에 자성 패턴(140a), 터널 배리어 패턴(135a) 및 기준 패턴(130a)이 차례로 적층될 수 있다. 이 경우에, 상기 자성 패턴(140a)의 상기 터널 배리어 패턴(135a)에 인접한 일면은 상기 자성 패턴(140a)의 상부면에 해당할 수 있다. 상기 기준 패턴(130a)내 주 피고정 패턴(125a)은 상기 터널 배리어 패턴(135a) 바로 위에 배치될 수 있다. 상기 주 피고정 패턴(125a) 상에 교환 결합 패턴(120a), 보조 피고정 패턴(115a) 및 고정 패턴(113a)이 차례로 적층될 수 있다. 제2 전극(160a)은 상기 고정 패턴(113a) 상에 배치될 수 있다.
- [0064] 본 실시예에 따르면, 상기 자성 패턴(140a)의 바로 아래에 위치한 상기 제1 전극(110a)은 결정 상태일 수 있다. 이 경우에, 상기 자성 패턴(140a)내 결정립들은 상기 제1 전극(110a)의 결정립들을 시드로 사용하여 성장될 수 있다.
- [0065] 도 4에 개시된 수직 자성부(150)/자성 패턴(140a)은, 도 1c에 개시된 수직 자성부(150)/자성 패턴(140a'), 도 2a 및 도 2b에 개시된 수직 자성부(150a)/자성 패턴(140a), 또는 도 3a 및 도 3b에 개시된 제1 및 제2 수직 자성부들(150, 150a)/자성 패턴(140a) 중에서 어느 하나와 대체될 수 있다.
- [0066] 도 5는 본 발명의 또 다른 실시예에 따른 자기 기억 소자를 나타내는 단면도 이다.
- [0067] 도 5를 참조하면, 제1 층간 유전막(103) 상에 제1 전극(110a)이 배치될 수 있다. 상기 제1 전극(110a) 상에 제1 기준 패턴(130a), 제1 터널 배리어 패턴(135a), 자성 패턴(140a), 제2 터널 배리어 패턴(235a) 및 제2 기준 패턴(230a)이 차례로 적층될 수 있다. 다시 말해서, 상기 자성 패턴(140a)이 상기 제1 기준 패턴(130a) 및 제2 기준 패턴(230a) 사이에 배치될 수 있다. 상기 제1 터널 배리어 패턴(135a)이 상기 제1 기준 패턴(130a) 및 자성 패턴(140a) 사이에 개재될 수 있으며, 상기 제2 터널 배리어 패턴(135a)이 상기 제2 기준 패턴(230a) 및 자성 패턴(140a) 사이에 개재될 수 있다. 제2 전극(160a)이 상기 제2 기준 패턴(230a) 상에 배치될 수 있다. 수직 자성부(150)가 상기 자성 패턴(140a) 내부에 배치될 수 있다.
- [0068] 상기 제1 기준 패턴(130a)은 상기 제1 전극(110a) 상에 차례로 적층된 제1 고정 패턴(113a), 제1 보조 피고정 패턴(115a), 제1 교환 결합 패턴(120a) 및 제1 주 피고정 패턴(125a)을 포함할 수 있다. 상술된 바와 같이, 상기 제1 주 피고정 패턴(125a)의 자화방향(127)은 상기 제1 기준 패턴(130a)의 제1 고정된(fixed) 자화방향(127)에 해당할 수 있다. 상기 제2 기준 패턴(230a)은 상기 제2 터널 배리어 패턴(235a) 상에 차례로 적층된 제2 주 피고정 패턴(225a), 제2 교환 결합 패턴(220a), 제2 보조 피고정 패턴(215a) 및 제2 고정 패턴(213a)을 포함

할 수 있다. 상기 보조 피고정 패턴(215a)의 자화방향(217)은 상기 제2 고정 패턴(213a)에 의하여 고정될 (fixed) 수 있으며, 상기 제2 교환 결합 패턴(220a)에 의하여 상기 제2 주 피고정 패턴(225a)의 자화방향(227)은 상기 제2 보조 피고정 패턴(215a)의 자화방향(217)과 반평행하게 결합될 수 있다. 상기 제2 터널 배리어 패턴(235a)에 인접한 상기 제2 주 피고정 패턴(215a)의 자화방향(227)은 상기 제2 기준 패턴(230a)의 제2 고정된 자화방향(227)에 해당할 수 있다.

[0069] 자기 기억 요소는 상기 제1 기준 패턴(130a), 제1 터널 배리어 패턴(135a), 자성 패턴(140a), 수직 자성부(150), 제2 터널 배리어 패턴(235a) 및 제2 기준 패턴(230a)을 포함할 수 있다. 상기 제1 기준 패턴(130a)의 제1 고정된 자화방향(127)은 상기 제2 기준 패턴(230a)의 제2 고정된 자화방향(227)과 반평행(anti-parallel) 할 수 있다.

[0070] 상기 제2 고정 패턴(213a)은 반강자성 물질을 포함할 수 있다. 상기 제1 고정 패턴(113a) 내 반강자성 물질은 제1 블로킹 온도(blocking temperature)를 가질 수 있으며, 상기 제2 고정 패턴(213a) 내 반강자성 물질은 제2 블로킹 온도를 가질 수 있다. 블로킹 온도는 반강자성 물질의 특성(ex, 피고정 패턴의 자화방향을 고정시키는 특성)을 잃어버리는 임계 온도일 수 있다. 상기 제1 고정 패턴(213a)의 상기 제1 블로킹 온도는 상기 제2 고정 패턴(213a)의 상기 제2 블로킹 온도와 다를 수 있다. 이에 따라, 상기 제1 블로킹 온도 및 제2 블로킹 온도 사이의 온도의 열을 상기 제1 및 제2 고정 패턴들(113a, 213a)에 제공한 후에, 외부 자장을 공급하여 상기 제1 및 제2 기준 패턴들(130a, 230a)의 자화방향들(127, 227)을 서로 반평행하게 정렬시킬 수 있다. 예컨대, 상기 제1 및 제2 고정 패턴들(113a, 213a) 중에서 어느 하나는 이리듐망간(IrMn)을 포함할 수 있으며, 다른 하나는 백금망간(PtMn)을 포함할 수 있다.

[0071] 상기 주 및 보조 피고정 패턴들(225a, 215a)은 강자성 물질을 포함할 수 있다. 예컨대, 상기 주 및 보조 피고정 패턴들(225a, 215a)은 CoFeB(cobalt-iron-boron), CoFe(cobalt-iron), NiFe(nickel-iron), CoFePt(cobalt-iron-platinum), CoFePd(cobalt-iron-palladium), CoFeCr(cobalt-iron-chromium), CoFeTb(cobalt-iron-terbium), 또는 CoFeNi(cobalt-iron-nickel) 등에서 적어도 하나를 포함할 수 있다. 상기 제2 교환 결합 패턴(220a)은 루테튬(Ru), 이리듐(Ir) 또는 로듐(Rh) 등에서 적어도 하나를 포함할 수 있다.

[0072] 상기 제1 터널 배리어 패턴(135a)의 하부면 및 상부면 간의 제1 저항값은 상기 제2 터널 배리어 패턴(235a)의 하부면 및 상부면 간의 제2 저항값과 다를 수 있다. 예컨대, 상기 제1 터널 배리어 패턴(135a)의 두께가 상기 제2 터널 배리어 패턴(235a)의 두께와 다를 수 있다. 및/또는, 상기 제1 터널 배리어 패턴(135a)에 포함된 유전 물질의 비저항이 상기 제2 터널 배리어 패턴(135a)에 포함된 유전물질의 비저항과 다를 수 있다. 상기 제2 터널 배리어 패턴(235a)은 산화마그네슘(magnesium oxide), 산화티타늄(titanium oxide), 산화알루미늄(aluminum oxide), 산화마그네슘아연(magnesium-zinc oxide) 또는 산화마그네슘붕소(magnesium-boron oxide) 등에서 적어도 하나를 포함할 수 있다.

[0073] 상기 제1 터널 배리어 패턴(135a)의 상기 제1 저항값이 상기 제2 터널 배리어 패턴(235a)의 상기 제2 저항값과 다르므로써, 상기 자기 기억 요소의 데이터를 판독할 수 있다. 예컨대, 상기 제1 터널 배리어 패턴(135a)의 상기 제1 저항값이 상기 제2 터널 배리어 패턴(235a)의 상기 제2 저항값 보다 큰 경우에, 상기 제1 기준 패턴(130a) 및 자성 패턴(140a)간의 자기저항비(magnetoresistance ratio)가 상기 자성 패턴(140a) 및 제2 기준 패턴(230a)간의 자기저항비 보다 클 수 있다. 이로써, 상기 자기 기억 요소의 논리 데이터는 자성 패턴(140a)의 자화방향(145) 및 상기 제1 기준 패턴(130a)의 제1 고정된 자화방향(127) 간의 관계(ex, 평행 또는 반평행)에 의하여 결정될 수 있다.

[0074] 이와는 반대로, 상기 제2 터널 배리어 패턴(235a)의 상기 제2 저항값이 상기 제1 터널 배리어 패턴(135a)의 상기 제1 저항값 보다 큰 경우에, 상기 자기 기억 요소의 논리 데이터는 자성 패턴(140a)의 자화방향(145) 및 제2 기준 패턴(230a)의 제2 고정된 자화방향(227) 간의 관계에 의하여 결정될 수 있다.

[0075] 도 4에 도시된 자기 기억 소자의 프로그램 동작 방법을 설명한다. 프로그램 전류 내 전자들이 상기 제1 기준 패턴(130a) 으로부터 제2 기준 패턴(230a)을 향하여 흐르는 경우에, 상기 제1 기준 패턴(130a)의 제1 고정된 자화방향(127)에 평행한 스핀들을 갖는 전자들이 상기 자성 패턴(140a) 내에 축적될 수 있다. 이와 더불어, 상기 제2 기준 패턴(230a)의 제2 고정된 자화방향(227)에 반평행한 스핀을 갖는 전자들이 상기 제2 고정된 자화방향(227)에 반사되어, 상기 자성 패턴(140a) 내에 축적될 수 있다. 이로써, 상기 자성 패턴(140a)의 자화방향(145)이 상기 제1 고정된 자화방향(127)과 평행하도록 변경될 수 있다. 상기 제1 기준 패턴(130a)과 평행한 스핀을 갖는 전자들 및 상기 제2 기준 패턴(230a)의 제2 고정된 자화방향(227)에 반사된 전자들로 인하여, 상기 자성 패턴(140a)내 스핀 토크가 증가될 수 있다. 그 결과, 상기 자성 패턴(140a)의 임계 전류 밀도가 감소될 수

있다. 결과적으로, 상기 수직 자성부(150)에 의한 임계 전류 밀도의 감소 및 상기 제1 및 제2 기준 패턴들(130a, 230a)에 의한 임계 전류 밀도의 감소로 인하여, 보다 낮은 소비전력을 갖는 자기 기억 소자를 구현할 수 있다.

[0076] 이와는 반대로, 프로그램 전류 내 전자들이 상기 제2 기준 패턴(230a) 으로부터 제1 기준 패턴(130a)을 향하여 흐르는 경우에, 상기 제2 기준 패턴(230a)의 제2 고정된 자화방향(227)과 평행한 스핀을 갖는 전자들이 상기 자성 패턴(140a) 내에 축적될 수 있다. 이에 더불어, 상기 제1 기준 패턴(230a)의 제1 고정된 자화방향(227)에 반사된 전자들도 상기 자성 패턴(140a) 내에 축적될 수 있다. 상기 제1 고정된 자화방향(227)에 반사된 전자들은 상기 제1 고정된 자화방향(227)에 반평행하고, 상기 제2 고정된 자화방향(227)에 평행하다. 이로써, 상기 자성 패턴(140a)의 자화방향(145)은 상기 제2 기준 패턴(230a)의 제2 고정된 자화방향(227)과 평행하도록 반전될 수 있다.

[0077] 도 5에 개시된 수직 자성부(150)/자성 패턴(140a)은, 도 1c에 개시된 수직 자성부(150)/자성 패턴(140a'), 도 2a 및 도 2b에 개시된 수직 자성부(150a)/자성 패턴(140a), 또는, 도 3a 및 도 3b에 개시된 제1 및 제2 수직 자성부들(150, 150a)/자성 패턴(140a) 중에서 어느 하나와 대체될 수 있다.

[0078] 도 5에 개시된 자기 기억 요소는 하나의 자성 패턴을 포함한다. 이와는 다르게, 상기 자기 기억 요소는 한 쌍의 자성 패턴들을 포함할 수 있다. 이를 도 6d를 참조하여 설명한다.

[0079] 도 6은 본 발명의 또 다른 실시예에 따른 자기 기억 소자를 나타내는 단면도 이다.

[0080] 도 6을 참조하면, 제1 터널 배리어 패턴(135a) 및 제2 터널 배리어 패턴(235a) 사이에 제1 자성 패턴(140a) 및 제2 자성 패턴(240a)이 배치될 수 있다. 상기 제1 자성 패턴(140a) 및 제2 자성 패턴(240a) 사이에 층간 패턴(300a)이 배치될 수 있다. 상기 제1 터널 배리어 패턴(135a), 제1 자성 패턴(140a), 층간 패턴(300a), 제2 자성 패턴(240a)은 제2 터널 배리어 패턴(235a)은 제1 기준 패턴(130a) 및 제2 기준 패턴(230a) 사이에 개재될 수 있다.

[0081] 상기 제2 자성 패턴(240a)의 자화방향(245)은 변경 가능하다. 이때, 상기 제2 자성 패턴(240a)의 자화방향(245)은 상기 제1 자성 패턴(140a)의 자화방향(145)에 반평행하게 교환 결합될 수 있다. 예컨대, 상기 제1 자성 패턴(140a)의 자화방향(145)이 제1 기준 패턴(130a)의 제1 고정된 자화방향(127)과 평행한 경우에, 상기 제2 자성 패턴(240a)의 자화방향(245)은 상기 제1 고정된 자화방향(127)에 반평행할 수 있다. 상기 제1 자성 패턴(140a)의 자화방향(145)이 상기 제1 고정된 자화방향(127)에 반평행 하도록 반전되는 경우에, 상기 제2 자성 패턴(240a)의 자화방향(245)은 상기 제1 자성 패턴(140a)의 자화방향(145)에 반평행 하도록 반전될 수 있다. 상기 제2 자성 패턴(240a)은 강자성 물질을 포함할 수 있다. 예컨대, 상기 제2 자성 패턴(240a)은 CoFeB, CoFe 및/또는 CoFeNi 등을 포함할 수 있다.

[0082] 상기 층간 패턴(300a)은 탄탈늄(Ta), 팔라듐(Pd), 티타늄(Ti), 백금(Pt), 은(Ag), 금(Au), 구리(Cu), 루세늄(Ru), 이리듐(Ir) 또는 로듐(Rh) 등에서 적어도 하나를 포함할 수 있다. 상기 제1 및 제2 자성 패턴들(140a, 240a)에 의하여 정자기 자장(magnetostatic field 또는 stray field)이 생성될 수 있다. 상기 제2 자성 패턴(240a)의 자화방향(245)은 상기 정자기 자장에 의하여 상기 제1 자성 패턴(140a)의 자화방향(145)에 반평행하게 결합될 수 있다. 이에 더하여, 상기 제1 및 제2 자성 패턴들(140a, 240a)은 상기 층간 패턴(300a)에 의하여 교환 결합될 수도 있다. 이 경우에, 상기 층간 패턴(300a)은 루세늄(Ru), 이리듐(Ir) 또는 로듐(Rh) 등을 포함할 수 있다.

[0083] 적어도 하나의 수직 자성부(150)가 상기 제1 자성 패턴(140a) 내부에 배치된다. 이와 마찬가지로, 적어도 하나의 수직 자성부(250)가 상기 제2 자성 패턴(240a) 내부에 배치될 수 있다. 상기 제2 자성 패턴(240a) 내부의 수직 자성부(250)는 상기 제1 자성 패턴(140a) 내부의 수직 자성부(150)와 동일한 물질을 포함할 수 있다. 따라서, 상기 제2 자성 패턴(240a) 내부의 수직 자성부(250)는 상기 제2 자성 패턴(240a)의 자화방향(245)에 수직인 자화 성분을 갖는다. 결과적으로, 상기 수직 자성부(250)에 의하여 상기 제2 자성 패턴(240a)의 임계 전류 밀도가 감소될 수 있다.

[0084] 본 실시예에 따르면, 자기 기억 요소는 상기 제1 및 제2 기준 패턴들(130a, 230a), 제1 및 제2 터널 배리어 패턴들(135a, 235a), 제1 및 제2 자성 패턴들(140a, 240b), 수직 자성부들(150, 250) 및 층간 패턴(300a)을 포함할 수 있다. 이 경우에, 상기 제1 기준 패턴(130a)의 제1 고정된 자화방향(127)은 상기 제2 기준 패턴(230a)의 제2 고정된 자화방향(227)과 평행할 수 있다. 제1 및 제2 고정 패턴들(113a, 213a)의 제1 및 제2 블로킹 온도들보다 높은 온도의 열을 상기 제1 및 제2 고정 패턴들(113a, 213a)에 제공한 후에, 외부 자장을 공급하여 상기

제1 및 제2 고정된 자화방향들(127, 227)을 평행하게 정렬시킬 수 있다.

- [0085] 도 6에 개시된 자기 기억 소자의 프로그램 동작의 일 방법을 설명한다. 상기 제1 자성 패턴(140a)의 자화방향(145)이 상기 제1 기준 패턴(130a)의 제1 고정된 자화방향(127)과 반평행한 경우에, 프로그램 전류 내 전자들이 상기 제1 기준 패턴(130a) 으로부터 상기 제2 기준 패턴(230a)을 향하여 흐를 수 있다. 상기 제1 기준 패턴(130a)을 통과한 전자들은 상기 제1 기준 패턴(130a)의 제1 고정된 자화방향(127)과 평행한 스핀을 갖는 메이저 전자들, 및 상기 제1 고정된 자화방향(127)에 반평행한 마이너 전자들을 포함할 수 있다. 상기 메이저 전자들은 상기 제1 자성 패턴(140a) 내에 축적될 수 있다. 축적된 상기 메이저 전자들에 의하여 상기 제1 자성 패턴(140a)의 자화방향(145)이 상기 제1 고정된 자화방향(127)과 평행하도록 반전될 수 있다. 상기 제2 자성 패턴(240a)의 자화방향(245)은 상기 제1 자성 패턴(140a)의 자화방향(145)에 반평행하게 교환 결합됨으로, 상기 제1 자성 패턴(140a)의 자화방향(145)이 반전될 때 상기 제2 자성 패턴(240a)의 자화방향(245)도 반전될 수 있다. 이때, 상기 제1 및 제2 고정된 자화방향들(127, 227)은 서로 평행함으로써, 상기 마이너 전자들은 상기 제2 고정된 자화방향(227)에 반평행하다. 이에 따라, 상기 마이너 전자들은 상기 제2 기준 패턴(230a)의 제2 고정된 자화방향(227)에 반사되어, 상기 제2 자성 패턴(240a)에 축적될 수 있다. 상기 제2 자성 패턴(240a) 내에 축적된 상기 마이너 전자들은 상기 제2 자성 패턴(240a)의 자화방향(245)의 반전에 도움을 줄 수 있다. 그 결과, 상기 제1 및 제2 자성 패턴들(140a, 240a)의 자화방향들(145, 245)을 반전시키기 위한 임계 전류 밀도를 감소시킬 수 있다. 이에 더하여, 상기 수직 자성부들(150, 250)에 의하여 임계 전류 밀도가 감소된다. 결과적으로, 소비 전력이 최소화된 자기 기억 소자를 구현할 수 있다. 또한, 우수한 신뢰성을 갖고 고집적화에 최적화된 자기 기억 소자를 구현할 수 있다.
- [0086] 도 5에 설명한 것과 같이, 상기 제1 터널 배리어 패턴(135a)의 상기 제1 저항값과 상기 제2 터널 배리어 패턴(235a)의 상기 저항값이 다르므로써, 상기 제1 자성 패턴(140a) 및 제1 기준 패턴(130a)간의 자기저항비 및 상기 제2 자성 패턴(240a) 및 제2 기준 패턴(230a)간의 자기저항비가 다르다. 그 결과, 상기 자기 기억 요소에 저장된 논리 데이터를 판독할 수 있다.
- [0087] 도 6에 개시된 수직 자성부(150)를 내포한 제1 자성 패턴(140a) 및 수직 자성 자성부(250)를 내포한 제2 자성 패턴(240a) 중에서 적어도 하나는 도 1c에 개시된 수직 자성부(150)/자성 패턴(140a)', 도 2a 및 도 2b에 개시된 수직 자성부(150a)/자성 패턴(140a), 또는, 도 3a 및 도 3b에 개시된 제1 및 제2 수직 자성부들(150, 150a)/자성 패턴(140a) 중에서 어느 하나와 대체될 수 있다.
- [0088] 다음으로, 본 발명의 실시예들에 따른 자기 기억 소자의 제조 방법들을 도면들을 참조하여 설명한다.
- [0089] 도 7a 내지 도 7d는 본 발명의 일 실시예에 따른 자기 기억 소자의 제조 방법을 설명하기 위한 단면도들이다.
- [0090] 도 7a를 참조하면, 기판(100) 상에 제1 층간 유전막(103)을 형성할 수 있으며, 상기 제1 층간 유전막(103)을 관통하는 하부 콘택 플러그(105)를 형성할 수 있다. 상기 제1 층간 유전막(103) 상에 제1 전극막(110)을 형성할 수 있다. 상기 제1 전극막(110)은 상기 하부 콘택 플러그(105)와 접촉될 수 있다.
- [0091] 상기 제1 전극막(110) 상에 기준막(130) 및 터널 배리어막(135)을 차례로 형성할 수 있다. 상기 기준막(130)은 차례로 적층된 고정막(113), 보조 피고정막(115), 교환 결합막(120) 및 주 피고정막(125)을 포함할 수 있다. 상기 고정막(113), 보조 피고정막(115), 교환 결합막(120) 및 주 피고정막(125)의 각각은 스퍼터링 공정(sputtering process)으로 형성될 수 있다. 하지만, 본 발명은 여기에 한정되지 않는다. 상기 막들(113, 115, 120, 125)의 각각은 화학기상 증착 공정 또는 원자층 증착 공정 등으로 형성될 수도 있다. 상기 터널 배리어막(135)은 스퍼터링 공정, 화학기상 증착 공정 또는 원자층 증착 공정 등으로 형성될 수 있다. 일 실시예에 따르면, 상기 터널 배리어막(135)은 도 1b에서 설명한 것과 같이 결정 상태로 형성될 수 있다.
- [0092] 상기 터널 배리어막(135) 상에 교대로 적층된 부자성막(142, sub-magnetic layer) 및 란탄족-막(143, lanthanoid-layer)을 포함하는 다층막(multi-layer)을 형성할 수 있다. 상기 부자성막(142) 및 란탄족-막(143)은 적어도 1회 교대로 적층될 수 있다. 일 실시예에 따르면, 상기 다층막의 최상위 층은 상기 부자성막(142)일 수 있다.
- [0093] 상기 부자성막(142)은 강자성 물질로 형성될 수 있다. 예컨대, 상기 부자성막(142)은 CoFeB, CoFe 및/또는 CoFeNi 등을 포함할 수 있다. 상기 부자성막(142)은 스퍼터링 공정으로 형성될 수 있다. 일 실시예에 따르면, 상기 부자성막(142)은 비정질 상태일 수 있다. 상기 란탄족-막(143)은 란탄족 원소들 중에서 적어도 하나를 포함할 수 있다. 상기 란탄족-막(143)은 스퍼터링 공정으로 형성될 수 있다. 일 실시예에 따르면, 상기 란탄족-막(143)은 단일 원소막일 수 있다. 하지만, 본 발명은 여기에 한정되지 않는다.



- [0094] 도 7b를 참조하면, 상기 다층막을 갖는 기관(100)에 열처리 공정을 수행하여, 자성막(140) 및 상기 자성막(140) 내부에 위치한 적어도 하나의 수직 자성부(150)를 형성할 수 있다. 상기 열처리 공정 시에, 상기 터널 배리어막(135)이 시드로 작용되어, 상기 다층막 내 부자성막들(142)이 결정 상태로 변환될 수 있다. 이에 따라, 결정 상태의 상기 자성막(140)이 형성될 수 있다. 상기 자성막(140)내 결정립들은 상기 터널 배리어막(135)의 결정립들을 시드로 사용하여 성장될 수 있다. 상기 열처리 공정 시에, 상기 란탄족-막(143) 내 란탄족 원자들은 상기 자성막(140)의 결정립 내로 편석될 수 있다. 상기 편석된 란탄족 원자들은 상기 자성막(140) 내 원소들과 결합되어 상기 수직 자성부(150)가 형성될 수 있다. 상기 수직 자성부(150)는 상기 편석된 란탄족 원자들 및 상기 자성막(140) 내 원소들의 결합에 형성된 수직 자성 물질을 포함한다. 상기 각 란탄족-막(143) 내 원자들의 편석에 의해 형성된 상기 수직 자성부들(150)은 상기 기관(100)의 상부면으로부터 동일한 레벨에 위치할 수 있다. 상기 열처리 공정은 약 300℃ 내지 약 600℃의 공정 온도에서 수행될 수 있다. 상기 열처리 공정은 불활성 가스 분위기에서 수행될 수 있다.
- [0095] 상기 열처리 공정의 공정 시간 및/또는 공정 온도를 조절하여, 상기 자성막(140)의 결정립들은 상기 자성막(140)의 상부면까지 성장될 수 있다. 이 경우에, 도 1b를 참조하여 설명한 것과 같이, 상기 자성막(140)의 전체가 결정 상태일 수 있다. 이와는 다르게, 상기 열처리 공정 시에, 상기 자성막(140)의 결정립들은 상기 자성막(140)의 상부면 낮게 레벨까지 성장될 수 있다. 이 경우에, 도 1c에서 설명한 것과 같이, 상기 자성막(140)은 결정 상태인 제1 부분 및 비정질 상태인 제2 부분을 포함할 수 있다.
- [0096] 한편, 상기 자성막(140) 및 수직 자성부(150)는 다른 방법으로 형성될 수 있다. 이를 도 8의 플로우 차트를 참조하여 설명한다.
- [0097] 도 8은 자성막 및 수직 자성부의 다른 형성 방법을 설명하기 위한 플로우 차트이다.
- [0098] 도 7b 및 도 8을 참조하면, 기준막(130) 상에 강자성 물질 및 란탄족 물질을 동시에 증착할 수 있다(S310). 상기 강자성 물질 및 란탄족 물질을 스퍼터링 공정에 의하여 동시에 증착될 수 있다. 일 실시예에 따르면, 강자성 물질 및 란탄족 물질을 포함하는 하나의 타겟(target)을 사용하는 스퍼터링 공정으로, 상기 강자성 물질 및 란탄족 물질을 동시에 증착할 수 있다. 이와는 다르게, 강자성 물질로 형성된 제1 타겟 및 란탄족 물질로 형성된 제2 타겟을 동시에 사용하는 스퍼터링 공정으로, 상기 강자성 물질 및 란탄족 물질을 동시에 증착할 수 있다.
- [0099] 이어서, 상기 증착된 강자성 물질 및 란탄족 물질을 갖는 기관(100)에 열처리 공정을 수행하여 상기 자성막(140) 및 상기 자성막(140) 내부의 수직 자성부(150)를 형성할 수 있다(S312). 상기 열처리 공정에 의하여, 상기 증착된 란탄족 물질의 란탄족 원자들은 상기 증착된 강자성 물질 내에서 편석될 수 있다. 상기 편석된 란탄족 원자들은 인접한 강자성 물질의 원소와 결합하여 상기 수직 자성부(150)가 형성될 수 있다. 상기 증착된 강자성 물질은 상기 열처리 공정에 의하여 결정 상태로 변환될 수 있다. 상기 증착된 강자성 물질은 결정 상태인 상기 터널 배리어막(135)을 시드로 사용하여 결정 상태로 변환될 수 있다. 상기 열처리 공정 시에, 상기 란탄족 원자들은 상기 자성막(140)의 결정립 내부로 편석될 수 있다. 이로써, 상기 수직 자성부(150)는 상기 자성막(140)의 결정립 내부에 형성될 수 있다.
- [0100] 계속해서, 도 7c를 참조하면, 상기 자성막(140) 상에 제2 전극막(160)을 형성할 수 있다. 상기 제2 전극막(160)은 스퍼터링 공정, 화학기상 증착 공정 또는 원자층 증착 공정으로 형성될 수 있다.
- [0101] 도 7d를 참조하면, 상기 제2 전극막(160), 자성막(140), 터널 배리어막(135), 기준막(130) 및 제1 전극막(110)을 연속적으로 패터닝하여, 차례로 적층된 제1 전극(110a), 기준 패턴(130a), 터널 배리어 패턴(135a), 자성 패턴(140a) 및 제2 전극(160a)을 형성할 수 있다. 이때, 상기 자성 패턴(140a) 내부에는 적어도 하나의 상기 수직 자성부(150)가 배치된다. 상기 기준 패턴(130a)은 차례로 적층된 고정 패턴(113a), 보조 피고정 패턴(115a), 교환 결합 패턴(120a) 및 주 피고정 패턴(125a)을 포함할 수 있다. 이어서, 도 1a의 제2 층간 유전막(163), 상부 콘택 플러그(165) 및 배선(170)을 차례로 형성할 수 있다. 이로써, 도 1a에 개시된 자기 기억 소자를 구현할 수 있다.
- [0102] 다음으로, 도 2a 및 도 2b에 개시된 자기 기억 소자 및/또는 도 3a 및 도 3b에 개시된 자기 기억 소자의 제조 방법들을 특징적인 부분을 중심으로 설명한다.
- [0103] 도 9는 본 발명의 다른 실시예에 따른 자기 기억 소자의 제조 방법을 설명하기 위한 단면도이다.
- [0104] 도 9를 참조하면, 터널 배리어막(135) 상에, 복수의 결정립들을 갖는 결정 상태의 자성막(140) 및 상기 자성막(140)의 결정립들 사이의 수직 자성부(150a)를 형성할 수 있다. 상기 자성막(140) 및 수직 자성부(150a)를 형성

하는 일 방법을 도 10의 플로우 차트를 참조하여 좀더 구체적으로 설명한다.

- [0105] 도 10은 자성막 및 수직 자성부의 또 다른 형성 방법을 설명하기 위한 플로우 차트이다.
- [0106] 도 9 및 도 10을 참조하면, 상기 터널 배리어막(135) 상에 자성막을 형성할 수 있다(S320). 상기 자성막은 강자성 물질로 형성될 수 있다. 상기 자성막은 스퍼터링 공정으로 형성될 수 있다. 상기 자성막은 상기 터널 배리어막(135)을 시드로 하여 결정 상태로 성장될 수 있다. 이와는 달리, 상기 자성막은 비정질 상태로 형성될 수도 있다.
- [0107] 상기 자성막 상에 란탄족-막을 형성할 수 있다(S322). 상기 란탄족-막은 란탄족 원소들 중에서 적어도 하나를 포함할 수 있다. 상기 란탄족-막은 스퍼터링 공정으로 형성될 수 있다.
- [0108] 상기 란탄족-막을 갖는 기판(100)에 열처리 공정을 수행하여 결정 상태의 자성막(140) 및 상기 자성막(140) 내부의 수직 자성부(150a)를 형성할 수 있다(S324). 상기 스텝(S320)에 의해 형성된 자성막이 결정 상태인 경우에, 상기 열처리 공정에 의하여 상기 란탄족-막 내 란탄족 원자들이 상기 자성막의 결정립들의 경계를 따라 확산될 수 있다. 확산된 란탄족 원자들은 인접한 주변의 상기 자성막 내 원소와 결합하여, 자성막의 결정립들 사이에 위치한 상기 수직 자성부(150a)가 형성될 수 있다.
- [0109] 일 실시예에 따르면, 상기 열처리 공정(S324) 시에, 상기 란탄족-막 내 원자들의 일부는 상기 자성막의 결정립들 사이로 확산될 수 있으며, 상기 란탄족-막 내 원자들의 다른 일부는 상기 자성막의 결정립 내부로 편석될 수 있다. 이로써, 상기 자성막(140)의 결정립들 사이의 수직 자성부(150a)와 상기 자성막(140)의 결정립 내부의 수직 자성부(도 3a 및 3b의 수직 자성부(150))가 형성될 수 있다.
- [0110] 이와는 다르게, 상기 스텝(S320)에 의해 형성된 자성막이 비정질인 경우에, 상기 열처리 공정에 의하여 상기 비정질 상태의 자성막이 결정 상태의 자성막(140)으로 변환될 수 있다. 또한, 상기 열처리 공정 시에, 상기 란탄족-막 내 란탄족 원자들은 상기 결정 상태의 자성막(140)의 결정립들의 경계를 따라 확산될 수 있다. 이로써, 상기 자성막(140) 및 상기 수직 자성부(150a)가 형성될 수 있다. 일 실시예에 따르면, 상기 열처리 공정 시에, 상기 란탄족-막 내 원자들의 다른 일부는 상기 자성막(140)의 결정립 내부에 편석될 수 있다. 이로써, 도 3a 및 도 3b에 개시된 결정립들 사이의 수직 자성부(150a) 및 결정립 내부의 수직 자성부(150)가 함께 형성될 수 있다.
- [0111] 한편, 상기 자성막(140) 및 수직 자성부(150a)는 도 8의 플로우 차트를 참조하여 설명한 방법으로 형성될 수도 있다. 일 실시예에 따르면, 도 8의 플로우 차트의 방법에서, 열처리 공정(S312)에 의하여 란탄족 원자들은 자성막의 결정립들의 경계에 편석될 수 있다. 이 경우에, 도 9에 개시된 수직 자성부(150a)가 형성될 수 있다.
- [0112] 일 실시예에 따르면, 도 8의 열처리 공정(S312) 시에, 란탄족 원자들의 일부는 자성막의 결정립들의 경계에 편석될 수 있으며, 란탄족 원자들의 다른 일부는 자성막의 결정립 내부에 편석될 수 있다. 이 경우에, 도 3a 및 도 3b에 개시된 결정립들 사이의 수직 자성부(150a) 및 결정립 내부의 수직 자성부(150)가 함께 형성될 수 있다.
- [0113] 또 다른 방법으로, 도 7a 및 도 7b를 참조하여 설명한 방법으로, 결정립들 사이의 수직 자성부(150a) 및 결정립 내부의 수직 자성부(도 3b의 150)를 함께 형성할 수도 있다. 예컨대, 부자성막들(도 7a의 142) 및 란탄족-막들(도 7a의 143)을 교대로 적층한 후에, 열처리 공정을 수행할 수 있다. 이 경우에, 상기 란탄족-막들(도 7a의 143) 내 란탄족 원자들의 일부는 자성막의 결정립들 사이로 편석될 수 있으며, 란탄족 원자들의 다른 일부는 결정립 내부에 편석될 수 있다. 이로써, 도 3a 및 도 3b의 결정립들 사이의 수직 자성부(150a) 및 결정립 내부의 수직 자성부(150)가 형성될 수 있다.
- [0114] 계속해서, 도 9 및 도 2a를 참조하면, 상기 자성막(140) 상에 제2 전극막(160)을 형성할 수 있다. 이어서, 상기 제2 전극막(160), 자성막(140), 터널 배리어막(135), 기준막(130) 및 제1 전극막(110)을 연속적으로 패터닝하여, 차례로 적층된 제1 전극(110a), 기준 패턴(130a), 터널 배리어 패턴(135a), 자성 패턴(140a) 및 제2 전극(160a)을 형성할 수 있다. 상기 자성 패턴(140a)의 내부에 적어도 하나의 상기 수직 자성부(150a)가 배치될 수 있다. 이어서, 도 2a의 제2 층간 유전막(163), 상부 콘택플러그(165) 및 배선(170)을 형성할 수 있다.
- [0115] 다음으로, 도 4에 개시된 자기 기억 소자의 제조 방법을 특징적인 부분을 중심으로 설명한다.
- [0116] 도 11은 본 발명의 또 다른 실시예에 따른 자기 기억 소자의 제조 방법을 설명하기 위한 단면도이다.
- [0117] 도 11을 참조하면, 제1 층간 유전막(103) 상에 제1 전극막(110)을 형성할 수 있다. 본 실시예에 따르면, 상기

제1 전극막(110)은 결정 상태, 특히, 다결정 상태일 수 있다. 상기 제1 전극막(110) 상에 자성막(140) 및 자성막(140) 내부의 수직 자성부(150)를 형성할 수 있다. 일 실시예에 따르면, 상기 수직 자성부(150)는 도 2b의 수직 자성부(150a)와 대체될 수 있다. 이와는 달리, 도 3b에 개시된 바와 같이, 상기 자성막(140) 내부에, 결정립들 사이의 수직 자성부(150a) 및 결정립 내부의 상기 수직 자성부(150)이 함께 형성될 수 있다. 상기 자성막(140) 및 수직 자성부는 도 7a 내지 도 7a, 및 도 8 내지 도 10을 참조하여 설명한 여러 형성 방법들 중에서 어느 하나로 형성될 수 있다. 이때, 본 실시예는 상기 제1 전극막(110)을 상기 자성막(140)의 시드로 사용할 수 있다.

[0118] 상기 자성막(140) 상에 터널 배리어막(135), 기준막(130) 및 제2 전극막(160)을 차례로 형성할 수 있다. 상기 기준막(130)은 상기 터널 배리어막(135) 상에 차례로 적층된 주 피고정막(125), 교환 결합막(120), 보조 피고정막(115) 및 고정막(113)을 포함할 수 있다.

[0119] 이어서, 상기 막들(160, 130, 135, 140, 110)을 연속적으로 패터닝하여, 도 4에 개시된 차례로 적층된 제1 전극(110a), 자성 패턴(140), 터널 배리어 패턴(135), 기준 패턴(130) 및 제2 전극(160a)을 형성할 수 있다. 이어서, 4의 제2 층간 유전막(163), 상부 콘택 플러그(165) 및 배선(170)을 형성할 수 있다.

[0120] 다음으로, 도 5에 개시된 자기 기억 소자의 제조 방법을 특징적인 부분을 중심으로 설명한다.

[0121] 도 12는 본 발명의 또 다른 실시예에 따른 자기 기억 소자의 제조 방법을 설명하기 위한 단면도이다.

[0122] 도 12를 참조하면, 제1 층간 유전막(103) 상에 제1 전극막(110), 제1 기준막(130) 및 제1 터널 배리어막(135)을 차례로 형성할 수 있다. 상기 제1 기준막(130)은 차례로 적층된 제1 고정막(113), 제1 보조 피고정막(115), 제1 교환 결합막(120) 및 제1 주 피고정막(125)을 포함할 수 있다.

[0123] 상기 제1 터널 배리어막(135) 상에 자성막(140) 및 상기 자성막(140) 내부의 수직 자성부(150)를 형성할 수 있다. 상기 수직 자성부(150)는 도 2b의 수직 자성부(150a)와 대체될 수 있다. 이와는 달리, 도 3b에 개시된 바와 같이, 상기 자성막(140) 내부에, 결정립들 사이의 수직 자성부(150a) 및 결정립 내부의 수직 자성부(150)이 함께 형성될 수 있다. 상기 자성막(140) 및 수직 자성부는 도 7a 내지 도 7a, 및 도 8 내지 도 10를 참조하여 설명한 여러 형성 방법들 중에서 어느 하나로 형성될 수 있다.

[0124] 상기 자성막(140) 상에 제2 터널 배리어막(235), 제2 기준막(230) 및 제2 전극막(160)을 차례로 형성할 수 있다. 상기 제2 기준막(230)은 차례로 적층된 제2 주 피고정막(225), 제2 교환 결합막(220), 제2 보조 피고정막(215) 및 제2 고정막(213)을 포함할 수 있다.

[0125] 일 실시예에 따르면, 상기 제1 터널 배리어막(135)의 비저항은 상기 제2 터널 배리어막(235)의 비저항과 다를 수 있다. 다른 실시예에 따르면, 상기 제1 터널 배리어막(135)의 두께는 상기 제2 터널 배리어막(235)의 두께와 다를 수 있다. 또 다른 실시예에 따르면, 상기 제1 터널 배리어막(135)의 비저항이 상기 제1 터널 배리어막(235)의 비저항과 다르고, 그리고, 상기 제1 터널 배리어막(135)의 두께도 상기 제2 터널 배리어막(235)의 두께와 다를 수 있다.

[0126] 일 실시예에 따르면, 상기 제1 피고정막(113)는 반강자성 물질의 제1 블로킹 온도는 상기 제2 피고정막(213)의 반강자성 물질의 제2 블로킹 온도와 다를 수 있다.

[0127] 이어서, 상기 제2 전극막(160), 제2 기준막(230), 제2 터널 배리어막(235), 자성막(140), 제1 터널 배리어막(135), 제1 기준막(130) 및 제1 전극막(110)을 연속적으로 패터닝하여, 도 5의 차례로 적층된 제1 전극(110a), 제1 기준 패턴(130a), 제1 터널 배리어 패턴(135a), 자성 패턴(140a), 제2 터널 배리어 패턴(235), 제2 기준 패턴(230) 및 제2 전극(160a)을 형성할 수 있다. 이때, 결정립들 사이의 수직 자성부 및/또는 결정립 내부의 수직 자성부(150)가 상기 자성 패턴(140a) 내부에 배치된다. 이어서, 도 5의 제2 층간 유전막(163), 상부 콘택 플러그(165) 및 배선(170)을 형성할 수 있다.

[0128] 다음으로, 도 6에 개시된 자기 기억 소자의 제조 방법을 특징적인 부분을 중심으로 설명한다.

[0129] 도 13은 본 발명의 또 다른 실시예에 따른 자기 기억 소자의 제조 방법을 설명하기 위한 단면도이다.

[0130] 도 13을 참조하면, 제1 층간 유전막(103) 상에 제1 전극막(110), 제1 기준막(130) 및 제1 터널 배리어막(135)을 차례로 형성할 수 있다. 상기 제1 터널 배리어막(135) 상에 제1 자성막(140) 및 상기 제1 자성막(140) 내부의 수직 자성부(150)를 형성할 수 있다. 도 5를 참조하여 설명한 것과 같이, 상기 제1 자성막(140) 내부에는 결정립 내부의 수직 자성부(150) 및/또는 결정립들 사이의 수직 자성부(150a)가 형성될 수 있다. 상기 제1 자성막

(140) 및 그 내부의 수직 자성부의 형성 방법은 도 5를 참조하여 설명하였으므로 생략한다.

- [0131] 상기 제1 자성막(140) 상에 층간막(300)을 형성할 수 있다. 상기 층간막(300) 상에 제2 자성막(240) 및 상기 제2 자성막(240) 내부의 수직 자성부(250)를 형성할 수 있다. 상기 제2 자성막(240) 및 그 내부의 수직 자성부(250)는, 도 5를 참조하여 설명한 자성막(140) 및 수직 자성부(150 및/또는 150a)의 형성 방법들 중에서 어느 하나와 동일한 방법으로 형성될 수 있다.
- [0132] 상기 제2 자성막(240) 상에 제2 터널 배리어막(235), 제2 기준막(230) 및 제2 전극막(160)을 차례로 형성할 수 있다. 상기 막들(160, 230, 235, 240, 300, 140, 135, 130, 110)을 연속적으로 패터닝하여, 도 6의 차례로 적층된 제1 전극(110a), 제1 기준 패턴(130a), 제1 터널 배리어 패턴(135a), 제1 자성 패턴(140a), 층간 패턴(300a), 제2 자성 패턴(240a), 제2 터널 배리어 패턴(235a), 제2 기준 패턴(230a) 및 제2 전극(160a)을 형성할 수 있다. 이어서, 도 6의 제2 층간 유전막(163), 상부 콘택 플러그(165) 및 배선(170)을 형성할 수 있다.
- [0133] 상술된 실시예들에서 개시된 자기 기억 소자들은 다양한 형태들의 반도체 패키지(semiconductor package)로 구현될 수 있다. 예를 들면, 본 발명의 실시예들에 따른 자기 기억 소자들은 PoP(Package on Package), Ball grid arrays(BGAs), Chip scale packages(CSPs), Plastic Leaded Chip Carrier(PLCC), Plastic Dual In-Line Package(PDIP), Die in Wafer Pack, Die in Wafer Form, Chip On Board(COB), Ceramic Dual In-Line Package(CERDIP), Plastic Metric Quad Flat Pack(MQFP), Thin Quad Flatpack(TQFP), Small Outline(SOIC), Shrink Small Outline Package(SSOP), Thin Small Outline(TSOP), Thin Quad Flatpack(TQFP), System In Package(SIP), Multi Chip Package(MCP), Wafer-level Fabricated Package(WFP), Wafer-Level Processed Stack Package(WSP) 등의 방식으로 패키징될 수 있다.
- [0134] 본 발명의 실시예들에 따른 자기 기억 소자가 실장된 패키지는 상기 자기 기억 소자를 제어하는 컨트롤러 및/또는 논리 소자 등을 더 포함할 수도 있다.
- [0135] 도 14는 본 발명의 기술적 사상에 기초한 자기 기억 소자를 포함하는 전자 시스템의 일 예를 도시한 블록도이다.
- [0136] 도 14를 참조하면, 본 발명의 일 실시예에 따른 전자 시스템(1100)은 컨트롤러(1110), 입출력 장치(1120, I/O), 기억 장치(1130, memory device), 인터페이스(1140) 및 버스(1150, bus)를 포함할 수 있다. 상기 컨트롤러(1110), 입출력 장치(1120), 기억 장치(1130) 및/또는 인터페이스(1140)는 상기 버스(1150)를 통하여 서로 결합될 수 있다. 상기 버스(1150)는 데이터들이 이동되는 통로(path)에 해당한다.
- [0137] 상기 컨트롤러(1110)는 마이크로프로세서, 디지털 신호 프로세서, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 상기 입출력 장치(1120)는 키패드(keypad), 키보드 및 디스플레이 장치 등을 포함할 수 있다. 상기 기억 장치(1130)는 데이터 및/또는 명령어 등을 저장할 수 있다. 상기 기억 장치(1130)는 상술된 실시예들에 개시된 자기 기억 소자들 중에서 적어도 하나를 포함할 수 있다. 또한, 상기 기억 장치(1130)는 다른 형태의 반도체 기억 소자(ex, 플래쉬 기억 소자, 및/또는 상변화 기억 소자 등)를 더 포함할 수 있다. 상기 인터페이스(1140)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 상기 인터페이스(1140)는 유선 또는 무선 형태일 수 있다. 예컨대, 상기 인터페이스(1140)는 안테나 또는 유무선 트랜시버등을 포함할 수 있다. 도시하지 않았지만, 상기 전자 시스템(1100)은 상기 컨트롤러(1110)의 동작을 향상시키기 위한 동작 기억 소자로서, 고속의 디램 소자 및/또는 에스램 소자 등을 더 포함할 수도 있다.
- [0138] 상기 전자 시스템(1100)은 개인 휴대용 정보 단말기(PDA, personal digital assistant) 포터블 컴퓨터(portable computer), 웹 타블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및/또는 수신할 수 있는 모든 전자 제품에 적용될 수 있다.
- [0139] 도 15는 본 발명의 기술적 사상에 기초한 자기 기억 소자를 포함하는 메모리 카드의 일 예를 도시한 블록도이다.
- [0140] 도 15를 참조하면, 본 발명의 일 실시예에 따른 메모리 카드(1200)는 기억 장치(1210)를 포함한다. 상기 기억 장치(1210)는 상술된 실시예들에 개시된 자기 기억 소자들 중에서 적어도 하나를 포함할 수 있다. 또한, 상기 기억 장치(1210)는 다른 형태의 반도체 기억 소자(ex, 플래쉬 기억 소자, 상변화 기억 소자, 디램 소자 및/또는 에스램 소자 등)를 더 포함할 수 있다. 상기 메모리 카드(1200)는 호스트(Host)와 상기 기억 장치(1210) 간의



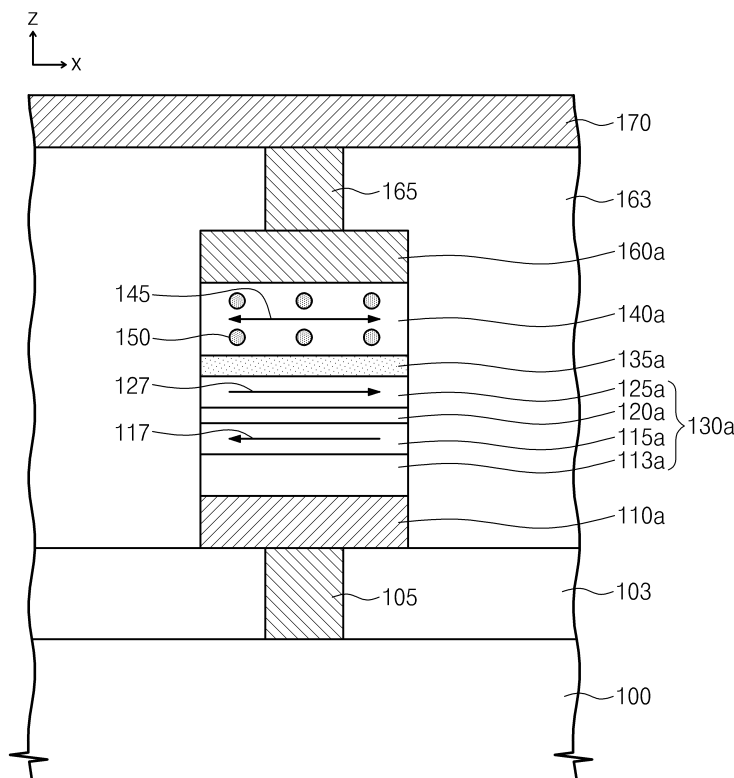
데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함할 수 있다.

[0141] 상기 메모리 컨트롤러(1220)는 메모리 카드의 전반적인 동작을 제어하는 프로세싱 유닛(1222)을 포함할 수 있다. 또한, 상기 메모리 컨트롤러(1220)는 상기 프로세싱 유닛(1222)의 동작 메모리로서 사용되는 에스램(1221, SRAM)을 포함할 수 있다. 이에 더하여, 상기 메모리 컨트롤러(1220)는 호스트 인터페이스(1223), 메모리 인터페이스(1225)를 더 포함할 수 있다. 상기 호스트 인터페이스(1223)는 메모리 카드(1200)와 호스트(Host)간의 데이터 교환 프로토콜을 구비할 수 있다. 상기 메모리 인터페이스(1225)는 상기 메모리 컨트롤러(1220)와 상기 기억 장치(1210)를 접속시킬 수 있다. 더 나아가서, 상기 메모리 컨트롤러(1220)는 에러 정정 블록(1224, Ecc)를 더 포함할 수 있다. 상기 에러 정정 블록(1224)은 상기 기억 장치(1210)로부터 독출된 데이터의 에러를 검출 및 정정할 수 있다. 도시하지 않았지만, 상기 메모리 카드(1200)는 호스트(Host)와의 인터페이싱을 위한 코드 데이터를 저장하는 롬 장치(ROM device)를 더 포함할 수도 있다. 상기 메모리 카드(1200)는 휴대용 데이터 저장 카드로 사용될 수 있다. 이와는 달리, 상기 메모리 카드(1200)는 컴퓨터시스템의 하드디스크를 대체할 수 있는 고상 디스크(SSD, Solid State Disk)로도 구현될 수 있다.

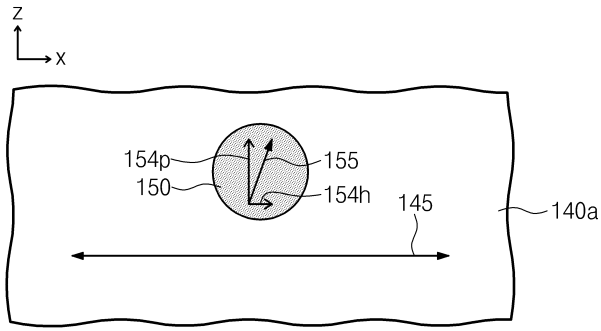
[0142] 이상, 첨부된 도면들을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명은 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수도 있다. 그러므로 이상에서 기술한 실시예들에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

**도면**

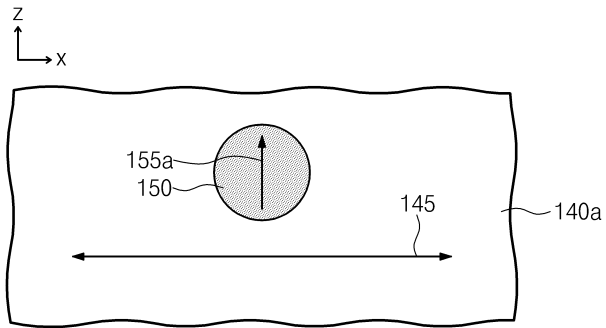
**도면1a**



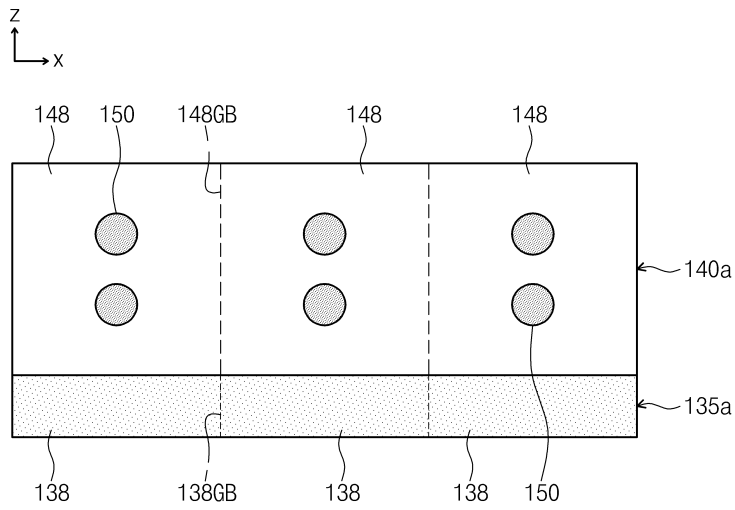
도면1b



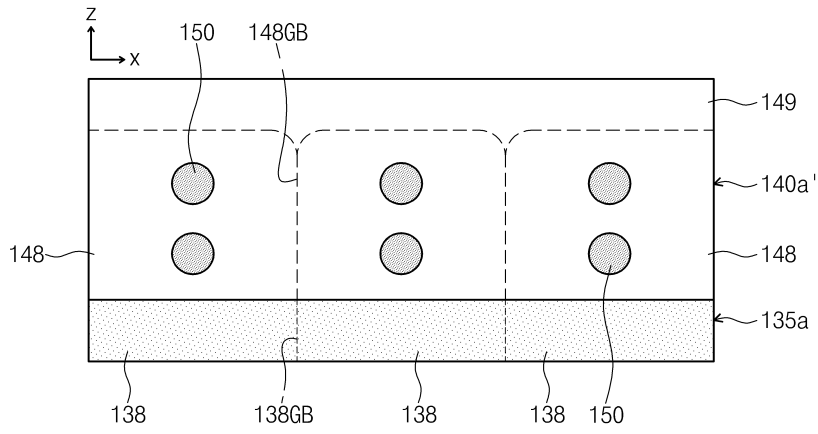
도면1c



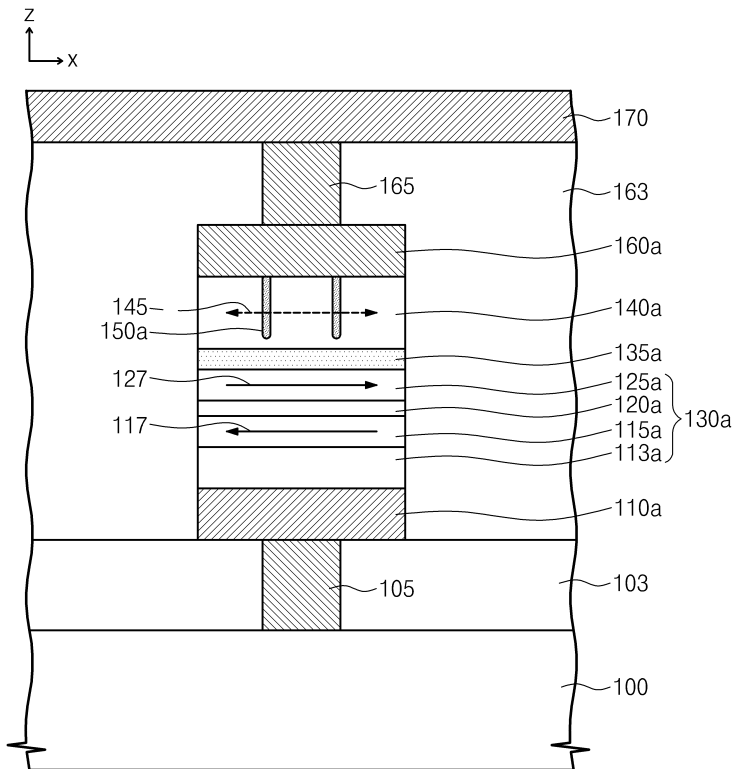
도면1d



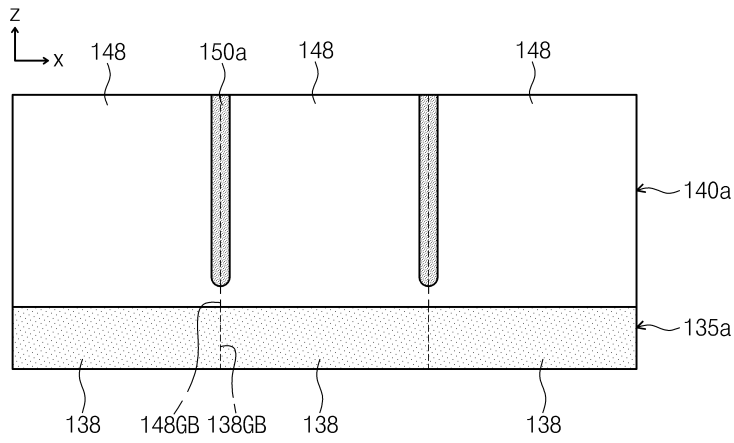
도면1e



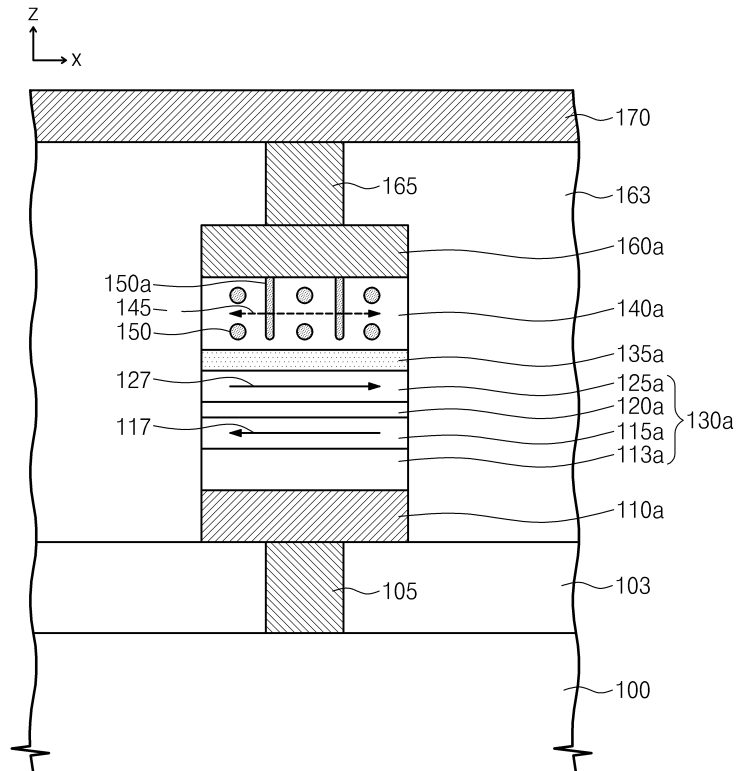
도면2a



도면2b

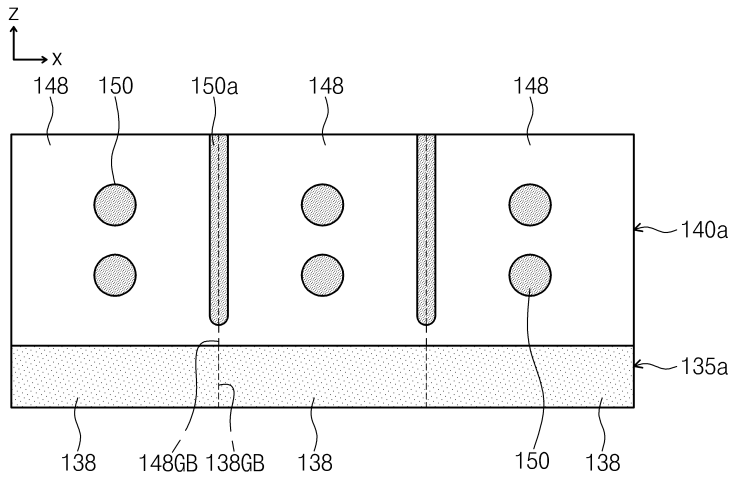


도면3a

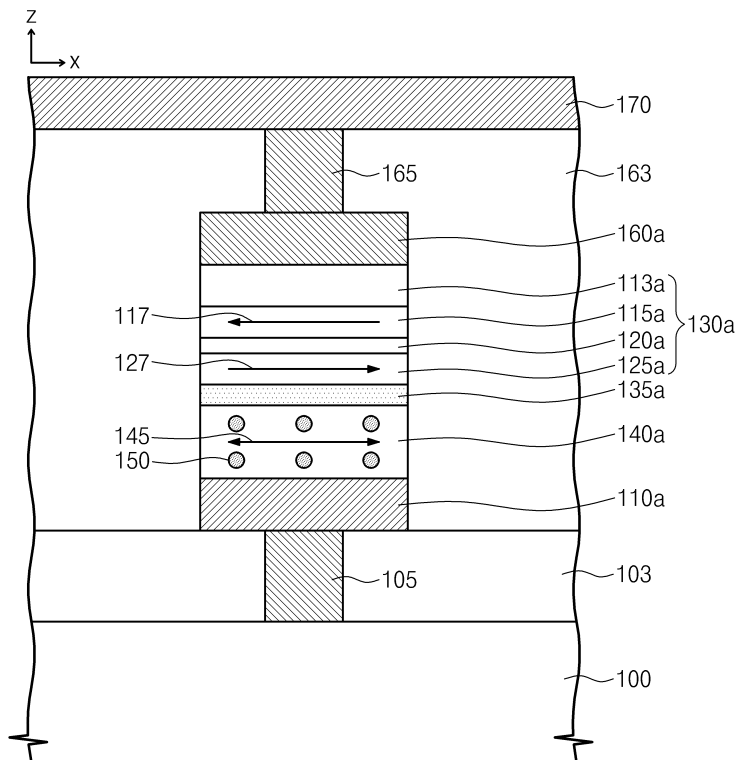




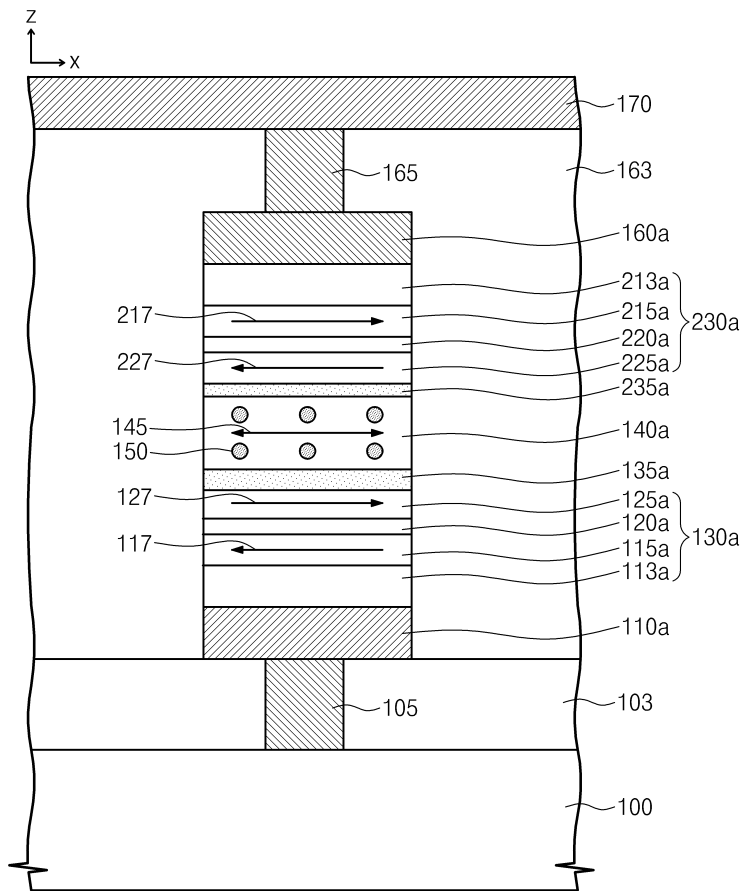
도면3b



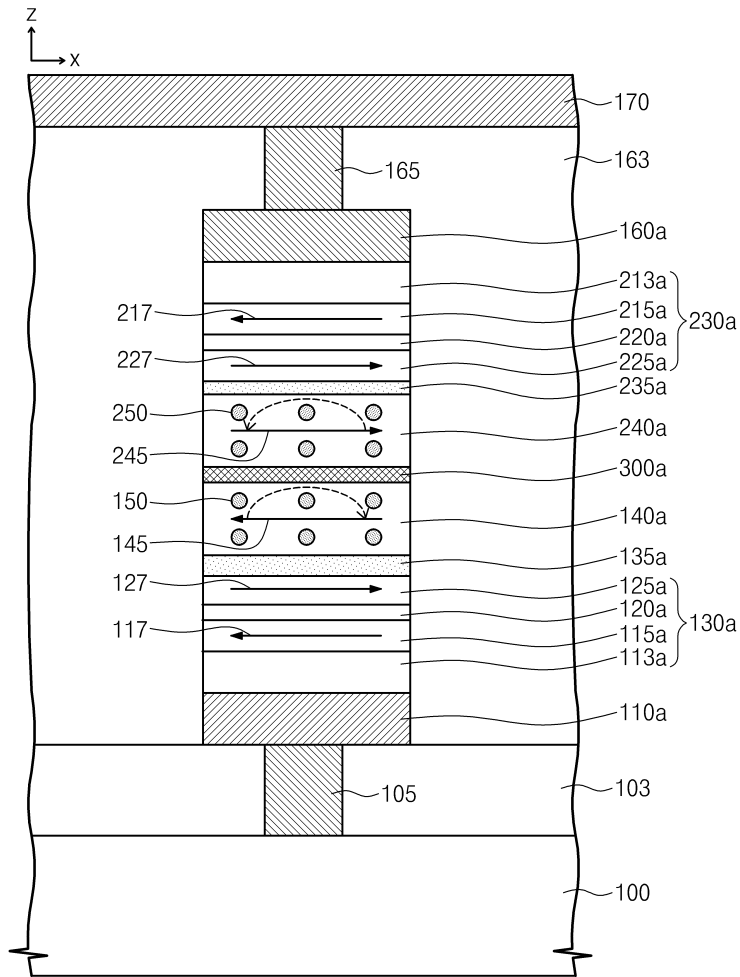
도면4



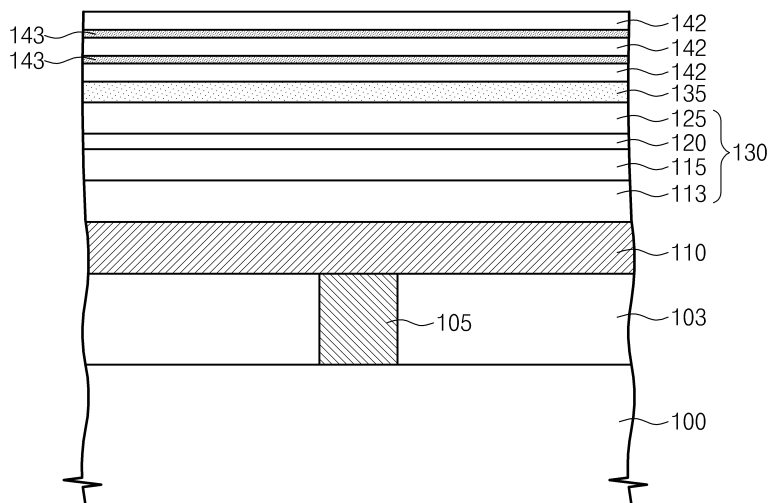
도면5



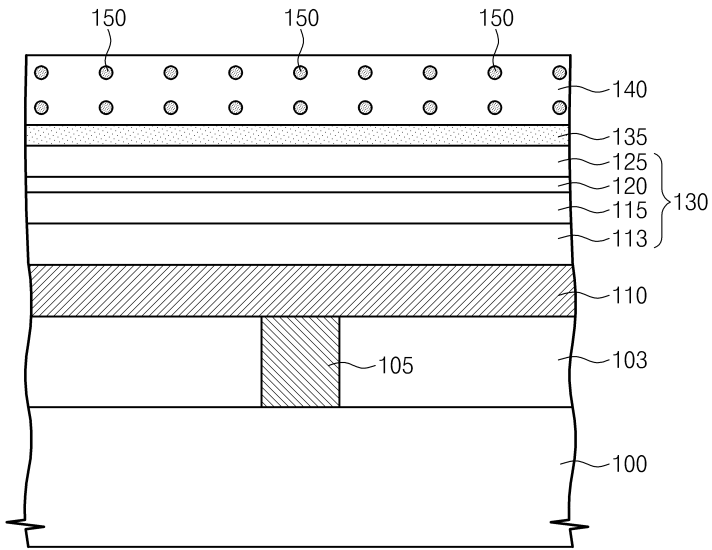
도면6



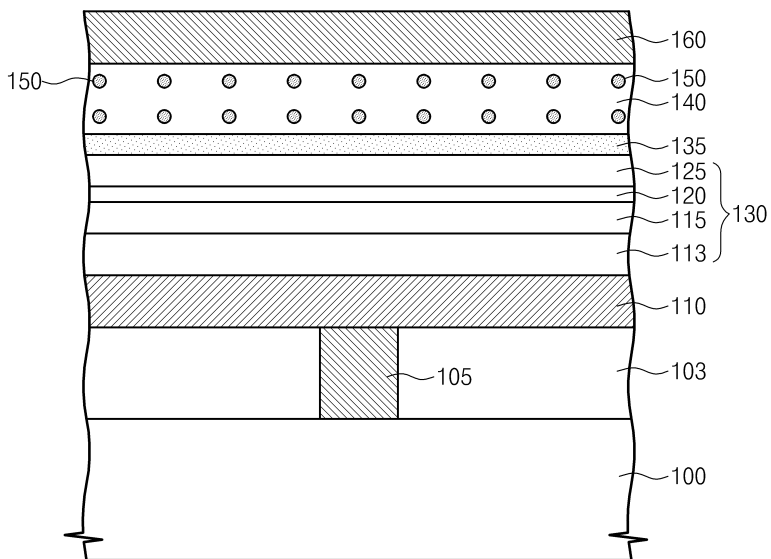
도면7a



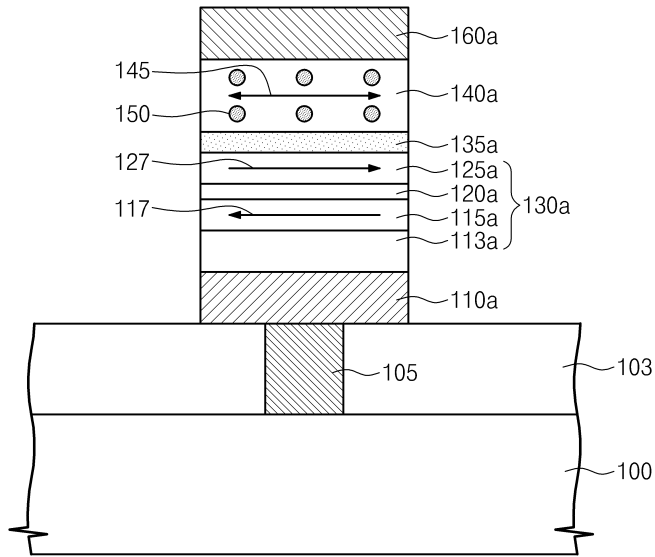
도면7b



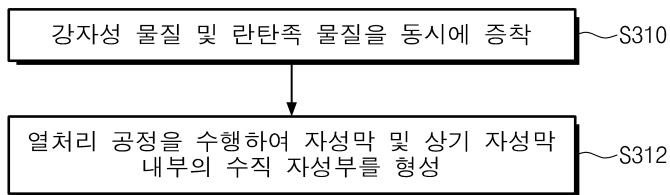
도면7c



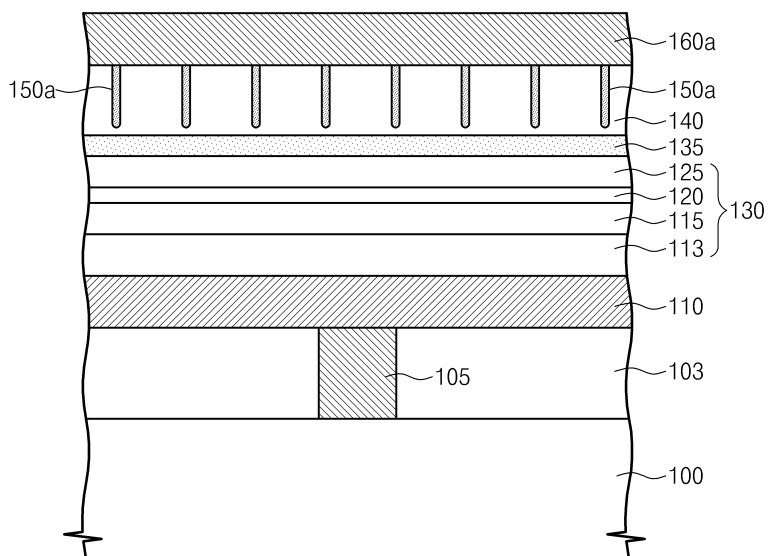
도면7d



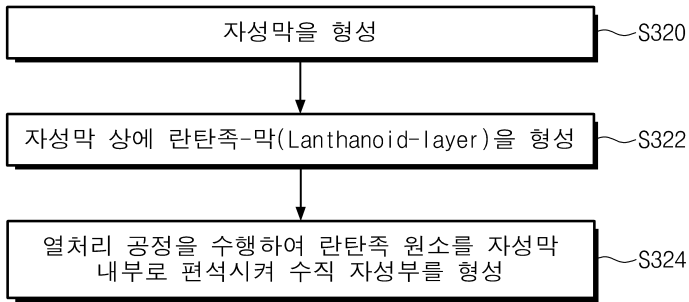
도면8



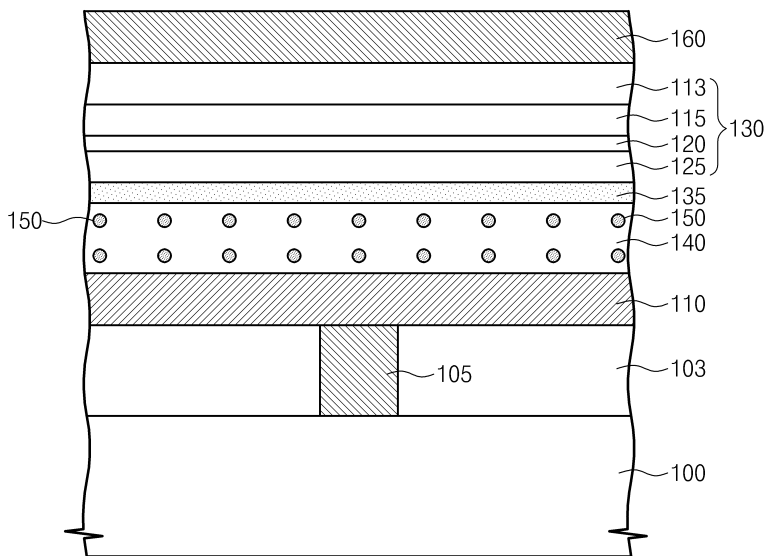
도면9



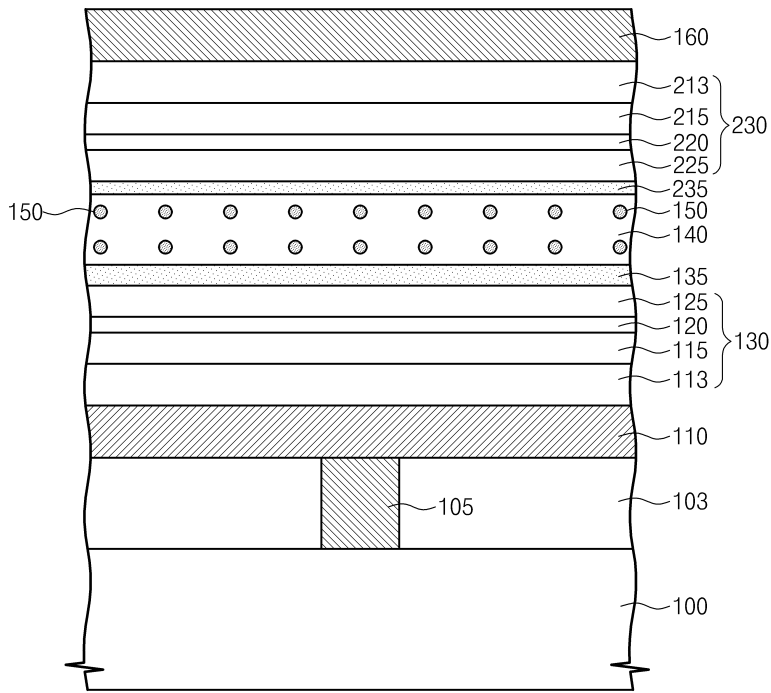
도면10



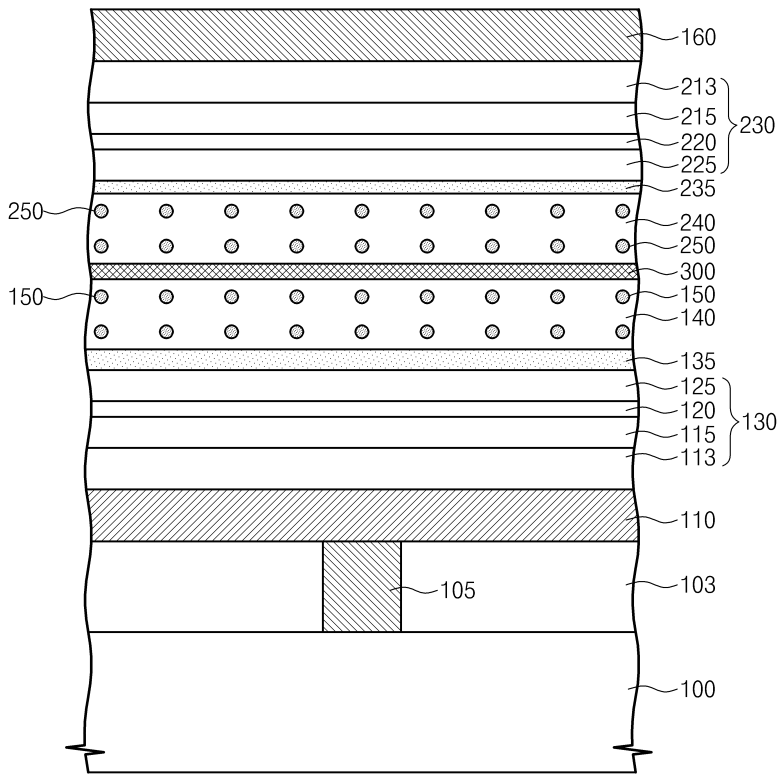
도면11



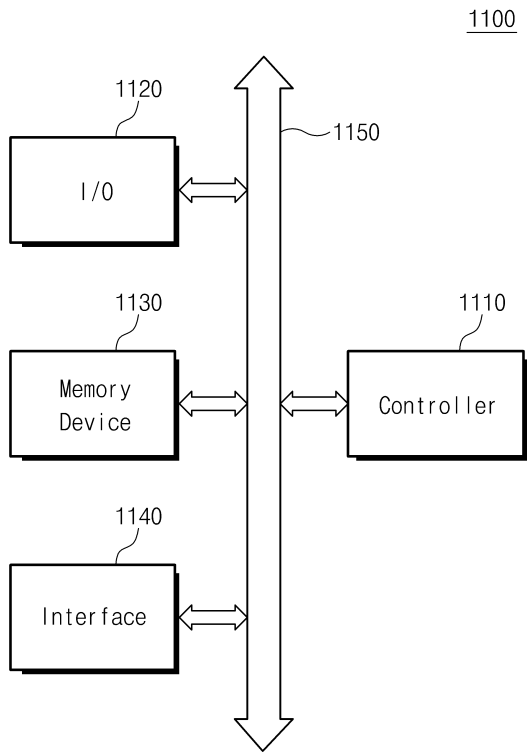
도면12



도면13



도면14



도면15

