



(12) 发明专利

(10) 授权公告号 CN 102420591 B

(45) 授权公告日 2014. 08. 20

(21) 申请号 201110369777. 1

(22) 申请日 2011. 11. 18

(73) 专利权人 上海复旦微电子集团股份有限公司

地址 200433 上海市杨浦区国泰路 127 号复旦国家大学科技园 4 号楼

(72) 发明人 郝树森 刘阳 王磊 李清

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(56) 对比文件

CN 101286733 A, 2008. 10. 15,

CN 102045041 A, 2011. 05. 04,

CN 201222719 Y, 2009. 04. 15,

US 5656954 A, 1997. 08. 12,

JP 2005020179 A, 2005. 01. 20,

审查员 王敏

(51) Int. Cl.

H03K 3/03 (2006. 01)

H03K 3/011 (2006. 01)

H03K 3/354 (2006. 01)

G05F 3/24 (2006. 01)

权利要求书2页 说明书8页 附图3页

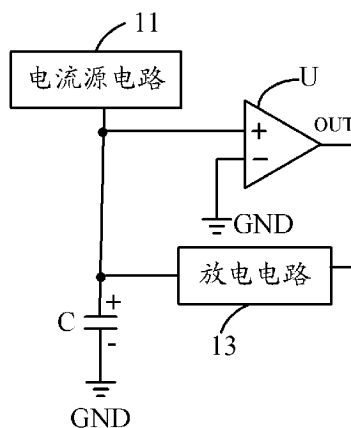
(54) 发明名称

振荡器

(57) 摘要

一种振荡器,包括:第一电容,其负极接地;电流源电路,用于提供基准电流,电流源电路的输出端连接第一电容的正极,用于对第一电容进行充电;放电电路,其输出端连接第一电容的正极,用于对第一电容进行放电;失调比较器,其正输入端连接第一电容的正极,其输出端连接放电电路的输入端,当第一电容正极的电压大于失调电压时,失调比较器的输出端状态进行翻转,驱动放电电路开始对所述第一电容进行放电;当第一电容正极的电压小于失调电压时,失调比较器的输出端状态再次发生翻转,驱动放电电路停止对第一电容进行放电,电流源电路重新对第一电容进行充电。本发明提供的振荡器功耗低,且精准度高。

CN 102420591 B



1. 一种振荡器,其特征在于,包括:

第一电容,所述第一电容的负极接地;

电流源电路,用于提供基准电流,所述基准电流为 $I = nM \cdot V_T$,其中: I 为基准电流, n 为与工艺相关的常数, V_T 为热电压, M 为与电流源电路中器件尺寸相关的参数,所述电流源电路的输出端连接所述第一电容的正极,用于对所述第一电容进行充电;

放电电路,其输出端连接所述第一电容的正极,用于对所述第一电容进行放电;

失调比较器,其正输入端连接所述第一电容的正极,其输出端连接所述放电电路的输入端,当所述第一电容正极的电压大于失调电压时,所述失调比较器的输出端状态进行翻转,驱动所述放电电路开始对所述第一电容进行放电;当所述第一电容正极的电压小于失调电压时,所述失调比较器的输出端状态再次发生翻转,驱动所述放电电路停止对所述第一电容进行放电,所述电流源电路重新对所述第一电容进行充电;所述失调电压为 $V_{TH} = n \cdot \ln k \cdot V_T$,其中: V_{TH} 为失调电压, n 为与工艺相关的常数, V_T 为热电压,所述失调比较器的正输入端 PMOS 晶体管和负输入端 PMOS 晶体管的尺寸不同且均工作在亚阈值区, k 为所述正输入端 PMOS 晶体管的宽长比和负输入端 PMOS 晶体管的宽长比的比值。

2. 如权利要求 1 所述的振荡器,其特征在于,还包括:启动电路,其输出端连接所述电流源电路,用于启动电流源电路工作。

3. 如权利要求 2 所述的振荡器,其特征在于,所述启动电路包括:第一 PMOS 晶体管、第一 NMOS 晶体管、第二 PMOS 晶体管和第二电容,其中:第一 PMOS 晶体管的源极接电源电压,第一 PMOS 晶体管的栅极、第一 NMOS 晶体管的栅极、第二 PMOS 晶体管的源极和第二电容的正极相连接且作为启动电路的输出端;第一 PMOS 晶体管的漏极、第一 NMOS 晶体管的漏极、第二 PMOS 晶体管的栅极和第二 PMOS 晶体管的漏极相连接,第一 NMOS 晶体管的源极接地;第二电容的负极接地。

4. 如权利要求 2 所述的振荡器,其特征在于,所述电流源电路包括:第三 PMOS 晶体管、第四 PMOS 晶体管、第二 NMOS 晶体管、第三 NMOS 晶体管、第五 PMOS 晶体管和电阻,其中:第三 PMOS 晶体管的源极连接电源电压,第三 PMOS 晶体管的漏极、第二 NMOS 晶体管的栅极、第二 NMOS 晶体管的漏极和第三 NMOS 晶体管的栅极相连接;第二 NMOS 晶体管的源极接地;第四 PMOS 晶体管的源极连接电源电压;第五 PMOS 晶体管的源极连接电源电压;所述启动电路的输出端、第三 PMOS 晶体管的栅极、第四 PMOS 晶体管的栅极、第四 PMOS 晶体管的漏极和第三 NMOS 晶体管的漏极和第五 PMOS 晶体管的栅极相连接;第五 PMOS 晶体管的漏极作为所述电流源电路的输出端,其连接所述第一电容的正极;第三 NMOS 晶体管的源极连接电阻的一端,电阻的另一端接地。

5. 如权利要求 4 所述的振荡器,其特征在于,所述第三 NMOS 晶体管和第二 NMOS 晶体管均工作在亚阈值区,且所述 $M = \frac{\ln m}{R}$,其中: m 为第三 NMOS 晶体管和第二 NMOS 晶体管的宽长比的比值, R 为所述电阻的电阻值。

6. 如权利要求 4 所述的振荡器,其特征在于,所述电阻的温度系数小于或等于 400ppm/°C。

7. 如权利要求 1 所述的振荡器,其特征在于,所述放电电路包括:第四 NMOS 晶体管,其中:第四 NMOS 晶体管的源极连接电容的正极,第四 NMOS 晶体管的漏极接地,第四 NMOS 晶体

管的栅极连接所述失调比较器的输出端。

8. 如权利要求 4 所述的振荡器,其特征在于,所述失调比较器还包括偏置端,其偏置端连接所述第五 PMOS 晶体管的栅极。

9. 如权利要求 8 所述的振荡器,其特征在于,所述失调比较器包括:第六 PMOS 晶体管、第七 PMOS 晶体管、第八 PMOS 晶体管、第九 PMOS 晶体管、第五 NMOS 晶体管、第六 NMOS 晶体管和第七 NMOS 晶体管,其中:第八 PMOS 晶体管的栅极和第九 PMOS 晶体管的栅极相连作为所述失调比较器的偏置端,第八 PMOS 晶体管的源极连接电源电压,第九 PMOS 晶体管的源极连接电源电压;第六 PMOS 晶体管的栅极连接第一电容的正极,第七 PMOS 晶体管的栅极接地;第八 PMOS 晶体管的漏极、第六 PMOS 晶体管的源极和第七 PMOS 晶体管的源极相连接;第六 PMOS 晶体管的漏极、第五 NMOS 晶体管的漏极、第五 NMOS 晶体管的栅极、第六 NMOS 晶体管的栅极和第七 NMOS 晶体管的栅极相连接;第五 NMOS 晶体管的源极接地,第六 NMOS 晶体管的源极接地;第七 NMOS 晶体管的源极接地;第九 PMOS 晶体管的漏极和第七 NMOS 晶体管的漏极相连且连接所述放电电路的输入端。

10. 如权利要求 1 所述的振荡器,其特征在于,所述失调比较器的增益大于或等于 60dB。

振荡器

技术领域

[0001] 本发明涉及集成电路技术领域,尤其涉及一种振荡器。

背景技术

[0002] 振荡器被广泛用于各种电子产品中,特别是在集成电路中,振荡器为集成电路中的各种数字信号处理模块提供时钟信号。然而,在集成电路中,基于反相器的简单环形振荡器的输出频率会随电源电压有巨大的波动,不适用于对时钟频率要求较高的应用环境。

[0003] 在现有技术中,公告号为 CN201222719Y 的中国专利公开了一种高精度环形振荡器,参考图 1 所示,包括至少一个环形振荡器级 2 和与其电连接的电流源 1,其中:所述环形振荡器级 2 包括两种不同导电类型的 MOS 场效应管构成的反相器以及与所述反相器电连接的 MOS 场效应管;所述电流源 1 包括阈值电压与环形振荡器级 2 中的 MOS 场效应管的阈值电压相互补偿的 MOS 场效应管和可调电阻; F_{out} 为环形振荡器信号输出端。

[0004] 上述技术用场效应晶体管的栅源电压 V_{GS} 电压与可调电阻 R 产生一个大小为 V_{GS}/R 或其倍数的电流。当采用上述电流对电容进行充电时,一旦电容两端的电压达到 V_{GS} 时,振荡器的输出状态就发生翻转。同时控制 MOS 场效应管对电容进行放电。然后进行下一个时间周期的充电-放电过程。

[0005] 但其产生电流的基准电压为 MOS 场效应管的栅源电压 V_{GS} ,一般 MOS 场效应管的栅源电压 V_{GS} 为 0.7V,该电压值较高,因此使得这种结构的振荡器不太适合低功耗的应用场合。

[0006] 此外,公开号为 CN101286733A 的中国专利申请公开了一种低压低功耗振荡器,参见图 2 所示,包括:

[0007] 电容 C1;

[0008] 电流源产生电路,包括:启动电路、由第一 PMOS 晶体管 MP1 和第二 PMOS 晶体管 MP2 构成的电流镜、由第一 NMOS 晶体管 MN1 和第二 NMOS 晶体管 MN2 构成的放大电路、以及电阻 R1;

[0009] 由第四 PMOS 晶体管 MP4 构成的充电电路;

[0010] 由第四 NMOS 晶体管 MN4 构成的比较电路;

[0011] 由第三 NMOS 晶体管 MN3 构成的放电电路;

[0012] 由第一反相器 U1 和第二反相器 U2 构成的延时电路。

[0013] 上述技术利用第一 PMOS 晶体管 MP1 的栅源电压 V_{GS1} 和第二 PMOS 晶体管 MP2 的栅源电压 V_{GS2} 之间的电压差 ΔV_{GS} 与电阻 R1 产生电流,对电容 C1 充电,当电容 C1 两端的电压达到 ΔV_{GS} 时,振荡器的输出状态翻转,电容 C1 上的电荷被释放;然后进入下一个充电-放电时间周期。

[0014] 但是上述振荡器中,判断电容 C1 的电压是否充电到 ΔV_{GS} 的比较电路(即第四 NMOS 晶体管 MN4)和充电电路(即第四 PMOS 晶体管 MP4)组成单级反相放大器,其放大增益有限,且响应速度较慢,从而直接影响时钟频率的精度。

发明内容

[0015] 本发明解决的问题是提供一种高精度的振荡器。

[0016] 为解决上述问题,本发明提供了一种振荡器,包括:

[0017] 第一电容,所述第一电容的负极接地;

[0018] 电流源电路,用于提供基准电流,所述基准电流为 $I = nM \cdot V_T$,其中: I 为基准电流, n 为与工艺相关的常数, V_T 为热电压, M 为与电流源电路中器件尺寸相关的参数,所述电流源电路的输出端连接所述第一电容的正极,用于对所述第一电容进行充电;

[0019] 放电电路,其输出端连接所述第一电容的正极,用于对所述第一电容进行放电;

[0020] 失调比较器,其正输入端连接所述第一电容的正极,其输出端连接所述放电电路的输入端,当所述第一电容正极的电压大于失调电压时,所述失调比较器的输出端状态进行翻转,驱动所述放电电路开始对所述第一电容进行放电;当所述第一电容正极的电压小于失调电压时,所述失调比较器的输出端状态再次发生翻转,驱动所述放电电路停止对所述第一电容进行放电,所述电流源电路重新对所述第一电容进行充电;所述失调电压为 $V_{TH} = n \cdot \ln k \cdot V_T$,其中: V_{TH} 为失调电压, n 为与工艺相关的常数, V_T 为热电压, k 为与失调比较器的器件尺寸相关的参数。

[0021] 可选地,所述振荡器还包括:启动电路,其输出端连接所述电流源电路,用于启动电流源电路工作。

[0022] 可选地,所述启动电路包括:第一 PMOS 晶体管、第一 NMOS 晶体管、第二 PMOS 晶体管和第二电容,其中:第一 PMOS 晶体管的源极接电源电压,第一 PMOS 晶体管的栅极、第一 NMOS 晶体管的栅极、第二 PMOS 晶体管的源极和第二电容的正极相连接且作为启动电路的输出端;第一 PMOS 晶体管的漏极、第一 NMOS 晶体管的漏极、第二 PMOS 晶体管的栅极和第二 PMOS 晶体管的漏极相连接,第一 NMOS 晶体管的源极接地;第二电容的负极接地。

[0023] 可选地,所述电流源电路包括:第三 PMOS 晶体管、第四 PMOS 晶体管、第二 NMOS 晶体管、第三 NMOS 晶体管、第五 PMOS 晶体管和电阻,其中:第三 PMOS 晶体管的源极连接电源电压,第三 PMOS 晶体管的漏极、第二 NMOS 晶体管的栅极、第二 NMOS 晶体管的漏极和第三 NMOS 晶体管的栅极相连接;第二 NMOS 晶体管的源极接地;第四 PMOS 晶体管的源极连接电源电压;第五 PMOS 晶体管的源极连接电源电压;所述启动电路的输出端、第三 PMOS 晶体管的栅极、第四 PMOS 晶体管的栅极、第四 PMOS 晶体管的漏极和第三 NMOS 晶体管的漏极和第五 PMOS 晶体管的栅极相连接;第五 PMOS 晶体管的漏极作为所述电流源电路的输出端,其连接所述第一电容的正极;第三 NMOS 晶体管的源极连接电阻的一端,电阻的另一端接地。

[0024] 可选地,所述第三 NMOS 晶体管和第二 NMOS 晶体管均工作在亚阈值区,且所述 $M = \frac{\ln m}{R}$,其中: m 为第三 NMOS 晶体管和第二 NMOS 晶体管的宽长比的比值, R 为所述电阻的电阻值。

[0025] 可选地,所述电阻的温度系数小于或等于 400ppm/°C。

[0026] 可选地,所述放电电路包括:第四 NMOS 晶体管,其中:第四 NMOS 晶体管的源极连接电容的正极,第四 NMOS 晶体管的漏极接地,第四 NMOS 晶体管的栅极连接失调比较器的输出端。

[0027] 可选地,所述失调比较器还包括偏置端,其偏置端连接所述第五 PMOS 晶体管的栅极。

[0028] 可选地,所述失调比较器包括:第六 PMOS 晶体管、第七 PMOS 晶体管、第八 PMOS 晶体管、第九 PMOS 晶体管、第五 NMOS 晶体管、第六 NMOS 晶体管和第七 NMOS 晶体管,其中:第八 PMOS 晶体管的栅极和第九 PMOS 晶体管的栅极相连作为失调比较器的偏置端,第八 PMOS 晶体管的源极连接电源电压,第九 PMOS 晶体管的源极连接电源电压;第六 PMOS 晶体管的栅极连接第一电容的正极,第七 PMOS 晶体管的栅极接地;第八 PMOS 晶体管的漏极、第六 PMOS 晶体管的源极和第七 PMOS 晶体管的源极相连接;第六 PMOS 晶体管的漏极、第五 NMOS 晶体管的漏极、第五 NMOS 晶体管的栅极、第六 NMOS 晶体管的栅极和第七 NMOS 晶体管的栅极相连接;第五 NMOS 晶体管的源极接地,第六 NMOS 晶体管的源极接地;第七 NMOS 晶体管的源极接地;第九 PMOS 晶体管的漏极和第七 NMOS 晶体管的漏极相连且连接所述放电电路的输入端。

[0029] 可选地,所述第六 PMOS 晶体管和第七 PMOS 晶体管均工作在亚阈值区,所述 k 为第六 PMOS 晶体管的宽长比和第七 PMOS 晶体管的宽长比的比值。

[0030] 可选地,所述失调比较器的增益大于或等于 60dB。

[0031] 与现有技术相比,本发明具有以下优点:

[0032] 1) 电流源电路提供的基准电流和失调比较器提供的失调电压都主要与器件的尺寸相关,从而振荡器的时间周期不易受集成电路工艺的影响,且失调比较器的失调电压对振荡器的精度影响较小,最终提高了振荡器的精准度。

[0033] 2) 可选方案中,所述电流源电路中的第三 NMOS 晶体管和第二 NMOS 晶体管均工作在亚阈值区,所述失调比较器中的第六 PMOS 晶体管和第七 PMOS 晶体管均工作在亚阈值区,因此振荡器可以在极低的电流下工作,降低了振荡器的功耗。

[0034] 3) 可选方案中,所述失调比较器的增益大于或等于 60dB,从而减小了失调比较器的有限增益对时钟频率的影响。

[0035] 4) 可选方案中,所述电阻的温度系数小于或等于 10^{-4} ppm/ $^{\circ}\text{C}$ (即 $10\text{E}-6 \cdot ^{\circ}\text{C}$),从而使得振荡器的频率受温度的影响比较小,进一步提高了振荡器的精准度。

附图说明

[0036] 图 1 是现有技术一种高精度环形振荡器的结构示意图;

[0037] 图 2 是现有技术一种低压低功耗振荡器的结构示意图;

[0038] 图 3 是本发明实施方式中振荡器的结构示意图;

[0039] 图 4 是本发明实施例中振荡器的结构示意图;

[0040] 图 5 是图 4 中失调比较器的结构示意图。

具体实施方式

[0041] 为使本发明的上述目的、特征和优点能够更加明显易懂,下面结合附图对本发明的具体实施方式做详细的说明。

[0042] 在下面的描述中阐述了很多具体细节以便于充分理解本发明,但是本发明还可以采用其他不同于在此描述的其它方式来实施,因此本发明不受下面公开的具体实施例的限

制。

[0043] 正如背景技术部分所述,现有技术中振荡器存在功耗较高或精度较低的缺陷,因此如何实现低功耗且高精度的振荡器就成为本领域技术人员亟待解决的问题。

[0044] 为了克服上述缺陷,本发明提供了一种振荡器,参考图 3 所示,包括:

[0045] 电流源电路 11,用于提供基准电流,所述基准电流为 $I = nM \cdot V_T$,其中: I 为基准电流, n 为与工艺相关的常数, V_T 为热电压, M 为与电流源电路 11 中器件尺寸相关的参数,所述电流源电路 11 的输出端连接第一电容 C 的正极+,用于对所述第一电容 C 进行充电;

[0046] 第一电容 C,所述第一电容 C 的负极-接地 GND;

[0047] 放电电路 13,其输出端连接所述第一电容 C 的正极+,用于对所述第一电容 C 进行放电;

[0048] 失调比较器 U,其正输入端+连接所述第一电容 C 的正极+,其输出端 OUT 连接所述放电电路 13 的输入端,当所述第一电容 C 正极+的电压大于失调电压时,所述失调比较器 U 的输出端 OUT 状态进行翻转,驱动所述放电电路 13 开始对所述第一电容 C 进行放电;当所述第一电容 C 正极+的电压小于失调电压时,所述失调比较器 U 的输出端状态再次发生翻转,驱动所述放电电路 13 停止对所述第一电容 C 进行放电,所述电流源电路 11 重新对所述第一电容 C 进行充电;所述失调电压为 $V_{TH} = n \cdot \ln k \cdot V_T$,其中: V_{TH} 为失调电压, n 为与工艺相关的常数, V_T 为热电压, k 为与失调比较器 U 的器件尺寸相关的参数。

[0049] 所述热电压 V_T 是指闭合电路中由于两点间存在温差而出现的电位差,其对于本领域的技术人员是熟知的,在此不再赘述。

[0050] 下面结合附图进行详细说明。

[0051] 参考图 4 所示,本实施例提供了一种振荡器,包括:

[0052] 启动电路 14,包括:第一 PMOS 晶体管 MP1、第一 NMOS 晶体管 MN1、第二 PMOS 晶体管 MP2 和第二电容 C2。其中:第一 PMOS 晶体管 MP1 的源极接电源电压 VDD,第一 PMOS 晶体管 MP1 的栅极、第一 NMOS 晶体管 MN1 的栅极、第二 PMOS 晶体管 MP2 的源极和第二电容 C2 的正极相连接且作为启动电路 14 的输出端。第一 PMOS 晶体管 MP1 的漏极、第一 NMOS 晶体管 MN1 的漏极、第二 PMOS 晶体管 MP2 的栅极和第二 PMOS 晶体管 MP2 的漏极相连接,第一 NMOS 晶体管 MN1 的源极接地 GND。第二电容 C2 的负极接地 GND。

[0053] 电流源电路 11,包括:第三 PMOS 晶体管 MP3、第四 PMOS 晶体管 MP4、第二 NMOS 晶体管 MN2、第三 NMOS 晶体管 MN3、第五 PMOS 晶体管 MP5 和电阻 R。其中:第三 PMOS 晶体管 MP3 的源极连接电源电压 VDD,第三 PMOS 晶体管 MP3 的漏极、第二 NMOS 晶体管 MN2 的栅极、第二 NMOS 晶体管 MN2 的漏极和第三 NMOS 晶体管 MN3 的栅极相连接。第二 NMOS 晶体管 MN2 的源极接地 GND。第四 PMOS 晶体管 MP4 的源极连接电源电压 VDD。第五 PMOS 晶体管 MP5 的源极连接电源电压 VDD。启动电路 14 的输出端、第三 PMOS 晶体管 MP3 的栅极、第四 PMOS 晶体管 MP4 的栅极、第四 PMOS 晶体管 MP4 的漏极、第五 PMOS 晶体管 MP5 的栅极和第三 NMOS 晶体管 MN3 的漏极相连接。第五 PMOS 晶体管 MP5 的漏极连接第一电容 C 的正极,且第五 PMOS 晶体管 MP5 的漏极作为电流源电路 11 的输出端。第三 NMOS 晶体管 MN3 的源极连接电阻 R 的一端,电阻 R 的另一端接地 GND。

[0054] 第一电容 C,所述第一电容 C 的正极+连接电流源电路 11 的输出端,所述第一电容 C 的负极-接地 GND。

[0055] 放电电路 13,包括:第四 NMOS 晶体管 MN4。其中:第四 NMOS 晶体管 MN4 的源极作为放电电路 13 的输出端,连接第一电容 C 的正极+,第四 NMOS 晶体管 MN4 的漏极接地 GND,第四 NMOS 晶体管 MN4 的栅极作为放电电路 13 的输入端,连接失调比较器 U 的输出端 OUT。

[0056] 失调比较器 U,包括:正输入端+、负输入端-、输出端 OUT 和偏置端 bias。其中:正输入端+连接第一电容 C 的正极+,负输入端-接地 GND,输出端 OUT 连接放电电路 13 的输入端,偏置端 bias 连接偏置电压源。本实施例中所述偏置端 bias 可以直接连接第五 PMOS 晶体管 MP5 的栅极。所述失调比较器 U 的偏置端 bias 的作用是为失调比较器 U 提供工作所需要的偏置电压,需要说明的是,在本发明的其他实施例中,所述偏置端 bias 还可以连接其他可以提供偏置电压(即一个固定偏压)的器件,其不应限制本发明的保护范围。

[0057] 本实施例中所述失调比较器 U 的输出端 OUT 可以作为振荡器的输出端,用于输出时钟信号。

[0058] 其中,所述启动电路 14 用于保证电源电压 VDD 上电时,电流源电路 11 能正常工作。本实施例中第一 PMOS 晶体管 MP1 和第一 NMOS 晶体管 MN1 接成反相器形式,所述第二 PMOS 晶体管 MP2 接成二极管形式。反相器输入端接二极管负端,反相器输出端接二极管正端;第二电容 C2 的正极接二极管负端,第二电容 C2 的负极接地 GND。这样反相器输入端的电位在上电之后开始可能保持电源电压,从而反相器的输出电压等于零。但是随着电源电压 VDD 的升高,当电源电压 VDD 大于第一 PMOS 晶体管 MP1 的阈值电压和第二 PMOS 晶体管 MP2 的阈值电压之和时,从电源电压 VDD 到地 GND 依次经过第四 PMOS 晶体管 MP4、第二 PMOS 晶体管 MP2 和第一 NMOS 晶体管 MN1 形成电流通路,同时从第一 PMOS 晶体管 MP1 到第一 NMOS 晶体管也形成电流通路,从而可以启动电流源电路 11,摆脱零电流的工作状态。同时反相器输入端的电压降低之后,反相器输出端电压变高,由于二极管反偏,反相器输入端的电位不可能再恢复到电源电压。

[0059] 需要说明的是,本发明还可以采用其他结构的启动电路 14,其对于本领域的技术人员是熟知的,在此不再赘述。

[0060] 其中,所述电流源电路 11 中第二 NMOS 晶体管 MN2 和第三 NMOS 晶体管 MN3 均工作在亚阈值区,且第二 NMOS 晶体管 MN2 的宽长比和第三 NMOS 晶体管 MN3 的宽长比的比值为 1 : m,m 大于 1。所述第三 PMOS 晶体管 MP3 和第四 PMOS 晶体管 MP4 的尺寸可以相同,且组成电流镜单元,以保证第二 NMOS 晶体管 MN2 和第三 NMOS 晶体管 MN3 的输入电流相同。

[0061] 本实施例中电流源电路 11 输出的基准电流为:

$$[0062] \quad I = \frac{\Delta V_{GS}}{R} = \frac{n \cdot \ln m}{R} \cdot V_T$$

[0063] 其中:n 为与工艺相关的常数,m 为第三 NMOS 晶体管 MN3 和第二 NMOS 晶体管 MN2 的宽长比的比值, V_T 为热电压(常温下为 26mV),R 为电阻 R 的电阻值。

[0064] 由于第二 NMOS 晶体管 MN2 和第三 NMOS 晶体管 MN3 均工作在亚阈值区,因此所述电流源电路 11 提供的基准电流与电源电压 VDD 没有关系,且电流源电路 11 工作所需的电流比较小,从而降低了振荡器的功耗。

[0065] 需要说明的是,在本发明的其他实施例中,还可以采用其他结构的电流源电路 11,只要其提供的基准电流为 $I = nM \cdot V_T$,其中:所述 $M = \frac{\ln m}{R}$,都在本发明的保护范围之内。

[0066] 其中,所述电流源电路 11 对第一电容 C 进行充电。本实施例中第五 PMOS 晶体管

MP5、第四 PMOS 晶体管 MP4 和第三 PMOS 晶体管 MP3 的尺寸可以相等,且第五 PMOS 晶体管 MP5、第四 PMOS 晶体管 MP4 和第三 PMOS 晶体管 MP3 分别组成电流镜。由于第五 PMOS 晶体管 MP5 的栅源电压与第四 PMOS 晶体管 MP4 的栅源电压相等,且第五 PMOS 晶体管 MP5 和第四 PMOS 晶体管 MP4 的尺寸相等,因此第四 PMOS 晶体管 MP4 的漏极电流和第五 PMOS 晶体管 MP5 的漏极电流相同。又考虑到第五 PMOS 晶体管 MP5 是电压控制器件,其栅极电流很小(可以近似为 0),因此第五 PMOS 晶体管 MP5 的漏极电流也可以表示为 $I = \frac{\Delta V_{GS}}{R} = \frac{n \cdot \ln m}{R} \cdot V_T$ 。

[0067] 相应地,经过一段时间 t 之后,第一电容 C 正极 + 的电压 v_c 为:

$$[0068] \quad v_c = \frac{I \cdot t}{C} = \frac{n \cdot \ln m}{RC} \cdot V_T \cdot t,$$

[0069] 其中 : C 为第一电容 C 的电容值。

[0070] 其中,所述失调比较器 U 具有正失调电压,即当失调比较器 U 正输入端 + 的电压大于负输入端 - 的失调电压时,失调比较器 U 的输出端 OUT 的状态才发生翻转。

[0071] 所述失调比较器 U 的增益可以大于或等于 60dB,从而减小了失调比较器的有限增益对时钟频率的影响,具体地,如 :60dB、70dB 或 80dB。

[0072] 作为一个具体例子,参考图 5 所示,所述失调比较器 U 包括 :第六 PMOS 晶体管 MP6、第七 PMOS 晶体管 MP7、第八 PMOS 晶体管 MP8、第九 PMOS 晶体管 MP9、第五 NMOS 晶体管 MN5、第六 NMOS 晶体管 MN6 和第七 NMOS 晶体管 MN7。其中 :第八 PMOS 晶体管 MP8 的栅极和第九 PMOS 晶体管 MP9 的栅极相连作为失调比较器 U 的偏置端 bias。第八 PMOS 晶体管 MP8 的源极连接电源电压 VDD,第九 PMOS 晶体管 MP9 的源极连接电源电压 VDD。第六 PMOS 晶体管 MP6 的栅极作为失调比较器 U 的正输入端 +,第七 PMOS 晶体管 MP7 的栅极作为失调比较器 U 的负输入端 -。第八 PMOS 晶体管 MP8 的漏极、第六 PMOS 晶体管 MP6 的源极和第七 PMOS 晶体管 MP7 的源极相连接。第六 PMOS 晶体管 MP6 的漏极、第五 NMOS 晶体管 MN5 的漏极、第五 NMOS 晶体管 MN5 的栅极、第六 NMOS 晶体管 MN6 的栅极和第七 NMOS 晶体管 MN7 的栅极相连接。第五 NMOS 晶体管 MN5 的源极接地 GND,第六 NMOS 晶体管 MN6 的源极接地 GND。第七 PMOS 晶体管 MP7 的漏极连接第六 NMOS 晶体管 MN6 的漏极。第七 NMOS 晶体管 MN7 的源极接地 GND。第九 PMOS 晶体管 MP9 的漏极和第七 NMOS 晶体管 MN7 的漏极相连且作为失调比较器 U 的输出端 OUT。

[0073] 本实施例中所述失调比较器 U 的结构与差分放大器相同,但是与常规差分放大器不同的是它的两个输入管(即第六 PMOS 晶体管 MP6 和第七 PMOS 晶体管 MP7)的尺寸不同,从而可以产生失调电压。

[0074] 本实施例中所述失调比较器 U 中的第六 PMOS 晶体管 MP6 的宽长比和第七 PMOS 晶体管 MP7 的宽长比不同,且第六 PMOS 晶体管 MP6 和第七 PMOS 晶体管 MP7 工作在亚阈值区。

[0075] 当第六 PMOS 晶体管 MP6 的宽长比和第七 PMOS 晶体管 MP7 的宽长比的比值为 $k : 1$ 时,失调比较器 U 的负输入端 - 的失调电压 V_{TH} 为:

$$[0076] \quad V_{TH} = \Delta V_{GS} = n \cdot \ln k \cdot V_T,$$

[0077] 其中 : n 为与工艺相关的常数, V_T 为热电压(常温下为 26mV), ΔV_{GS} 为第六 PMOS 晶体管 MP6 的栅源电压与第七 PMOS 晶体管 MP7 的栅源电压之间的电压差, k 大于 1。

[0078] 由于第六 PMOS 晶体管 MP6 和第七 PMOS 晶体管 MP7 工作在亚阈值区,因此所述失

调比较器 U 的负输入端 - 的失调电压 V_{TH} 与电源电压 VDD 无关,且失调比较器 U 工作所需的电流也比较小,从而进一步降低了振荡器的功耗。

[0079] 此外,本实施例中所述失调比较器 U 采用的是两级运放的结构,从而使得失调比较器 U 的增益比较高,响应速度更快,大大减小了失调比较器 U 的有限增益对时钟频率的影响。需要说明的是,在本发明的其他实施例中,还可以采用三级运放及三级运放以上的结构,其不限制本发明的保护范围。

[0080] 本实施例振荡器的工作过程包括:

[0081] 1) 为振荡器上电,启动电路 14 保证电流源电路 11 正常工作,电流源电路 11 为提供基准电流,并对第一电容 C 进行充电。

[0082] 2) 当充电时间较短时,第一电容 C 的正极 + 电压小于失调电压 V_{TH} 时,失调比较器 U 的输出端为低电平,放电电路 13 不工作(即第四 NMOS 晶体管 MN4 处于截止状态)。

[0083] 3) 经过一段时间充电后,第一电容 C 的正极 + 电压大于失调电压 V_{TH} ,此时失调比较器 U 的输出端翻转为高电平,放电电路 13 开始对第一电容 C 进行放电(即第四 NMOS 晶体管 MN4 处于导通状态),此时虽然电流源电路 11 仍在对第一电容 C 进行充电,但由于充电的电流远小于放电的电流,因此此时的充电可以忽略不计。

[0084] 4) 随着放电电路 13 对电容 C 的放电,电容 C 的正极 + 电压不断减小,从而失调比较器 U 的正输入端 + 电压变低,当失调比较器 U 的正输入端 + 电压小于失调电压时,使得失调比较器 U 的输出端 OUT 为低电平,此时放电电路 13 停止工作(即第五 NMOS 晶体管 MN5 重新处于截止状态),第一电容 C 重新开始充电。

[0085] 为了保证振荡器的精准度,本实施例中放电电路 13 对第一电容 C 的放电时间要小于失调比较器 U 的响应时间,以保证第一电容 C 上的电荷在下一次充电前被彻底释放。

[0086] 失调比较器 U 的响应时间 t_p 可表示为:

$$[0087] \quad t_p = \frac{vdd / 2}{SR}$$

[0088] 式中,SR 为失调比较器 U 的摆率(slew rate)(所述摆率为失调比较器 U 在输入端施加大信号电压时输出端电压变化的速率,单位为 V/us)。

[0089] 第一电容 C 两端的电压随放电时间 t 的关系可表示为:

$$[0090] \quad U(t) = U_0 \cdot e^{-\frac{t}{\tau_d}},$$

[0091] 其中:U(t) 为放电过程中第一电容 C 两端的瞬态电压值, U_0 为第一电容 C 上电压的初态。 τ_d 为放电电路 13 的时间常数,即 $\tau_d = R_{ON}C$, R_{ON} 为放电电路 13 的导通电阻,C 为第一电容 C 的电容值。本实施例中可以设放电过程中第一电容 C 两端的电压下降到初始值的 1/10000 所需的时间为电容的放电时间 t_d ,即 $t_d = (-\tau_d) \cdot \ln(\frac{1}{10000}) = 9.21 \cdot \tau_d = 9.21 \cdot R_{ON}C$ 。

[0092] 为了保证振荡器的精准度,要求第一电容 C 的放电时间小于或等于失调比较器 U 的传输延迟时间 t_p ,即:

$$[0093] \quad t_d \leq t_p。$$

[0094] 将放电时间 τ_d 和传输延迟时间 t_p 带入上式可得:

$$[0095] \quad 9.21 \cdot R_{ON}C \leq \frac{VDD}{2 \cdot SR}$$

[0096] 即： $R_{on} \leq 0.054 \frac{VDD}{SR \cdot C}$ 。

[0097] 本实施例中放电电路 13 对第一电容 C 的放电时间非常短，其相对于电流源电路 11 对第一电容 C 的充电时间可以忽略不计，因此本实施例中第一电容 C 进行一次充电的时间作为振荡器的时间周期，即当第一电容 C 的正极 + 的电压等于失调比较器 U 的失调电压时所经历的充电时间就是振荡器的时间周期，从而本实施例中振荡器的时间周期 T 为：

[0098] $T = \frac{\ln k}{\ln m} \cdot R \cdot C$ ，

[0099] 其中： m 为电流源电路 11 中第三 NMOS 晶体管和第二 NMOS 晶体管的宽长比的比值， k 为失调比较器 U 中第六 PMOS 晶体管的宽长比和第七 PMOS 晶体管的宽长比的比值， m 大于 1， k 大于 1， R 为电流源电路 11 中电阻 R 的电阻值， C 为第一电容 C 的电容值。

[0100] 分析上述公式可知：本实施例中振荡器的时间周期 T 与 n （即与工艺相关的常数）和 V_T （即热电压）均没有关系，即振荡器不易受集成电路工艺的影响，从而进一步保证了振荡器的精准度。 m 、 k 、 R 和 C 都是器件的物理参数，与失调比较器 U 的偏置电压无关。

[0101] 本实施例中振荡器的时钟周期不仅可以通过调整电阻 R 的电阻值和第一电容 C 的电容值来实现，还可以通过调整电流源电路 11 中第三 NMOS 晶体管 MN3 和第二 NMOS 晶体管 MN2 的宽长比的比值或 / 和失调比较器 U 中第六 PMOS 晶体管 MP6 的宽长比和第七 PMOS 晶体管 MP7 的宽长比的比值来实现。

[0102] 在低频的应用场合中，可以减小电阻 R 和第一电容 C 在芯片上所占的面积。

[0103] 所述电阻 R 的温度系数可以小于或等于 400ppm/°C。具体地，可以采用正温度系数和负温度系数组合的方法，其对于本领域的技术人员是熟知的，在此不再赘述。

[0104] 当电阻 R 的温度系数比较小时，电阻 R 的电阻值就不易受温度的影响，从而振荡器的时间周期 T 受温度的影响就很小，最终振荡器的精准度会更高。

[0105] 虽然本发明已以较佳实施例披露如上，但本发明并非限于此。任何本领域技术人员，在不脱离本发明的精神和范围内，均可作各种更动与修改，因此本发明的保护范围应当以权利要求所限定的范围为准。

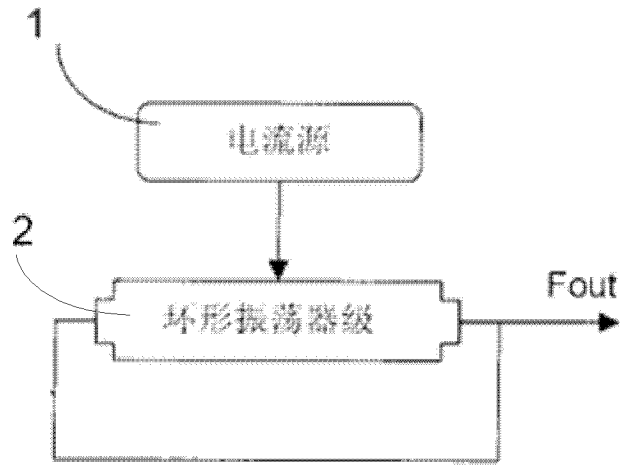


图 1

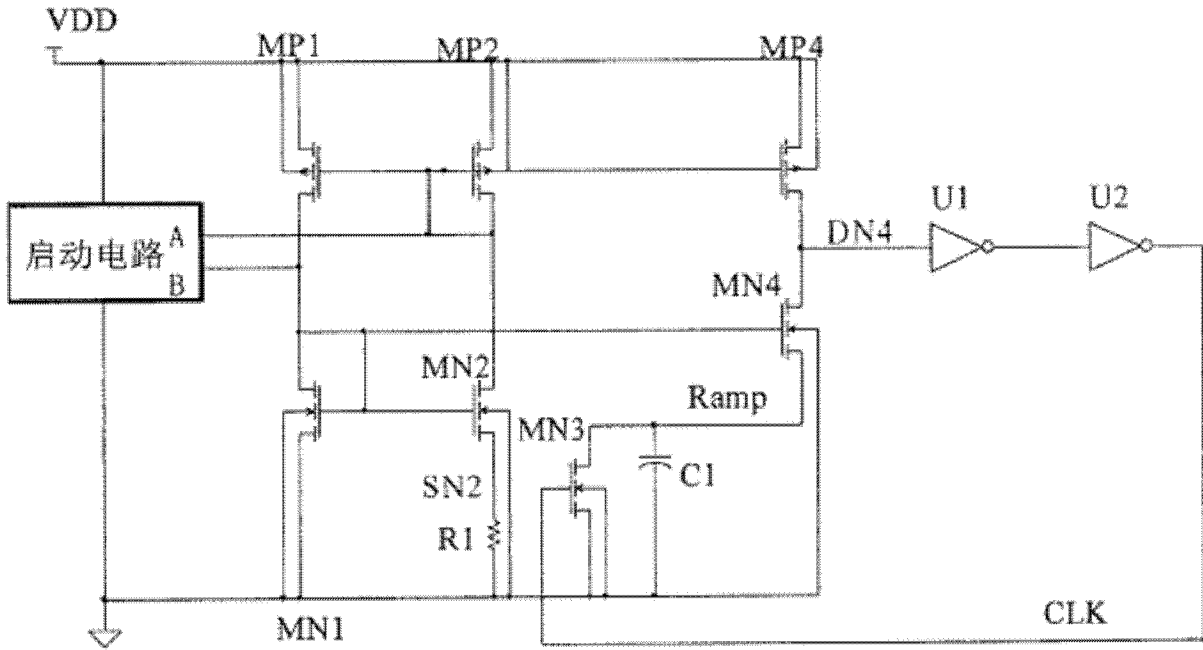


图 2

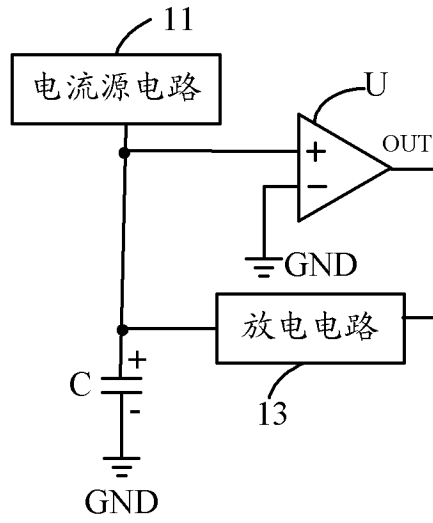


图 3

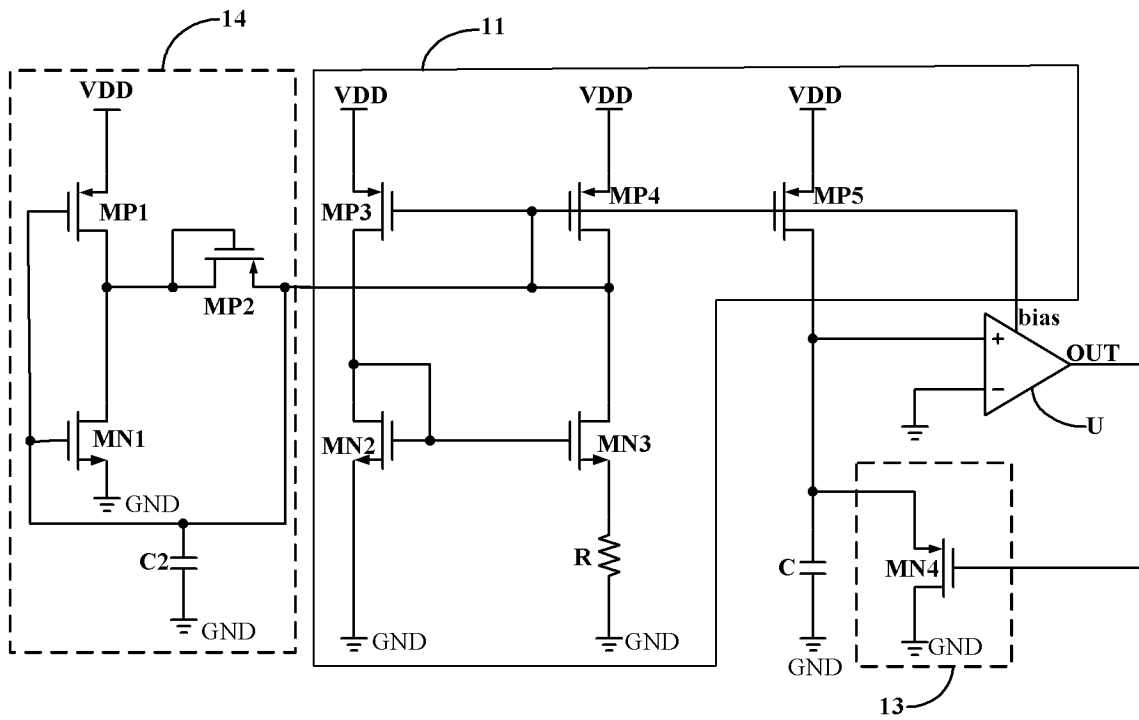


图 4

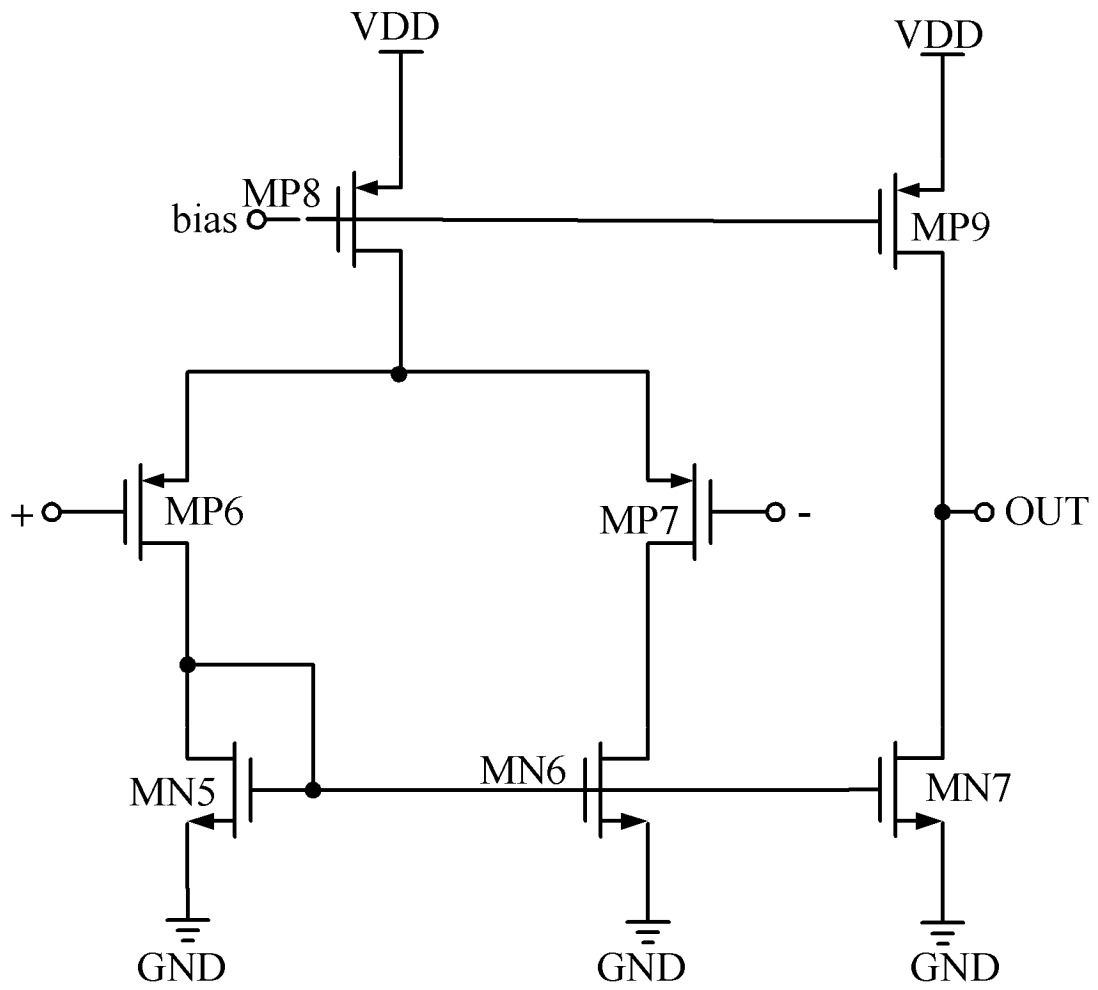


图 5