



(10) **DE 10 2016 103 402 B4** 2021.04.08

(12) **Patentschrift**

(21) Aktenzeichen: **10 2016 103 402.9**
(22) Anmeldetag: **26.02.2016**
(43) Offenlegungstag: **08.09.2016**
(45) Veröffentlichungstag
der Patenterteilung: **08.04.2021**

(51) Int Cl.: **H01L 27/088** (2006.01)
H01L 29/78 (2006.01)
H01L 21/8234 (2006.01)
H01L 21/336 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
14/636,523 **03.03.2015** **US**

(72) Erfinder:
Degors, Nicolas, Le Versoud, FR; Hook, Terence B., Essex Junction, Vt., US

(73) Patentinhaber:
International Business Machines Corporation, Armonk, N.Y., US

(56) Ermittelter Stand der Technik:

(74) Vertreter:
Spies & Behrndt Patentanwälte PartG mbB, 80687 München, DE

US **2003 / 0 116 792** **A1**
US **2013 / 0 119 395** **A1**

(54) Bezeichnung: **Halbleitereinheit mit einer verzweigten Bandlücke und Verfahren zu deren Herstellung**

(57) Hauptanspruch: Halbleitereinheit (100, 200) mit einer verzweigten Bandlücke, wobei die Halbleitereinheit (100, 200) aufweist:

eine Mehrzahl von Halbleiterstrukturen (105, 107, 205, 207, 307, 305), die wenigstens eine Halbleiterstruktur (105, 205) mit einem langen Kanal und wenigstens eine Halbleiterstruktur (107, 207) mit einem kurzen Kanal in einer dielektrischen Zwischenschicht (170, 270) auf einer vergrabenen Isolatorschicht (114, 214) über einem Halbleitersubstrat (112, 212) aufweist;

wobei die wenigstens eine Halbleiterstruktur (105, 205) mit einem langen Kanal aufweist:

eine erste Source (140, 240) und einen ersten Drain (150, 250) in der dielektrischen Zwischenebenen-Schicht (170, 270),

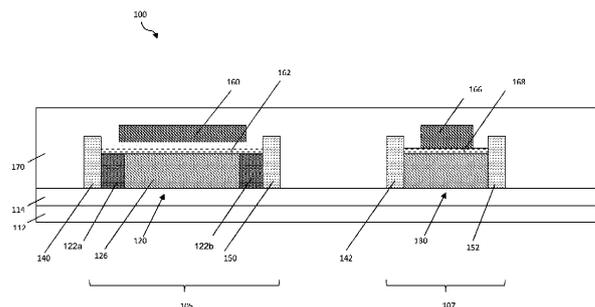
einen langen Kanalbereich (120, 220) zwischen der ersten Source (140, 240) und dem ersten Drain (150, 250), wobei der lange Kanalbereich (120, 220) einen ersten Bereich (122a, 122b, 222a, 222b) mit einer ersten Bandlücke und einen zweiten Bereich (126, 226) mit einer zweiten Bandlücke aufweist, wobei die erste Bandlücke größer als die zweite Bandlücke ist, und ein erstes Gate (160, 260) auf dem langen Kanalbereich (120, 220); und

wobei die wenigstens eine Halbleiterstruktur (107, 207) mit einem kurzen Kanal aufweist:

eine zweite Source (142, 242) und einen zweiten Drain (152, 252) in der dielektrischen Zwischenebenen-Schicht (170, 270),

einen kurzen Kanalbereich (130, 230) zwischen der zweiten Source (142, 242) und dem zweiten Drain (152, 252);

wobei die erste Bandlücke und die zweite ...



Beschreibung**Figurenliste****HINTERGRUND**

[0001] Die vorliegende Erfindung bezieht sich auf Halbleitereinheiten. Im Besonderen bezieht sich die Erfindung auf Halbleitereinheiten, die ein geringes Band-zu-Band-Tunneln aufweisen.

[0002] Band-zu-Band(BTB)-Tunneln beschreibt den Effekt, wenn Elektronen von dem Valenzband durch eine Bandlücke hindurch zu dem Leitungsband einer Halbleitereinheit wandern. Wenn Halbleitereinheiten kleiner werden, nimmt das BTB-Tunneln aufgrund von höheren Dotierniveaus und in jüngerer Zeit durch die Verwendung von Materialien mit einer schmalen Bandlücke zu. Herkömmliche Metall-Oxid-Halbleiter-Feldeffekttransistoren (MOSFETs) beinhalten einen Kanalbereich zwischen einer Source und einem Drain, der aus reinem Silicium besteht. Dies schwächt das BTB-Tunneln ab, da Silicium eine relativ breite Bandlücke aufweist, kann jedoch auch die Leistungsfähigkeit des Halbleiters beschränken. Um die Leistungsfähigkeit eines Produkts zu erhöhen, setzen einige herkömmliche Einheiten einen Kanalbereich aus spannungsreichem Silicium-Germanium zwischen der Source und dem Drain ein. Diese Vorgehensweise kann den Gesamtumfang des BTB-Tunnelns in dem integrierten Schaltkreis aufgrund der schmalen Bandlücke von Silicium-Germanium erhöhen, insbesondere unter Druckbelastung. Das BTB-Tunneln ist vor allem für Einheiten für eine hohe Spannung außergewöhnlich, wie zum Beispiel für Einheiten mit 1,8 V für IO-Anwendungen, die eine Kanallänge aufweisen, die viel länger als die minimale lithographische Fähigkeit ist.

[0003] In diesem Kontext gibt es bereits folgende Dokumente: Das Dokument US 2003 / 0 116 792 A1 beschreibt eine MOSFET-Halbleitervorrichtung mit einer asymmetrischen Kanalstruktur zwischen einem Source- und einem Drain-Bereich. Die Halbleitervorrichtung weist eine MESA-Struktur auf einem Siliziumsubstrat auf, bei der sich der Source-Bereich in dem Halbleitersubstrat befindet. Dabei erstreckt sich die MESA-Struktur von der Source-Region und dem Substrat. Andererseits beschreibt das Dokument US 2013 / 0 119 395 A1 einen Tunnel-FET, wobei der Source-Bereich einen Leitfähigkeitstyp aufweist, der unterschiedlich zu dem des Drain-Bereiches ist. Außerdem befindet sich eine Source-Diffusionsbereichsbarriere zwischen einem Kanalbereich und dem Source-Bereich.

KURZDARSTELLUNG

[0004] Das oben skizzierte Problem wird durch die unabhängigen Ansprüche gelöst. Weitere Ausgestaltungen des erfinderischen Konzeptes werden durch die jeweils abhängigen Ansprüche angegeben.

[0005] Diese und weitere Merkmale der vorliegenden Erfindung werden aus der folgenden detaillierten Beschreibung der verschiedenen Aspekte der Erfindung in Verbindung mit den begleitenden Zeichnungen leichter verständlich, die verschiedene Ausführungsformen der Erfindung darlegen, in denen:

Fig. 1 bis Fig. 6 Querschnitte verschiedene erklärende Strukturen und Ausführungsformen der Halbleitereinheit zeigen;

Fig. 7 einen Ablaufplan eines Verfahrens zum Herstellen der Halbleitereinheit zeigt.

**DETAILLIERTE BESCHREIBUNG
DER ZEICHNUNGEN**

[0006] Ausführungsformen der vorliegenden Erfindung beinhalten eine Halbleitereinheit mit einer hohen Leistungsfähigkeit mit wenigstens zwei Bereichen, die unterschiedliche Bandlücken beinhalten, die ein Band-zu-Band(BTB)-Tunneln reduzieren können, während ein Großteil des Vorteils einer Leistungsfähigkeit, die mit Materialien mit einer schmalen Bandlücke verknüpft ist, bewahrt wird. Eine Halbleitereinheit gemäß Ausführungsformen der vorliegenden Offenbarung kann einen Kanal zwischen einer Source und einem Drain der Halbleitereinheit und ein Gate über dem Kanal beinhalten. Einheiten gemäß der vorliegenden Offenbarung können ein BTB-Tunneln verringern, indem ein erster Bereich aus einem Material mit einer größeren (d.h. breiteren) Bandlücke benachbart zu der Source und/oder dem Drain und ein zweiter Bereich aus einem anderen Material mit einer kleineren (d.h. schmalen) Bandlücke in der Mitte des Kanals bereitgestellt wird, um eine hohe Leistungsfähigkeit der Halbleitereinheit aufrechtzuerhalten. Das heißt, ein Großteil des Kanals profitiert von einer spannungsinduzierten Transportverbesserung in dem zweiten Bereich des Kanals, während das BTB-Tunneln aufgrund des ersten Bereichs des Kanals reduziert wird, der ein Material mit einer größeren Bandlücke aufweist.

[0007] Die Halbleitereinheiten, die hierin beschrieben sind, können MOSFETs, oder spezifischer, Silicium-auf-Isolator-Einheiten mit vollständig verarmtem Silicium (FDSOs, Fully Depleted Silicon On Insulator) oder FinFets sein, wie sie auf dem Gebiet der Halbleiter-Fertigung allgemein bekannt sind. Nunmehr bezugnehmend auf **Fig. 1**, die einen Querschnitt einer erklärenden Struktur zeigt, kann eine Halbleitereinheit **10** ein Substrat **12**, eine vergrabene Isolatorschicht **14**, einen Kanal **20**, eine Source **40**, einen Drain **50**, ein Gate **60** sowie eine dielektrische Zwischenebenen-Schicht **70** beinhalten. Die Materialzusammensetzung des Substrats **12** kann ohne Beschränkung beinhalten: Silicium, Germanium, Silicium-Germanium, Silicium-

carbid sowie jene, die im Wesentlichen aus einem oder mehreren III-V-Verbindungshalbleitern mit einer Zusammensetzung bestehen, die durch die Formel $Al_{X1}Ga_{X2}In_{X3}As_{Y1}P_{Y2}N_{Y3}Sb_{Y4}$ definiert ist, wobei $X1$, $X2$, $X3$, $Y1$, $Y2$, $Y3$ und $Y4$ relative Anteile repräsentieren, von denen jeder größer als oder gleich Null ist und wobei $X1 + X2 + X3 + Y1 + Y2 + Y3 + Y4 = 1$ ist (wobei 1 die gesamte relative Mol-Menge ist). Weitere geeignete Substrate beinhalten II-VI-Verbindungshalbleiter mit einer Zusammensetzung $Zn_{A1}Cd_{A2}Se_{B1}Te_{B2}$, wobei $A1$, $A2$, $B1$ und $B2$ relative Anteile sind, von denen jeder größer als oder gleich Null ist und wobei $A1 + A2 + B1 + B2 = 1$ ist (wobei 1 eine gesamte Mol-Menge ist). Des Weiteren können ein Bereich oder das gesamte Halbleitersubstrat spannungsreich sein.

[0008] Auf dem Substrat **12** kann eine vergrabene Isolatorschicht **14** angeordnet sein. Die vergrabene Isolatorschicht **14** kann eine vergrabene Oxid (BOX)-Schicht, ein Nitrid, ein Oxynitrid oder ein anderes geeignetes isolierendes Material (andere geeignete isolierende Materialien) beinhalten. In einer Ausführungsform kann die vergrabene Isolatorschicht **14** ein Oxid beinhalten, wie beispielsweise Siliciumoxid (SiO_2), Hafniumoxid (HfO_2), Zirconiumoxid (ZrO_2), Aluminiumoxid (Al_2O_3), Titanoxid (TiO_2), Lanthanoxid (La_2O_3), Strontiumtitanat ($SrTiO_3$), Lanthanaluminat ($LaAlO_3$) und Kombinationen derselben.

[0009] Auf der vergrabenen Isolatorschicht **14** können eine Source **40** und ein Drain **50** angeordnet sein. Source **40** und Drain **50** können aus irgendeinem (irgendwelchen) derzeit bekannten oder später entwickelten Halbleitermaterial(ien) oder Kombinationen derselben gebildet sein, einschließlich, jedoch nicht beschränkt auf: Silicium (Si), Silicium-Kohlenstoff (SiC), Silicium-Germanium (SiGe), Silicium-Germanium-Kohlenstoff (SiGeC), Ge-Legierungen, Gallium-Arsen (GaAs), Indium-Arsen (InAs), Indium-Phosphor (InP), andere III-V- oder II-VI-Verbindungshalbleiter ebenso wie organische Halbleiter. Source **40** und Drain **50** können eine einzelne Halbleiterschicht oder eine Vielzahl von Halbleiterschichten aufweisen.

[0010] Auf der vergrabenen Schicht **14** kann ein Kanal **20** derart angeordnet sein, dass der Kanal **20** zwischen der Source **40** und dem Drain **50** positioniert ist. Außerdem ist es alternativ möglich, dass der Kanal **20** direkt auf dem Substrat **12** angeordnet sein kann. Der Kanal **20** kann eine Länge $d1$ von ungefähr 70 bis 150 Nanometern (nm) oder mehr aufweisen (**Fig. 1** und **Fig. 2**). Es versteht sich, dass die Source **40** und der Drain **50** nicht auf ihre jeweiligen Positionen beschränkt sind, wie sie in den **Fig. 1** bis **Fig. 6** gezeigt sind, sondern dass die Source **40** und der Drain **50** vielmehr benachbart zu jeder Seite des Kanals **20** derart positioniert sein können, dass die Source **40** und der Drain **50** durch den Kanal **20** substanti-

ell (physisch) getrennt sind. Das heißt, in einer weiteren Ausführungsform (nicht gezeigt) kann die Source **40** dort positioniert sein, wo der Drain **50** in den **Fig. 1** bis **Fig. 6** positioniert ist, und der Drain **50** kann dort positioniert sein, wo die Source **40** in den **Fig. 1** bis **Fig. 6** positioniert ist. Der Kanal **20** kann wenigstens zwei unterschiedliche Materialien beinhalten, die aus einer Gruppe ausgewählt sind, die aus Silicium (Si), Germanium (Ge), Kohlenstoff (C), Gallium (Ga), Arsen (As), Indium (In), Aluminium (Al), Antimon (Sb), Bor (B), Blei (Pb) und Kombinationen derselben besteht. Der Kanal **20** kann einen ersten Bereich **22** und einen zweiten Bereich **26** beinhalten. Der erste Bereich **22** kann ein Material mit einer ersten Bandlücke beinhalten, und der zweite Bereich **26** kann ein anderes Material mit einer zweiten Bandlücke beinhalten. Die erste Bandlücke des Materials in dem ersten Bereich **22** kann größer als die zweite Bandlücke des Materials in dem zweiten Bereich **26** sein. Als ein Beispiel kann die größere Bandlücke 1,0 eV bis 1,5 eV betragen, während die kleinere Bandlücke 0,6 eV bis 1,0 eV betragen kann. Es versteht sich jedoch, dass die größere Bandlücke 1,5 eV überschreiten kann und die kleinere Bandlücke weniger als 0,6 eV betragen kann, ohne von Ausführungsformen der Erfindung abzuweichen. Zum Beispiel kann der erste Bereich **22** Si beinhalten, und der zweite Bereich **26** kann spannungsreiches SiGe beinhalten. In einem weiteren Beispiel kann der erste Bereich **22** Ga beinhalten, und der zweite Bereich **26** kann Ga in InAs beinhalten.

[0011] Bei einer Ausführungsform kann der erste Bereich **22** benachbart zu dem Drain **50** sein, und der zweite Bereich **26** kann benachbart zu der Source **40** sein, wie in **Fig. 1** gezeigt. Der erste Bereich **22** trennt den zweiten Bereich **26** substantiell (physisch) von dem Drain **50**. Ein Band-Tunneln kann mittels üblicher Mittel berechnet werden, zum Beispiel durch Verwenden der Wentzel-Kramers-Brillouin (EKB)-Näherung, die auf dem Fachgebiet von Quanten-Tunnel-Berechnungen bekannt ist. Eine Distanz des Band-Tunnelns, wie sie hierin verwendet wird, bezieht sich im Allgemeinen auf eine Distanz von Elektronen, die von dem Valenzband durch eine Bandlücke hindurch zu dem Leitungsband einer Halbleitereinheit wandern, oder auf eine Länge $d2$ einer Abmessung des ersten Bereichs **22**. Hierbei kann der erste Bereich **22** eine Länge $d2$ aufweisen (d.h. eine Ausdehnung von dem Drain **50** um eine Distanz), die im Wesentlichen gleich einer Distanz des Band-Tunnelns des Drains **50** ist. Das heißt, die Länge $d2$ des ersten Bereichs **22** kann von dem Band-Tunneln des Drains **50** abhängig sein. Der erste Bereich **22** kann ungefähr 1 bis 10 % der Länge $d1$ des Kanals **20** repräsentieren. Der zweite Bereich **26** kann ungefähr 90 bis 95 % der Länge $d1$ des Kanals **20** repräsentieren. Bei einem Beispiel kann der Kanal **20** ungefähr 140 nm lang sein. Bei diesem Beispiel kann der

zweite Bereich **26** ungefähr 130 nm lang sein und der erste Bereich **22** kann 10 nm lang sein.

[0012] Wie in **Fig. 2** gezeigt, kann die Halbleitereinheit **10** bei einer alternativen erklärenden Struktureinheiten ersten Sub-Bereich **22a** und einen zweiten Sub-Bereich **22b** beinhalten. Diese Struktur kann verwendet werden, wenn es nicht bekannt ist, an welchem Ende des Kanals **20** der Drain **50** positioniert ist. Das heißt, der erste Sub-Bereich **22a** kann benachbart zu der Source **40** positioniert sein, und der zweite Sub-Bereich **22b** kann benachbart zu dem Drain **50** sein. Der zweite Sub-Bereich **26** kann den ersten und den zweiten Sub-Bereich **22a**, **22b** voneinander trennen. Der erste Sub-Bereich **22a** kann eine Länge d_3 aufweisen, die im Wesentlichen gleich einer Distanz des Band-Tunnels der Source **40** ist, wenn jener Anschluss (Source **40**) als ein Drain arbeitet. Der zweite Sub-Bereich **22b** kann eine Länge d_2 aufweisen, die im Wesentlichen gleich einer Distanz des Band-Tunnels des Drains **50** ist. Der erste und der zweite Sub-Bereich **22a**, **22b** können zusammen ungefähr 5 bis 10 % der Länge d_1 des Kanals **20** repräsentieren. Der zweite Bereich **26** kann ungefähr 90 bis 95 % der Länge d_1 des Kanals **20** repräsentieren. Bei einem Beispiel kann der Kanal **20** ungefähr 140 nm lang sein. Bei diesem Beispiel kann der zweite Bereich **26** 120 nm lang sein, und der erste und der zweite Sub-Bereich **22a**, **22b** können jeweils 10 nm lang sein. Bei einem weiteren Beispiel, bei dem die Einheit **10** nicht völlig symmetrisch ist, kann der erste Sub-Bereich **22a** 5 nm lang sein, und der zweite Sub-Bereich **22b** kann 10 nm lang sein.

[0013] Nunmehr sowohl auf **Fig. 1** als auch auf **Fig. 2** bezugnehmend, kann ein Gate **60** derart auf dem Kanal **20** angeordnet sein, dass sich das Gate **60** über dem ersten Bereich **22** und dem zweiten Bereich **26**, wie in **Fig. 1** gezeigt, oder über dem ersten Sub-Bereich **22a**, dem zweiten Sub-Bereich **22b** und dem zweiten Bereich **26** befindet, wie in **Fig. 2** gezeigt. Das Gate **60** kann eine Elektrode aus polykristallinem Silicium („Polysilicium“) und einen Satz von Abstandshaltern beinhalten, wenn gewünscht und/oder anwendbar. Diese Elemente sind jedoch zwecks Übersichtlichkeit in den **Fig. 1** bis **Fig. 2** weggelassen. Darüber hinaus kann die Halbleitereinheit **10** eine Isolatorschicht **62** zwischen dem Gate **60** und dem Kanal **20** beinhalten. Die Isolatorschicht **62** kann ein oder mehrere dielektrische Materialien beinhalten, einschließlich, jedoch nicht beschränkt auf: Siliciumnitrid (Si_3N_4), Siliciumoxid (SiO_2), Hafniumoxid (HfO_2), Aluminiumoxid (AlO_2), Nitrid, fluoriertes Oxid, nitriertes Oxid, weitere Materialien mit einer hohen Dielektrizitätskonstante ($> 3,9$) oder mehrere Schichten derselben.

[0014] Auf der vergrabenen Isolatorschicht **14** kann eine dielektrische Zwischenebenen-Schicht **70** derart ausgebildet sein, dass der Kanal **20**, die Source **40**,

der Drain **50** und das Gate **60** von der dielektrischen Zwischenebenen-Schicht **70** substantiell umgeben sind. Die dielektrische Zwischenebenen-Schicht **70** kann ein oder mehrere dielektrische Materialien beinhalten, einschließlich, jedoch nicht beschränkt auf: Siliciumnitrid (Si_3N_4), Siliciumoxid (SiO_2), fluoriertes SiO_2 (FSG), hydriertes Siliciumoxycarbid (SiCOH), poröses SiCOH , Bor-Phospho-Silicat-Glas (BPSG), Silsesquioxane, mit Kohlenstoff (C) dotierte Oxide (d.h. Organosilicate), die Atome von Silicium (Si), Kohlenstoff (C), Sauerstoff (O) und/oder Wasserstoff (H) beinhalten, wärmehärtende Polyarylenether, SiLK (ein Polyarylenether, der von Dow Chemical Corporation erhältlich ist), ein Spin-on-Silicium-Kohlenstoff, der ein Polymer-Material enthält, das von JSR Corporation erhältlich ist, weitere Materialien mit einer niedrigen Dielektrizitätskonstante ($< 3,9$) oder mehrere Schichten derselben. Es versteht sich, dass die dielektrische Zwischenebenen-Schicht **70**, wie sie hierin beschrieben ist, Kontakte (nicht gezeigt) beinhalten kann, wie auf dem Fachgebiet der Halbleiterfertigung bekannt.

[0015] Wenngleich Ausführungsformen der Erfindung unter Bezugnahme auf eine FDSOI-Einheit beschrieben wurden, versteht es sich, dass Ausführungsformen der Erfindung auch bei anderen Halbleitereinheiten Anwendung finden, wie beispielsweise einem FinFET, der unter einem Großteil der gleichen Grundgedanken wie die hierin beschriebene FDSOI-Einheit arbeitet, jedoch eine Struktur mit einem einzelnen Gate und mehrere Fins beinhalten kann. Wenn die Halbleitereinheit **10** ein FinFET ist, kann der Kanal **20** aus einer Halbleiter-Fin (nicht gezeigt) gebildet sein, von der ein Anteil substantiell von dem Gate **60** umgeben ist, wie auf dem Fachgebiet der Halbleiter-Fertigung allgemein bekannt ist. Eine FDSOI-Einheit kann eine Höhe von z.B. zwischen ungefähr 4 bis 10 nm und eine Länge von 70 bis 150 nm oder mehr aufweisen. Ein FinFET kann eine Höhe von zwischen ungefähr 25 bis 50 nm und eine Länge von 70 bis 150 nm oder mehr aufweisen. Das heißt, ein Querschnitt einer FinFET-Einheit kann im Wesentlichen ähnlich wie ein Querschnitt der FDSOI-Einheit aussehen, mit der Ausnahme, dass der Kanalbereich der FDSOI-Einheit vergleichsweise geringer in der Höhe und größer in der Tiefe ist.

[0016] Die **Fig. 3** zeigt ein technisch ähnliches Konzept und **Fig. 4** zeigt eine Ausführungsform der Erfindung. Bei dieser Ausführungsform kann eine Halbleitereinheit **100** wenigstens eine Halbleiterstruktur **120** mit einem langen Kanal sowie wenigstens eine Halbleiterstruktur **130** mit einem kurzen Kanal aufweisen. Wenngleich lediglich eine einzige Halbleiterstruktur mit einem langen Kanal und eine einzige Halbleiterstruktur mit einem kurzen Kanal gezeigt sind, versteht es sich, dass die Halbleitereinheit **100** mehrere Halbleiterstrukturen mit einem kurzen und einem langen Kanal beinhalten kann, die zwecks Übersichtlichkeit

in den **Fig. 3** und **Fig. 4** nicht gezeigt sind. Halbleitereinheiten mit einem kurzen Kanal können für Betriebsweisen mit einer niedrigeren Spannung verwendet werden. Für jene Einheiten kann es unpraktisch sein, zwei separate Anteile des Kanalbereichs vorzusehen, wenn die Kanallänge möglicherweise nicht sehr viel größer (15 bis 25 nm) als die typische Tunnel-Distanz eines Drains (10 nm) ist. Das heißt, Ausführungsformen der vorliegenden Erfindung sehen eine Halbleitereinheit vor, bei der sowohl Kanaleinheiten mit Doppelmaterial (zum Beispiel die Halbleiterstruktur **120** mit einem langen Kanal) als auch Einheiten mit Einzelmaterial (zum Beispiel die Halbleiterstruktur **130** mit einem kurzen Kanal) koexistieren können.

[0017] **Fig. 3** zeigt eine Halbleitereinheit **100**. Bei diesem technisch ähnlichen Konzept ist eine vergrabene Isolatorschicht **114** auf einem Substrat **112** angeordnet. Auf der vergrabenen Isolatorschicht **114** sind eine Halbleiterstruktur **105** mit einem langen Kanal und eine Halbleiterstruktur **107** mit einem kurzen Kanal angeordnet. Die Halbleiterstruktur **105** mit einem langen Kanal kann eine erste Source **140** und einen ersten Drain **150** beinhalten, die durch einen langen Kanalbereich **120** substantiell getrennt sind. Die erste Source **140** und der erste Drain **150** können aus irgendwelchen der beispielhaften Materialien bestehen, die in Bezug auf die Source **40** (**Fig. 1**, **Fig. 2**) und den Drain **50** (**Fig. 1**, **Fig. 2**) hierin erörtert wurden. Der lange Kanalbereich **120** kann eine Länge von ungefähr 70 bis 150 nm aufweisen. Der lange Kanalbereich **120** kann einen ersten Bereich **122** und einen zweiten Bereich **126** beinhalten. Der erste Bereich **122** kann ein Material mit einer ersten Bandlücke beinhalten. Der zweite Bereich **126** kann ein anderes Material mit einer zweiten Bandlücke derart beinhalten, dass die erste Bandlücke größer als die zweite Bandlücke ist. Der lange Kanalbereich **120** kann aus irgendwelchen der beispielhaften Materialien bestehen, die in Bezug auf den Kanal **20** (**Fig. 1** bis **Fig. 2**) hierin erörtert wurden. Zum Beispiel kann der erste Bereich **122** Si beinhalten, und der zweite Bereich **126** kann spannungsreiches SiGe beinhalten. Bei einem weiteren Beispiel kann der erste Bereich **122** Ga beinhalten, und der zweite Bereich **126** kann Ga in InAs beinhalten. Der erste Bereich **122** kann benachbart zu dem ersten Drain **150** sein, und der zweite Bereich **126** kann benachbart zu der ersten Source **140** sein. Bei diesem Konzept kann der erste Bereich **122** eine Länge aufweisen (d.h. eine Ausdehnung von dem Drain **150** um eine Distanz), die im Wesentlichen gleich einer Distanz des Band-Tunnels des ersten Drains **150** ist, wie hierin beschrieben. Das heißt, eine Länge des ersten Bereichs **122** kann von dem Band-Tunnel des ersten Drains **150** abhängig sein. Wie in **Fig. 3** gezeigt, trennt der erste Bereich **122** den zweiten Bereich **126** substantiell von dem ersten Drain **150**.

[0018] Sich **Fig. 4** zuwendend, können Ausführungsformen der Halbleitereinheit **100** einen ersten Sub-Bereich **122a** und einen zweiten Sub-Bereich **122b** beinhalten. Der erste Sub-Bereich **122a** kann benachbart zu der ersten Source **140** sein, und der zweite Sub-Bereich **122b** kann benachbart zu dem ersten Drain **150** sein. Der erste Sub-Bereich **122a** kann eine Länge aufweisen (d.h. eine Ausdehnung von der ersten Source **140** um eine Distanz), die im Wesentlichen gleich einer Distanz des Band-Tunnels der Source **140** ist, wenn jener Anschluss (Source **140**) als ein Drain arbeitet. Der zweite Sub-Bereich kann eine Länge aufweisen (d.h. eine Ausdehnung von dem ersten Drain **150** um eine Distanz), die im Wesentlichen gleich einer Distanz des Band-Tunnels des Drains **150** ist. Bei dieser Ausführungsform trennt der zweite Sub-Bereich **126** den ersten und den zweiten Sub-Bereich **122a**, **122b** substantiell voneinander.

[0019] Zugleich bezugnehmend auf die **Fig. 3** und **Fig. 4**, kann auch die Halbleiterstruktur **107** mit einem kurzen Kanal auf der vergrabenen Isolatorschicht **114** angeordnet sein. Die Halbleiterstruktur **107** mit einem kurzen Kanal kann von der Halbleiterstruktur **105** mit einem langen Kanal substantiell (physisch) getrennt sein. Die Halbleiterstruktur **107** mit einem kurzen Kanal kann einen kurzen Kanalbereich **130**, eine Source **142** und einen Drain **152** auf der vergrabenen Isolatorschicht **114** beinhalten. Der kurze Kanalbereich **130** kann eine Länge von 10 bis 50 nm aufweisen. Der kurze Kanalbereich **130** kann das gleiche Material wie der zweite Bereich **126** der Halbleiterstruktur **105** mit einem langen Kanal beinhalten. Der kurze Kanalbereich **130** kann eine Bandlücke aufweisen, die im Wesentlichen gleich der Bandlücke des zweiten Bereichs **126** der Halbleiterstruktur **105** mit einem langen Kanal ist, oder kann im Prinzip aus noch einem anderen Material mit einer anderen Bandlücke bestehen. Der kurze Kanalbereich **130** kann die zweite Source **142** und den zweiten Drain **152** trennen.

[0020] Die Halbleiterstrukturen **105**, **107** mit einem langen und einem kurzen Kanal können jeweils ein erstes beziehungsweise ein zweites Gate **160**, **166** beinhalten. Das erste Gate **160** kann auf der Halbleiterstruktur **105** mit einem langen Kanal derart angeordnet sein, dass sich das erste Gate **160** über dem ersten Bereich **122** und dem zweiten Bereich **126**, wie in **Fig. 3** gezeigt, oder über dem ersten Sub-Bereich **122a**, dem zweiten Sub-Bereich **122b** und dem zweiten Bereich **126** befindet, wie in **Fig. 4** gezeigt. Das erste Gate **160** kann eine Elektrode aus Polysilizium und einen Satz von Abstandshaltern beinhalten, diese Elemente sind jedoch in den **Fig. 3** bis **Fig. 4** zwecks Übersichtlichkeit weggelassen. Darüber hinaus kann die Halbleitereinheit **100** eine erste Isolatorschicht **162** beinhalten, die zwischen dem ersten Gate **160** und der Halbleiterstruktur **105** mit einem langen Kanal positioniert ist.

[0021] Das zweite Gate **166** kann auf der Halbleiterstruktur **107** mit einem kurzen Kanal derart angeordnet sein, dass sich das zweite Gate **166** über dem kurzen Kanalbereich **130** befindet, wie in den **Fig. 3** und **Fig. 4** gezeigt. Das zweite Gate **166** kann eine Elektrode aus Polysilicium und einen Satz von Abstandshaltern beinhalten, diese Elemente sind jedoch in den **Fig. 3** bis **Fig. 4** zwecks Übersichtlichkeit nicht gezeigt. Darüber hinaus kann die Halbleitereinheit **100** eine zweite Isolatorschicht **168** zwischen dem Gate **166** und der Halbleiterstruktur **107** mit einem kurzen Kanal beinhalten. Die Isolatorschichten **162**, **168** können irgendwelche der Materialien beinhalten, die zuvor unter Bezugnahme auf die Isolatorschichten der **Fig. 1** und **Fig. 2** erörtert wurden. Die erste Isolatorschicht **162** kann eine größere Dicke als eine Dicke der zweiten Isolatorschicht **168** aufweisen. Die erste Isolatorschicht **162** kann eine Dicke von 2,0 bis 7,0 nm aufweisen. Für Anwendungen mit einer höheren Spannung kann die erste Isolatorschicht **162** jedoch eine Dicke aufweisen, die 7,0 nm übersteigt. Die zweite Isolatorschicht **168** kann eine Dicke von 0,6 bis 1,2 nm aufweisen. Darüber hinaus kann eine dielektrische Zwischenebenen-Schicht **170** auf der vergrabenen Isolatorschicht **114** derart gebildet sein, dass sich die Halbleiterstruktur **105** mit einem langen Kanal und die Halbleiterstruktur **107** mit einem kurzen Kanal innerhalb der dielektrischen Zwischenebenen-Schicht **170** befinden. Die dielektrische Zwischenebenen-Schicht **170** kann irgendwelche der Materialien beinhalten, die in Bezug auf die dielektrische Zwischenebenen-Schicht **70** der **Fig. 1** und **Fig. 2** hierin erörtert wurden. Es versteht sich, dass die dielektrische Zwischenebenen-Schicht **170**, wie sie hierin beschrieben ist, Kontakte (nicht gezeigt) beinhalten kann, wie auf dem Fachgebiet der Halbleiterfertigung bekannt.

[0022] Wie zuvor erörtert, können Ausführungsformen der Erfindung bei einer FinFET-Einheit Anwendung finden. Wenn die Halbleitereinheit **100** ein FinFET ist, kann der lange Kanalbereich **120** in der Form einer Halbleiter-Fin (nicht gezeigt) vorliegen, die von dem Gate **160** substantiell umgeben ist. Der kurze Kanalbereich kann in der Form einer Halbleiter-Fin (nicht gezeigt) vorliegen, von der ein Anteil von dem Gate **166** substantiell umgeben sein kann.

[0023] Halbleitereinheiten, die gemäß Ausführungsformen der Erfindung hergestellt werden, können außerdem Transistoren mit einem völlig anderen Kanalmaterial enthalten, die hierin als ein Feldeffekttransistor vom p-Typ (PFET) und ein Feldeffekttransistor vom n-Typ (NFET) beschrieben sind. Die **Fig. 5** und **Fig. 6** zeigen eine weitere Ausführungsform der Erfindung, bei der eine Halbleitereinheit **200** einen PFET **201** benachbart zu einem NFET **301** beinhalten kann. Bei dieser Ausführungsform kann der PFET **201** eine erste Halbleiterstruktur **205** mit einem langen Kanal und eine erste Halbleiterstruktur **207** mit einem kur-

zen Kanal beinhalten, und der NFET **301** kann eine zweite Halbleiterstruktur **305** mit einem langen Kanal und eine zweite Halbleiterstruktur **307** mit einem kurzen Kanal beinhalten.

[0024] Die erste Halbleiterstruktur **205** mit einem langen Kanal und die erste Halbleiterstruktur **207** mit einem kurzen Kanal des PFET **201** können auf einer vergrabenen Isolatorschicht **214** über einem Substrat **212** angeordnet sein. Die zweite Halbleiterstruktur **305** mit einem langen Kanal und die zweite Halbleiterstruktur **307** mit einem kurzen Kanal des NFET **301** können ebenfalls auf der vergrabenen Isolatorschicht **214** über dem Substrat **212** angeordnet sein. Die Materialien der vergrabenen Isolatorschicht **214** und des Substrats **212** können die gleichen Materialien beinhalten, die unter Bezugnahme auf die vergrabenen Isolatorschichten **14** (**Fig. 1** und **Fig. 2**), **114** (**Fig. 3** und **Fig. 4**) erörtert wurden.

[0025] Bezugnehmend auf **Fig. 5** kann die erste Halbleiterstruktur **205** mit einem langen Kanal eine erste Source **240** und einen ersten Drain **250** beinhalten, die durch einen langen Kanalbereich **220** substantiell getrennt sind. Die erste Source **240** und der erste Drain **250** können aus irgendwelchen der Materialien bestehen, die in Bezug auf die vorherigen Ausführungsformen erörtert wurden. Der erste lange Kanalbereich **220** kann eine Länge von ungefähr 70 bis 150 nm aufweisen. Der erste lange Kanalbereich **220** kann aus irgendwelchen der Materialien bestehen, die auch bei der Zusammensetzung des Kanalbereichs **20** (**Fig. 1**, **Fig. 2**) und des langen Kanalbereichs **120** (**Fig. 3**, **Fig. 4**) verwendet wurden. Wie zuvor hierin erörtert, kann der erste lange Kanalbereich **220** einen ersten Bereich **222** und einen zweiten Bereich **226** beinhalten. Der erste Bereich **222** kann ein Material mit einer ersten Bandlücke beinhalten. Der zweite Bereich **226** kann ein anderes Material mit einer zweiten Bandlücke derart beinhalten, dass die erste Bandlücke größer als die zweite Bandlücke ist. Der erste Bereich **222** kann benachbart zu dem ersten Drain **250** sein, und der zweite Bereich **226** kann benachbart zu der ersten Source **240** sein. Hierbei kann der erste Bereich **222** eine Länge aufweisen (d.h. eine Ausdehnung von dem ersten Drain **250** um eine Distanz), die im Wesentlichen gleich einer Distanz des Band-Tunnelns des ersten Drains **250** ist. Das heißt, eine Dicke des ersten Bereichs **222** kann von dem Band-Tunneln des ersten Drains **250** abhängig sein. Wie in **Fig. 5** gezeigt, trennt der erste Bereich **222** den zweiten Bereich **226** substantiell von dem ersten Drain **250**.

[0026] Bei einer weiteren Ausführungsform kann die Halbleitereinheit **200**, wie in **Fig. 6** gezeigt, einen ersten Sub-Bereich **222a** und einen zweiten Sub-Bereich **222b** beinhalten, wie in Bezug auf den ersten und den zweiten Sub-Bereich **122a**, **122b** (**Fig. 3**, **Fig. 4**) beschrieben. Der erste Sub-Bereich **222a**

kann benachbart zu der ersten Source **240** sein. Der zweite Sub-Bereich **222b** kann benachbart zu dem ersten Drain **250** sein. Der erste Sub-Bereich **222a** kann eine Länge aufweisen (d.h. eine Ausdehnung weg von der ersten Source **240** um eine Distanz), die im Wesentlichen gleich einer Distanz des Band-Tunnels der ersten Source **240** ist. Der zweite Sub-Bereich kann eine Länge aufweisen (d.h. eine Ausdehnung weg von dem ersten Drain **250** um eine Distanz), die im Wesentlichen gleich einer Distanz des Band-Tunnels des ersten Drains ist. Bei dieser Ausführungsform trennt der zweite Bereich **226** den ersten und den zweiten Sub-Bereich **222a**, **222b** substantiell voneinander.

[0027] Nunmehr zugleich bezugnehmend auf die **Fig. 5** und **Fig. 6**, kann die erste Halbleiterstruktur **207** mit einem kurzen Kanal einen ersten kurzen Kanalbereich **230** beinhalten, der aus einem Material mit einer kleineren Bandlücke als jener der Materialzusammensetzung des ersten Bereichs **222** der Halbleiterstruktur **205** mit einem langen Kanal ist. Das heißt, das Material, das für den ersten kurzen Kanalbereich **230** der ersten Halbleiterstruktur **207** mit einem kurzen Kanal verwendet wird, kann das gleiche Material sein, das für den zweiten Bereich **226** der ersten Halbleiterstruktur **205** mit einem langen Kanal verwendet wird. Bei einer alternativen Ausführungsform kann die erste Halbleiterstruktur **207** mit einem kurzen Kanal ein Material beinhalten, das sich von jenem des zweiten Bereichs **226** unterscheidet. Der kurze Kanalbereich **230** kann eine Länge von 15 bis 25 nm aufweisen. Die erste Halbleiterstruktur **207** mit einem kurzen Kanal kann außerdem eine zweite Source **242** und einen zweiten Drain **252** beinhalten. Die zweite Source **242** und der zweite Drain **252** können durch den ersten kurzen Kanalbereich **230** substantiell getrennt sein.

[0028] Die zweite Halbleiterstruktur **305** mit einem langen Kanal kann eine dritte Source **340** und einen dritten Drain **350** beinhalten, die durch einen zweiten langen Kanalbereich **320** substantiell getrennt sind. Die dritte Source **340** und der dritte Drain **350** können irgendwelche der Materialien für Sources und Drains beinhalten, die in Bezug auf die vorherigen Ausführungsformen erörtert wurden. Der zweite lange Kanalbereich **320** kann eine Länge von ungefähr 70 bis 150 nm aufweisen. Der zweite lange Kanalbereich **320** kann aus irgendwelchen der Materialien bestehen, die auch bei der Zusammensetzung des Kanalbereichs **20** (**Fig. 1**, **Fig. 2**) und des langen Kanalbereichs **120** (**Fig. 3**, **Fig. 4**) verwendet wurden. Die zweite Halbleiterstruktur **307** mit einem kurzen Kanal kann eine vierte Source **342** und einen vierten Drain **352** beinhalten, die durch einen zweiten kurzen Kanalbereich **330** substantiell getrennt sind. Der zweite kurze Kanalbereich **330** kann eine Länge von 15 bis 25 nm aufweisen. Die vierte Source **342** und der vierte Drain **352** können irgendwelche der Materialien

für Sources und Drains beinhalten, die in Bezug auf die vorherigen Ausführungsformen erörtert wurden. Der zweite kurze Kanalbereich **330** kann irgendwelche der Materialien für Kanalbereiche beinhalten, die zuvor in Bezug auf andere Ausführungsformen erörtert wurden.

[0029] Der zweite lange Kanalbereich **320** der zweiten Halbleiterstruktur **305** mit einem langen Kanal und der kurze Kanalbereich **330** der zweiten Halbleiterstruktur **307** mit einem kurzen Kanal können ein Material mit einer größeren Bandlücke als jener des Materials des ersten Bereichs **222** der Halbleiterstruktur **205** mit einem langen Kanal beinhalten. Das heißt, das Material, das für die Bereiche **320** und **330** verwendet wird, kann das gleiche Material wie jenes sein, das für den ersten Bereich **222** der ersten Halbleiterstruktur **205** mit einem langen Kanal verwendet wurde. Alternativ kann sich das Material, das für die Bereiche **320** und **330** verwendet wird, von dem Material unterscheiden, das für den ersten Bereich **222** verwendet wird. Wenngleich die **Fig. 5** und **Fig. 6** zeigen, dass lediglich der erste lange Kanalbereich **220** des PFET **201** eine verzweigte Bandlücke aufweist, versteht es sich jedoch, dass bei einer weiteren Ausführungsform die zweite Halbleiterstruktur **305** mit einem langen Kanal des NFET **201** ebenfalls einen zweiten langen Kanalbereich **320** mit einer verzweigten Bandlücke beinhalten kann. Alternativ kann der NFET **301** einen zweiten langen Kanalbereich **320** mit einer verzweigten Bandlücke anstelle der ersten Halbleiterstruktur **205** mit einem langen Kanal des PFET **201** beinhalten.

[0030] Wie hierin erörtert, kann jede Halbleiterstruktur **205**, **207**, **305**, **307** ebenfalls jeweils ein Gate **260**, **266**, **360**, **366** beinhalten. Ein erstes Gate **260** kann auf dem ersten langen Kanalbereich **220** derart angeordnet sein, dass sich das Gate **260** über dem ersten Bereich **222** und dem zweiten Bereich **226** befindet, wie in **Fig. 5** gezeigt. Alternativ kann das erste Gate **260** über dem ersten Sub-Bereich **222a**, dem zweiten Sub-Bereich **222b** und dem zweiten Bereich **226** positioniert sein, wie in **Fig. 6** gezeigt. Das erste Gate **260** kann eine Elektrode aus Polysilicium und einen Satz von Abstandshaltern beinhalten, die in den **Fig. 5** bis **Fig. 6** zwecks Übersichtlichkeit weggelassen sind. Darüber hinaus kann die erste Halbleiterstruktur **205** mit einem langen Kanal eine erste Isolatorschicht **262** zwischen dem ersten Gate **260** und dem ersten langen Kanalbereich **220** beinhalten.

[0031] Ein zweites Gate **266** kann auf der ersten Halbleiterstruktur **207** mit einem kurzen Kanal derart angeordnet sein, dass sich das Gate **266** über dem ersten kurzen Kanalbereich **230** befindet, wie in den **Fig. 5** und **Fig. 6** gezeigt. Das zweite Gate **266** kann eine Elektrode aus Polysilicium und einen Satz von Abstandshaltern beinhalten, die in den **Fig. 5** bis **Fig. 6** zwecks Übersichtlichkeit weggelassen sind.

Darüber hinaus kann die erste Halbleiterstruktur **207** mit einem kurzen Kanal eine zweite Isolatorschicht **268** zwischen dem zweiten Gate **266** und dem ersten kurzen Kanalbereich **230** beinhalten. Die zweite Isolatorschicht **268** kann einen geringeren Wert der Dicke aufweisen als die erste Isolatorschicht **262**.

[0032] Auf dem zweiten langen Kanalbereich **320** kann ein drittes Gate **360** angeordnet sein. Das dritte Gate **360** kann eine Elektrode aus Polysilicium und einen Satz von Abstandshaltern beinhalten, wie auf dem Fachgebiet allgemein bekannt ist, in den **Fig. 5** bis **Fig. 6** zwecks Übersichtlichkeit jedoch nicht gezeigt ist. Darüber hinaus kann die zweite Halbleiterstruktur **305** mit einem langen Kanal eine dritte Isolatorschicht **362** zwischen dem dritten Gate **360** und dem zweiten langen Kanalbereich **320** beinhalten. Auf dem zweiten kurzen Kanalbereich **330** kann ein viertes Gate **366** angeordnet sein. Das vierte Gate **366** kann eine Elektrode aus Polysilicium und einen Satz von Abstandshaltern beinhalten, wie auf dem Fachgebiet allgemein bekannt ist, in den **Fig. 5** bis **Fig. 6** zwecks Übersichtlichkeit jedoch nicht gezeigt ist. Darüber hinaus kann die zweite Halbleiterstruktur **307** mit einem kurzen Kanal eine vierte Isolatorschicht **368** zwischen dem vierten Gate **366** und dem zweiten kurzen Kanalbereich **330** beinhalten. Die vierte Isolatorschicht **368** kann dünner als die dritte Isolatorschicht **362** sein. Bei einer Ausführungsform kann die vierte Isolatorschicht **368** eine Dicke aufweisen, die im Wesentlichen gleich jener der zweiten Isolatorschicht **268** ist, und die dritte Isolatorschicht **362** kann eine Dicke aufweisen, die im Wesentlichen gleich jener der ersten Isolatorschicht **262** ist. Bei einer weiteren Ausführungsform können die Isolatorschichten **262**, **268**, **362**, **368** variierende Dicken aufweisen.

[0033] Die Isolatorschichten **262**, **268**, **362**, **368** können irgendwelche der Materialien beinhalten, die zuvor unter Bezugnahme auf die Isolatorschichten der **Fig. 1** und **Fig. 2** erörtert wurden. Darüber hinaus kann auf der vergrabenen Isolatorschicht **214** eine dielektrische Zwischenebenen-Schicht **270** derart gebildet sein, dass die Halbleiterstrukturen **205**, **207** des PFET **201** und die Halbleiterstrukturen **305**, **307** des NFET **301** von der dielektrischen Zwischenebenen-Schicht **270** substantiell umgeben sind. Es versteht sich, dass die dielektrische Zwischenebenen-Schicht **270**, wie sie hierin beschrieben ist, Kontakte (nicht gezeigt) beinhalten kann, wie auf dem Fachgebiet der Halbleiter-Fertigung bekannt.

[0034] Nunmehr bezugnehmend auf **Fig. 7**, die ein Verfahren **700** zum Herstellen von Ausführungsformen der hierin beschriebenen Halbleitereinheiten zeigt (d.h. 10 (**Fig. 1**, **Fig. 2**), 100 (**Fig. 3**, **Fig. 4**), 200 (**Fig. 5**, **Fig. 6**)). In einem Prozess **P1** kann eine vergrabene Isolatorschicht über einem Substrat gebildet werden, wobei irgendeine jetzt be-

kannte oder später entwickelte Abscheidungstechnik verwendet wird, einschließlich, jedoch nicht beschränkt auf zum Beispiel: chemische Gasphasenabscheidung (CVD), CVD mit niedrigem Druck (LP-CVD), plasmaunterstützte CVD (PECVD), Semi-Atmosphäre-CVD (SACVD), CVD mit einem Plasma hoher Dichte (HDPCVD), schnelle thermische CVD (RTCVD), Ultrahochvakuum-CVD (UHVCVD), Limited-Reaction-Processing-CVD (LRPCVD), metallorganische CVD (MOCVD), Sputter-Abscheidung, Ionenstrahl-Abscheidung, Elektronenstrahl-Abscheidung, laser-unterstützte Abscheidung, thermische Oxidation, thermische Nitridierung, Spin-on-Verfahren, physikalische Gasphasenabscheidung (PVD), atomare Schichtabscheidung (ALD), chemische Oxidation, Molekularstrahlepitaxie (MBE), Plattieren sowie Verdampfung. Es versteht sich, dass die Verwendung des Ausdrucks „abscheiden“ oder „abgeschieden“ hierin irgendwelche der vorstehenden Abscheidungstechniken beinhalten kann. Die vergrabene Isolatorschicht und das Substrat können irgendwelche der Materialien beinhalten, die zuvor unter Bezugnahme auf die vergrabenen Isolatorschichten beziehungsweise die Substrate der vorherigen Ausführungsformen beschrieben wurden.

[0035] In einem Prozess **P2** kann eine erste Halbleiterschicht mit einer ersten Bandlücke auf der vergrabenen Isolatorschicht abgeschieden werden. Auf der ersten Halbleiterschicht kann in einem Prozess **P3** eine Hartmaske abgeschieden werden. Die Hartmaske kann abgeschieden werden, um einen oder mehrere lange Kanalbereich(e) und einen oder mehrere kurze Kanalbereich(e) derart zu definieren, dass wenigstens ein langer Kanalbereich benachbart zu wenigstens einem kurzen Kanalbereich ist. In einem Prozess **P4** kann eine zweite Halbleiterschicht mit einer zweiten Bandlücke epitaxial über der ersten Halbleiterschicht in dem wenigstens einen langen Kanalbereich und dem wenigstens einen kurzen Kanalbereich abgeschieden werden. Die zweite Bandlücke kann kleiner als die erste Bandlücke sein. Das erste Material kann Silicium sein, und das zweite Material kann Germanium oder Silicium-Germanium sein.

[0036] In einem Prozess **P5** können die erste und die zweite Halbleiterschicht kombiniert werden, um eine dritte Halbleiterschicht zu erzeugen. Die erste und die zweite Halbleiterschicht werden durch Kondensation in einer oxidierenden Umgebung oder mittels Anwenden von Wärme auf die erste und die zweite Halbleiterschicht kombiniert. Die Hartmaske kann in einem Prozess **6** entfernt werden, um die erste Halbleiterschicht freizulegen, die unterhalb der Hartmaske verblieben ist. Die Hartmaske kann mittels auf dem Fachgebiet der Halbleiter-Fertigung bekannter Prozesse entfernt werden, wie beispielsweise Ätzen. Der Ätzvorgang kann irgendwelche jetzt bekannten oder später entwickelten Techniken beinhalten, die für das zu ätzende Material geeignet sind, einschließlich, je-

doch nicht beschränkt auf zum Beispiel: isotropes Ätzen, anisotropes Ätzen, Plasma-Ätzen, Sputter-Ätzen, Ionenstrahl-Ätzen, reaktives Ionenstrahl-Ätzen und reaktives Ionen-Ätzen (RIE). Die Platzierung und die Entfernung der Hartmaske ermöglicht eine selbstjustierte epitaxiale Ersetzung des Endes des Kanals benachbart zu der Source und dem Drain, wie erörtert werden wird.

[0037] In einem Prozess **P7** wird ein Anteil der verbliebenen ersten Halbleiterschicht zwischen dem wenigstens einen langen Kanalbereich und dem wenigstens einen Kanalbereich entfernt, um den wenigstens einen langen Kanalbereich von dem wenigstens einen kurzen Kanalbereich substantiell zu trennen. Die erste Halbleiterschicht kann mittels beispielhafter Ätzprozesse entfernt werden, wie unter Bezugnahme auf den Prozess **P5** hierin erörtert. Während dieses Entfernungsprozesses verbleibt ein Anteil der ersten Halbleiterschicht benachbart zu einer ersten Seite der dritten Halbleiterschicht in dem langen Kanalbereich (wie in dem Kanalbereich **20** von **Fig. 1** gezeigt). Das heißt, der wenigstens eine lange Kanalbereich kann einen ersten Bereich beinhalten, der durch die verbleibende erste Halbleiterschicht definiert sein kann. Der wenigstens eine lange Kanalbereich kann außerdem einen zweiten Bereich beinhalten, der durch die dritte Halbleiterschicht definiert sein kann. Die Bandlücke des Materials (der Materialien) in dem ersten Bereich kann größer als eine Bandlücke des Materials (der Materialien) in dem zweiten Bereich sein. Bei einer weiteren Ausführungsform verbleibt der Anteil der ersten Halbleiterschicht benachbart zu einer ersten und einer zweiten Seite der dritten Halbleiterschicht in dem langen Kanalbereich (in dem Kanalbereich **20** von **Fig. 2** gezeigt). Das heißt, der erste Bereich des wenigstens einen langen Kanalbereichs kann einen ersten Sub-Bereich und einen zweiten Sub-Bereich beinhalten, die durch den zweiten Bereich substantiell getrennt sind.

[0038] Bei der unter Bezugnahme auf die **Fig. 5** bis **Fig. 6** beschriebenen Ausführungsform kann die erste Halbleiterschicht in dem Prozess **P7** derart entfernt werden, dass ein PFET- und ein NFET-Bereich gebildet werden. Das heißt, die erste Halbleiterschicht kann entfernt werden, um einen ersten Bereich in dem ersten langen Kanalbereich (um eine verzweigte Bandlücke zu erzeugen) und einen ersten kurzen Kanalbereich in dem PFET-Bereich zu definieren. Darüber hinaus kann die erste Halbleiterschicht entfernt werden, um einen zweiten langen Kanalbereich und einen zweiten kurzen Kanalbereich in dem NFET-Bereich zu definieren. Wie zuvor in Bezug auf die **Fig. 5** bis **Fig. 6** erörtert, kann sich der lange Kanalbereich mit einer verzweigten Bandlücke entweder in dem PFET-Bereich oder in dem NFET-Bereich oder in beiden des PFET- oder des NFET-Bereichs befinden. Das heißt, die Entfernung der Hartmaske und der ersten Halbleiterschicht kann durchgeführt werden, um

den Ort des Anteils der Halbleitereinheit, der die verzweigte Bandlücke aufweist, individuell einzurichten.

[0039] In einem Prozess **P8** können Sources, Drains und Gates gebildet werden. Die Sources werden auf der vergrabenen Isolatorschicht gebildet. Die Sources können derart gebildet werden, dass wenigstens eine Source benachbart zu einer ersten Seite von jedem von dem wenigstens einen langen Kanalbereich und dem wenigstens einen kurzen Kanalbereich ist. Die Drains können ebenfalls auf der vergrabenen Isolatorschicht gebildet werden. Wenigstens ein Drain kann benachbart zu einer zweiten Seite von jedem von dem wenigstens einen langen Kanalbereich und dem wenigstens einen kurzen Kanalbereich gebildet werden. Die Sources und/oder die Drains können derart gebildet werden, dass jede Source und jeder Drain durch den entsprechenden Kanalbereich substantiell getrennt sind. Wenn der wenigstens eine lange Kanalbereich einen ersten Bereich und einen zweiten Bereich beinhaltet, kann der Drain benachbart zu dem ersten Bereich gebildet werden, und die Source kann benachbart zu dem zweiten Bereich gebildet werden. Wenn der wenigstens eine lange Kanalbereich einen ersten Sub-Bereich und einen zweiten Sub-Bereich beinhaltet, kann der Drain benachbart zu dem ersten Sub-Bereich gebildet werden, und die Source kann benachbart zu dem zweiten Sub-Bereich gebildet werden. Wie zuvor erörtert, können der erste Sub-Bereich und der zweite Sub-Bereich Längen aufweisen, die im Wesentlichen gleich dem Band-Tunneln der Source beziehungsweise des Drains sind. Das Gate wird auf jedem von dem wenigstens einen langen Kanalbereich und dem wenigstens einen kurzen Kanalbereich gebildet. Das Bilden des Gates kann außerdem des Weiteren ein Abscheiden einer ersten Isolatorschicht auf dem wenigstens einen langen Kanalbereich vor dem Bilden des Gates auf dem wenigstens einen langen Kanalbereich und ein Abscheiden eines zweiten Isolators auf dem wenigstens einen kurzen Kanalbereich vor dem Bilden des Gates auf dem wenigstens einen kurzen Kanalbereich beinhalten. Die erste und die zweite Isolatorschicht können derart abgeschieden werden, dass die erste Isolatorschicht dicker als die zweite Isolatorschicht sein kann. Darüber hinaus kann das Verfahren **700** außerdem ein Abscheiden einer dielektrischen Zwischenebenen-Schicht über Kanälen, Sources, Drains und Gates auf der vergrabenen Isolatorschicht beinhalten.

Patentansprüche

1. Halbleitereinheit (100, 200) mit einer verzweigten Bandlücke, wobei die Halbleitereinheit (100, 200) aufweist:
 - eine Mehrzahl von Halbleiterstrukturen (105, 107, 205, 207, 307, 305), die wenigstens eine Halbleiterstruktur (105, 205) mit einem langen Kanal und wenigstens eine Halbleiterstruktur (107, 207) mit einem

kurzen Kanal in einer dielektrischen Zwischenschicht (170, 270) auf einer vergrabenen Isolatorschicht (114, 214) über einem Halbleitersubstrat (112, 212) aufweist;

wobei die wenigstens eine Halbleiterstruktur (105, 205) mit einem langen Kanal aufweist:

eine erste Source (140, 240) und einen ersten Drain (150, 250) in der dielektrischen Zwischenebenen-Schicht (170, 270),

einen langen Kanalbereich (120, 220) zwischen der ersten Source (140, 240) und dem ersten Drain (150, 250), wobei der lange Kanalbereich (120, 220) einen ersten Bereich (122a, 122b, 222a, 222b) mit einer ersten Bandlücke und einen zweiten Bereich (126, 226) mit einer zweiten Bandlücke aufweist, wobei die erste Bandlücke größer als die zweite Bandlücke ist, und

ein erstes Gate (160, 260) auf dem langen Kanalbereich (120, 220); und

wobei die wenigstens eine Halbleiterstruktur (107, 207) mit einem kurzen Kanal aufweist:

eine zweite Source (142, 242) und einen zweiten Drain (152, 252) in der dielektrischen Zwischenebenen-Schicht (170, 270),

einen kurzen Kanalbereich (130, 230) zwischen der zweiten Source (142, 242) und dem zweiten Drain (152, 252);

wobei die erste Bandlücke und die zweite Bandlücke die Bandlücke der Halbleitereinheit (105, 205) verzweigen,

wobei der erste Bereich (122a, 122b, 222a, 222b) der wenigstens einen Halbleiterstruktur (105, 205) mit einem langen Kanal des Weiteren aufweist:

einen ersten Sub-Bereich (122a, 222a) und einen zweiten Sub-Bereich (122b, 222b),

wobei der erste Sub-Bereich (122a, 222a) benachbart zu der ersten Source (140, 240) ist und wobei der zweite Sub-Bereich (122b, 222b) benachbart zu dem ersten Drain (150, 250) ist, und

wobei der zweite Bereich (126, 226) den ersten Sub-Bereich (122a, 222a) und den zweiten Sub-Bereich (122b, 222b) substantiell trennt.

2. Halbleitereinheit (100, 200) nach Anspruch 1, wobei sich der erste Sub-Bereich (122a, 222a) um eine Distanz, die im Wesentlichen gleich einer Distanz des Band-Tunnelns der ersten Source (140, 240) ist, von der ersten Source (140, 240) weg erstreckt, und wobei sich der zweite Sub-Bereich (122b, 222b) um eine Distanz, die im Wesentlichen gleich einer Distanz des Band-Tunnelns des ersten Drains (150, 250) ist, von dem ersten Drain (150, 250) weg erstreckt.

3. Halbleitereinheit (100, 200) nach Anspruch 1, wobei der erste Sub-Bereich (122a, 222a) derart benachbart zu dem ersten Source (140, 240) ist, dass der erste Sub-Bereich (122a, 222a) den zweiten Bereich (126, 226) und die ersten Source (140, 240) substantiell trennt; und wobei der zweite Sub-Bereich (122b, 222b) derart benachbart zu der ersten Drain

(150, 250) ist, dass der zweite Sub-Bereich (122b, 222b) den zweiten Bereich (126, 226) und den ersten Drain (150, 250) substantiell trennt.

4. Halbleitereinheit (100, 200) nach Anspruch 1, wobei der erste Bereich (122a, 122b, 222a, 222b) Silicium aufweist und der zweite Bereich (126, 226) spannungsreiches Silicium-Germanium aufweist.

5. Halbleitereinheit (100, 200) nach Anspruch 1, wobei der kurze Kanalbereich (130, 230) eine Bandlücke aufweist, die im Wesentlichen gleich der zweiten Bandlücke ist.

6. Halbleitereinheit (100, 200) nach Anspruch 1, wobei die Halbleiterstruktur (107, 207) mit dem kurzen Kanal und die Halbleiterstruktur (105, 205) mit dem langen Kanal voneinander getrennt sind.

7. Halbleitereinheit (100, 200) nach Anspruch 1, die des Weiteren aufweist:

eine erste Isolatorschicht (162, 262) über dem langen Kanalbereich (120, 220) und unter dem ersten Gate (160, 260); und

eine zweite Isolatorschicht (168, 268) über dem kurzen Kanalbereich (130, 230) und unter dem zweiten Gate (166, 266),

wobei die erste Isolatorschicht (162, 262) dicker als die zweite Isolatorschicht (168, 268) ist.

8. Halbleitereinheit (100, 200) nach Anspruch 1, die des Weiteren aufweist:

einen Bereich eines Feldeffekttransistors vom p-Typ (PFET) (201) und einen Bereich eines Feldeffekttransistors vom n-Typ (NFET) (301),

wobei der PFET-Bereich (201) und der NFET-Bereich (301) in der dielektrischen Zwischenebenen-Schicht (270) benachbart zueinander sind,

wobei die wenigstens eine Halbleiterstruktur (205) mit einem langen Kanal eine erste Halbleiterstruktur (205) mit einem langen Kanalbereich aufweist, die einen ersten langen Kanalbereich (220) aufweist, wobei der lange Kanalbereich (220) einen ersten Bereich (222a, 222b) mit einer größeren Bandlücke und einen zweiten Bereich (226) mit einer kleineren Bandlücke aufweist,

wobei die wenigstens eine Halbleiterstruktur (205) mit einem kurzen Kanal (eine erste Halbleiterstruktur (205) mit einem kurzen Kanalbereich (230) aufweist, und

wobei sich die erste Halbleiterstruktur (205) mit einem langen Kanal und die erste Halbleiterstruktur (207) mit einem kurzen Kanal in dem PFET-Bereich (201) befinden.

9. Halbleitereinheit (200) nach Anspruch 1, wobei die wenigstens eine lange Kanalbereich (220) eine erste Halbleiter-Fin beinhaltet und das erste Gate (260) die erste Halbleiter-Fin substantiell umgibt, und wobei die wenigstens eine kurze Kanalbereich (230)

eine zweite Halbleiter-Fin aufweist und das zweite Gate (266) die zweite Halbleiter-Fin substantiell umgibt.

10. Verfahren (700) zum Herstellen einer Halbleitereinheit (100), das aufweist:

Bilden einer vergrabenen Isolatorschicht (114, 214) über einem Substrat (112, 212);

Abscheiden (P2) einer ersten Halbleiterschicht mit einer ersten Bandlücke auf der vergrabenen Isolatorschicht (112, 212);

Abscheiden (P3) einer Hartmaske auf der ersten Halbleiterschicht, um wenigstens einen langen Kanalbereich (120, 220) und wenigstens einen kurzen Kanalbereich (130, 230) derart zu definieren, dass der wenigstens eine lange Kanalbereich (120, 220) benachbart zu dem wenigstens einen kurzen Kanalbereich (130, 230) ist;

epitaxiales Abscheiden (P4) einer zweiten Halbleiterschicht mit einer zweiten Bandlücke über der ersten Halbleiterschicht in dem wenigstens einen langen Kanalbereich (120, 220) und dem wenigstens einen kurzen Kanalbereich (130, 230), wobei die erste Bandlücke größer als die zweite Bandlücke ist;

Kombinieren (P5) der ersten und der zweiten Halbleiterschicht, um eine dritte Halbleiterschicht zu erzeugen;

Entfernen (P6) der Hartmaske, um die erste Halbleiterschicht freizulegen, die unter der Hartmaske verblieben ist;

Entfernen (P7) eines Anteils der verbliebenen ersten Halbleiterschicht zwischen dem wenigstens einen langen Kanalbereich (120, 220) und dem wenigstens einen kurzen Kanalbereich (130, 230), um den wenigstens einen langen Kanalbereich (220) und den wenigstens einen kurzen Kanalbereich (130, 230) substantiell zu trennen, derart, dass der wenigstens eine lange Kanalbereich (120, 220) aufweist:

einen ersten Bereich (122a, 122b, 222a, 222b) mit der ersten Bandlücke,

der durch die verbliebene erste Halbleiterschicht definiert ist; und

einen zweiten Bereich (126, 226) mit der zweiten Bandlücke,

wobei der zweite Bereich (126, 226) durch die dritte Halbleiterschicht definiert ist,

Bilden (P8) eines Gates (160, 260) auf jedem von dem wenigstens einen langen Kanalbereich (120, 220) und dem wenigstens einen kurzen Kanalbereich (130, 230),

Bilden einer Source (140, 142, 240, 242) in einer dielektrischen Zwischenebenen-Schicht (270) über der vergrabenen Isolatorschicht (214) benachbart zu einer ersten Seite von jedem von dem wenigstens einen langen Kanalbereich (120, 220) und dem wenigstens einen kurzen Kanalbereich (130, 230); und

Bilden eines Drains (150, 152, 250, 252) in der dielektrischen Zwischenebenen-Schicht (270) über der vergrabenen Isolatorschicht (214) benachbart zu einer zweiten Seite von jedem von dem wenigstens einen

langen Kanalbereich (120, 220) und dem wenigstens einen kurzen Kanalbereich (130, 230) derart, dass jede/jeder von den Sources (140, 142, 240, 242) und den Drains (150, 152, 250, 252) durch den entsprechenden wenigstens einen langen Kanalbereich (120, 220) oder wenigstens einen kurzen Kanalbereich (130, 230) substantiell getrennt ist,

und derart, dass der erste Bereich einen ersten Sub-Bereich (122a, 222a) benachbart zu der Source (140, 240) und einen zweiten Sub-Bereich (122b, 222b) benachbart zu dem Drain (150, 250) aufweist, und wobei der erste Sub-Bereich (122a, 222a) und der zweite Sub-Bereich (122b, 222b) durch den zweiten Bereich (126, 226) substantiell getrennt sind.

11. Der Verfahren (700) nach Anspruch 10, wobei wobei der erste Bereich den ersten Sub-Bereich (122a, 222a) benachbart zu der Source (140, 240) und der zweiten Sub-Bereich (122b, 222b) benachbart zu dem Drain (150, 250) derart aufweist, dass sich der erste Sub-Bereich (122a, 222a) um eine Distanz, die im Wesentlichen gleich einer Distanz des Band-Tunnels von der Source (140, 240) ist, von der Source (140, 240) weg erstreckt und sich der zweite Sub-Bereich (122b, 222b) um eine Distanz, die im Wesentlichen gleich einer Distanz des Band-Tunnels des Drains (150, 250) ist, von dem Drain (150, 250) weg erstreckt.

12. Der Verfahren (700) nach einem der Ansprüche 10 oder 11, zusätzlich aufweisend

Abscheiden einer ersten Isolatorschicht (162, 262) auf dem wenigstens einen langen Kanalbereich (120, 220) vor dem Bilden des Gates (160, 260) auf dem langen Kanalbereich (120, 220); und

Abscheiden einer zweiten Isolatorschicht (168, 268) auf dem wenigstens einen kurzen Kanalbereich (130, 230) vor dem Bilden eines Gates (166, 266) auf dem kurzen Kanalbereich (130, 230),

wobei die erste Isolatorschicht (162, 262) dicker als die zweite Isolatorschicht (168, 268) ist.

Es folgen 7 Seiten Zeichnungen

Anhängende Zeichnungen

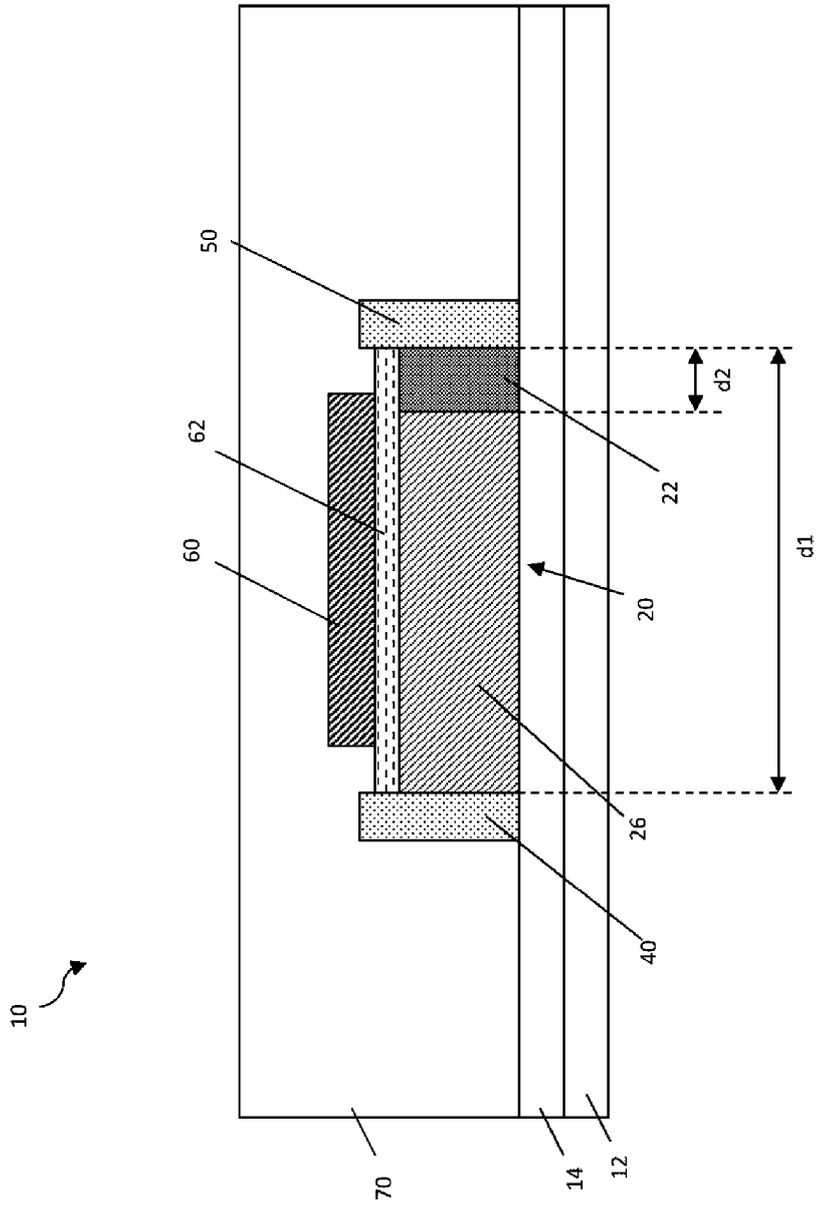


FIG. 1

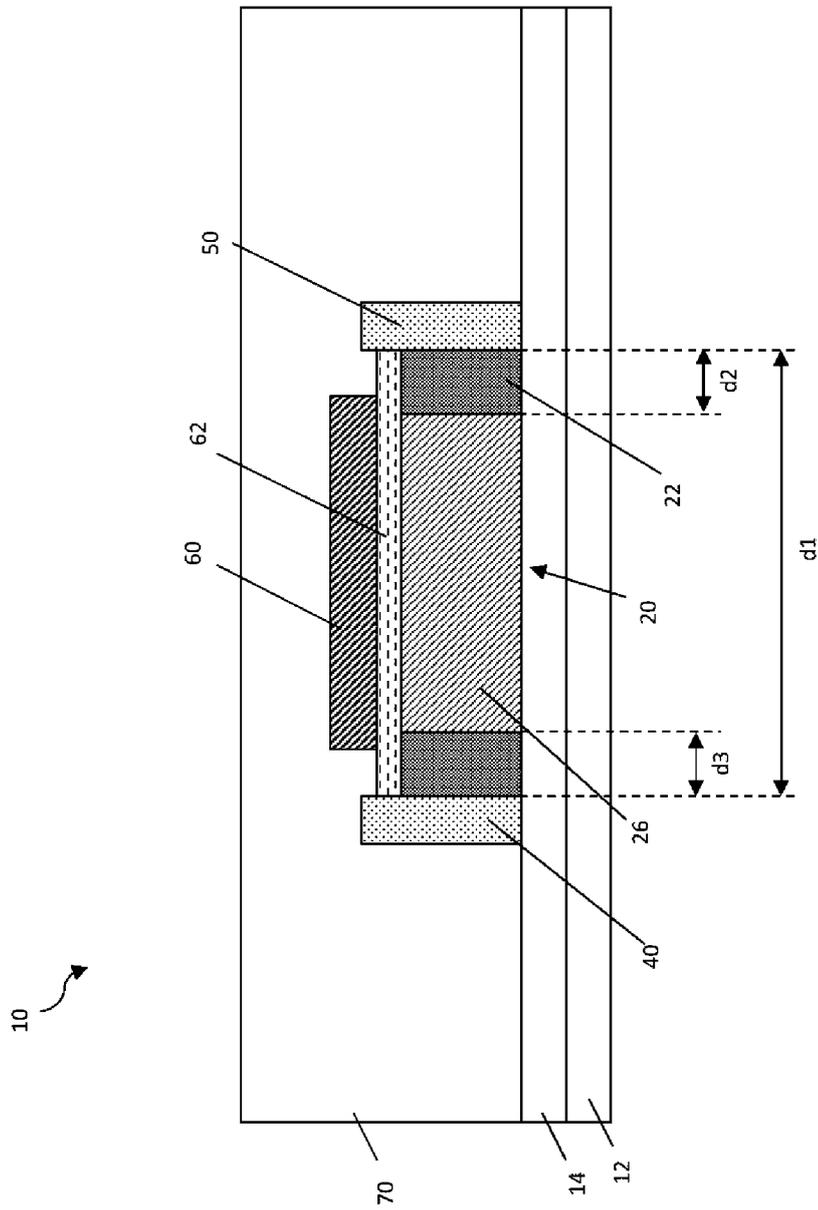


FIG. 2

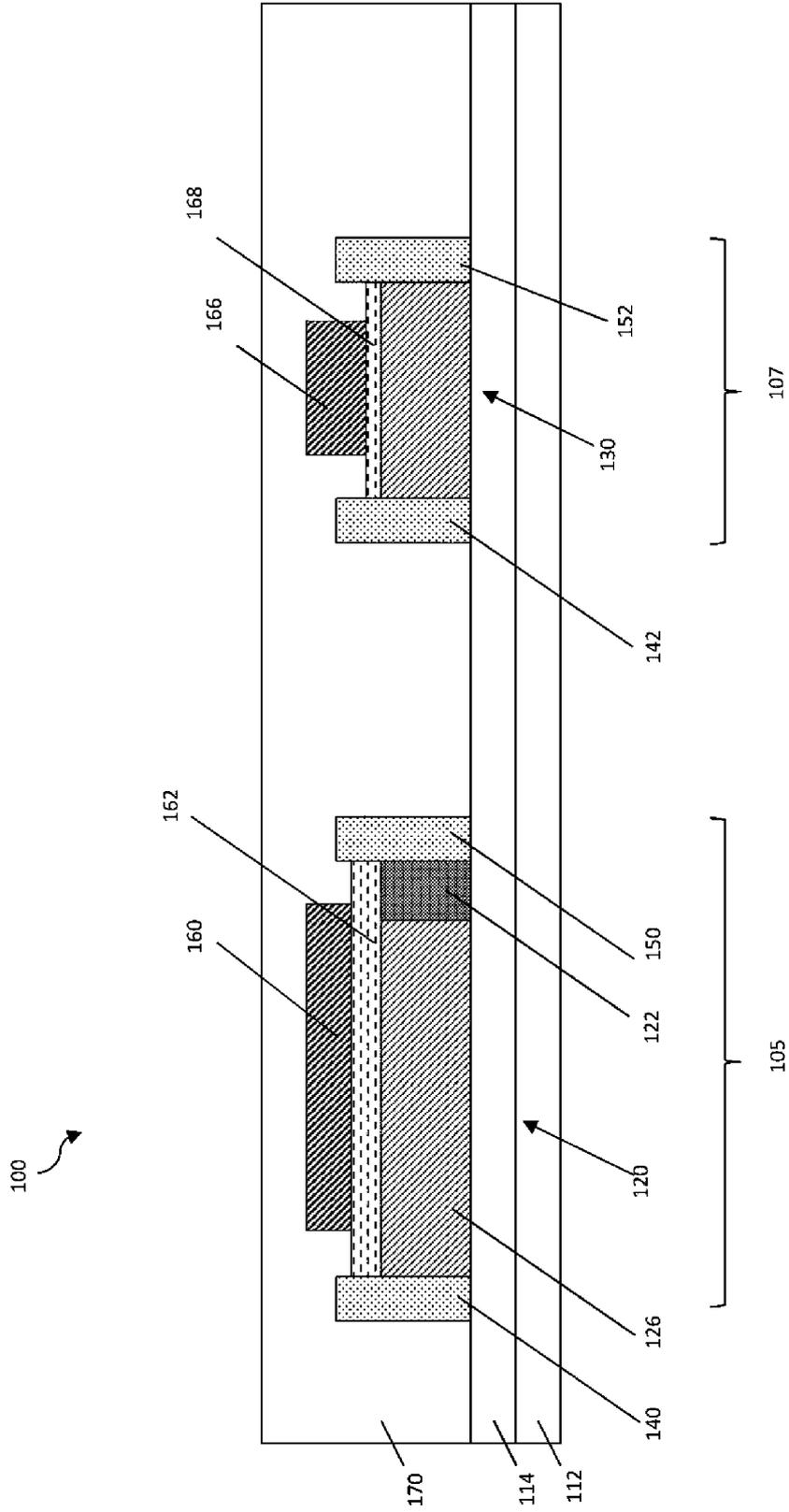


FIG. 3

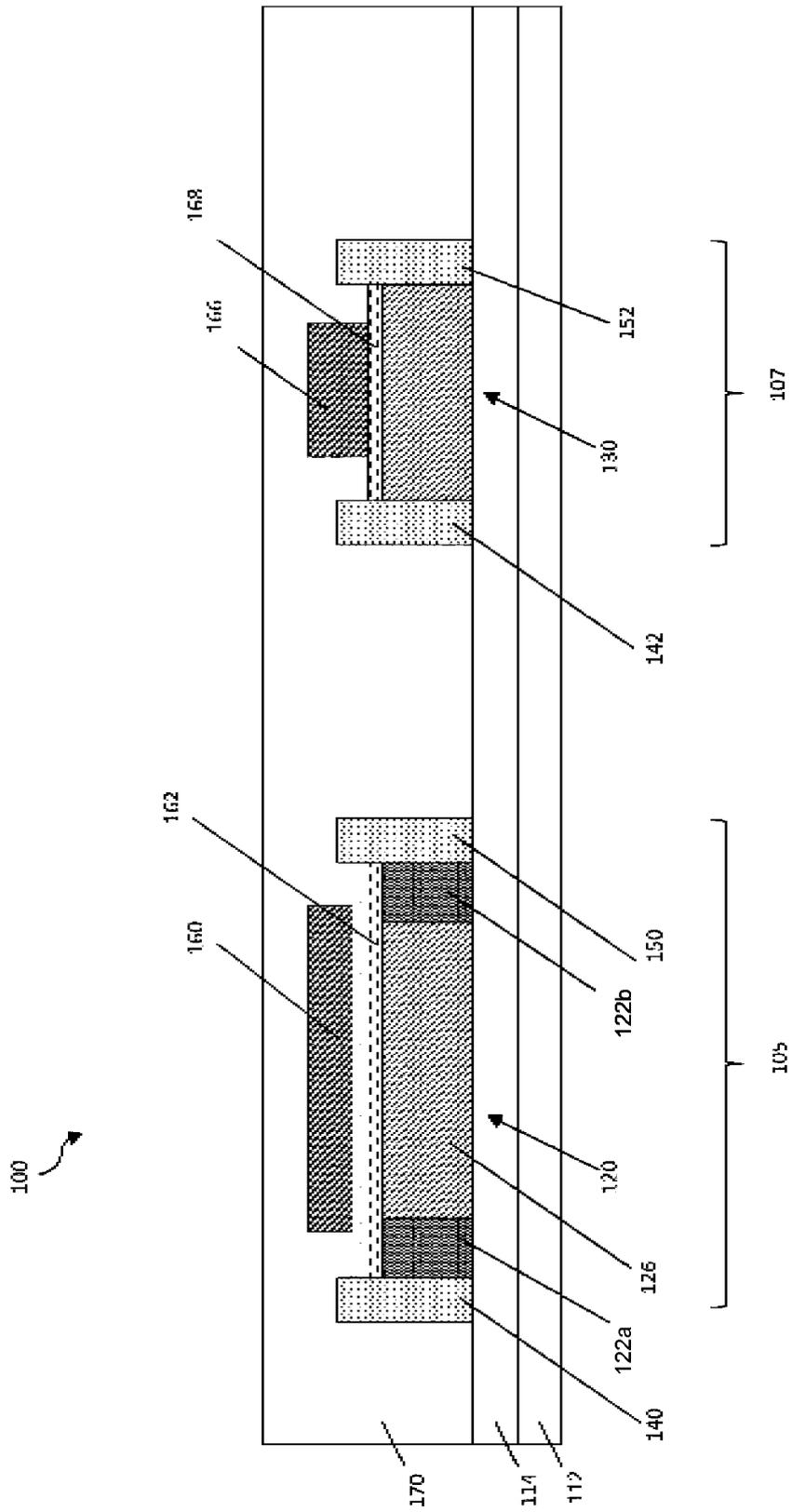


FIG. 4

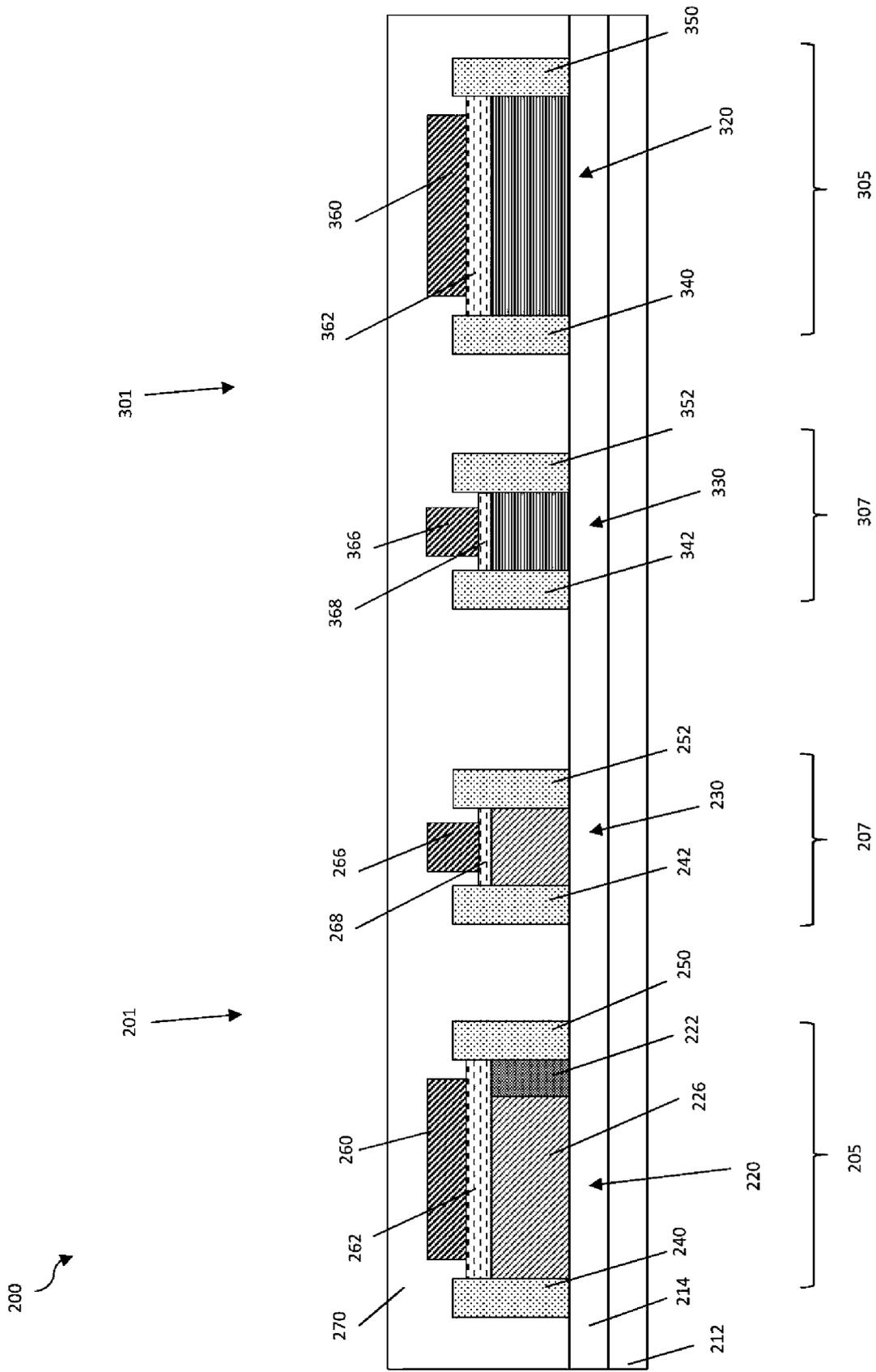


FIG. 5

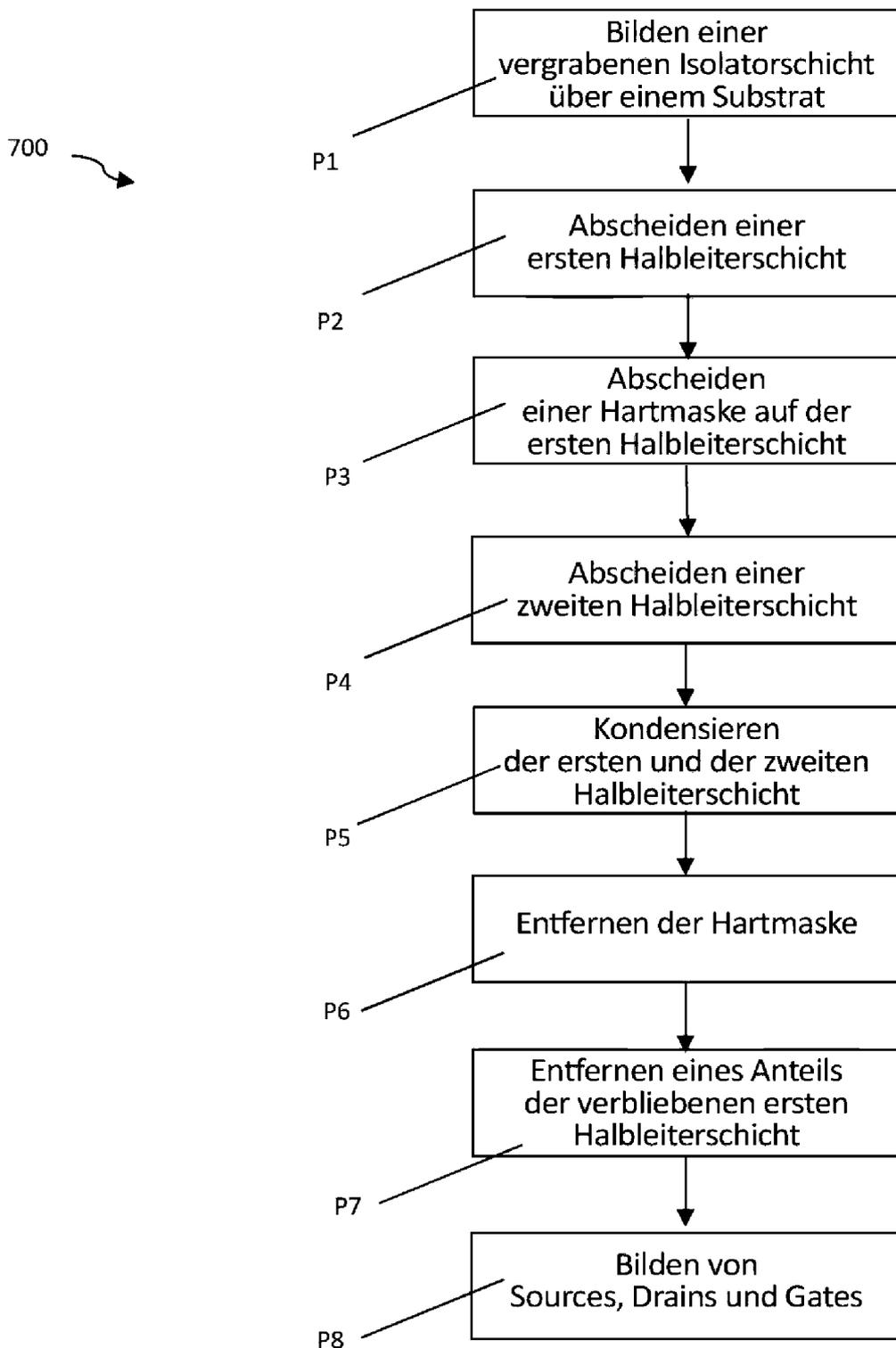


FIG. 7