



(12) 发明专利申请

(10) 申请公布号 CN 106033241 A

(43) 申请公布日 2016. 10. 19

(21) 申请号 201510120129. 0

(22) 申请日 2015. 03. 18

(71) 申请人 鸿富锦精密工业(武汉)有限公司  
地址 430205 湖北省武汉市东湖新技术开发  
区光谷二路特一号富士康科技园  
申请人 鸿海精密工业股份有限公司

(72) 发明人 邓均义 陈俊生

(74) 专利代理机构 深圳市赛恩倍吉知识产权代  
理有限公司 44334

代理人 薛晓伟

(51) Int. Cl.

G06F 1/26(2006. 01)

G06F 1/32(2006. 01)

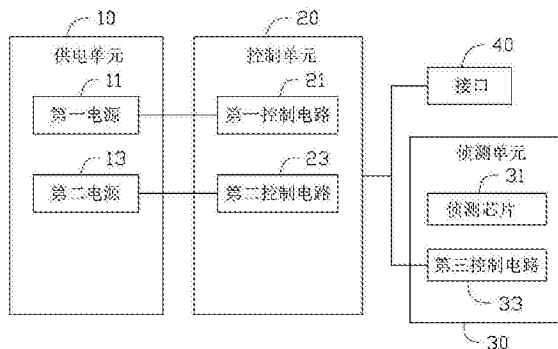
权利要求书1页 说明书3页 附图1页

(54) 发明名称

接口供电电路

(57) 摘要

一种接口供电电路,包括供电单元、第一控制电路、第二控制电路及连接第一控制电路的侦测单元,侦测单元用于连接接口,供电单元连接第一控制电路及第二控制电路,侦测单元用于在侦测到接口插接相应的设备后输出第一控制信号及用于在侦测到接口没有插接设备后输出第二控制信号,第一控制电路用于在接收到第一控制信号后截止及用于在接收到第二控制信号后导通,第二控制电路用于在第一控制电路截止后导通,供电单元用于在第二控制电路导通后供电给接口,第二控制电路还用于在第一控制电路导通后断开供电单元与接口的连接。



1. 一种接口供电电路,包括一供电单元,其特征在于:所述接口供电电路还包括一第一控制电路、一连接所述第一控制电路的第二控制电路及一连接所述第一控制电路的侦测单元,所述侦测单元用于连接一接口,所述供电单元连接所述第一控制电路及所述第二控制电路,所述侦测单元用于在侦测到所述接口插接一相应的设备后输出一第一控制信号及用于在侦测到所述接口没有插接所述设备后输出一第二控制信号,所述第一控制电路用于在接收到所述第一控制信号后截止,所述第二控制电路用于在所述第一控制电路截止后导通,所述供电单元用于在所述第二控制电路导通后供电给所述接口,所述第一控制电路用于在接收到所述第二控制信号后导通,所述第二控制电路用于在所述第一控制电路导通后断开所述供电单元与所述接口的连接。

2. 如权利要求 1 所述的接口供电电路,其特征在于:所述第一控制电路包括一第一晶体管,所述第一晶体管包括一控制端、一第一连接端及一第二连接端,所述第一晶体的控制端连接所述侦测单元,所述第一晶体管的第一连接端接地,所述第一晶体的第二连接端连接所述第二控制电路。

3. 如权利要求 2 所述的接口供电电路,其特征在于:所述第一控制电路还包括一电阻,所述电阻的一端连接所述供电单元,所述电阻的另一端连接所述第一晶体的第二连接端及连接所述第二控制电路。

4. 如权利要求 2 所述的接口供电电路,其特征在于:所述第二控制电路包括一第二晶体管,所述第二晶体管包括一控制端、一第一连接端及一第二连接端,所述第二晶体的控制端连接所述第一晶体的第二连接端,所述第二晶体管的第一连接端用于连接所述接口,所述第二晶体的第二连接端连接所述供电单元。

5. 如权利要求 4 所述的接口供电电路,其特征在于:所述供电单元包括一连接所述第一晶体管的第一电源及一连接所述第二晶体的第二连接端的第二电源,所述第二电源用于在所述第二控制电路导通后供电给所述接口。

6. 如权利要求 2 所述的接口供电电路,其特征在于:所述侦测单元包括一用于连接所述接口的侦测芯片,所述侦测芯片用于侦测所述接口是否插接所述设备,所述侦测芯片连接所述第一晶体的控制端。

7. 如权利要求 6 所述的接口供电电路,其特征在于:所述侦测单元还包括一电阻及一电源,所述电阻的一端连接所述电源,所述电阻的另一端连接所述侦测芯片及用于连接所述接口。

8. 如权利要求 6 所述的接口供电电路,其特征在于:所述侦测芯片为一 PCH 芯片。

9. 如权利要求 6 所述的接口供电电路,其特征在于:所述侦测芯片包括一输入输出引脚,所述接口包括一侦测端及一电源端,所述侦测芯片的输入输出引脚用于连接所述接口的侦测端,所述第二控制电路用于连接所述接口的电源端。

10. 如权利要求 2 所述的接口供电电路,其特征在于:所述第一晶体管为 P 沟道场效应管,所述第一晶体的控制端对应所述 P 沟道场效应管的栅极,所述第一晶体管的第一连接端对应所述 P 沟道场效应管的源极,所述第一晶体的第二连接端 D 对应所述 P 沟道场效应管的漏极。

## 接口供电电路

### 技术领域

[0001] 本发明涉及一种接口供电电路。

### 背景技术

[0002] 一般地,在计算机的主板中安装有若干用于连接外设的输入输出接口(例如 USB 接口,PCIe 接口,HDMI 接口等等),这些接口用于插接相应的设备,例如 USB 接口用于插接 USB 设备,PCIe 接口用于插接 PCIe 设备。在使用过程中,供电单元通过这些接口给相应的设备供电。然而,当这些接口在闲置而没有插接相应的设备时,供电单元仍然与这些接口保持电连接。当有带电物质进入这些接口中时,极易发生漏电,而损坏主板。

### 发明内容

[0003] 鉴于以上内容,有必要提供一种在接口未插接相应的设备时避免发生漏电的接口供电电路。

[0004] 一种接口供电电路,包括一供电单元、一第一控制电路、一连接所述第一控制电路的第二控制电路及一连接所述第一控制电路的侦测单元,所述侦测单元用于连接一接口,所述供电单元连接所述第一控制电路及所述第二控制电路,所述侦测单元用于在侦测到所述接口插接一相应的设备后输出一第一控制信号及用于在侦测到所述接口没有插接所述设备后输出一第二控制信号,所述第一控制电路用于在接收到所述第一控制信号后截止,所述第二控制电路用于在所述第一控制电路截止后导通,所述供电单元用于在所述第二控制电路导通后供电给所述接口,所述第一控制电路用于在接收到所述第二控制信号后导通,所述第二控制电路用于在所述第一控制电路导通后断开所述供电单元与所述接口的连接。

[0005] 优选地,所述第一控制电路包括一第一晶体管,所述第一晶体管包括一控制端、一第一连接端及一第二连接端,所述第一晶体的控制端连接所述侦测单元,所述第一晶体管的第一连接端接地,所述第一晶体的第二连接端连接所述第二控制电路。

[0006] 优选地,所述第一控制电路还包括一电阻,所述电阻的一端连接所述供电单元,所述电阻的另一端连接所述第一晶体的第二连接端及连接所述第二控制电路。

[0007] 优选地,所述第二控制电路包括一第二晶体管,所述第二晶体管包括一控制端、一第一连接端及一第二连接端,所述第二晶体的控制端连接所述第一晶体的第二连接端,所述第二晶体管的第一连接端用于连接所述接口,所述第二晶体的第二连接端连接所述供电单元。

[0008] 优选地,所述供电单元包括一连接所述第一晶体管的第一电源及一连接所述第二晶体的第二连接端的第二电源,所述第二电源用于在所述第二控制电路导通后供电给所述接口。

[0009] 优选地,所述侦测单元包括一用于连接所述接口的侦测芯片,所述侦测芯片用于侦测所述接口是否插接所述设备,所述侦测芯片连接所述第一晶体的控制端。

[0010] 优选地,所述侦测单元还包括一电阻及一电源,所述电阻的一端连接所述电源,所

述电阻的另一端连接所述侦测芯片及用于连接所述接口。

[0011] 优选地,所述侦测芯片为一 PCH 芯片。

[0012] 优选地,所述侦测芯片包括一输入输出引脚,所述接口包括一侦测端及一电源端,所述侦测芯片的输入输出引脚用于连接所述接口的侦测端,所述第二控制电路用于连接所述接口的电源端。

[0013] 优选地,所述第一晶体管为 P 沟道场效应管,所述第一晶体的控制端对应所述 P 沟道场效应管的栅极,所述第一晶体管的第一连接端对应所述 P 沟道场效应管的源极,所述第一晶体管的第二连接端 D 对应所述 P 沟道场效应管的漏极。

[0014] 与现有技术相比,上述接口供电电路中,当所述接口插接所述设备后,所述第一控制电路截止,所述第二控制电路导通,所述供电单元供电给所述接口;当所述接口没有插接所述设备后,所述第一控制电路导通,所述第二控制电路断开所述供电单元与所述接口的连接,从而避免漏电。

### 附图说明

[0015] 图 1 是本发明接口供电电路的一较佳实施方式的一功能模块图。

[0016] 图 2 是本发明接口供电电路的一较佳实施方式的一电路连接图。

[0017] 主要元件符号说明

供电单元	10
第一电源	11
第二电源	13
控制单元	20
第一控制电路	21
第二控制电路	23
侦测单元	30
侦测芯片	31
第三控制电路	33
第三电源	35
节点	37
接口	40
电源端	41
侦测端	42

如下具体实施方式将结合上述附图进一步说明本发明。

### 具体实施方式

[0018] 请参阅图 1,本发明的一较佳实施方式,一接口供电电路,包括一供电单元 10、一控制单元 20 及一侦测单元 30。所述控制单元 20 及所述侦测单元 30 用于连接一接口 40。所述接口 40 用于插接一相应的设备。所述供电单元 10 用于在所述接口 40 插接所述相应的设备后通过所述控制单元 20 给所述接口 40 供电。

[0019] 所述供电单元 10 包括一第一电源 11 及一第二电源 13。所述控制单元 20 包括一连接所述侦测单元 30 的第一控制电路 21 及一连接所述第一控制电路的第二控制电路 23。所述第一电源 11 连接所述第一控制电路 21。所述第二电源 13 连接所述第二控制电路 23。

[0020] 在一实施例中,所述第一电源 11 用于提供一 5V 的电压,所述第二电源 13 用于提供一 3V 的电压。

[0021] 所述侦测单元 30 包括一侦测芯片 31 及一第三控制电路 33。在一实施例中,所述侦测芯片 31 为一 PCH 芯片,并用于侦测所述接口 40 是否插接一相应的设备。

[0022] 所述侦测单元 30 用于在侦测到所述接口 40 插接一相应的设备时输出一低电平的第一控制信号。所述控制单元 20 用于接收到所述低电平的第一控制信号将所述第二电源 13 连接至所述接口 40,从而所述第二电源 13 供电给所述接口 40。

[0023] 所述侦测单元 30 还用于在侦测到所述接口 40 没有插接所述相应的设备时输出一高电平的第二控制信号。所述控制单元 20 用于接收到所述一高电平的第二控制信号后断开所述第二电源 13 与所述接口 40 的连接,从而所述第二电源 13 不供电给所述接口 40。

[0024] 请参阅图 2,所述第一控制电路 21 包括一第一晶体管 Q1 及一第一电阻 R1。所述第二控制电路 23 包括一第二晶体管 Q2 及一第二电阻 R2。所述第一晶体管 Q1 及所述第二晶体管 Q2 均包括一控制端 G、一第一连接端 S 及一第二连接端 D。

[0025] 所述第三控制电路 33 包括一第三电阻 R3 及一第三电源 35。

[0026] 所述侦测芯片 31 包括一输入输出引脚 GPIO。

[0027] 所述接口 40 包括一电源端 41 及一侦测端 42。

[0028] 所述侦测芯片 31 的输入输出引脚 GPIO 连接一节点 37。所述节点 37 连接所述第三电阻 R3 的一端。所述第三电阻 R3 的另一端连接所述第三电源 35。所述节点 37 连接所述接口 40 的侦测端 42。

[0029] 所述节点 37 连接所述第一晶体管 Q1 的控制端 G。所述第一晶体管 Q1 的第一连接端 S 接地。所述第一晶体管 Q1 的第二连接端 D 连接所述第一电阻 R1 的一端。所述第一电阻 R1 的另一端连接所述第一电源 11。所述第一晶体管 Q1 的第二连接端 D 连接所述第二晶体管 Q2 的控制端 G。所述第二晶体管 Q2 的第二连接端 D 连接所述第二电源 13。所述第二晶体管 Q2 的第一连接端 S 连接所述接口 40 的电源端 41。所述第二晶体管 Q2 的第一连接端 S 连接所述第二电阻 R2 的一端。所述第二电阻 R2 的另一端接地。

[0030] 在一实施例中,所述第一晶体管 Q1 及所述第二晶体管 Q2 均为 P 沟道场效应管,每一控制端 G 对应所述 P 沟道场效应管的栅极,每一第一连接端 S 对应所述 P 沟道场效应管的源极,每一第二连接端 D 对应所述 P 沟道场效应管的漏极。

[0031] 所述接口供电电路的工作原理为:当所述侦测芯片 31 侦测到所述接口 40 插接一相应的设备时,所述侦测单元 30 输出所述低电平的第一控制信号,所述第一晶体管 Q1 截止,所述第二晶体管 Q2 导通,所述第二电源 13 供电给所述接口 40。当所述侦测芯片 31 侦测到所述接口 40 没有插接所述相应的设备时,所述侦测单元 30 输出所述高电平的第二控制信号,所述第一晶体管 Q1 截止,所述第二晶体管 Q2 导通,所述第二电源 13 不供电给所述接口 40,从而减少耗电,并防止导电物质掉入所述接口 40 产生的短路现象发生。

[0032] 对本领域的技术人员来说,可以根据本发明的发明方案和发明构思结合生产的实际需要做出其他相应的改变或调整,而这些改变和调整都应属于本发明所公开的范围。

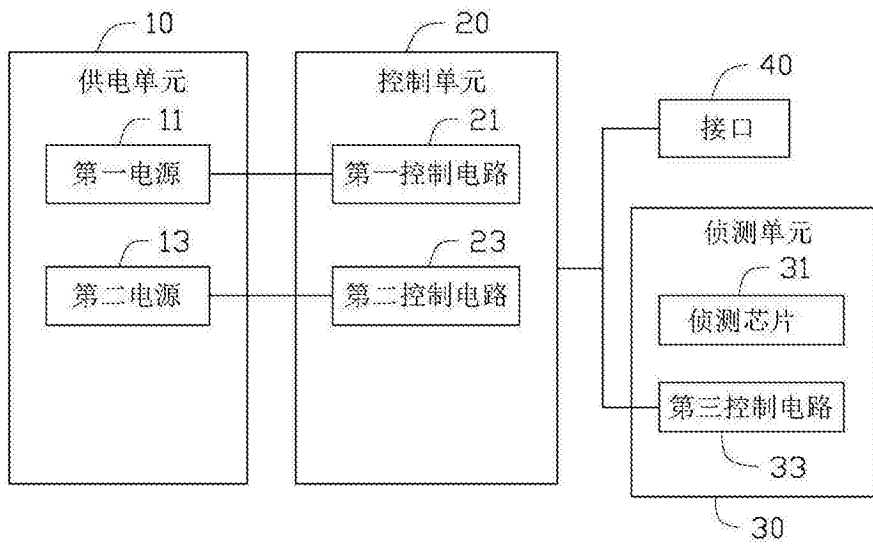


图 1

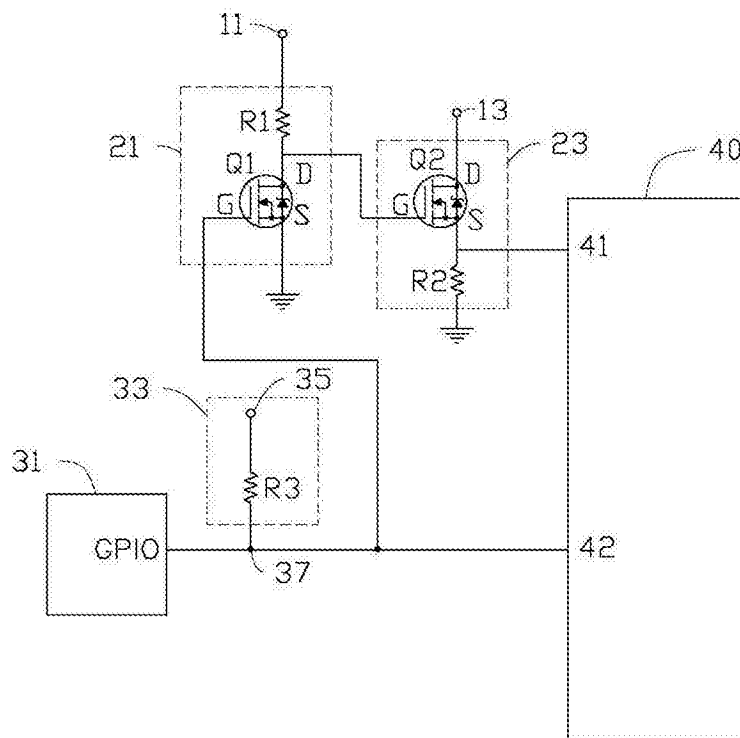


图 2