



201523835

## 發明摘要

※申請案號：104107205 (由99114527分案)

※申請日：099年05月06日

※IPC分類：H01L 25/065 (2006.01)  
H01L 23/488 (2006.01)  
H01L 21/60 (2006.01)

## 【發明名稱】(中文/英文)

在封裝相疊設備中之堆疊晶片封裝、其組裝方法及包含該封裝的系統

Stacked-chip packages in package-on-package apparatus, methods of assembling same, and systems containing same

## 【中文】

堆疊晶片設備包括：封裝基板；和互連體，其具有配置有與互連體匹配之間隙的晶片堆疊。封裝相疊堆疊晶片設備包括配置在該互連體上之頂封裝。

## 【英文】

A stacked-chip apparatus includes a package substrate and an interposer with a chip stack disposed with a standoff that matches the interposer. A package-on-package stacked-chip apparatus includes a top package disposed on the interposer.

【代表圖】

【本案指定代表圖】：第(1e)圖。

【本代表圖之符號簡單說明】：

- 104：堆疊晶片設備
- 110：封裝基板
- 130：互連體
- 134：頂側
- 136：抵補高度
- 148：互連體充填材
- 150：底晶片
- 158：頂晶片
- 164：頂封裝
- 170：安裝基板
- 172：頂封裝充填材料

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

在封裝相疊設備中之堆疊晶片封裝、其組裝方法及包含該封裝的系統

Stacked-chip packages in package-on-package apparatus, methods of assembling same, and systems containing same

## 【技術領域】

所揭示的實施例係相關於半導體微電子裝置及其封裝處理。

## 【先前技術】

最近行動電話及其他行動終端具有透過網路下載，例如電子郵件及遊戲的資訊之能力。因此，在所安裝記憶體中需要額外之功能及能力。典型地，多個半導體晶片被堆疊在單一封裝，以完成更大之記憶體容量。

各個方法係可用於堆疊半導體晶片。這些方法係被揭示於 US2004/0084760A1、US2007/0029106A1 及 US2004/0229400A1 案中。

## 【圖式簡單說明】

爲了瞭解獲得實施例之方式，參考附錄圖式將提供上面簡要說明之各種實施例更特別的說明。這些圖式描繪不

一定按比例畫出且不視作侷限範圍之實施例。經由使用附圖將更具體和詳細說明和解釋一些實施例，其中：

圖 1a 為根據例示實施例之用於堆疊晶粒封裝的安裝基板和互連體設備之橫剖面正視圖；

圖 1b 為根據實施例的進一步處理之後的圖 1a 所描繪之設備的橫剖面正視圖；

圖 1c 為根據實施例的進一步處理之後的圖 1b 所描繪之設備的橫剖面正視圖；

圖 1d 為根據實施例的進一步處理之後的圖 1c 所描繪之設備的橫剖面正視圖；

圖 1e 為被組裝有根據例示實施例的進一步處理之後的圖 1d 所描繪之設備的封裝相疊堆疊晶片之橫剖面正視圖；

圖 2a 為根據例示實施例之用於堆疊晶粒封裝的安裝基板和互連體設備之橫剖面正視圖；

圖 2b 為已從根據例示實施例的進一步處理之後的圖 2a 所描繪之設備加以組裝的封裝相疊堆疊晶片之橫剖面正視圖；

圖 3a 為根據例示實施例的處理期間之混合晶粒設備的橫剖面正視圖；

圖 3b 為根據實施例的進一步處理之後的圖 3a 所描繪之設備的橫剖面正視圖；

圖 4 為根據例示實施例之用於堆疊晶粒封裝的互連體設備之橫剖面正視圖；

圖 5 為根據實施例之將支援封裝相疊設備的混合晶粒設備之橫剖面正視圖；

圖 6 為根據實施例之將支援封裝相疊混合晶粒設備的混合晶粒設備之橫剖面正視圖；

圖 7 為根據實施例之將支援封裝相疊設備的混合晶粒設備之橫剖面正視圖；

圖 8 為根據例示實施例之處理和方法流程圖；及

圖 9 為根據實施例之電腦系統的概要圖。

#### 【發明內容及實施方式】

現在將參照相同結構被提供有相同的字尾參照稱號之圖式。爲了更清楚圖示各種實施例的結構，此處所包括的圖式爲積體電路結構的圖表輪廓表示。因此，儘管仍然包含圖解實施例的申請範圍結構，但是例如在顯微照片中之製成的結構之實際外觀可能看起來不同。而且，圖式僅圖示瞭解圖解實施例所必要的結構。未包括技藝中已知的其他結構，以維持圖式的清晰明瞭。雖然在同一句子中會提及處理器晶片和記憶體晶片，但是不應被理解作它們是同等結構。

此揭示全文所提及的“一實施例”意指連同包括在本發明的至少一實施例中之實施例所說明的特別特徵、結構、或特性。此揭示全文各處所出現的措辭“在一實施例中”並不一定全都意指同一實施例。而且，可以任何適當方式將特別特徵、結構、或特性組合在一或多個實施例中。

參考 X-Z 或 Y-Z 座標可瞭解諸如“上”及“下”等語詞，及參考所圖解的 X-Y 座標可瞭解諸如“鄰接”等語詞。

圖 1a 為根據例示實施例之用於堆疊晶片封裝的安裝基板和互連體設備 100 之橫剖面正視圖。以分解圖垂直（Z 方向）描繪設備 100，其包括封裝基板 110 和互連體 130。封裝基板 110 包括晶粒側 112，用以接收處理器；和焊墊側 114，用以耦合至諸如板等外部通訊。“板”可以用於諸如無線通訊器等手持裝置的外部或接近外部結構。封裝基板 110 在晶粒側 112 上包括底晶片覆蓋區 116。可藉由在圖解的安裝基板之各自晶粒側上突出圖解處理器，在此處所揭示的後續圖式中確定底晶片覆蓋區 116。

封裝基板 110 包括焊墊側球柵陣列，以參考號碼 118 指示其一球墊。在實施例中，球墊 118 包括表面光製層 120。表面光製層 120 被組配成較球墊 118 為低的陰電金屬。根據實施例由電鍍形成表面光製層 120。另一選擇是，表面光製層 120 係由無電電鍍所形成。

在例示實施例中，球墊 118 為銅的，及表面光製層 120 為電鍍到銅上的鎳鈮金合金。在一實施例中，表面光製層 120 為電鍍到銅上的鎳金合金。在一實施例中，表面光製層 120 為電鍍到銅上的銅金合金。

在例示實施例中，球墊 118 為銅的，及表面光製層 120 為有機保焊劑（OSP）合成物，諸如芳香基苯基咪唑等。在例示實施例中，表面光製層 120 具有從 1000Å 至 2000Å 的厚度，及為芳香基苯基咪唑。

同樣地，封裝基板 110 包括晶粒側球柵陣列，以參考號碼 122 指示其一球墊，及球墊 122 包括表面光製層 124。球墊 122 和表面光製層 124 可以是類似於板側 114 上所發現的那些。在實施例中，晶粒側球柵陣列 122 係由防焊劑 126 來界定。同樣地，防焊劑 126 可界定在底晶片覆蓋區 116 內所發現的晶粒凸塊墊，及以參考號碼 128 指示其一晶粒凸塊墊。封裝基板 110 被描繪在晶粒側 112 和焊墊側 114 之間，具有互連及中間層介電結構（圖解說明但不具限制性）。

設備 100 被組裝有互連體 130，互連體 130 接合到晶粒側球柵陣列 122。互連體 130 包括晶粒側 132 和頂側 134，及具有抵補高度 136，此抵補高度 136 被組配成與將佔據底晶片覆蓋區 116 之用於多個晶粒堆疊（MDS）的封裝基板 110 上方之抵補高度 138 匹配。互連體 130 可包括核心 140 和互連 142。在實施例中，晶粒側電凸塊 144 和頂側電凸塊 146 耦合至互連 142。

圖 1b 為根據實施例的進一步處理之後的圖 1a 所描繪之設備的橫剖面正視圖。設備 101 圖解互連體抵補高度 136 與封裝基板抵補高度 138 匹配（圖 1a）。底晶片覆蓋區 116 係被互連體 130 圍繞，及底晶片覆蓋區 116 將圍繞將組裝成設備 101 的一部分之多晶粒堆疊。

圖 1c 為根據實施例的進一步處理之後的圖 1b 所描繪之設備的橫剖面正視圖。設備 102 已由互連體充填材料 148 加固，互連體充填材料 148 穩定封裝基板 110 和互連



體 130 之間的接合。

底晶片 150 被置放在底晶片覆蓋區 116 內（圖 1b）。在實施例中，底晶片 150 為透過晶片球陣列倒裝片接合地之倒裝片 150，以參考號碼 152 指示其一電凸塊。在實施例中，已流動填膠 154 來加固底晶片 150 和封裝基板 110 之間的接合。在處理實施例中，在同時固化填膠 154 的期間完成電凸塊 152 的迴焊。在處理實施例中，在同時固化充填材料 148 的同時，完成電凸塊 152 的迴焊。

在一實施例中，底晶片 150 被處理，以迴焊電凸塊 152，在凸塊迴焊之後，接著置放填膠 154。

圖 1d 為根據實施例的進一步處理之後的圖 1c 所描繪之設備的橫剖面正視圖。已進一步處理圖 1c 所描繪之設備 102 來達成將成為封裝相疊（PoP）堆疊晶片設備的一部分之混合晶粒設備 103。混合晶粒設備 103 包括已形成於底晶片 150 上之晶粒間黏著劑 156，及頂晶片 158 已安裝在黏著劑 156 上。頂晶片 158 係由底晶片 150 所支撐。之後，源自於配置在封裝基板 110 上的底晶片（如晶片 150）以及終止於後續晶片（如晶片 158）之堆疊晶片亦可被稱作 3 維（3D）晶片堆疊。

在實施例中，藉由打線結合將頂晶片 158 耦合於封裝基板 110，打線結合的其中之一係由參考號碼 160 指示。因此，混合堆疊設備 103 包括倒裝片 150，其安裝在封裝基板 110 上；和打線結合晶片 158，其配置在倒裝片 150 上方。互連體 130 的抵補高度 136 因此容納混合堆疊的高

度，其包括打線結合 160 以及頂晶片 158、黏著劑 156、底晶片 150、和電凸塊 152 所產生的抵補高度（圖 1c 所見）。

在處理實施例中，堆疊密封 162 已被充填，以隔離混合晶粒堆疊，以及進一步防止接合引線 160 移動。堆疊密封 162 亦可被用於保護混合晶粒堆疊免於環境和處理危險。堆疊密封 162 亦可被用於幫助熱移轉離開混合晶粒堆疊。在實施例中，未使用堆疊密封。

在實施例中，底晶片 150 為處理器，及頂晶片 158 為射頻（RF）裝置。混合晶粒堆疊可被用於無線通訊器（如、行動電話），諸如智慧型電話等。

圖 1e 為被組裝有根據例示實施例的進一步處理之後的圖 1d 所描繪之設備的封裝相疊（PoP）堆疊晶片 104 之橫剖面正視圖。底晶片 150 和頂晶片 158 被置於互連體抵補 136 內，及頂封裝 164 已接合至互連體 130 的頂側 134。頂封裝 164 可具有安裝基板 170，用於到底晶片 150 及/或頂晶片 158 的通訊。頂封裝 164 被描繪成給打線結合之方案，諸如用於原始設備製造商等。兩打線結合晶粒被描繪在頂封裝 164 中。位在頂封裝 164 中的晶粒可被稱作微電子裝置。在一實施例中，圖 1d 所描繪的混合堆疊設備 103 被設置成容納頂封裝 164，諸如用於智慧型電話等，其中智慧型電話特有微電子裝置係在頂封裝 164 中，及支撐微電子裝置係在晶片堆疊中。

在實施例中，頂封裝充填材料 172 穩定互連體 130 和

頂封裝 164 之間的接合。

可看出底晶片 150 和頂晶片 158 的混合堆疊已被互連體抵補 136 所容納，使得頂封裝 164 不干擾混合堆疊。結果，PoP 堆疊晶片設備被組裝有足夠的互連體抵補 136，以容納可視特定應用而改變之晶片堆疊的抵補高度。

圖 2a 為根據例示實施例之用於堆疊晶粒封裝的安裝基板和互連體設備 200 之剖面視圖。設備 200 類似於圖 1d 所描繪的設備 103，及已同樣藉由將互連體 230 安裝於封裝基板 210 上來處理。

描繪出堆疊晶片設備 200。堆疊晶片設備 200 包括底晶片 250 和頂晶片 258。在一實施例中，底晶片 250 為處理器，及頂晶片 258 為藉由矽導穿孔（TSV）技術加以耦合之記憶體晶粒。在虛線圈內詳細描繪單一 TSV 274。在一實施例中，頂晶片 258 為二階（L2）記憶體快取（其中 L0 和 L1 係在處理器 250 內），諸如用於處理器 250 之靜態隨機存取記憶體（SRAM）。底晶片 250 和頂晶片 258 為 3D。

結果，堆疊晶片設備 200 包括倒裝片 250，其安裝在封裝基板 210 上；和 TSV 耦合晶片 258，其配置在倒裝片 250 上方。互連體 230 的抵補高度 236 因此容納堆疊晶片組態的高度。底晶片 250 的處理係可藉由揭示有關圖 1c 所描繪之底晶片 150 或別處的任何實施例來進行。

在一實施例中，頂晶片 258 為記憶體晶粒，諸如隨機存取記憶體（RAM）晶粒 258 等。在實施例中，頂晶片

258 為記憶體晶粒，諸如動態隨機存取記憶體（DRAM）晶粒 258。在一實施例中，頂晶片 258 為記憶體晶粒，諸如靜態隨機存取記憶體（SRAM）晶粒 258。在一實施例中，頂晶片 258 為記憶體晶粒，諸如可拭除可程式化記憶體（EPROM）晶粒 258。根據特定應用亦可使用其他記憶體晶粒組態。

在一實施例中，頂晶片 258 包括射頻裝置（RF）標籤。在實施例中，頂晶片 258 包括用於無線通訊的射頻裝置。

在一處理實施例中，堆疊密封 262 已被充填，以隔離晶片堆疊。堆疊密封 262 亦可被用於保護晶片堆疊免於環境和處理危險。堆疊密封 262 亦可被用於幫助熱移轉遠離晶粒堆疊。在一實施例中，也可不使用堆疊密封。

圖 2b 為已從根據例示實施例的進一步處理之後的圖 2a 所描繪之設備加以組裝的封裝相疊（PoP）堆疊晶片 201 之剖面視圖。底晶片 250 和頂晶片 258 被置於互連體抵補 236 內，及頂封裝 264 已接合到互連體 230 的頂側 234。頂封裝 264 可具有安裝基板 270，用於連通到底晶片 250 及/或頂晶片 258。頂封裝 264 被描繪成 TSV 賦能方案，諸如用於原始設備製造商。在實施例中，圖 2a 所描繪的晶片堆疊設備 200 被設置成容納頂封裝 264，諸如用於智慧型電話等。

可看出底晶片 250 和頂晶片 258 的晶片堆疊已被互連體抵補 236 容納，使得頂封裝 264 不干擾晶片堆疊。

有關圖 1e 的圖解和說明之細節亦可藉由適當觀察圖 2b 所描繪之類似結構和空間來推斷。

現在可明白，達成 PoP 堆疊晶片設備 201 之處理可類似於達成圖 1e 所描繪的 PoP 堆疊晶片設備 104 之處理。

在例示實施例中，底晶片 150 和頂晶片 158 之間的 I/O 密度在每晶粒 128 位元（諸如當頂晶片 258 為 DRAM 晶粒時）和 252 位元/晶粒之間的範圍中。在例示實施例中，處理器 250 和後續晶片 258 之間的 I/O 速度在 10 Gb/s 和 1 Tb/s（每秒兆位元）之間。沿著當作 DRAM 裝置之後續晶片 250 的 10 mm 邊緣區段，總頻寬從 160 GB/s 至 320 GB/s。作為封裝，根據一實施例，PoP 設備 201 具有 640 GB/s 至 6400 GB/s 之間的總封裝頻寬，其中處理器 250 和後續晶片 258 各個可以 256 位元或以上來操作。I/O 速度可操作的較慢，在 10 Gb/s 以下（諸如 7 Gb/s 以下等），其中給定應用在此範圍是有用的。

圖 3a 為根據一例示實施例之處理期間的混合晶粒設備 300 之剖面視圖。底晶片 350 被置放在類似於圖 1c 所描繪的封裝基板 110 之封裝基板 310 上。在一實施例中，底晶片 350 為已經由晶片球陣列倒裝片地接合的倒裝片 350，以參考號碼 352 指示其一電凸塊。在一實施例中，已經流入填膠 354 來加固底晶片 350 和封裝基板 310 之間的接合。在處理實施例中，在同時固化填膠 354 的期間完成電凸塊 352 的迴焊。

底晶片 350 的處理係可藉由有關底晶片 150、250 所

揭示的任何實施例或此揭示所描繪的其他實施例來進行。

圖 3b 為根據實施例的進一步處理之後的圖 3a 所描繪之設備的剖面視圖。已進一步處理圖 3b 所描繪之設備 301 來達成將成爲 PoP 堆疊晶片設備的一部分之混合堆疊設備 301。混合堆疊設備 301 包括已形成底晶片 350 上之晶粒間黏著劑 356，及頂晶片 358 已安裝在黏著劑 356 上。頂晶片 358 係由底晶片 350 所支撐。

在一實施例中，藉由打線結合將頂晶片 358 耦合於封裝基板 310，打線結合的其中之一係由參考號碼 360 指示。結果，混合堆疊設備 301 包括倒裝片 350，其安裝在封裝基板 310 上；和打線結合晶片 358，其配置在倒裝片 350 上方。在進一步處理中，抵補高度 336 將與互連體的抵補高度匹配。現在將明白，混合堆疊的組裝在組裝互連體到封裝基板 310 之前。

類似於圖 1d 所描繪之混合晶粒堆疊設備實施例，欲組裝之互連體將容納混合晶粒堆疊的高度，堆疊包括打線結合 360 以及頂晶片 358、黏著劑 356、底晶片 350、及電凸塊 352 所產生的抵補。在一實施例中，則未使用堆疊密封。

在一實施例中，底晶片 350 爲一處理器，及頂晶片 358 爲 RF 裝置。混合晶粒堆疊可被用於無線通訊器，諸如智慧型電話等。有關先前揭示的實施例所圖解和說明之細節亦可藉由適當觀察圖 3b 所描繪之類似結構和空間來推斷。此外，先前揭示的 I/O 及頻寬容量亦可由圖 3b 所

說明和描繪之 PoP 堆疊晶片實施例來推斷。

圖 4 為根據例示實施例之用於堆疊晶粒封裝的互連體設備 400 之剖面視圖。除了在組裝堆疊晶粒 450 及 458 之後完成互連體的組裝之外，設備 400 類似於圖 2a 所描繪之設備 200。

描繪堆疊晶片設備 400。堆疊晶片設備 400 包括底晶片 450 和頂晶片 458。在一實施例中，底晶片 450 為一處理器，及頂晶片 458 為藉由矽導穿孔（TSV）技術加以耦合之記憶體晶粒。在虛線圈內詳細描繪單一 TSV 474。在一實施例中，頂晶片 558 為二階（L2）記憶體快取（其中 L0 和 L1 係在處理器 450 內），諸如用於處理器 450 的靜態隨機存取記憶體（SRAM）等。底晶片 450 的處理係可藉由揭示有關此揭示所描繪之底晶片 150、250、350、及別處的任何實施例來進行。

結果，堆疊晶片設備 400 包括倒裝片 450，其安裝在封裝基板 410 上；和 TSV 耦合晶片 458，其配置在倒裝片 450 上方。堆疊晶片 450 及 458 的抵補高度 436 將與欲組裝的互連體匹配。互連體因此將容納堆疊晶片組態的高度。

在實施例中，頂晶片 458 為記憶體晶粒，諸如隨機存取記憶體（RAM）晶粒 458。在一實施例中，頂晶片 458 為記憶體晶粒，諸如動態隨機存取記憶體（DRAM）晶粒 458。在一實施例中，頂晶片 458 為記憶體晶粒，諸如靜態隨機存取記憶體（SRAM）晶粒 458。在一實施例中，

頂晶片 458 為記憶體晶粒，諸如可拭除可程式化記憶體（EPROM）晶粒 458 等。根據特定應用亦可使用其他記憶體晶粒組態。

在實施例中，頂晶片 458 包括射頻裝置（RF）標籤。在實施例中，頂晶片 458 包括用於無線通訊的射頻裝置。在處理實施例中，堆疊密封將被充填到互連體將形成在晶片堆疊四周的凹處內。

有關先前揭示的實施例所圖解和說明之細節亦可藉由適當觀察圖 4 所描繪之類似結構和空間來推斷。此外，先前揭示的 I/O 及頻寬容量亦可由圖 4 所說明和描繪之 PoP 堆疊晶片實施例來推斷。

圖 5 為根據實施例之將支撐封裝相疊設備的混合晶粒設備 500 之剖面視圖。混合晶粒設備 500 包括底晶片 550、頂晶片 558、和中間晶片 551。頂晶片 558 和中間晶片 551 係由底晶片 550 所支撐。底晶片 550 為可被稱作第一晶片之倒裝片，中間晶片 551 為可被稱作第二晶片 551 之 TSV 耦合晶片，及頂晶片 558 為可被稱作後續晶片 558 之打線結合晶片。在實施例中，緊接在底晶片 550 上方所配置之 TSV 耦合晶片的數目在 2 至 8 的範圍中，接著頂晶片 558。底晶片 550 的處理係可藉由有關此揭示所描繪的底晶片所揭示之任何實施例來進行。

在實施例中，藉由打線結合將頂晶片 558 耦合於封裝基板 510，打線結合的其中之一係由參考號碼 560 指示。互連體 530 的抵補高度 536 因此容納混合堆晶粒疊的高



度，其包括打線結合 560 以及頂晶片 558、中間晶片 551、底晶片 550、和電凸塊以及晶片內黏著劑以及間隔物所產生的抵補，如圖解。

在處理實施例中，堆疊密封 562 已被充填，以隔離混合晶粒堆疊，以及進一步防止接合引線 560 移動。堆疊密封 562 亦可被用於保護混合晶粒堆疊免於環境和處理危險。堆疊密封 562 亦可被用於幫助熱移轉遠離混合晶粒堆疊。在一實施例中，未使用堆疊密封。

在實施例中，第一晶片 550 為處理器，中間晶片 551 為 TSV RAM 晶片，及頂晶片 558 為 RF 裝置。混合晶粒堆疊可被用於無線通訊器，諸如智慧型手機等。

有關先前揭示的實施例所圖解和說明之細節亦可藉由適當觀察圖 5 所描繪之類似結構和空間來推斷。此外，先前揭示的 I/O 及頻寬容量亦可由圖 5 所說明和描繪之 PoP 堆疊晶片實施例來推斷。

圖 6 為根據實施例之將支撐 PoP 混合晶粒設備的混合晶粒設備 600 之剖面視圖。混合晶粒設備 600 包括底晶片 650，頂晶片 659，及幾個中間晶片 651、653、及 658。頂晶片 659 和中間晶片 651、653、及 658 係由底晶片 650 支撐。底晶片 650 的處理係可藉由揭示有關此揭示所描繪之底晶片的任何實施例來進行。

混合晶粒設備 600 為具有多個 TSV 晶片和多個打線結合晶片之實施例。底晶片 650 為可被稱作第一晶片之倒裝片。中間晶片 651 為可被稱作第二晶片 651 之 TSV 耦

合晶片。中間晶片 653 為可被稱作第三晶片 653 之 TSV 耦合晶片。中間晶片 658 為可被稱作第四晶片 658 之打線結合晶片。及頂晶片 659 為可被稱作後續晶片 659 之打線結合晶片。在實施例中，緊接在底晶片 550 上方以及打線結合晶片 658 下方所配置之 TSV 耦合晶片的數目在 2 至 8 的範圍中。

在實施例中，打線結合晶片 658 和打線結合晶片 659 二者分別藉由打線結合 660 及 661 皆耦合至封裝基板 610。互連體 630 的抵補高度 636 因此容納混合晶粒堆疊的高度，其包括打線結合 660 及 661 與整個晶片堆疊和電凸塊和晶片間黏著劑和間隔物，如圖解。

在處理實施例中，堆疊密封 662 已被充填，以隔離混合晶粒堆疊，以及進一步防止接合引線 660 及 661 移動。堆疊密封 662 亦可被用於保護混合晶粒堆疊免於環境和處理危險。堆疊密封 662 亦可被用於幫助熱移轉遠離混合晶粒堆疊。在一實施例中，未使用堆疊密封。

有關先前揭示的實施例所圖解和說明之細節亦可藉由適當觀察圖 6 所描繪之類似結構和空間來推斷。此外，先前揭示的 I/O 及頻寬容量亦可由圖 6 所說明和描繪之 PoP 堆疊晶片實施例來推斷。

圖 7 為根據實施例之將支撐封裝相疊設備的混合晶粒設備 700 之剖面視圖。混合晶粒設備 700 包括底晶片 750、頂晶片 759、及幾個中間晶片 751、753、及 758。頂晶片 759 和中間晶片 751、753、及 758 係由底晶片 750

支撐。混合晶粒設備 700 為具有多個 TSV 晶片和多個打線結合晶片之實施例，其中打線結合晶片在 TSV 晶片下方。

底晶片 750 為可被稱作第一晶片之倒裝片。中間晶片 751 為可被稱作第二晶片 751 之 TSV 耦合晶片。中間晶片 758 為可被稱作第三晶片 758 之打線結合晶片。中間晶片 753 為可被稱作第四晶片 753 之 TSV 耦合晶片。及頂晶片 759 為可被稱作後續晶片 759 之打線結合晶片。在一實施例中，第二晶片 751 為支撐底晶片 750 之記憶體快取晶片。底晶片 750 的處理係可藉由揭示有關此揭示所描繪之底晶片的任何實施例來進行。

在一實施例中，第四晶片 753 為支撐後續晶片 759 之 TSV 記憶體快取晶片。在例示實施例中，混合晶粒設備 700 為諸如超智慧型電話等 PoP 堆疊晶片設備的一部分。此實施例中的底晶片 750 為處理器，及第二晶片 751 為記憶體快取。中間晶片 758 為用以處理線上通訊之打線結合裝置。頂晶片 759 為由第四晶片 753 所支撐的全球定位系統（GPS）晶片，第四晶片 753 充作用於 GPS 晶片 759 的快取記憶體。另外，在例示實施例中，頂封裝。

在一實施例中，第四晶片 753 被使用當作中間晶片 758 和頂晶片 759 之間的支撐和介面。例如，第四晶片 753 具有使頂晶片 759 和中間晶片 758 之間能夠直接通訊的 TSV。

在一實施例中，打線結合晶片 758 和打線結合晶片

759 二者分別藉由打線結合 760 及 761 皆耦合至封裝基板 710。互連體 730 的抵補高度 736 因此容納混合晶粒堆疊的高度，其包括打線結合 760 及 761 與整個晶片堆疊和電凸塊和晶片間黏著劑和間隔物，如圖解。

在處理實施例中，堆疊密封 762 已被充填，以隔離混合晶粒堆疊，以及進一步防止接合引線 760 及 761 移動。堆疊密封 762 亦可被用於保護混合晶粒堆疊免於環境和處理危險。堆疊密封 762 亦可被用於幫助熱移轉遠離混合晶粒堆疊。在一實施例中，未使用堆疊密封。

有關先前揭示的實施例所圖解和說明之細節亦可藉由適當觀察圖 6 所描繪之類似結構和空間來推斷。此外，先前揭示的 I/O 及頻寬容量亦可由圖 6 所說明和描繪之 PoP 堆疊晶片實施例來推斷。

圖 8 為根據例示實施例之處理和方法流程圖 800。

在 810 中，處理包括在封裝基板上形成互連體。互連體被組配成具有將與欲置放在封裝基板上之晶片堆疊匹配的抵補。

在 820 中，處理包括在封裝基板上形成晶片堆疊。處理 820 在處理 810 之前時，在形成晶片堆疊之後將互連體置放在封裝基板上。處理 820 在處理 810 之後時，晶片堆疊被形成在互連體所遺留的凹處內。在一實施例中，處理開始於 810，而終止於 820。

在 830 中，處理包括充填堆疊密封，以隔離晶片堆疊。在一實施例中，處理開始於 810，而終止於 830。

在 840 中，處理包括在互連體上形成頂封裝。在一實施例中，處理開始和終止於 840。

圖 9 為根據實施例之電腦系統 900 的概要圖。如所描繪之電腦系統 900（又稱作電子系統 900）可利用本揭示所陳述之根據幾個揭示的實施例任一個之 PoP 堆疊晶片設備及其同等物。在實施例中，電子系統 900 是電腦系統，其包括系統匯流排 920，以電耦合電子系統 900 的各種組件。根據各種實施例，系統匯流排 920 為單一匯流排或匯流排的任何組合。電子系統 900 包括提供電力到積體電路 910 之電壓源 930。在一些實施例中，電壓源 930 經由系統匯流排 920 將電流供應到積體電路 910。

積體電路 910 電耦合到系統匯流排 920，及包括根據實施例之任何電路，或電路的組合。在實施例中，積體電路 910 包括可以是任何類型的處理器 912。如此處所使用一般，處理器 912 可意謂任何類型的電路，諸如但並不侷限於，微處理器、微控制器、圖形處理器、數位信號處理器、或另一處理器等。在實施例中，在處理器的記憶體快取中發現 SRAM 實施例。可包括在積體電路 910 中之其他類型的電路為諸如通訊電路 914 等客製化電路或應用特定積體電路（ASIC），以用於諸如行動電話、呼叫器、可攜式電腦、雙向無線電、和類似的電子系統等無線裝置。在實施例中，處理器 910 包括晶粒上記憶體 916，諸如靜態隨機存取記憶體（SRAM）等，SRAM 可包括具有存取和下拉區的獨立 S/D 區段之 6T SRAM 單元。在實施例

中，處理器 910 包括嵌入式晶粒上記憶體 916，諸如嵌入式動態隨機存取記憶體（eDRAM）等。

在實施例中，電子系統 900 亦包括外部記憶體 940，外部記憶體 940 可包括適用於諸如 RAM 形式的主記憶體 942 等特定應用的一或多個記憶體元件；一或多個硬碟機 944；及/或處理諸如磁盤、小型碟（CD）、數位可變碟（DVD）、快閃記憶體驅動器、及技藝中已知的其他可卸除媒體等可卸除媒體 946 之一或多個驅動器。外部記憶體 940 亦可以是嵌入式記憶體 948，諸如嵌入於根據實施例之處理器安裝基板中之微電子晶粒等。

在實施例中，電子系統 900 亦包括顯示裝置 950、聲頻輸出 960。在實施例中，電子系統 900 包括輸入裝置，諸如可以是鍵盤、滑鼠、軌跡球、遊戲控制器、麥克風、聲音辨識裝置等控制器 970，或輸入資訊到電子系統 900 之任何其他輸入裝置。

如此處所示一般，積體電路 910 可以一些不同實施例來實施，包括根據幾個揭示的實施例任一個及其同等物之 PoP 堆疊晶片設備、電子系統、電腦系統、製造積體電路之一或多個方法、和製造包括根據此處各種實施例中所陳述之幾個揭示的實施例任一個及其技藝認可的同等物之 PoP 堆疊晶片設備的電子組裝之一或多個方法。元件、材料、幾何形狀、尺寸、和操作順序都可改變，以配合特定 I/O 耦合要求，其包括用於嵌入在根據幾個揭示的 PoP 堆疊晶片設備實施例及其同等物任一個之處理器安裝基板中

的微電子晶粒之陣列接觸總計、陣列接觸組態。

提供摘要以遵守 37 C. F. R. §1.72(b)，其要求讓讀者能夠快速明白技術揭示的性質和主旨。應明白摘要並不用於解釋或限制申請專利範圍的範疇和意義。

在上述詳細說明中，爲了簡化揭示，在單一實施例中將各種特徵群聚在一起。揭示的此方法並不應被闡釋作反映本發明申請範圍實施例需要比各個申請專利範圍所明確陳述的特徵更多的特徵之意涵。而是，如下面申請專利範圍反映一般，發明標的少於單一揭示的實施例之所有特徵。如此，下面的申請專利範圍併入到詳細說明內，各個申請專利範圍獨立成爲分開的較佳實施例。

精於本技藝之人士應容易明白，只要不違背增補於後的申請專利範圍所陳述之本發明的原則和範疇，可對爲了說明本發明的性質所說明和圖解之部件和方法階段的細節、材料、配置進行各種其他變化。

#### 【符號說明】

100：安裝基板和互連體設備

101：設備

102：設備

103：混合晶粒設備

110：封裝基板

112：晶粒側

114：焊墊側

- 116：底晶片覆蓋區
- 118：球墊
- 120：表面光製層
- 122：球墊
- 124：表面光製層
- 126：防焊劑
- 128：晶粒凸塊墊
- 130：互連體
- 132：晶粒側
- 134：頂側
- 136：抵補高度
- 138：抵補高度
- 140：核心
- 142：互連
- 144：晶粒側電凸塊
- 146：頂側電凸塊
- 148：互連體充填材
- 150：底晶片
- 152：電凸塊
- 154：填膠
- 156：晶粒內膠黏劑
- 158：頂晶片
- 160：打線結合
- 162：堆疊密封



- 164：頂封裝
- 170：安裝基板
- 172：頂封裝充填材料
- 200：堆疊晶片設備
- 201：封裝相疊設備
- 210：封裝設備
- 230：互連體
- 234：頂側
- 236：抵補高度
- 250：底晶片
- 258：頂晶片
- 262：堆疊密封
- 264：頂封裝
- 270：安裝基板
- 274：矽導穿孔
- 300：混合晶粒設備
- 301：混合堆疊設備
- 310：封裝基板
- 336：抵補高度
- 350：底晶片
- 352：電凸塊
- 354：填膠
- 356：晶粒內黏著劑
- 358：頂晶片

- 360：打線結合
- 400：互連體設備
- 410：封裝基板
- 436：抵補高度
- 450：底晶片
- 458：頂晶片
- 474：矽導穿孔
- 500：混合晶粒設備
- 510：封裝基板
- 530：互連體
- 536：抵補高度
- 550：底晶片
- 551：中間晶片
- 558：頂晶片
- 559：打線結合晶片
- 560：打線結合
- 562：堆疊密封
- 600：混合晶粒設備
- 610：封裝基板
- 630：互連體
- 636：抵補高度
- 650：底晶片
- 651：中間晶片
- 653：中間晶片

- 658 : 中間晶片
- 659 : 頂晶片
- 660 : 打線結合
- 661 : 打線結合
- 662 : 堆疊密封
- 700 : 混合晶粒設備
- 710 : 封裝基板
- 730 : 互連體
- 736 : 抵補高度
- 750 : 底晶片
- 751 : 中間晶片
- 753 : 中間晶片
- 758 : 中間晶片
- 759 : 頂晶片
- 760 : 打線結合
- 761 : 打線結合
- 762 : 堆疊密封
- 900 : 電腦系統
- 910 : 積體電路
- 912 : 處理器
- 914 : 通訊電路
- 916 : 晶粒上記憶體
- 920 : 系統匯流排
- 930 : 電壓源

- 940：外部記憶體
- 942：主記憶體
- 944：硬碟機
- 946：可卸除媒體
- 948：嵌入式記憶體
- 950：顯示裝置
- 960：聲頻輸出
- 970：控制器
- 104：堆疊晶片設備

## 申請專利範圍

1. 一種位於基板上的晶片堆疊，包含：  
封裝基板，其包括晶粒側和焊墊側；  
晶片堆疊，其配置在該晶粒側上，其中該晶片堆疊包括配置在該晶粒側上之包含倒裝片的底晶片，該倒裝片包含矽導穿孔、配置在該底晶片上之包含矽導穿孔（TSV）耦合晶片的第二晶片和配置在該第二晶片和該底晶片上方之包含打線結合晶片的頂晶片，其中該頂晶片係由該第二晶片和該底晶片支撐。
2. 根據申請專利範圍第 1 項之晶片堆疊，更包含配置在該第二晶片上的額外矽導穿孔（TSV）耦合晶片，其中該額外矽導穿孔（TSV）耦合晶片係位於該第二晶片和該頂晶片之間。
3. 根據申請專利範圍第 1 項之晶片堆疊，更包含額外打線結合晶片，其中該額外打線結合晶片係位於該第二晶片和該頂晶片之間。
4. 根據申請專利範圍第 3 項之晶片堆疊，更包含額外矽導穿孔（TSV）耦合晶片，其中該額外矽導穿孔（TSV）耦合晶片係位於該額外打線結合晶片和該頂晶片之間。
5. 根據申請專利範圍第 1 項之晶片堆疊，其中該打線結合晶片具有寬度大於該倒裝片的寬度。
6. 根據申請專利範圍第 1 項之晶片堆疊，更包含位於該第二晶片和該頂晶片之間的至少一額外矽導穿孔

(TSV) 耦合晶片，其中該至少一額外矽導穿孔 (TSV) 耦合晶片包括 1 至 7 個額外矽導穿孔 (TSV) 耦合晶片。

7. 一種組裝堆疊晶片封裝的方法，包含：

將具有堆疊成 3D 堆疊晶片組態之複數個晶片的封裝組裝在封裝基板上，該封裝基板上的該 3D 堆疊晶片組態包括：

封裝基板，其包括晶粒側和焊墊側；

晶片堆疊，其配置在該晶粒側上，其中該晶片堆疊具有堆疊高度，其中該晶片堆疊係使用包括倒裝片地安裝底晶片在該基板晶粒側上、矽導穿孔 (TSV) 地安裝第二晶片在該倒裝片上和打線結合地安裝第三晶片在該第二晶片上方。

8. 根據申請專利範圍第 7 項之方法，更包括在該晶片堆疊上形成堆疊密封。

9. 根據申請專利範圍第 7 項之方法，更包含矽導穿孔 (TSV) 地安裝至少一額外晶片在該第二晶片和該第三晶片之間。

10. 根據申請專利範圍第 7 項之方法，更包含打線結合地安裝第四晶片，其中該第三晶片係位於該第二晶片和該第四晶片之間。

11. 根據申請專利範圍第 7 項之方法，更包含矽導穿孔 (TSV) 地安裝第四晶片及打線結合第五晶片，其中該第四晶片係位於該第三晶片和該第五晶片之間。

12. 一種計算系統，包含：

封裝基板，其包括晶粒側和焊墊側；

晶片堆疊，其配置在該晶粒側上，其中該晶片堆疊包括配置在該晶粒側上之包含倒裝片的底晶片，該倒裝片包含矽導穿孔、配置在該底晶片上之包含矽導穿孔（TSV）耦合晶片的第二晶片和配置在該第二晶片和該底晶片上方之包含打線結合晶片的頂晶片，其中該頂晶片係由該第二晶片和該底晶片支撐，以及

裝置外殼，其容納該封裝基板。

13. 根據申請專利範圍第 12 項之計算系統，其中該晶片堆疊更包含配置在該第二晶片上的額外矽導穿孔（TSV）耦合晶片，其中該額外矽導穿孔（TSV）耦合晶片係位於該第二晶片和該頂晶片之間。

14. 根據申請專利範圍第 12 項之計算系統，其中該晶片堆疊更包含額外打線結合晶片，其中該額外打線結合晶片係位於該第二晶片和該頂晶片之間。

15. 根據申請專利範圍第 14 項之計算系統，其中該晶片堆疊更包含額外矽導穿孔（TSV）耦合晶片，其中該額外矽導穿孔（TSV）耦合晶片係位於該額外打線結合晶片和該頂晶片之間。

16. 根據申請專利範圍第 12 項之計算系統，其中該計算系統為行動電話、呼叫器、可攜式電腦、桌上型電腦、和雙向無線電的其中之一的部分。





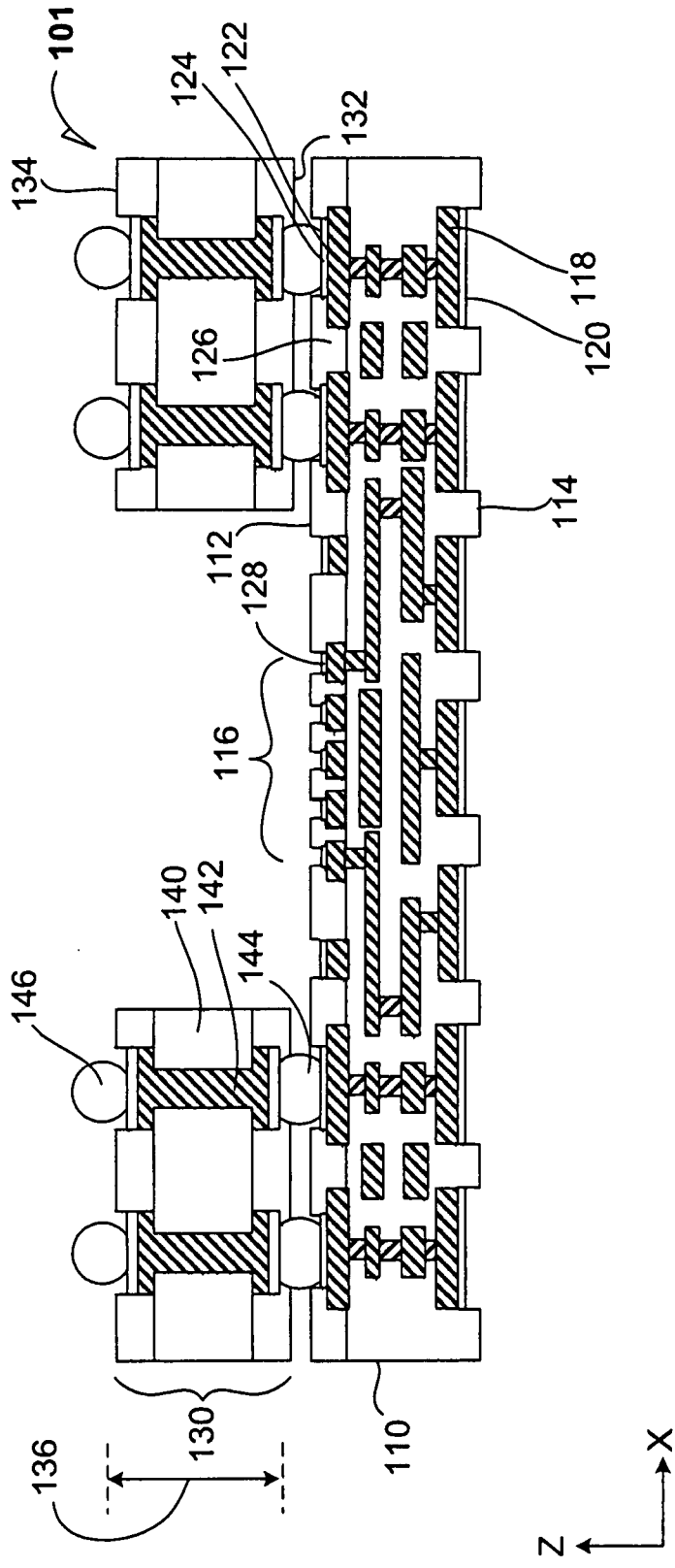


圖1b

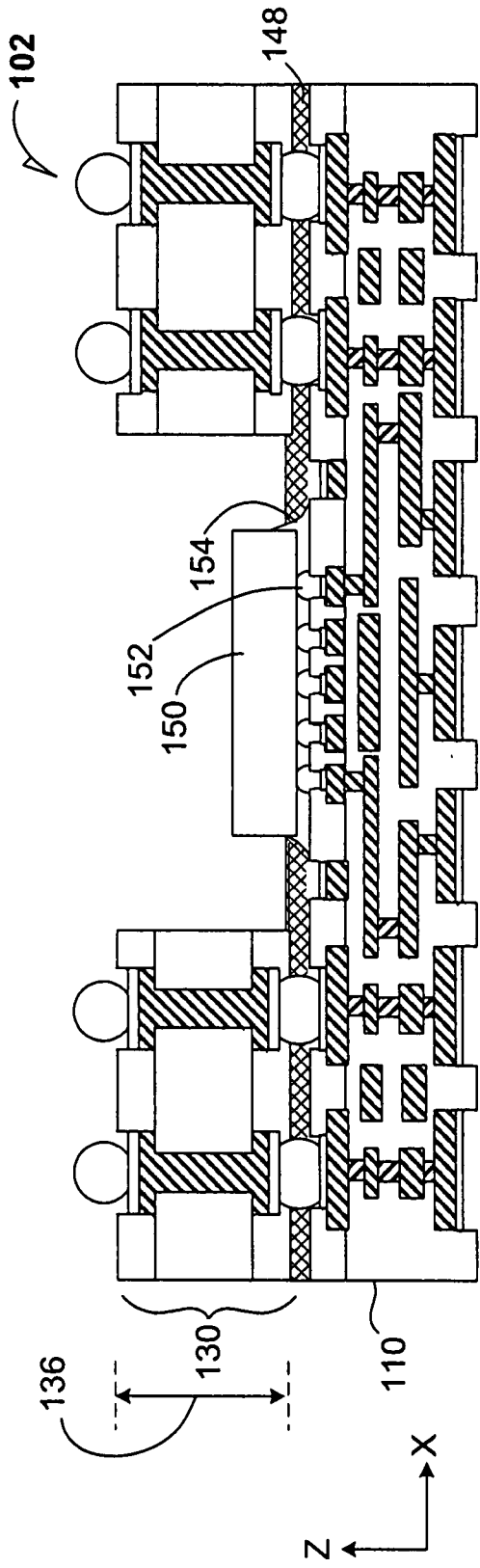


圖 1c

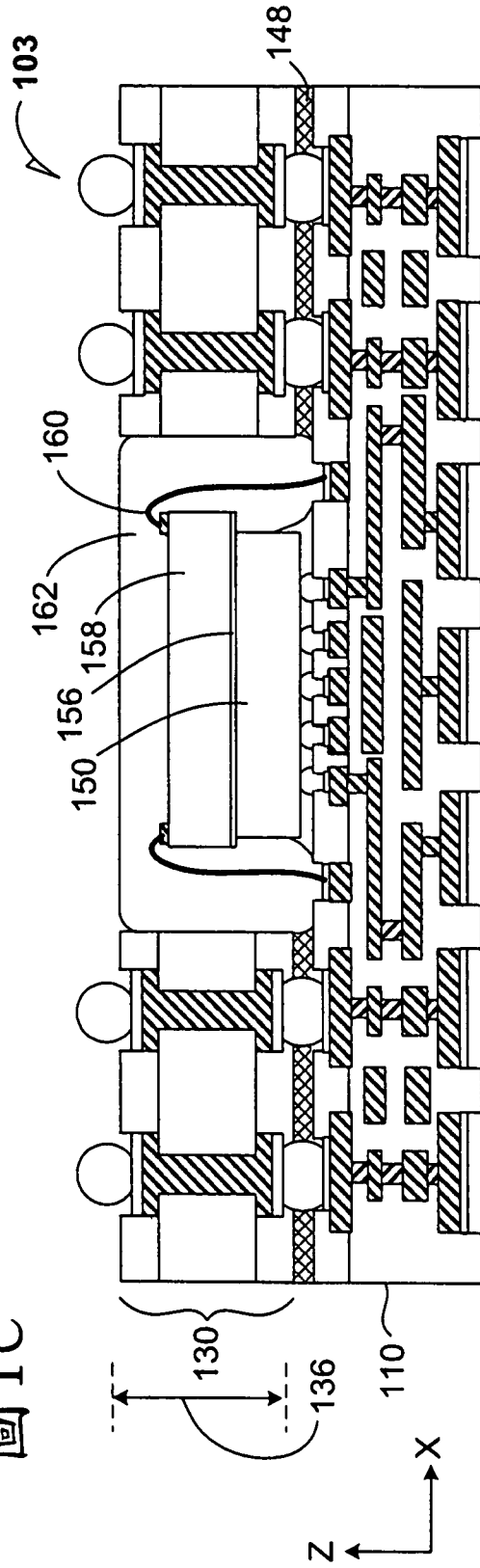


圖 1d

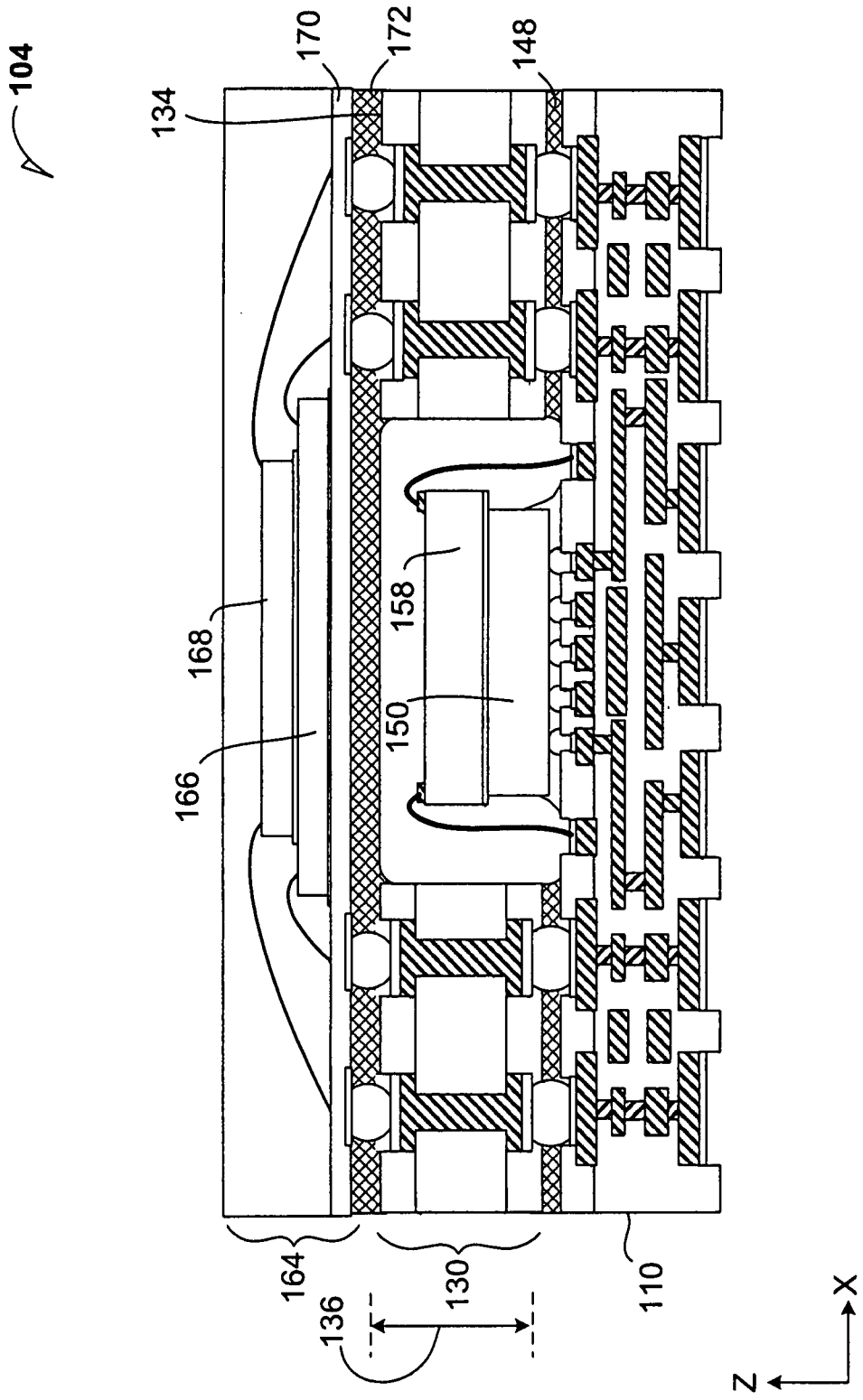
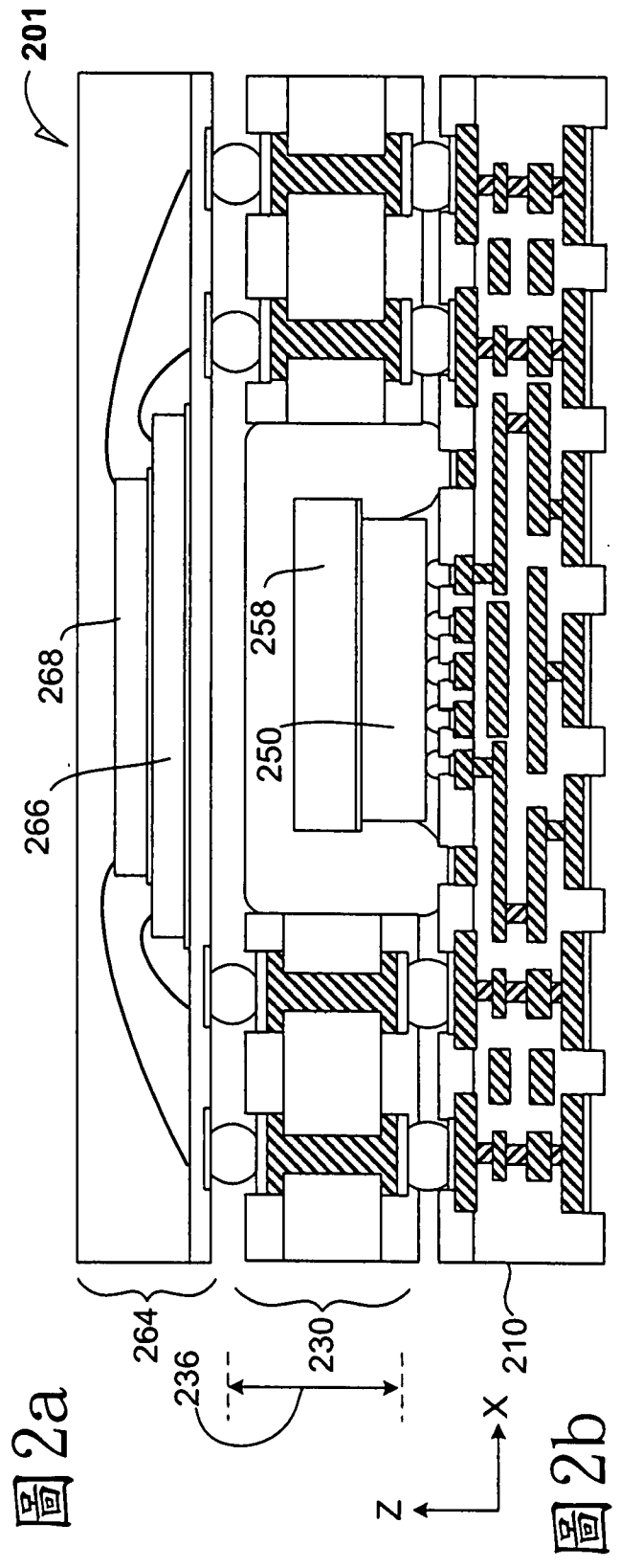
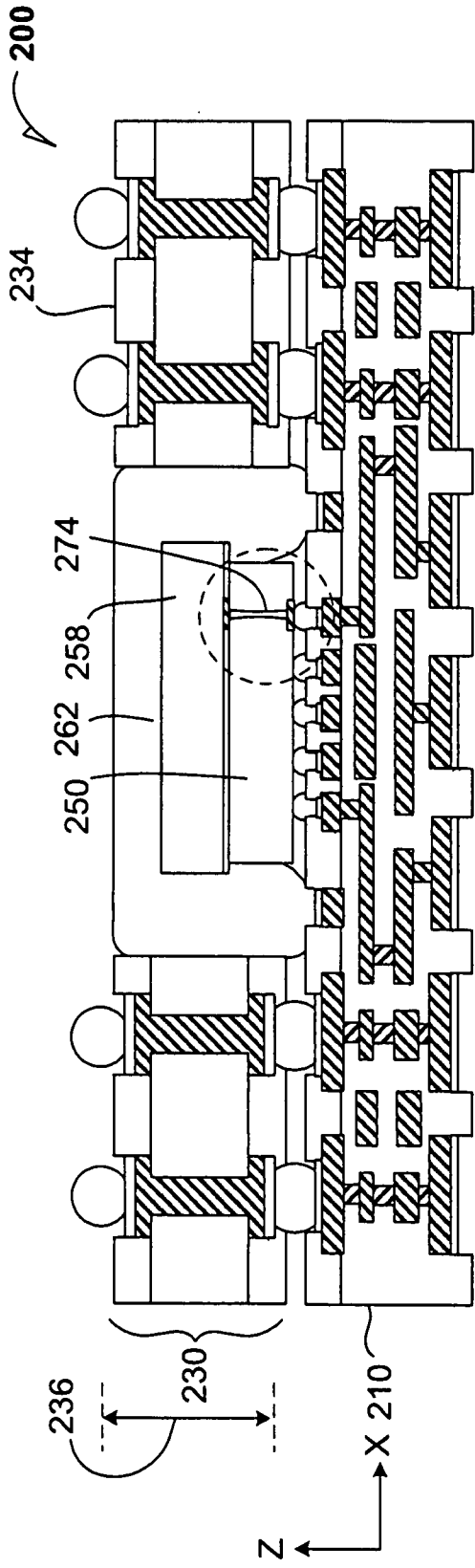


圖1e



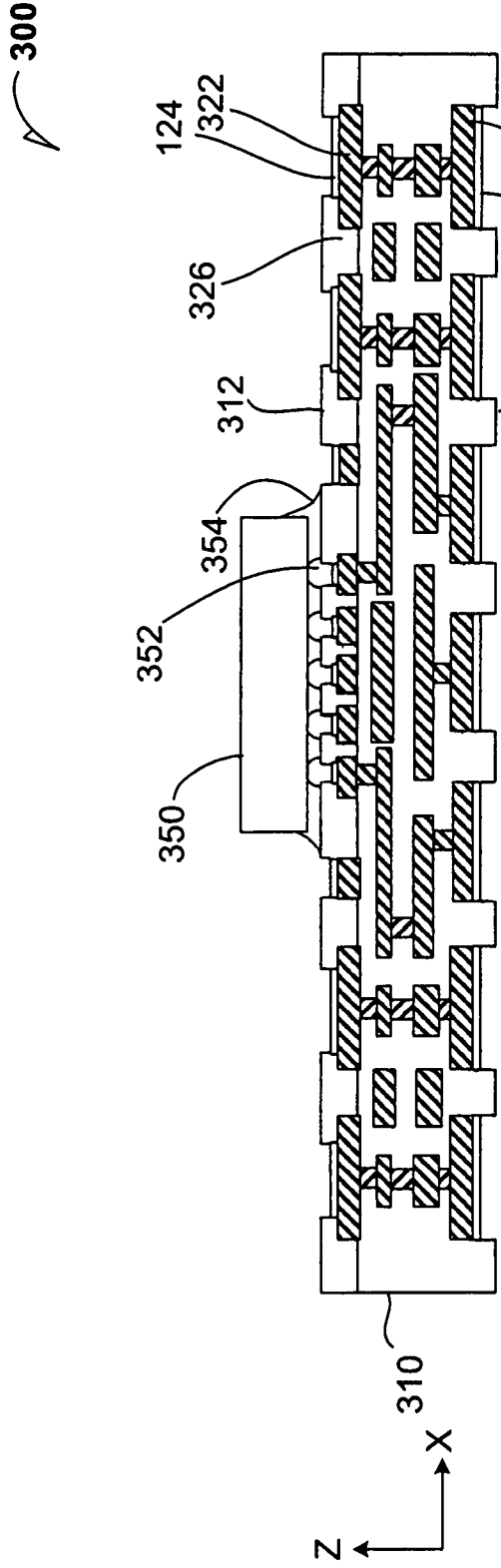


圖3a

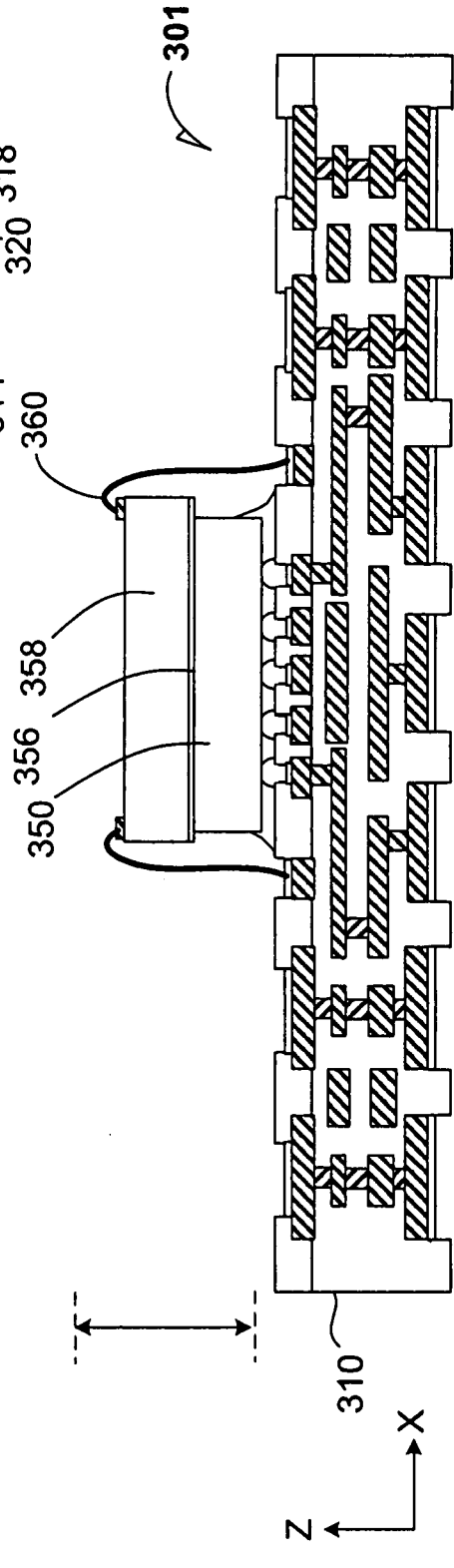


圖3b

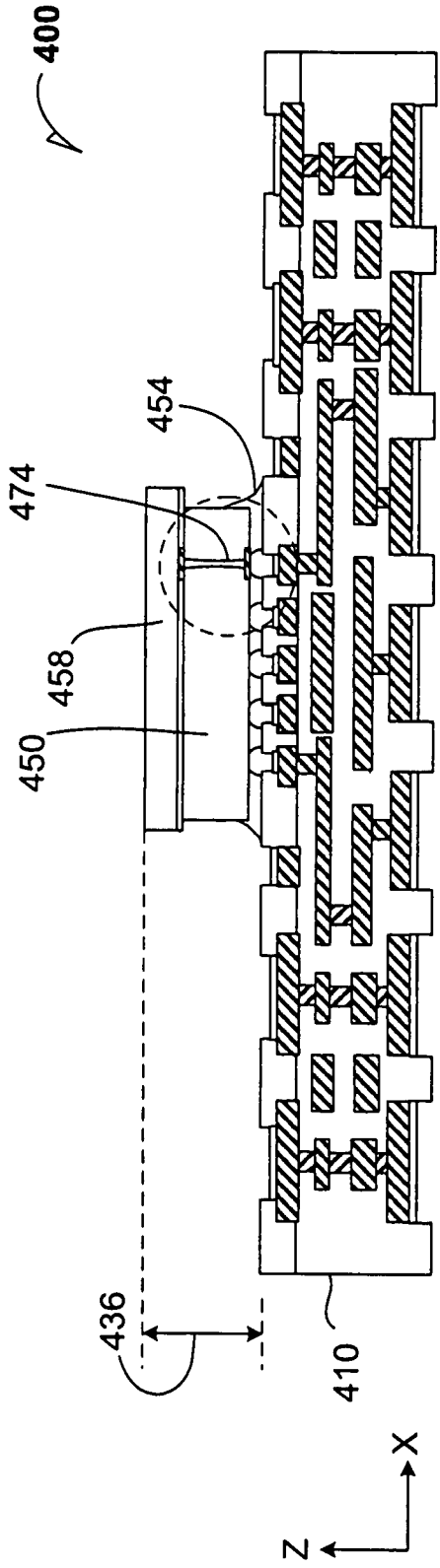


圖4

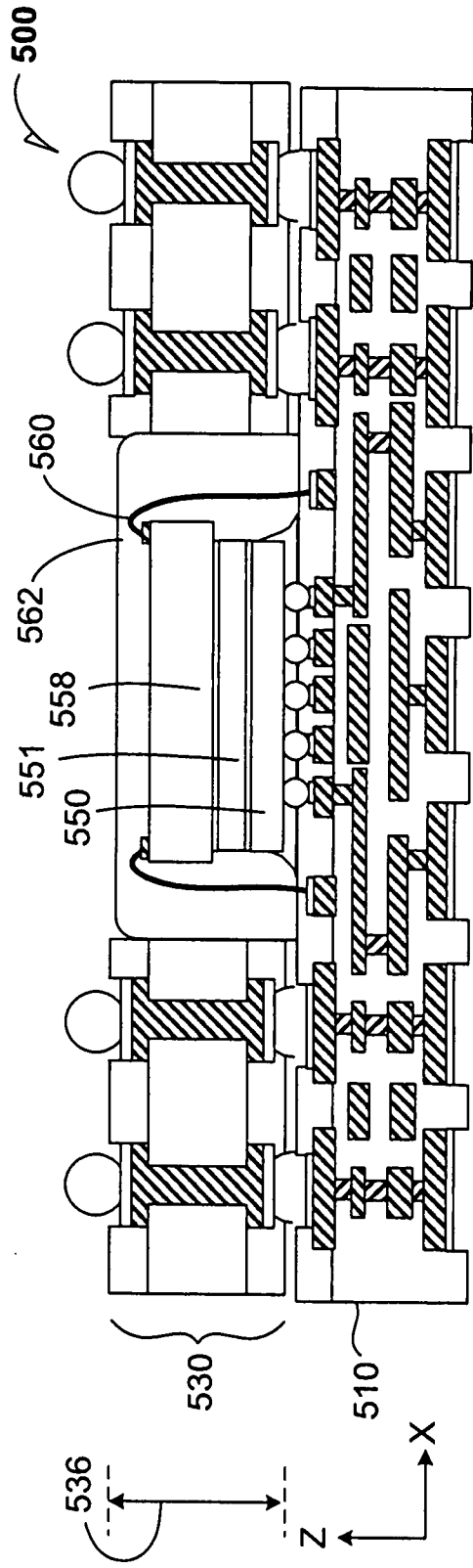


圖5

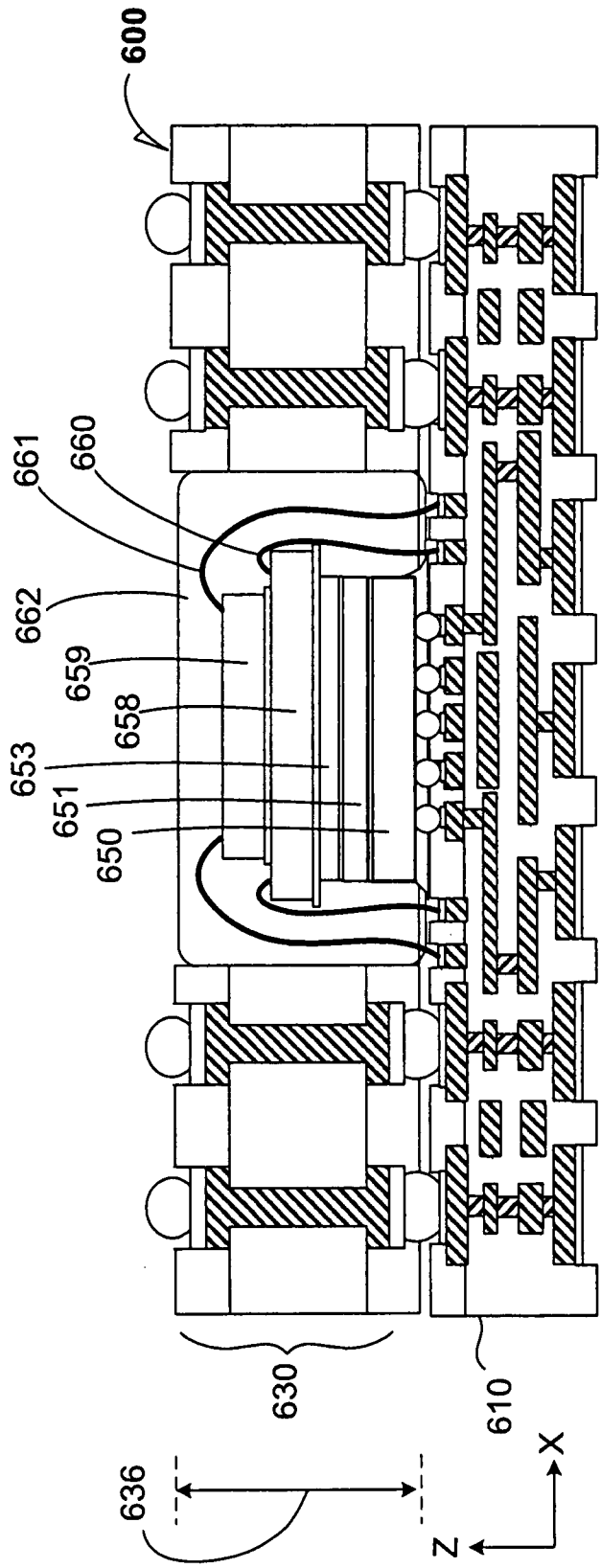


圖6

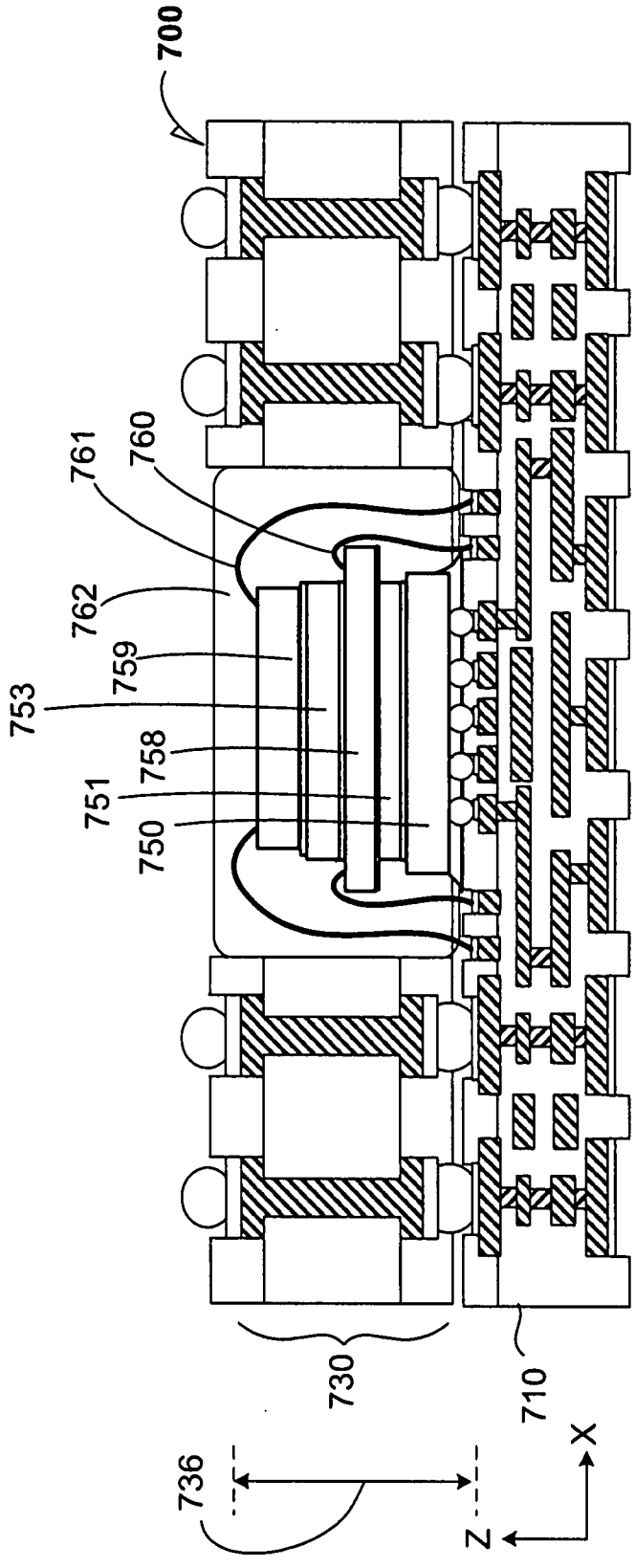


圖7



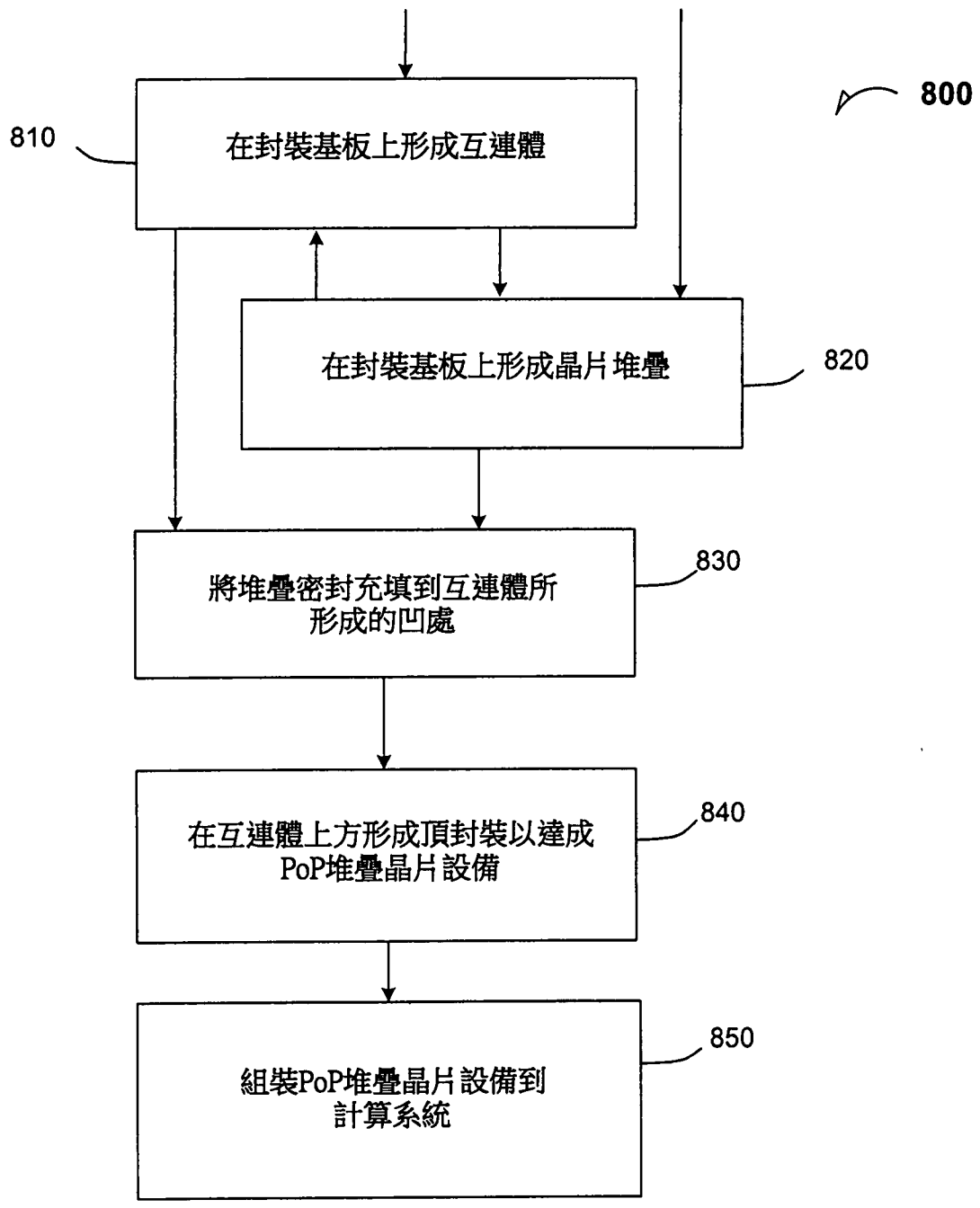


圖 8

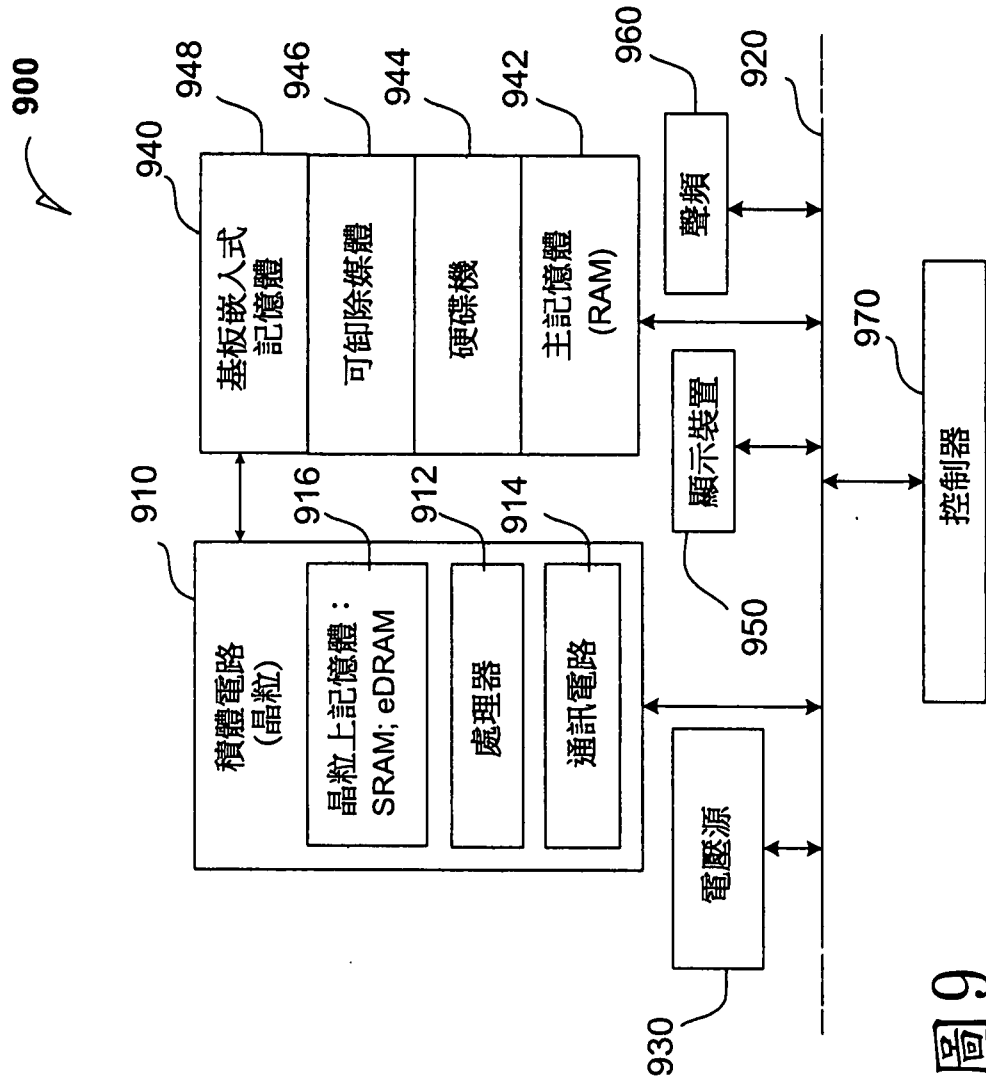


圖9