

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-109937

(P2010-109937A)

(43) 公開日 平成22年5月13日(2010.5.13)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 5/08 (2006.01)	H03K 5/08 E	5J022
H03M 1/36 (2006.01)	H03M 1/36	5J039

審査請求 未請求 請求項の数 8 O L (全 32 頁)

<p>(21) 出願番号 特願2008-282387 (P2008-282387)</p> <p>(22) 出願日 平成20年10月31日(2008.10.31)</p> <p>(出願人による申告)平成20年度、総務省「ミリ波帯ブロードバンド通信用超高速ベースバンド・高周波混載集積回路技術の研究開発」にかかる委託研究、産業技術力強化法第19条の適用を受ける特許出願</p>	<p>(71) 出願人 304021417 国立大学法人東京工業大学 東京都目黒区大岡山2丁目12番1号</p> <p>(74) 代理人 100122884 弁理士 角田 芳末</p> <p>(74) 代理人 100133824 弁理士 伊藤 仁恭</p> <p>(72) 発明者 松澤 昭 東京都目黒区大岡山2-12-1 国立大学法人東京工業大学内</p> <p>(72) 発明者 官原 正也 東京都目黒区大岡山2-12-1 国立大学法人東京工業大学内</p> <p>Fターム(参考) 5J022 AA06 CB02 CD03 CE08 CF01 CF02</p> <p style="text-align: right;">最終頁に続く</p>
---	--

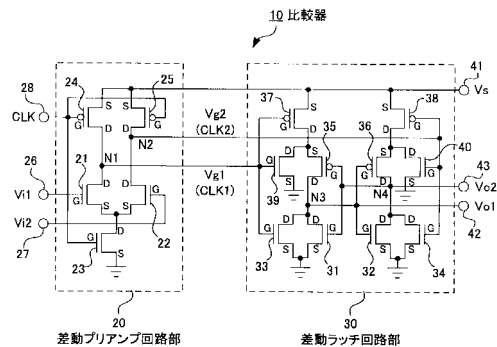
(54) 【発明の名称】 比較器及びアナログデジタル変換器

(57) 【要約】

【課題】比較器及びそれを備えるA/D変換器において、従来の比較器で存在する極性の異なる2つのクロック信号間のタイミングずれの問題を解消し、且つ、低電力動作を可能にする。

【解決手段】第1及び第2入力電圧信号、並びに、クロック信号が入力され、クロック信号に基づいて動作し、第1及び第2入力電圧信号の値にそれぞれ対応し且つ増幅された第1及び第2出力電圧信号を出力する差動増幅回路部と、第1及び第2出力電圧信号に基づいて動作し、第1及び第2入力電圧信号の比較結果を保持し且つ出力する差動ラッチ回路部とを備える比較器、及び、それを複数備えるA/D変換器を提供する。

【選択図】図1



【特許請求の範囲】

【請求項 1】

第 1 及び第 2 入力電圧信号、並びに、クロック信号が入力され、前記クロック信号に基づいて動作し、前記第 1 及び第 2 入力電圧信号の値にそれぞれ対応し且つ増幅された第 1 及び第 2 出力電圧信号を出力する差動増幅回路部と、

前記第 1 及び第 2 出力電圧信号に基づいて動作し、前記第 1 及び第 2 入力電圧信号の比較結果を保持し且つ出力する差動ラッチ回路部と
を備える比較器。

【請求項 2】

前記差動増幅回路部は、チャンネルの極性が第 1 の極性である第 1 ~ 第 3 MOS トランジスタと、チャンネルの極性が前記第 1 の極性と異なる第 2 の極性である第 4 及び第 5 MOS トランジスタとを有し、

前記第 1 MOS トランジスタのゲート端子が前記第 1 入力電圧信号の入力端子に接続されており、

前記第 2 MOS トランジスタのゲート端子が前記第 2 入力電圧信号の入力端子に接続されており、

前記第 3 MOS トランジスタのゲート端子が前記クロック信号の入力端子に接続され、前記第 3 MOS トランジスタの入力側端子が前記第 1 及び第 2 MOS トランジスタの出力側端子に接続され、且つ、前記第 3 MOS トランジスタの出力側端子が接地されており、

前記第 4 MOS トランジスタのゲート端子が前記クロック信号の入力端子に接続され、前記第 4 MOS トランジスタの入力側端子が電源電圧の入力端子に接続され、且つ、前記第 4 MOS トランジスタの出力側端子が前記第 1 MOS トランジスタの入力側端子に接続されており、

前記第 5 MOS トランジスタのゲート端子が前記クロック信号の入力端子に接続され、前記第 5 MOS トランジスタの入力側端子が前記電源電圧の入力端子に接続され、且つ、前記第 5 MOS トランジスタの出力側端子が前記第 2 MOS トランジスタの入力側端子に接続されており、

前記第 1 MOS トランジスタの入力側端子と前記第 4 MOS トランジスタの出力側端子との第 1 接続点から前記第 1 出力電圧信号が出力され、且つ、前記第 2 MOS トランジスタの入力側端子と前記第 5 MOS トランジスタの出力側端子との第 2 接続点から前記第 2 出力電圧信号が出力される

請求項 1 に記載の比較器。

【請求項 3】

前記差動ラッチ回路部は、チャンネルの極性が第 1 の極性である第 6 ~ 第 9 MOS トランジスタと、チャンネルの極性が前記第 1 の極性と異なる第 2 の極性である第 10 ~ 第 13 MOS トランジスタとを有し、

前記第 6 MOS トランジスタのゲート端子が前記第 10 MOS トランジスタのゲート端子に接続され、前記第 6 MOS トランジスタの入力側端子が前記第 10 MOS トランジスタの出力側端子に接続され、且つ、前記第 6 MOS トランジスタの出力側端子が接地されており、

前記第 7 MOS トランジスタのゲート端子が前記第 11 MOS トランジスタのゲート端子に接続され、前記第 7 MOS トランジスタの入力側端子が前記第 11 MOS トランジスタの出力側端子に接続され、且つ、前記第 7 MOS トランジスタの出力側端子が接地されており、

前記第 6 MOS トランジスタの入力側端子と前記第 10 MOS トランジスタの出力側端子との第 3 接続点、及び、前記第 7 MOS トランジスタの入力側端子と前記第 11 MOS トランジスタの出力側端子との第 4 接続点が、それぞれ、前記第 7 MOS トランジスタのゲート端子と前記第 11 MOS トランジスタのゲート端子との第 5 接続点、及び、前記第 6 MOS トランジスタのゲート端子と前記第 10 MOS トランジスタのゲート端子との第 6 接続点に接続されており、

10

20

30

40

50

前記第 8 MOS トランジスタのゲート端子が前記差動増幅器内の前記第 1 出力電圧信号の出力端子に接続され、前記第 8 MOS トランジスタの入力側端子が前記第 6 MOS トランジスタの入力側端子に接続され、且つ、前記第 8 MOS トランジスタの出力側端子が接地されており、

前記第 9 MOS トランジスタのゲート端子が前記差動増幅器内の前記第 2 出力電圧信号の出力端子に接続され、第 9 MOS トランジスタの入力側端子が前記第 7 MOS トランジスタの入力側端子に接続され、且つ、第 9 MOS トランジスタの出力側端子が接地されており、

前記第 12 MOS トランジスタのゲート端子が前記差動増幅回路部内の前記第 1 出力電圧信号の出力端子に接続され、前記第 12 MOS トランジスタの入力側端子が電源電圧の入力端子に接続され、且つ、前記第 12 MOS トランジスタの出力側端子が前記第 10 MOS トランジスタの入力側端子に接続されており、

前記第 13 MOS トランジスタのゲート端子が前記差動増幅回路部内の前記第 2 出力電圧信号の出力端子に接続され、前記第 13 MOS トランジスタの入力側端子が前記電源電圧の入力端子に接続され、且つ、前記第 13 MOS トランジスタの出力側端子が前記第 11 MOS トランジスタの入力側端子に接続されており、

前記第 3 及び第 4 接続点から前記比較結果が出力される

請求項 1 または 2 に記載の比較器。

【請求項 4】

前記差動ラッチ回路部は、さらに、チャンネルの極性が前記第 1 の極性である第 14 及び第 15 MOS トランジスタを有し、

前記第 14 MOS トランジスタのゲート端子が前記差動増幅回路部内の前記第 1 出力電圧信号の出力端子に接続され、前記第 14 MOS トランジスタの入力側端子が前記第 10 MOS トランジスタの入力側端子に接続され、且つ、前記第 14 MOS トランジスタの出力側端子が接地されており、

前記第 15 MOS トランジスタのゲート端子が前記差動増幅回路部内の前記第 2 出力電圧信号の出力端子に接続され、前記第 15 MOS トランジスタの入力側端子が前記第 11 MOS トランジスタの入力側端子に接続され、且つ、前記第 15 MOS トランジスタの出力側端子が接地されている

請求項 3 に記載の比較器。

【請求項 5】

さらに、オフセット電圧を補償するオフセット電圧補償回路を備え、

前記オフセット電圧補償回路は、

入力側及び出力側端子が、前記第 1 MOS トランジスタの入力側及び出力側端子にそれぞれ接続された第 1 補償用 MOS トランジスタと、

入力側及び出力側端子が、前記第 2 MOS トランジスタの入力側及び出力側端子にそれぞれ接続された第 2 補償用 MOS トランジスタと、

前記第 1 及び第 2 補償用トランジスタの各ゲート端子に接続され、各ゲート電圧を調整する電圧調整部と、

前記電圧調整部での前記第 1 及び第 2 補償用トランジスタの前記ゲート電圧の調整動作を制御する制御回路部と、

前記第 1 及び第 2 入力電圧信号の比較を行う動作と、前記オフセット電圧を補償する動作とを切替える切替え部とを有する

請求項 2 ~ 4 のいずれか一項に記載の比較器。

【請求項 6】

さらに、オフセット電圧を補償するオフセット電圧補償回路を備え、

前記オフセット電圧補償回路は、

前記差動増幅回路部内の前記第 1 出力電圧信号の出力端子に接続された第 1 可変容量素子と、

前記差動増幅回路部内の前記第 2 出力電圧信号の出力端子に接続された第 2 可変容量素

10

20

30

40

50

子と、

前記第 1 及び第 2 可変容量素子の容量の調整制御を行う制御回路部と、

前記第 1 及び第 2 入力電圧信号の比較を行う動作と、前記オフセット電圧を補償する動作とを切替える切替え部とを有する

請求項 2 ~ 4 のいずれか一項に記載の比較器。

【請求項 7】

前記差動増幅回路部は、さらに、チャンネルの極性が前記第 1 の極性である第 16 及び第 17 MOS トランジスタを有し、

前記第 16 MOS トランジスタの入力側及び出力側端子が前記第 1 MOS トランジスタの入力側及び出力側端子にそれぞれ接続され、且つ、前記第 16 MOS トランジスタのゲート端子が第 3 入力電圧信号の入力端子に接続されており、

前記第 17 MOS トランジスタの入力側及び出力側端子が前記第 2 MOS トランジスタの入力側及び出力側端子にそれぞれ接続され、且つ、前記第 17 MOS トランジスタのゲート端子が第 4 入力電圧信号の入力端子に接続されており、

前記第 1、第 2、第 16 及び第 17 MOS トランジスタのそれぞれのチャンネル幅 W とチャンネル長 L との比 W/L が、所定の補間電圧で比較動作が行えるように調整されている

請求項 2 ~ 6 のいずれか一項に記載の比較器。

【請求項 8】

入力電圧信号、該入力電圧信号と比較する参照電圧信号及びクロック信号が入力され、前記入力電圧信号と前記参照電圧信号との比較結果を出力する複数の比較器と、

複数の前記比較器から出力される前記比較結果に基づいて、前記入力電圧信号に対応するデジタル信号を出力するエンコーダとを備え、

前記比較器は、前記クロック信号に基づいて動作し、前記入力電圧信号及び前記参照電圧信号の値にそれぞれ対応し且つ増幅された第 1 及び第 2 出力電圧信号を出力する差動増幅回路部と、前記第 1 及び第 2 出力電圧信号に基づいて動作し、前記入力電圧信号及び前記参照電圧信号との前記比較結果を保持し且つ出力する差動ラッチ回路部とを有する

アナログデジタル変換器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、比較器及びそれを備える A/D 変換器に関し、より詳細には、複数の MOS トランジスタを用いて構成した比較器及びそれを備える A/D 変換器に関する。

【背景技術】

【0002】

従来、アナログデジタル (A/D: Analog to Digital) 変換器等に用いるための種々の比較器 (コンパレータ) が提案されている (例えば、非特許文献 1 及び 2 参照)。ここで、非特許文献 1 で提案されているような構成の比較器について、図 18 ~ 20 を参照しながら説明する。図 18 は、比較器の動作前 (準備段階) の状態を示す図であり、図 19 は動作時の状態を示す図である。また、図 20 (a) ~ (c) は、それぞれ比較器の出力電圧、比較器内の差動プリアンプ回路部の出力電圧及び比較器を制御するクロック信号の時間変化を示す図である。

【0003】

従来と比較器 400 は、図 18 に示すように、入力側 (前段) に配置されたダイナミックな差動プリアンプ回路部 200 と、出力側 (後段) に配置された差動ラッチ回路部 300 とで構成される。なお、図 18 中の符号 G、S 及び D は、それぞれ MOS トランジスタのゲート端子、ソース端子及びドレイン端子を示している。

【0004】

差動プリアンプ回路部 200 は、3 つの NMOS (Negative channel Metal Oxide Semiconductor) トランジスタ 201 ~ 203 と、2 つの PMOS (Positive channel Metal Oxide Semiconductor) トランジスタ 204 及び 205 とで構成される。なお、PMOS

10

20

30

40

50

トランジスタは、チャンネル（電流路）の極性がp型であり、そのゲート端子に「L」状態の電圧信号が入力されるとON状態となり、ソース端子からドレイン端子に電流が流れるMOSトランジスタである。一方、NMOSトランジスタは、チャンネルの極性がn型であり、そのゲート端子に「H」状態の電圧信号が入力されるとON状態となり、ドレイン端子からソース端子に電流が流れるMOSトランジスタである。

【0005】

差動プリアンプ回路部200を構成するこれらのMOSトランジスタは、それぞれのトランジスタが所定の動作を行うように、図18に示すような構成で互いに接続される。また、NMOSトランジスタ201及び202のゲート端子は、それぞれ入力端子206及び207に接続される。NMOSトランジスタ203、並びに、2つのPMOSトランジスタ204及び205のゲート端子は、クロック信号CLKが入力されるクロック端子208に接続される。さらに、PMOSトランジスタ204及び205のソース端子は、電源電圧Vsの電源端子310に接続される。すなわち、差動プリアンプ回路部200の動作は、NMOSトランジスタ203、並びに、PMOSトランジスタ204及び205のゲート端子に入力されるクロック信号により制御される。

10

【0006】

差動ラッチ回路部300は、4つのNMOSトランジスタ301～304と、3つのPMOSトランジスタ305～307とで構成される。差動ラッチ回路部300内では、これらのMOSトランジスタは、それぞれのトランジスタが所定の動作を行うように、図18に示すような構成で互いに接続される。

20

【0007】

また、差動ラッチ回路部300内のPMOSトランジスタ307のゲート端子は、クロック端子311に接続され、このクロック端子311には差動プリアンプ回路部200（入力端子208）に入力されるクロック信号CLKとは逆位相のクロック信号が入力される。PMOSトランジスタ307の動作は、この逆相のクロック信号により制御される。すなわち、2つのNMOSトランジスタ301及び302、並びに、2つのPMOSトランジスタ305及び306からなるラッチ回路の動作の制御は、逆相のクロック信号によりPMOSトランジスタ307のON/OFF制御して行われる。また、PMOSトランジスタ307のソース端子は電源電圧Vsの電源端子310に接続される。

30

【0008】

また、差動ラッチ回路部300内のNMOSトランジスタ303及び304のゲート端子は、それぞれ差動プリアンプ回路部200の出力端子（ノード）N1及びN2に接続される。NMOSトランジスタ303及び304は差動プリアンプ回路部200からの出力信号によりON/OFF制御され、ラッチ回路に流れる電流を制御する。すなわち、差動ラッチ回路部300の動作は、PMOSトランジスタ307のゲート端子に入力されるクロック信号、並びに、NMOSトランジスタ303及び304に入力される差動プリアンプ回路部200からの出力電圧信号により制御される。

【0009】

次に、従来の比較器400の動作を図18～20を参照しながらより具体的に説明する。

40

【0010】

動作の準備段階（以下、状態1という）では、図18に示すように、比較器400のクロック端子208及び311には、それぞれ「L（Low）」状態及び「H（High）」状態のクロック電圧が入力される。この場合、差動プリアンプ回路部200内の2つのPMOSトランジスタ204及び205がON状態になり、NMOSトランジスタ203はOFF状態となる。この際、NMOSトランジスタ203はOFF状態であるので、差動プリアンプ回路部200内に貫通電流は流れないが、PMOSトランジスタ204及び205がON状態であるので、電源電圧Vsにより差動プリアンプ回路部200内のノードN1及びN2の電圧が上昇する。この結果、差動プリアンプ回路部200内のノードN1及びN2からそれぞれ出力される電圧Vg1及びVg2はともに「H」状態となる。

50

【 0 0 1 1 】

一方、状態 1 では、差動ラッチ回路部 3 0 0 内の P M O S トランジスタ 3 0 7 のゲート端子には [H] 状態のクロック電圧が入力されるので、P M O S トランジスタ 3 0 7 は O F F 状態となる。この場合、電源電圧 V_s 側から 2 つの N M O S トランジスタ 3 0 1 及び 3 0 2、並びに、2 つの P M O S トランジスタ 3 0 5 及び 3 0 6 からなるラッチ回路に電流は流れない。また、状態 1 では、差動ラッチ回路部 3 0 0 内の N M O S トランジスタ 3 0 3 及び 3 0 4 のゲート電圧 (V_{g1} 及び V_{g2}) は「H」状態であるので、これらのトランジスタはともに O N 状態となる。これにより、差動ラッチ回路部 3 0 0 内のノード N 3 及び N 4 の電位は、アースと同電位、すなわちゼロ電位となる。この結果、比較器 4 0 0 の出力端子 3 1 2 及び 3 1 3 からそれぞれ出力される電圧値 V_{o1} 及び V_{o2} はともに「L」状態となる。

10

【 0 0 1 2 】

なお、図 2 0 (a) ~ (c) に示す特性中では時刻 t_1 以前の特性が、状態 1 における比較器 4 0 0 の出力電圧 V_{o1} 及び V_{o2} 、差動プリアンプ回路部 2 0 0 の出力電圧 V_{g1} 及び V_{g2} 、並びに、クロック端子 2 0 8 及び 3 1 1 に入力されるクロック電圧の変化の様子を示している。ただし、図 2 0 (a) ~ (c) の特性では、「H」状態が 1 V に対応し、「L」状態が 0 V に対応している。

【 0 0 1 3 】

次に、比較器 4 0 0 の動作時の状態 (以下、状態 2 という) を図 1 9 を参照しながら説明する。ただし、図 1 9 の例では、比較器 4 0 0 の一方の入力端子 2 0 6 に入力される電圧値 V_{i1} が、他方の入力端子 2 0 7 に入力される電圧値 V_{i2} より大きい ($V_{i1} > V_{i2}$) の場合を考える。

20

【 0 0 1 4 】

状態 2 では、クロック端子 2 0 8 に入力されるクロック電圧が [H] 状態に変化する。これにより、差動プリアンプ回路部 2 0 0 内の 2 つの P M O S トランジスタ 2 0 4 及び 2 0 5 は O F F 状態となり、N M O S トランジスタ 2 0 3 は O N 状態となる。状態 1 (準備段階) では、差動プリアンプ回路部 2 0 0 内のノード N 1 及び N 2 の電圧値は「H」状態であったので、状態 2 において N M O S トランジスタ 2 0 3 が O N 状態になると、N M O S トランジスタ 2 0 1 ~ 2 0 3 を介して、アースに電流が流れる。これにより、ノード N 1 及び N 2 の電圧値は時間の経過とともに低下し、「L」状態に遷移する。

30

【 0 0 1 5 】

ただし、この際、2 つの N M O S トランジスタ 2 0 1 及び 2 0 2 には、これらのトランジスタのゲート端子に印加されている電圧値 V_{i1} 及び V_{i2} に対応した電流が流れる。図 1 9 の例では、 $V_{i1} > V_{i2}$ であるので、N M O S トランジスタ 2 0 1 を流れる電流は N M O S トランジスタ 2 0 2 を流れる電流より大きくなる。その結果、ノード N 1 における電圧 V_{g1} の時間に対する電圧低下率は、ノード N 2 における電圧 V_{g2} の時間に対する電圧低下率より大きくなる。

【 0 0 1 6 】

この様子を図 2 0 (b) に示す。比較器 4 0 0 の状態を状態 2 に切替えた後 (時刻 t_1 以降) は、ノード N 1 における電圧 V_{g1} の方が、ノード N 2 における電圧 V_{g2} より早く「L」状態に遷移する。それゆえ、比較器の状態を状態 2 に切替えてからノード N 2 における電圧 V_{g2} が「L」状態に遷移するまでの期間は、電圧 V_{g2} はノード N 1 における電圧 V_{g1} より高くなる。すなわち、ノード N 2 における電圧 V_{g2} の遷移期間中は、差動ラッチ回路部 3 0 0 内の N M O S トランジスタ 3 0 4 のゲート電圧は、N M O S トランジスタ 3 0 3 のゲート電圧より高くなる。

40

【 0 0 1 7 】

また、状態 2 になると、クロック端子 3 1 1 に入力されるクロック電圧が [L] 状態に変化し、差動ラッチ回路部 3 0 0 内の P M O S トランジスタ 3 0 7 が O N 状態となる。これにより、2 つの N M O S トランジスタ 3 0 1 及び 3 0 2、並びに、2 つの P M O S トランジスタ 3 0 5 及び 3 0 6 からなるラッチ回路に電流が流れ始める。しかしながら、上述

50

のようにノードN2における電圧 V_{g2} の遷移期間中は、NMOSトランジスタ304のゲート電圧は、NMOSトランジスタ303のゲート電圧より高くなるので、ノードN3における電位(V_{o1})がノードN4における電位(V_{o2})よりわずかに高くなる。

【0018】

この様子を図20(a)に示す。状態2に切替えた後(時刻 t_1 以降)、時間とともにノードN3の電圧 V_{o1} (実線)及びノードN4の電位 V_{o2} (破線)はともに上昇するが、時刻 t_2 付近で電圧 V_{o1} が電圧 V_{o2} より高くなり始める。これにより、2つのNMOSトランジスタ301及び302、並びに、2つのPMOSトランジスタ305及び306からなるラッチ回路内に正帰還が作用する(この動作については、後述する本発明の説明で詳述する)。この結果、図20(a)に示すように、時刻 t_2 以降は、ノードN3の電圧 V_{o1} は上昇し続け、最終的に[H]状態に固定される。一方、ノードN4における電圧 V_{o2} は低下し続け、最終的には[L]状態に固定される。これにより、入力電圧 V_{i1} 及び V_{i2} の比較状態(比較結果)が差動ラッチ回路部300内で保持されるとともに出力端子312及び313から出力される。

10

【0019】

また、この際、ノードN4にゲート端子が接続されているラッチ回路内のPMOSトランジスタ305はON状態となり、NMOSトランジスタ301はOFF状態となる(図19参照)。一方、ノードN3にゲート端子が接続されているラッチ回路内のPMOSトランジスタ306はOFF状態となり、NMOSトランジスタ302はON状態となる(図19参照)。さらに、2つのNMOSトランジスタ303及び304に印加されるゲート電圧 V_{g1} 及び V_{g2} はともに「L」状態となるので、NMOSトランジスタ303及び304はOFF状態となる。それゆえ、差動ラッチ回路部300内に定常電流(貫通電流)は流れない。従来と比較器400は、上述のようにして動作する。

20

【0020】

【非特許文献1】D. Schinkel, E. Mensink, E. Klumperink, E. Van Tuijji, B.Nauta: "A Double-Tail Latch-Type Voltage Sense Amplifier with 18ps Setup+Hold Time", IEEE, ISSCC 2007, Dig. of Tech. Paper, pp.314-315, Feb. 2007

【非特許文献2】米国特許第6,084,538号

【発明の開示】

【発明が解決しようとする課題】

30

【0021】

上述した従来と比較器の回路構成では、前段の差動プリアンプ回路部及び後段の差動ラッチ回路部の動作を互いに極性の異なる2つのクロック信号でそれぞれ制御する。それゆえ、クロック回路の消費電力が大きいという問題がある。

【0022】

また、従来と比較器では、極性の異なる2つのクロック信号間のタイミング・スキュー(ずれ)が発生すると、比較器の性能に大きな影響を与える。例えば図18及び19に示す比較器400において、クロック端子208に入力されるクロック信号の立ち上がりのタイミングが、クロック端子311に入力されるクロック信号の立ち下がりのタイミングよりも早い場合、2つのNMOSトランジスタ301及び302、並びに、2つのPMOSトランジスタ305及び306からなるラッチ回路が動作する前に、差動ラッチ回路部200内のNMOSトランジスタ303及び304のゲート電圧が「L」状態となる。この場合、ラッチ回路が動作してもノードN3及びN4間に電位差が生じず、入力電圧値の比較が困難となり、比較器400が誤動作する。

40

【0023】

また、逆に、クロック端子208に入力されるクロック信号の立ち上がりのタイミングが、クロック端子311に入力されるクロック信号の立ち下がりのタイミングよりも遅い場合、ラッチ回路が動作した時点においても、NMOSトランジスタ303及び304のゲート電圧が「H」状態のままである。この場合、NMOSトランジスタ303及び304のゲート電圧がともにON状態となり、ラッチ回路に大きな貫通電流が流れる。

50

【0024】

上記問題を発生させずに比較器を正常動作させるためには、極性の異なる2つのクロック信号の立ち上がり/立ち下りのタイミングを非常に精度良く合わせる必要がある。具体的には、従来の比較器は、上述のように、状態を切替えた直後に発生する差動プリアンプ回路部からの2つの出力電圧の差を利用して動作する。状態を切替えてから差動プリアンプ回路部からの2つの出力電圧に差が生じ始めるまでの時間 t_d は、図20(a)に示すように、約50~100psである。それゆえ、上記問題を解決するためには、極性の異なる2つのクロック信号間のタイミングずれを数ps程度以内にする必要がある。しかしながら、この場合には、極性の異なる2つのクロック信号間のタイミングを高精度で制御する必要があるため、非常に使い難いという問題があった。

10

【0025】

本発明は、上記問題を解決するためになされたものであり、本発明の目的は、上述した極性の異なる2つのクロック信号間のタイミングずれにより生じる問題を解消し、且つ、低電力動作が可能な比較器及びそれを備えるA/D変換器を提供することである。

【課題を解決するための手段】

【0026】

上記問題を解決するために、本発明の比較器では、第1及び第2入力電圧信号、並びに、クロック信号が入力され、クロック信号に基づいて動作し、第1及び第2入力電圧信号の値にそれぞれ対応し且つ増幅された第1及び第2出力電圧信号を出力する差動増幅回路部を備える構成とした。さらに、本発明の比較器では、第1及び第2出力電圧信号に基づいて動作し、第1及び第2入力電圧信号の比較結果を保持し且つ出力する差動ラッチ回路部を備える構成とした。すなわち、本発明では、差動増幅回路部から出力された第1及び第2出力電圧信号を用いて、差動ラッチ回路部の動作を制御する。

20

【0027】

また、本発明のアナログデジタル変換器では、入力電圧信号、該入力電圧信号と比較する参照電圧信号及びクロック信号が入力され、入力電圧信号と参照電圧信号との比較結果を出力する上記本発明の複数の比較器と、複数の比較器から出力される比較結果に基づいて、入力電圧信号に対応するデジタル信号を出力するエンコーダとを備える構成とした。

【発明の効果】

【0028】

本発明では、差動増幅回路部の動作はクロック信号で制御するが、差動ラッチ回路部の動作は、差動増幅回路部から出力された第1及び第2出力電圧信号により制御する。それゆえ、差動ラッチ回路部の制御する信号(第1及び第2出力電圧信号)の立ち上がり/立ち下りのタイミングは差動増幅回路部に入力されるクロック信号のタイミングに依存しない。したがって、本発明によれば、上述した極性の異なる2つのクロック信号間のタイミングずれにより生じる問題を解消することができる。

30

【0029】

また、本発明によれば、比較器に入力するクロック信号は、差動増幅回路部に入力するクロック信号のみであるので、従来に比べて低電力で、比較器及びそれを備えたA/D変換器の駆動が可能になる。

40

【発明を実施するための最良の形態】

【0030】

以下、本発明の実施形態に係る比較器及びA/D変換器の例を、図面を参照しながら、以下の順で説明する。なお、本発明は以下の例に限定されるものではない。

1. 第1の実施形態：基本構成例
2. 第2の実施形態：オフセット電圧補償回路部を備える第1の構成例
3. 第3の実施形態：オフセット電圧補償回路部を備える第2の構成例
4. 第4の実施形態：補間機能を備える構成例

【0031】

- < 1. 第1の実施形態 >

50

[比較器の構成]

図 1 に、本実施形態の比較器の回路構成を示す。比較器 10 は、主に、入力側（前段）に配置されたダイナミックな差動プリアンプ回路部 20 と、出力側（後段）に配置された差動ラッチ回路部 30 とで構成される。なお、図 1 中の符号 G、S 及び D はそれぞれトランジスタのゲート端子、ソース端子及びドレイン端子を示している。

【 0032 】

差動プリアンプ回路部 20（差動増幅回路部）は、3つの NMOS トランジスタ 21 ~ 23 と、2つの PMOS トランジスタ 24 及び 25 とで構成される。図 1 に示す本実施形態の比較器 10 の構成と、図 18 に示す従来の比較器 400 の構成との比較から明らかのように、本実施形態の差動プリアンプ回路部 20 は、従来の差動プリアンプ回路部 200 と同様の構成である。以下、差動プリアンプ回路部 20 を構成する各トランジスタ間の接続関係を説明する。

10

【 0033 】

正転側の NMOS トランジスタ 21（以下、第 1 MOS トランジスタという）のゲート端子は、一方の入力電圧信号 V_{i1} （第 1 入力電圧信号）が入力される入力端子 26 に接続される。

【 0034 】

反転側の NMOS トランジスタ 22（以下、第 2 MOS トランジスタという）のゲート端子は、他方の入力電圧信号 V_{i2} （第 2 入力電圧信号）が入力される入力端子 27 に接続される。

20

【 0035 】

NMOS トランジスタ 23（以下、第 3 MOS トランジスタという）のゲート端子は、差動プリアンプ回路部 20 の動作を制御するクロック信号 CLK が入力されるクロック端子 28 に接続される。第 3 MOS トランジスタ 23 のドレイン端子（入力側端子）は、第 1 MOS トランジスタ 21 及び第 2 MOS トランジスタ 22 のソース端子（出力側端子）に接続される。また、第 3 MOS トランジスタ 23 のソース端子（出力側端子）は接地される。

【 0036 】

PMOS トランジスタ 24（以下、第 4 MOS トランジスタという）のゲート端子は、クロック端子 28 に接続される。第 4 MOS トランジスタ 24 のソース端子（入力側端子）は電源電圧 V_s の入力端子 41 に接続される。また、第 4 MOS トランジスタ 24 のドレイン端子（出力側端子）は第 1 MOS トランジスタ 21 のドレイン端子（入力側端子）に接続される。

30

【 0037 】

PMOS トランジスタ 25（以下、第 5 MOS トランジスタという）のゲート端子は、クロック端子 28 に接続される。第 5 MOS トランジスタ 25 のソース端子（入力側端子）は電源電圧 V_s に入力端子 41 に接続される。また、第 5 MOS トランジスタ 25 のドレイン端子（出力側端子）は第 2 MOS トランジスタ 22 のドレイン端子（入力側端子）に接続される。

40

【 0038 】

本実施形態では、クロック端子 28 に入力されるクロック信号 CLK により第 4 MOS トランジスタ 24 及び第 5 MOS トランジスタ 25 を ON/OFF 制御して、第 1 MOS トランジスタ 21 及び第 2 MOS トランジスタの活性/不活性（動作）を制御する。

【 0039 】

また、差動プリアンプ回路部 20 の一方の出力電圧 V_{g1} は、差動プリアンプ回路部 20 内の第 1 MOS トランジスタ 21 と第 4 MOS トランジスタ 24 との接続点 N1（第 1 接続点：以下、ノード N1 という）から出力される。ノード N1 は、差動ラッチ回路部 30 内の後述する 2 つの NMOS トランジスタ 33 及び 39、並びに、PMOS トランジスタ 37 のゲート端子に接続される。そして、本実施形態では、入力端子 26 に入力された電圧信号 V_{i1} に対応し且つ増幅された電圧 V_{g1} がノード N1 から出力され、その電圧

50

信号 V_{g1} を差動ラッチ回路部 30 の動作を制御するための一つのクロック信号 $CLK1$ として用いる。

【0040】

差動プリアンプ回路部 20 の他方の出力電圧 V_{g2} は、差動プリアンプ回路部 20 内の第 2 MOS トランジスタ 22 と第 5 MOS トランジスタ 25 との接続点 $N2$ (第 2 接続点: 以下、ノード $N2$ という) から出力される。ノード $N2$ は、差動ラッチ回路部 30 内の後述する 2 つの NMOS トランジスタ 34 及び 40、並びに、PMOS トランジスタ 38 のゲート端子に接続される。そして、本実施形態では、入力端子 27 に入力された電圧信号 V_{i2} に対応し且つ増幅された電圧信号 V_{g2} がノード $N2$ から出力され、その電圧信号 V_{g2} を差動ラッチ回路部 30 の動作を制御するためのもう一つのクロック信号 $CLK2$ として用いる。

10

【0041】

一方、差動ラッチ回路部 30 は、6 つの NMOS トランジスタ 31 ~ 34、39 及び 40 と、4 つ PMOS トランジスタ 35 ~ 38 とで構成される。以下、差動ラッチ回路部 30 を構成する各トランジスタ間の接続関係を説明する。

【0042】

NMOS トランジスタ 31 (以下、第 6 MOS トランジスタという) のゲート端子は、PMOS トランジスタ 35 (以下、第 10 MOS トランジスタという) のゲート端子に接続される。第 6 MOS トランジスタ 31 のドレイン端子 (入力側端子) は、第 10 MOS トランジスタ 35 のドレイン端子 (出力側端子) に接続される。また、第 6 MOS トランジスタ 31 のソース端子 (出力側端子) は接地される。

20

【0043】

NMOS トランジスタ 32 (以下、第 7 MOS トランジスタという) のゲート端子は、PMOS トランジスタ 36 (以下、第 11 MOS トランジスタという) のゲート端子に接続される。第 7 MOS トランジスタ 32 のドレイン端子 (入力側端子) は、第 11 MOS トランジスタ 36 のドレイン端子 (出力側端子) に接続される。また、第 7 MOS トランジスタ 32 のソース端子 (出力側端子) は、接地される。

【0044】

第 6 MOS トランジスタ 31 のドレイン端子と第 10 MOS トランジスタ 35 のドレイン端子との接続点 $N3$ (第 3 接続点: 以下、ノード $N3$ という) は、第 7 MOS トランジスタ 32 のゲート端子と第 11 MOS トランジスタ 36 のゲート端子との接続点 (第 5 接続点)、及び、一方の出力電圧 V_{o1} が出力される出力端子 42 に接続される。

30

【0045】

また、第 7 MOS トランジスタ 32 のドレイン端子と第 11 MOS トランジスタ 36 のドレイン端子との接続点 $N4$ (第 4 接続点: 以下、ノード $N4$ という) は、第 6 MOS トランジスタ 31 のゲート端子と第 10 MOS トランジスタ 35 のゲート端子との接続点 (第 6 接続点)、及び、他方の出力電圧 V_{o2} が出力される出力端子 43 に接続される。すなわち、第 6 MOS トランジスタ 31、第 7 MOS トランジスタ 32、第 10 MOS トランジスタ 35 及び第 11 MOS トランジスタ 36 によりラッチ回路が構成される。

【0046】

NMOS トランジスタ 33 (以下、第 8 MOS トランジスタという) のゲート端子は、差動プリアンプ回路部 20 内のノード $N1$ に接続される。第 8 MOS トランジスタ 33 のドレイン端子 (入力側端子) は、第 6 MOS トランジスタ 31 のドレイン端子 (入力側端子) に接続される。また、第 8 MOS トランジスタ 33 のソース端子 (出力側端子) は接地される。

40

【0047】

NMOS トランジスタ 34 (以下、第 9 MOS トランジスタという) のゲート端子は、差動プリアンプ回路部 20 内のノード $N2$ に接続される。第 9 MOS トランジスタ 34 のドレイン端子 (入力側端子) は、第 7 MOS トランジスタ 32 のドレイン端子 (入力側端子) に接続される。また、第 9 MOS トランジスタ 34 のソース端子 (出力側端子) は接

50

地される。

【0048】

PMOSトランジスタ37（以下、第12MOSトランジスタという）は、第6MOSトランジスタ31及び第10MOSトランジスタ35からなるインバータの動作を制御するトランジスタである。第12MOSトランジスタ37のゲート端子は、差動プリアンプ回路部20内のノードN1に接続され、第12MOSトランジスタ37は、ノードN1から出力される電圧信号Vg1（CLK1）によりON/OFF制御される。また、第12MOSトランジスタ37のソース端子（入力側端子）は、電源電圧Vsにの入力端子41に接続される。さらに、第12MOSトランジスタ37のドレイン端子（出力側端子）は、第10MOSトランジスタ35のソース端子（入力側端子）に接続される。

10

【0049】

PMOSトランジスタ38（以下、第13MOSトランジスタという）は、第7MOSトランジスタ32及び第11MOSトランジスタ36からなるインバータの動作を制御するトランジスタである。第13MOSトランジスタ38のゲート端子は、差動プリアンプ回路部20内のノードN2に接続され、第13MOSトランジスタ38は、ノードN2から出力される電圧信号Vg2（CLK2）によりON/OFF制御される。また、第13MOSトランジスタ38のソース端子（入力側端子）は、電源電圧Vsにの入力端子41に接続される。さらに、第13MOSトランジスタ38のドレイン端子（出力側端子）は第11MOSトランジスタ36のソース端子（入力側端子）に接続される。

20

【0050】

また、NMOSトランジスタ39（以下、第14MOSトランジスタという）のゲート端子は、差動プリアンプ回路部20内のノードN1に接続される。第14MOSトランジスタ39のドレイン端子（入力側端子）は、第10MOSトランジスタ35のソース端子（入力側端子）に接続される。また、第14MOSトランジスタ39のソース端子（出力側端子）は接地される。

【0051】

NMOSトランジスタ40（以下、第15MOSトランジスタという）のゲート端子は、差動プリアンプ回路部20内のノードN2に接続される。第15MOSトランジスタ40のドレイン端子（入力側端子）は、第11MOSトランジスタ36のソース端子（入力側端子）に接続される。また、第15MOSトランジスタ40のソース端子（出力側端子）は接地される。

30

【0052】

本実施形態において、第14MOSトランジスタ39を設ける理由及び効果は次の通りである。第10MOSトランジスタ35と第12MOSトランジスタ36との接続点に電荷が残っていると、ノイズの影響により比較器10が誤動作する可能性がある。しかしながら、図1に示すように第14MOSトランジスタ39を設けると、第10MOSトランジスタ35と第12MOSトランジスタ37との接続点に残った電荷を第14MOSトランジスタ39により放電することができ、誤動作を確実に防止することができる。また、第15MOSトランジスタ40を設ける理由及び効果も、上述した理由及び効果と同様である。なお、ノイズの影響が小さい場合には、第14MOSトランジスタ39及び第15MOSトランジスタ40を設けなくても良い。

40

【0053】

なお、本発明の比較器の構成は図1の例に限定されず、電源電圧Vsと接地点とを反転して、図1中のNMOSトランジスタをPMOSトランジスタに置き換え、且つ図1中のPMOSトランジスタをNMOSトランジスタに置き換えてもよい。

【0054】

[比較器の動作]

次に、本実施形態の比較器10の動作を図2～4を参照しながら説明する。図2は、比較器10の動作の前段階（準備段階）の状態（以下、この状態を状態1という）を示す図である。図3は、比較器10の動作時の状態（以下、この状態を状態2という）を示す図

50

である。また、図4(a)~(c)は、それぞれ比較器10の出力電圧、差動プリアンプ回路部20の出力電圧及び比較器10を制御するクロック信号の時間変化を示す図である。

【0055】

状態1では、クロック端子28に[L]状態のクロック電圧が入力される。これにより、差動プリアンプ回路部20内の第4MOSトランジスタ24及び第5MOSトランジスタ25がON状態となり、第3MOSトランジスタ23はOFF状態となる(図2参照)。

【0056】

この場合、第3MOSトランジスタ23はOFF状態であるので、差動プリアンプ回路部20内を貫通する電流は流れないが、第4MOSトランジスタ24及び第5MOSトランジスタ24がON状態であるので、電源電圧 V_s により、差動プリアンプ回路部20内のノードN1及びN2の電圧が上昇する。この結果、差動プリアンプ回路部20内のノードN1及びN2からそれぞれ出力される電圧 V_{g1} 及び V_{g2} はともに「H」状態となる。

10

【0057】

そして、ノードN1から出力される「H」状態の電圧 V_{g1} (CLK1)は、差動ラッチ回路部30内の第8MOSトランジスタ33、第12MOSトランジスタ37及び第14MOSトランジスタ39のゲート端子に入力される。これにより、第12MOSトランジスタ37はOFF状態となり、第8MOSトランジスタ33及び第14MOSトランジスタ39はON状態となる。

20

【0058】

一方、ノードN2から出力される「H」状態の電圧 V_{g2} (CLK2)は、差動ラッチ回路部30内の第9MOSトランジスタ34、第13MOSトランジスタ38及び第15MOSトランジスタ40のゲート端子に入力される。これにより、第13MOSトランジスタ38はOFF状態となり、第9MOSトランジスタ34及び第15MOSトランジスタ40はON状態となる。

【0059】

上述のように、状態1では、第12MOSトランジスタ37及び第13MOSトランジスタ38はともにOFF状態であるので、第6MOSトランジスタ31、第7MOSトランジスタ32、第10MOSトランジスタ35及び第11MOSトランジスタ36からなるラッチ回路に電源電圧 V_s 側から電流は流れない。また、第8MOSトランジスタ33及び第9MOSトランジスタ34はON状態であるので、差動ラッチ回路部30内のノードN3及びN4の電位は、アースと同電位、すなわちゼロ電位となる。この結果、比較器10の出力端子42及び43からそれぞれ出力される電圧 V_{o1} 及び V_{o2} はともに「L」状態となる(図2参照)。なお、この状態1では、差動プリアンプ回路部20及び差動ラッチ回路部30を貫通する電流は流れない。

30

【0060】

また、状態1では、第14MOSトランジスタ39はON状態となるので、第10MOSトランジスタ35と第12MOSトランジスタ37との接続点に残っている電荷を完全に放電することができる。また、同様に、状態1では、第15MOSトランジスタ40がON状態となるので、第11MOSトランジスタ36と第13MOSトランジスタ38との接続点に残っている電荷を完全に放電することができる。

40

【0061】

なお、図4(a)~(c)に示す特性中では時刻 t_1 以前の特性が、状態1における比較器10の出力電圧 V_{o1} 及び V_{o2} 、差動プリアンプ回路部20の出力電圧 V_{g1} 及び V_{g2} 、並びに、クロック電圧の変化の様子を示している。ただし、図4(a)~(c)の特性では、「H」状態が1Vに対応し、「L」状態が0Vに対応している。

【0062】

次に、比較器10の動作時の状態(状態2)を図3を参照しながら説明する。ただし、

50

図3の例では、比較器10の一方の入力端子26に入力される電圧値 V_{i1} が、他方の入力端子27に入力される電圧値 V_{i2} より大きい($V_{i1} > V_{i2}$)の場合を考える。

【0063】

状態2では、クロック端子28に入力されるクロック電圧が[H]状態に変化する。これにより、差動プリアンプ回路部20内の第4MOSトランジスタ24及び第5MOSトランジスタ25はOFF状態となり、第3MOSトランジスタ23はON状態となる。状態1(準備段階)では、差動プリアンプ回路部20内のノードN1及びN2の電圧値は「H」状態であったので、状態2において第3MOSトランジスタ23がON状態になると、第1MOSトランジスタ21、第2MOSトランジスタ22及び第3MOSトランジスタ23を介して、ノードN1及びN2からアースに電流が流れる。この結果、ノードN1及びN2の電圧値は時間の経過とともに低下し、「L」状態に遷移する。

10

【0064】

ただし、この際、第1MOSトランジスタ21及び第2MOSトランジスタ22には、これらのトランジスタのゲート端子に印加されている電圧値 V_{i1} 及び V_{i2} に対応した電流が流れる。図3の例では、 $V_{i1} > V_{i2}$ であるので、第1MOSトランジスタ21を流れる電流は第2MOSトランジスタ22を流れる電流より大きくなる。その結果、ノードN1における電圧 V_{g1} の時間に対する電圧低下率は、ノードN2における電圧 V_{g2} の時間に対する電圧低下率より大きくなる。

【0065】

この様子を図4(b)に示す。比較器10の状態を状態2に切替えた後(時刻 t_1 以降)は、ノードN1における電圧 V_{g1} の方が、ノードN2における電圧 V_{g2} より早く「L」状態に遷移する。それゆえ、動作開始から電圧 V_{g2} が「L」状態に遷移するまでの期間は、電圧 V_{g2} (CLK2)は電圧 V_{g1} (CLK1)より高くなる。すなわち、電圧 V_{g2} の遷移期間中は、差動ラッチ回路部30内の第9MOSトランジスタ33のゲート電圧は、第8MOSトランジスタ33のゲート電圧より高くなる。また、状態2では、電圧 V_{g1} の方が、電圧 V_{g2} より早く「L」状態に遷移するので、第8MOSトランジスタ33が、第9MOSトランジスタ34より先にOFF状態になる。

20

【0066】

また、ノードN2における電圧 V_{g2} の遷移期間中には、差動ラッチ回路部30内の第12MOSトランジスタ37及び第13MOSトランジスタ38のゲート電圧(V_{g1} 及び V_{g2})が低下し始める。これにより、第12MOSトランジスタ37及び第13MOSトランジスタ38はともにON状態に近づくので、第6MOSトランジスタ31、第7MOSトランジスタ32、第10MOSトランジスタ35及び第11MOSトランジスタ36からなるラッチ回路に電流が流れ始める。しかしながら、この際、差動ラッチ回路部30内の第8MOSトランジスタ33は、第9MOSトランジスタ34より先にOFF状態に近づくので、ノードN3における電圧 V_{o1} がノードN4における電圧 V_{o2} よりわずかに高くなる。

30

【0067】

ノードN2における電圧 V_{g2} の遷移期間中の比較器10の出力電圧 V_{o1} 及び V_{o2} 、差動プリアンプ回路部20の出力電圧 V_{g1} 及び V_{g2} 、並びに、クロック電圧の変化の様子を図4(a)~(c)を参照しながら具体的に説明する。比較器10の状態を状態2に切替えると(時刻 t_1 以降)、上記ラッチ回路に電流が流れ始めるので、ノードN3及びN4の電圧値 V_{o1} 及び V_{o2} はともに「L」状態から上昇し始める(図4(a)参照)。しかしながら、ノードN2の電圧 V_{g2} の遷移期間中には、第9MOSトランジスタ34のゲート電圧 V_{g2} と、第8MOSトランジスタ33のゲート電圧 V_{g1} との間に電位差($V_{g2} > V_{g1}$)が生じるので(図4(b)参照)、図4(a)中の時刻 t_2 付近で、ノードN3における電圧 V_{o1} がノードN4における電圧 V_{o2} より高くなり始める。なお、状態を切替えてから、ノードN3の電圧値 V_{o1} がノードN4の電圧値 V_{o2} より高くなり始めるまでの期間 t_d は約50~100ps程度である。

40

【0068】

50

これにより、ノードN3にゲート端子が接続されている第7MOSトランジスタ32の状態は、よりON状態に近づく。また、ノードN3にゲート端子が接続されているもう一方の第11MOSトランジスタ36の状態は、よりOFF状態に近づく。この結果、第7MOSトランジスタ32に電流が流れやすくなり、ノードN4の電圧が低下し始める。

【0069】

また、この際、ノードN3の電圧V_{o1}がノードN4の電圧V_{o2}に比べて高くなることにより、ノードN4にゲート端子が接続されている第6MOSトランジスタ31の状態は、よりOFF状態に近づく。また、ノードN4にゲート端子が接続されているもう一方の第10MOSトランジスタ35の状態は、よりON状態に近づく。この結果、第6MOSトランジスタ31に電流が流れ難くなり、ノードN3の電圧が上昇し始める。

10

【0070】

差動ラッチ回路部30内では、ノードN2の電圧V_{g2}の遷移期間中に上述のような作用が時間とともに繰り返され、ノードN3の電圧値V_{o1}は上昇し続け、ノードN4の電圧値V_{o2}は低下し続ける(図4(a)参照)。すなわち、ノードN2の電圧V_{g2}の遷移期間中は、第6MOSトランジスタ31、第7MOSトランジスタ32、第10MOSトランジスタ35及び第11MOSトランジスタ36からなるラッチ回路内に正帰還が作用し、最終的にはノードN3における電圧V_{o1}が[H]状態に固定され、ノードN4における電圧V_{o2}は[L]状態に固定される。これにより、入力電圧V_{i1}及びV_{i2}の比較状態(比較結果)は、差動ラッチ回路部30内で保持されるとともに出力端子42及び43から出力される。

20

【0071】

なお、ノードN3及びN4の電圧値(出力電圧)が固定された後、第8MOSトランジスタ33及び第9MOSトランジスタ34に印加されるゲート電圧V_{g1}(CLK1)及びV_{g2}(CLK2)はともに「L」状態となり、両トランジスタはOFF状態となるので、差動ラッチ回路部30内に定常電流は流れない。

【0072】

本実施形態の比較器10は、上述のようにして動作する。なお、本実施形態の比較器10において、動作時の出力電圧V_{o1}及びV_{o2}の状態(「L」状態または「H」状態)の組み合わせは、入力電圧V_{i1}及びV_{i2}の大小関係により変化する。また、比較器10の出力信号としては、出力電圧V_{o1}及びV_{o2}のいずれか一方を用いてもよいし、両者の差を用いてもよい。

30

【0073】

上述の動作説明から明らかなように、本実施形態の比較器10は、図18~20で説明した従来の比較器400と同様の動作をすることが分かる。ただし、本実施形態では、差動プリアンプ回路部20からの出力信号(V_{g1}及びV_{g2})を用いて差動ラッチ回路部30の動作を制御しているので、差動ラッチ回路部30の動作を制御する電圧信号(V_{g1}及びV_{g2})の立ち上がり/立ち下りのタイミングは、差動プリアンプ回路部20に入力されるクロック信号CLKのタイミングに依存しない。それゆえ、本実施形態では、従来の比較器400において極性の異なる2つのクロック信号間のタイミングずれにより生じる問題を解消することができる。したがって、本実施形態の比較器10では、従来に比べてより安定した動作が可能になる。

40

【0074】

さらに、本実施形態では、比較器10に入力するクロック信号は1つであるので、クロック回路を従来より減らすことができるので、従来に比べて低電力で駆動させることができる。

【0075】

また、本実施形態の比較器10では、第6MOSトランジスタ31及び第10MOSトランジスタ35からなるインバータ内を流れる電流は、第12MOSトランジスタ37及び第8MOSトランジスタ33により制御される。本実施形態では、第12MOSトランジスタ37及び第8MOSトランジスタ33のゲート端子に入力される制御信号(V_{g1}

50

）が共通であるので、第12 MOSトランジスタ37によりインバータ内に電流を押し込む動作と、第8 MOSトランジスタ33によりインバータ内に電流を引き込む動作とが同期して行われる。すなわち、これらのトランジスタからなる回路は、プッシュプル型の電流制御回路となっている。また、第13 MOSトランジスタ38、第11 MOSトランジスタ36、第7 MOSトランジスタ32及び第9 MOSトランジスタ34で構成されている回路も同様にプッシュプル型の電流制御回路となっている。それゆえ、本実施形態では、この電流のプッシュプル作用により、第6 MOSトランジスタ31、第7 MOSトランジスタ32、第10 MOSトランジスタ35及び第11 MOSトランジスタ36からなるラッチ回路の動作速度、すなわち、比較器10の動作速度を早くすることができ、感度を高めることができる。

10

【0076】

ここで、図5に、本実施形態の比較器10及び従来の比較器400の感度特性を示す。図5の特性の横軸は、遷移電圧 V_{in} (参照電圧と入力電圧の差) から比較器のオフセット電圧 V_{offset} を差し引いた値である。図5中の横軸の0Vの位置が比較器から出力される信号が「H」状態または「L」状態のいずれであるかを区別する閾値電圧となる。また、図5の縦軸は、比較器が「H」状態の信号を出力する確率Pであり、横軸の電圧値がプラス側に向かうほど比較器が「H」状態の信号を出力する確率Pが高くなる。なお、図5中の菱形印の特性45が本実施形態の比較器10の感度特性であり、四角印の特性46が従来の比較器400の感度特性である。

【0077】

なお、理想的な比較器では、横軸の電圧値0Vを基準にして、それよりプラス側であれば100%の確率で「H」状態の信号が比較器から出力され、それよりマイナス側であれば100%の確率で「L」状態の信号が比較器から出力される。しかしながら、実際の比較器では、回路の熱雑音等の影響により、図5に示すように、電圧値0V近傍で傾きを持った感度特性となり、電圧値0V近傍で「H」状態の信号が出力される確率Pは約50%となる。感度が高く且つ高精度な比較器を得るためには、図5に示すような感度特性において、電圧値0V近傍における感度特性の傾きをより大きくする必要がある。

20

【0078】

図5から明らかなように、本実施形態の比較器10の感度特性45の電圧値0V近傍における傾きは、従来の比較器400のそれより大きくなる。また、図5に示す感度特性の標準偏差 V_m () を求めると、本実施形態の標準偏差は $V_{in} () = 0.66 \text{ mV}$ であるのに対して、従来の比較器400の標準偏差は $V_{in} () = 2.1 \text{ mV}$ となる。この結果から、本実施形態の比較器10の感度は、従来の比較器10の感度に比べて約3倍向上していることが分かる。

30

【0079】

以上のことから、本実施形態では、従来の比較器に比べて、低電力で且つより安定した動作が可能であるとともに、高感度(高精度)で動作する比較器を提供することができる。

【0080】

[A / D 変換器の構成]

次に、上述した本実施形態の比較器10を適用したA/D変換器の一例を説明する。図6に、そのA/D変換器の構成例を示す。図6に示すA/D変換器13は、並列型のA/D変換器であり、主に、並列配置された複数の比較器10a~10hと、並列配置された複数のNAND回路11a~11gと、エンコーダ12と、直列接続された複数の抵抗 $R_0 \sim R_8$ とで構成される。

40

【0081】

比較器10a~10hの正極側の各入力端子は、各抵抗間の接続点に接続され、電源電圧 V_{DD} を各抵抗 $R_0 \sim R_8$ で抵抗分割した参照電圧 ($V_1 \sim V_8$ のいずれか) が入力される。一方、比較器10a~10hの負極側の各入力端子には、基準電圧と比較すべき入力電圧 V_{in} が入力される。すなわち、抵抗 $R_0 \sim R_8$ で抵抗分割された参照電圧 $V_1 \sim$

50

V_3 のいずれかが図 1 中の入力電圧 V_{i1} 及び V_{i2} の一方になり、比較すべき入力電圧 V_{in} が他方となる。

【0082】

また、NAND回路 11a ~ 11g のそれぞれにおいて、2つの入力端子のうち一方は反転している。以下では、反転している入力端子を反転入力端子といい、反転していない方の入力端子を通常入力端子という。そして、NAND回路 11a ~ 11g の各反転入力端子は、それぞれ比較器 10a ~ 10h の出力端子に接続される。また、NAND回路 11a ~ 11g の各通常入力端子は、自身より高電位側に配置された隣の NAND回路の反転入力端子及び比較器の出力端子に接続される。また、NAND回路 11a ~ 11g の各出力端子はエンコーダ 102 に接続される。

10

【0083】

図 7 に、一方の入力端子が反転している NAND回路における入力信号と出力信号との関係を示す真理値表を示す。図 7 に示すように、本実施形態で用いる NAND回路では、入力信号の組み合わせ $[A, B] = [1, 0]$ の場合のみ信号「0」(「L」状態の信号)を出力し、それ以外の場合には信号「1」(「H」状態の信号)を出力する。

【0084】

また、エンコーダ 12 は、複数の NAND回路 11a ~ 11g から出力された信号に基づいて、入力信号に対応する符号化(コード化)されたデジタル信号を出力する。

【0085】

[A/D変換器の動作]

次に、本実施形態の A/D変換器 13 の動作を図 6 を参照しながら簡単に説明する。なお、図 6 に示す比較器 10a ~ 10h は、 V_{in} が抵抗分割された参照電圧より大きい場合に信号「0」を出力し、小さい場合に信号「1」を出力するものとする。また、図 6 の例では、信号「1」が 1V に対応し、信号「0」が 0V に対応するものとする。さらに、図 6 には、 V_{in} が V_3 より小さく且つ V_4 より大きい場合 ($V_3 > V_{in} > V_4$) の例を示す。

20

【0086】

入力電圧 V_{in} (アナログ信号) が A/D変換器 13 に入力されると、 V_{in} は V_3 より小さく且つ V_4 より大きいので、比較器 10a ~ 10c の出力信号は、「1」となり、比較器 10d ~ 10h の出力信号は「0」となる。この結果、NAND回路 11a 及び 11b に入力される信号の組み合わせは $[1, 1]$ となり、NAND回路 11a 及び 11b の出力信号は「1」となる。また、NAND回路 11c に入力される信号の組み合わせは $[1, 0]$ となり、NAND回路 11c の出力信号は「0」となる。そして、NAND回路 11d ~ 11g に入力される信号の組み合わせは $[0, 0]$ となり、NAND回路 11d ~ 11g の出力信号は「1」となる。すなわち、NAND回路 11c のみ出力信号が「0」となり、 V_{in} の範囲が確定する。

30

【0087】

次いで、エンコーダ 12 は、NAND回路 11a ~ 11g の出力信号に基づいて、入力電圧 V_{in} に対応する符号化されたデジタル信号を出力する。図 6 の例の A/D変換器 13 は、上述のようにして動作する。図 6 に示す A/D変換器 13 の構成例では、本実施形態の比較器 10 を利用しているので、安定して動作させることができるとともに、高感度(高精度)で且つ低電力で動作させることができる。

40

【0088】

<第 2 の実施形態>

【0089】

通常、上述した比較器を構成する NMOS 及び PMOS トランジスタは微小なサイズで作製されるので、これらのトランジスタの閾電圧値にはばらつきが存在する。この場合、比較器に入力される 2つの電圧間の差に基づいて出力信号を区別するための基準電圧にオフセットが発生する。また、このオフセット電圧は比較器毎に異なる。そして、比較器のオフセット電圧が大きいと誤動作する確率が高くなるので、このオフセット電圧をできる

50

限り小さくすることが望ましい。

【0090】

近年の微細なCMOSトランジスタを用いた比較器のオフセット電圧は、約30mVになる。しかしながら、分解能NビットのA/D変換器の量子化電圧 V_{qn} は $V_{qn} = V_{pp} / 2N$ で表されるので、信号振幅 $V_{pp} = 2V$ とし、 $N = 10\text{bit}$ とすれば、量子化電圧 V_{qn} は2mV程度となる。この場合、基準を1/4LSBにすれば、0.5mV以下のオフセット電圧が必要となる。そこで、本実施形態では、第1の実施形態の比較器において、さらに、オフセット電圧を、例えば、数mV程度以下に抑制するための構成例を説明する。

【0091】

[比較器の構成]

図8に、本実施形態の比較器の回路構成を示す。比較器50は、主に、入力側(前段)に配置されたダイナミックな差動プリアンプ回路部20と、出力側(後段)に配置された差動ラッチ回路部30と、差動プリアンプ回路部20に接続されたオフセット電圧補償回路部60とで構成される。なお、図8に示す本実施形態の比較器50において、図1に示す第1の実施形態の比較器10と同様の構成部分には、同じ符号を付して説明する。

【0092】

本実施形態の比較器50の差動プリアンプ回路部20及び差動ラッチ回路部30は、第1の実施形態と同様の構成とする。それゆえ、ここでは、差動プリアンプ回路部20及び差動ラッチ回路部30の説明は省略する。なお、図8中の符号G、S及びDはそれぞれトランジスタのゲート端子、ソース端子及びドレイン端子を示している。

【0093】

オフセット電圧補償回路部60は、主に、2つのNMOSトランジスタ61及び62(以下、それぞれ第1及び第2補償用MOSトランジスタという)と、これらのトランジスタのゲート電圧を調整する電圧調整部63とを備える。なお、第1及び第2補償用MOSトランジスタ61及び62をPMOSトランジスタで構成してもよい。

【0094】

また、図8では図示しないが、オフセット電圧補償回路部60は、電圧調整部63内のスイッチ67及び68の開閉を制御する制御回路部(図8では不図示)と、比較器50のオフセット電圧補償動作と通常の比較動作とを切替える切替え部(図8では不図示)とを備える。

【0095】

電圧調整部63は、バイアス電源64と、コンデンサ65と、2つのチャージポンプ66及び69(以下、それぞれ第1及び第2チャージポンプという)と、2つのスイッチ67及び68とを備える。

【0096】

第1チャージポンプ66の出力端子はスイッチ67の一方の端子に接続され、スイッチ67の他方の端子はスイッチ68の一方の端子に接続される。スイッチ68の他方の端子は第2チャージポンプ69の入力端子に接続され、第2チャージポンプ69の出力端子は接地される。2つのスイッチ67及び68間の接続点はコンデンサ65の接地されていない方の端子に接続される。

【0097】

第1補償用MOSトランジスタ61のゲート端子は、コンデンサ65の接地されていない方の端子に接続される。第1補償用MOSトランジスタ61のドレイン端子(入力側端子)は、差動プリアンプ回路部20内の第1MOSトランジスタ21及び第4MOSトランジスタ24間の接続点に接続される。また、第1補償用MOSトランジスタ61のソース端子(出力側端子)は、第1MOSトランジスタ21及び第2MOSトランジスタ22のソース端子(出力側端子)に接続される。

【0098】

第2補償用MOSトランジスタ62のゲート端子は、バイアス電源64に接続される。

10

20

30

40

50

第2補償用MOSトランジスタ62のドレイン端子(入力側端子)は、差動プリアンプ回路部20内の第2MOSトランジスタ22及び第5MOSトランジスタ25間の接続点に接続される。また、第2補償用MOSトランジスタ62のソース端子(出力側端子)は、第1MOSトランジスタ21及び第2MOSトランジスタ22のソース端子(出力側端子)に接続される。

【0099】

図9に、スイッチ67及び68の開閉を制御する制御回路部及びオフセット電圧補償動作と通常の比較動作とを切替える切換え部を含む比較器50のより詳細な構成例を示す。図9中の破線で囲まれた領域72及び78がそれぞれ制御回路部及び切換え部である。なお、図9では、差動プリアンプ回路部20及び差動ラッチ回路部30は、まとめて一つの回路素子51で表示し簡略化している。

10

【0100】

制御回路部72は、第1AND回路70と、第2AND回路71とで構成される。第1AND回路70には、比較器50の一方の出力電圧 V_{o1} とキャリブレーション信号CALが入力される。第1AND回路70は、これらの入力信号に基づいて、スイッチ68の開閉を制御する。一方、第2AND回路71には、比較器50の他方の出力電圧 V_{o2} とキャリブレーション信号CALが入力される。そして、第2AND回路71は、これらの入力信号に基づいて、スイッチ67の開閉を制御する。

【0101】

切換え部78は、比較器50のオフセット電圧の補償動作と通常の比較動作とを切替えるための5つのスイッチ73~77で構成される。

20

【0102】

スイッチ74は比較器50の入力端子間に設けられており、また、その一方の端子がスイッチ73が接続され、他方の端子がスイッチ75に接続される。そして、スイッチ73及びスイッチ75のスイッチ74と接続されていない方の端子は、オフセット電圧の補償動作時に比較器50を動作させるための駆動バイアス電源 V_{cm} の入力端子に接続される。これらのスイッチ73~75の開閉制御は、第1及び第2AND回路70及び71に入力されるキャリブレーション信号CALにより行われる。

【0103】

一方、スイッチ76は、入力端子26と回路素子51との間に設けられ、スイッチ77は、入力端子27と回路素子51との間に設けられる。これらのスイッチの開閉制御は、キャリブレーション信号CALとは逆位相の信号により制御される。

30

【0104】

また、本実施形態では、比較器50がオフセット電圧の補償動作している際には、スイッチ73~75を閉じ且つスイッチ76及びスイッチ77を開けるように制御する。また、比較器50が通常の比較動作をしている際には、スイッチ73~75を開き且つスイッチ76及びスイッチ77を閉じるように制御する。

【0105】

[オフセット電圧の補償動作]

次に、オフセット電圧の補償動作について説明するが、具体的な動作を説明する前に、本実施形態におけるオフセット電圧の補償動作の原理を説明する。

40

【0106】

まず、比較器50の入力端子26及び27間をショートして差動プリアンプ回路部20内の第1MOSトランジスタ21及び第2MOSトランジスタ22のゲート電圧を同電位とする。この状態で比較器50を動作させると、第1MOSトランジスタ21(正転側のトランジスタ)及び第2MOSトランジスタ22(反転側のトランジスタ)に電流が流れこむ。この際、比較器50にオフセット電圧がある場合には、第1MOSトランジスタ21及び第2MOSトランジスタ22に流れ込む電流の値が異なる(アンバランスになる)。一方、比較器50にオフセット電圧がない場合には、第1MOSトランジスタ21及び第2MOSトランジスタ22に流れ込む電流の値が等しくなる(バランスする)。

50

【0107】

本実施形態の比較器50の補償動作では、入力端子26及び27間をショートした状態で、第1MOSトランジスタ21及び第2MOSトランジスタ22に流れ込む電流の値が等しくなるように、第1及び第2補償用MOSトランジスタ61及び62のゲート電圧を相対的に調整する。ただし、本実施形態では、第1MOSトランジスタ21及び第2MOSトランジスタ22に流れ込む電流がバランスしているか否かの判定は、補償動作時に比較器50から出力される信号Vo(Vo1及び/またはVo2)の変化をモニターして判定する。

【0108】

図5に示した比較器の感度特性で説明したように、遷移電圧Vin(参照電圧と入力電圧の差)から比較器のオフセット電圧Voffsetを差し引いた値が0V近傍で有る場合には、比較器から「H」状態の信号が出力される確率と「L」状態の信号が出力される確率はともにほぼ50%となる。すなわち、入力電圧差が0Vであり、第1MOSトランジスタ21及び第2MOSトランジスタ22に流れ込む電流がバランスしている場合(オフセット電圧=0V)には、比較器50から「H」状態の信号が出力される確率と、「L」状態の信号が出力される確率はほぼ同じになる。

10

【0109】

そこで、本実施形態では、補償動作時に、比較器50から「H」状態の信号が出力される確率と、「L」状態の信号が出力される確率が同じになるように、第1及び第2補償用MOSトランジスタ61及び62のゲート電圧を相対的に調整する。

20

【0110】

次に、本実施形態におけるオフセット電圧の補償動作を図8~10を参照しながら具体的に説明する。なお、図10は、補償動作中のコンデンサ65の電位Vc、比較器50の出力信号Vo及び補償動作時のクロック信号の変化を示す図である。

【0111】

図10の例では、第2補償用MOSトランジスタ62のゲート端子に印加するバイアス電圧Vbは所定の値とし、第1補償用MOSトランジスタ61のゲート電圧Vc(コンデンサ65の電位Vc)を調整することにより、オフセット電圧を補償する場合を説明する。また、図10の例では、補償動作開始時には、比較器50からは「H」状態の信号(Vo=1V)が連続して出力される場合を考える(図10中のVo参照)。さらに、コンデンサ65の電位Vcを下げることにより、比較器50からの出力を「L」状態の信号(Vo=0V)に変えることができるものとする。

30

【0112】

まず、キャリブレーション信号CALによりスイッチ73~75を閉じて、比較器50を動作させ、オフセット電圧の補償動作を開始する。補償動作開始時には、比較器50からは「H」状態の信号(図10中のVo=1)が連続して出力されるので、コンデンサ65の電位Vcを下げる。この際、制御回路部72によりスイッチ68を閉じて第2チャージポンプ69でコンデンサ65を放電することによりコンデンサ65の電位Vcを下げる。

【0113】

そして、比較器50から「L」状態の信号(Vo=0V)が出力されるまで、クロック単位で段階的にコンデンサ65の電位Vcを下げる(図10中の段階81)。これにより、クロック数が増加するとともに、オフセット電圧が減少する。そして、オフセット電圧が十分に小さくなると、比較器50から「L」状態の信号が出力される。

40

【0114】

比較器50から「L」状態の信号が出力された後は、制御回路部72によりスイッチ68を開けて、代わりにスイッチ67を閉じる。これにより、第1チャージポンプ66によりコンデンサ65が充電され、コンデンサ65の電位Vcが上がる(図10中の段階82)。この結果、比較器50から「H」状態の信号(Vo=1V)が出力される。

【0115】

50

次いで、再度、制御回路部 72 によりスイッチ 67 を開けて、代わりにスイッチ 68 を閉じる。これにより、第 2 チャージポンプ 69 によりコンデンサ 65 が放電され、コンデンサ 65 の電位 V_c が下がる (図 10 中の段階 83)。この結果、比較器 50 から「L」状態の信号が出力される。このような動作を繰り返すと、図 10 に示すように、比較器 50 からは、「H」状態の信号と「L」状態の信号とが交互に出力されるような状態となる。この状態では、比較器 50 から「H」状態の信号が出力される確率と、「L」状態の信号が出力される確率とがほぼ同じになっており、オフセット電圧が補償されている。

【0116】

本実施形態の比較器 50 では、上述のようにしてオフセット電圧を補償する。なお、補償動作の期間は、図 10 に示すように、動作開始から、「H」状態の信号と「L」状態の信号とが比較器 50 から交互に出力されるまでの時間が必要であり、例えば、約 $1 \mu\text{sec}$ とすることができる。

10

【0117】

なお、比較器 50 のオフセット電圧の補償動作は、例えば、通常の比較動作の間に行う。その方法の一例を図 11 に示す。図 11 の例では、比較器 50 のマスタークロック (図 11 中の上段の波形) を用いて、比較動作のタイミングを制御するクロック信号 (中段の波形) と、補償動作のタイミングを制御するクロック信号 (下段の波形) を生成する。具体的には、両クロック信号の周期をマスタークロックの周期の 2 倍にし、且つ、両クロック信号において、クロック信号が「H」状態になるタイミングが互いに重ならないように位相をずらす。このような比較動作のタイミングを制御するクロック信号及び補償動作の

20

【0118】

図 12 に、本実施形態のオフセット電圧補償回路部 60 を含む比較器 50 のオフセット電圧と、従来の比較器 400 (オフセット電圧補償回路なし) のオフセット電圧とを比較した図を示す。図 12 (a) は、比較器 50 を 64 個並べて各比較器 50 のオフセット電圧の分布を測定した結果であり、横軸は、比較器の数 (並び番号) であり、縦軸は各比較器のオフセット電圧 V_{offset} である。なお、図 12 (a) 中の実線の分布が、本実施形態の比較器 50 のオフセット電圧の分布であり、破線の分布は従来の比較器 400 のオフセット電圧の分布である。また、図 12 (b) は、オフセット電圧の統計分布を示す

30

【0119】

図 12 (a) から明らかなように、本実施形態の比較器 50 では、従来に比べてオフセット電圧の大きさが十分抑制されている。また、図 12 (b) に示すオフセット電圧の統計分布からオフセット電圧の標準偏差を求めると、従来の比較器 400 のオフセット電圧の標準偏差 $V_{offset} = 13.7 \text{ mV}$ であったのに対して、本実施形態では、標準偏差 $V_{offset} = 1.69 \text{ mV}$ であった。すなわち、本実施形態の比較器 50 では、オフセット電圧の標準偏差を、従来のそれに比べて約 $1/8$ に減少させることができた。

40

【0120】

なお、本実施形態では、コンデンサ 65 の電位 V_c (第 1 補償用 MOS トランジスタ 61 のゲート電圧) を調整する例を説明したが、本発明はこれに限定されない。コンデンサ 65 の電位 V_c だけでなく、バイアス電源 64 の電圧 V_b (第 2 補償用 MOS トランジスタ 62 のゲート電圧) も調整し、コンデンサ 65 の電位 V_c とバイアス電圧 V_b との電圧差を相対的に調整してもよい。

【0121】

< 3 . 第 3 の実施形態 >

第 3 の実施形態では、オフセット電圧を抑制する機能を有する比較器の別の構成例を説明する。

【0122】

50

[比較器の構成]

図 1 3 に、本実施形態の比較器の回路構成を示す。比較器 8 0 は、主に、入力側（前段）に配置されたダイナミックな差動プリアンプ回路部 2 0 と、出力側（後段）に配置された差動ラッチ回路部 3 0 と、その間に設けられたオフセット電圧補償回路部 9 0 とで構成される。なお、図 1 3 に示す本実施形態の比較器 8 0 において、図 1 に示す第 1 の実施形態の比較器 1 0 と同様の構成部分には、同じ符号を付して説明する。

【 0 1 2 3 】

本実施形態の比較器 8 0 の差動プリアンプ回路部 2 0 及び差動ラッチ回路部 3 0 は、第 1 の実施形態と同様の構成とする。それゆえ、ここでは、差動プリアンプ回路部 2 0 及び差動ラッチ回路部 3 0 の説明は省略する。

10

【 0 1 2 4 】

オフセット電圧補償回路部 9 0 は、主に、2 つの可変容量素子 9 1 及び 9 2 と、2 つの可変容量素子 9 1 及び 9 2 の容量制御を行う制御回路部（不図示）と、比較器 8 0 のオフセット電圧補償動作と通常の比較動作とを切換える切換え部（不図示）とを備える。なお、制御回路部及び切換え部としては、例えば、第 2 の実施形態と同様の構成（図 9 参照）のものを用いることができる。

【 0 1 2 5 】

可変容量素子 9 1 の一方の端子は、差動プリアンプ回路部 2 0 内のノード N 1 に接続され、他方の端子は接地される。また、可変容量素子 9 2 の一方の端子は、差動プリアンプ回路部 2 0 内のノード N 2 に接続され、他方の端子は接地される。なお、各可変容量素子の容量の調整は、例えば、容量の異なる複数の容量素子を複数配置しておき、補償動作時にそれらのうちの少なくとも一つを選択するようなスイッチ回路を用いることにより制御することができる。

20

【 0 1 2 6 】

[オフセット電圧の補償動作]

本実施形態では、第 2 の実施形態と同様に、入力端子 2 6 及び 2 7 間をショートした状態で、第 1 M O S トランジスタ 2 1 及び第 2 M O S トランジスタ 2 2 に流れ込む電流の値が等しくなるように、2 つの可変容量素子 9 1 及び 9 2 の容量を調整する。

【 0 1 2 7 】

ノード N 1 及び N 2 に流れる電流は、ノード N 1 及び N 2 に接続される容量の大きさによっても調整することができる。例えば、ノードに接続する容量素子の容量を大きくすると、電流が流れ難くなり、逆に容量が小さいと電流が流れ易くなる。すなわち、ノードに接続する容量素子の容量の大きさを変えることにより、ノードでの電圧降下を制御することができる。

30

【 0 1 2 8 】

それゆえ、本実施形態のオフセット電圧補償回路部 9 0 においても、補償動作時に可変容量素子 9 1 及び 9 2 の容量を相対的に調整することにより、第 2 の実施形態と同様にして（図 1 0 参照）、オフセット電圧を補償することができる。

【 0 1 2 9 】

また、本実施形態のオフセット電圧補償回路部 9 0 の可変容量素子 9 1 及び 9 2 の容量の絶対値を大きくすると、差動プリアンプ回路部 2 0 の出力線上にノイズが加わっても、可変容量素子 9 1 及び 9 2 のフィルタ作用によりそのノイズが吸収され、比較器 8 0 の感度をより向上させることができる。それゆえ、この場合には、より高精度な A / D 変換器を提供することができる。

40

【 0 1 3 0 】

< 4 . 第 4 の実施形態 >

第 1 の実施形態で説明した A / D 変換器（図 6 参照）のような並列型の A / D 変換器では、参照電圧と同等数の比較器を設ける。このような構成では、A / D 変換器の分解能を N とすると、約 2^N 個の参照電圧が必要となる。例えば、分解能 $N = 10 \text{ bit}$ とすると、1 0 2 4 個の参照信号が必要となり、同等数（1 0 0 0 個程度）の比較器を設ける必要

50

がある。A/D変換器の入力端子に接続される比較器の数が増えると、A/D変換器の入力側からみた容量が大きくなり、A/D変換器の周波数特性が劣化する。

【0131】

この問題を解決するために、参照電圧の数を減らす必要があるが、その場合には分解能が劣化する。そこで、分解能を維持しつつ参照電圧の数を減らす方法として、抵抗分割等により実際に得られる2つの参照電圧間（一補間電圧区間）の参照電圧を補間技術により疑似的に生成して分解能を維持する方法が用いられる。

【0132】

図14に、実際に得られる2つの参照電圧 $V_{r, n-1}$ 及び $V_{r, n}$ 、並びに、その参照電圧間の補償参照電圧と、比較すべき入力電圧とを比較した際に、比較器内の差動プリアンプ回路部から出力される電圧の変化を示す。図14中の横軸は比較器への入力電圧であり、縦軸は差動プリアンプ回路部からの出力電圧である。図14中の実線の特性は、差動プリアンプ回路部内の正転側のトランジスタから出力される電圧の変化を示しており、破線の特性の反転側のトランジスタから出力される電圧の変化を示している。

10

【0133】

ここで、例えば、参照電圧 $V_{r, n-1}$ 及び $V_{r, n}$ 間（一補間電圧区間）を $k:m-k$ で分割する補間参照電圧 $V_{r, k}$ と入力電圧とを比較器で比較した際の出力電圧を考える。この場合、差動プリアンプ回路部内の正転側のトランジスタから出力される電圧 V_k は、図14に示すように、 $V_k = \{ (m-k) \cdot V_{n-1} + k \cdot V_n \} / m$ となる。また、差動プリアンプ回路部内の反転側のトランジスタから出力される電圧 V_{k_c} は、 $V_{k_c} = \{ (m-k) \cdot V_{n-1_c} + k \cdot V_{n_c} \} / m$ となる。

20

【0134】

なお、上記式中の V_{n-1} 及び V_{n-1_c} は、参照電圧 $V_{r, n-1}$ と入力電圧とを比較器で比較した際に、差動プリアンプ回路部内の正転側及び反転側のトランジスタからそれぞれ出力される電圧である。また、 V_n 及び V_{n_c} は、参照電圧 $V_{r, n}$ と入力電圧とを比較器で比較した際に、差動プリアンプ回路部内の正転側及び反転側のトランジスタからそれぞれ出力される電圧である。

【0135】

すなわち、補間参照電圧 $V_{r, k}$ と入力電圧とを比較可能な補間型の比較器に、4つの電圧信号 V_n 、 V_{n_c} 、 V_{n-1} 及び V_{n-1_c} を入力すると、その補間型の比較器内の差動プリアンプ回路部からは上記式で表わされる電圧信号 V_k 及び V_{k_c} が出力される。本実施形態では、このような補間機能を有する比較器及びそれを用いたA/D変換器の構成例を説明する。

30

【0136】

[A/D変換器の構成]

本実施形態の比較器の構成を説明する前に、上述のような補間機能を有する比較器を備えるA/D変換器の構成例を説明する。図15に、本実施形態のA/D変換器の概略構成を示す。なお、図15は、2つの参照電圧 $V_{r, 1}$ 及び $V_{r, 2}$ を生成する分割抵抗 R_1 及び R_2 に接続される部分だけを示す。すなわち、一補間電圧区間に関連する構成部分のみを示す。また、本実施形態では、2つの参照電圧 $V_{r, 1}$ 及び $V_{r, 2}$ 間を m 等分する場合を考える。それゆえ、一補間電圧区間には、補間機能を有する比較器100は $m-1$ 個必要となる。

40

【0137】

本実施形態の比較器150では、補間機能を有する複数の比較器100と分割抵抗($R_1, R_2 \dots$)の間に複数の差動増幅器(151, 152...)が設けられる。また、本実施形態では、参照電圧 $V_{r, 1}$ 及び $V_{r, 2}$ 間（一補間電圧区間）を m 等分するので、2つの差動増幅器151及び152の差動出力端子に $m-1$ 個の比較器100を並列接続する。

【0138】

また、各比較器100には、一方の差動増幅器151の2つの出力電圧 V_1 及び $V_{1_}$

50

c 、並びに、他方の差動増幅器 152 の 2 つの出力電圧 V_2 及び V_{2_c} が入力される。この際、出力電圧 V_1 及び V_2 は、比較器 100 内の差動プリアンプ回路部の正転側の MOS トランジスタに入力され、出力電圧 V_{1_c} 及び V_{2_c} は、反転側の MOS トランジスタに入力される。なお、2 つの差動増幅器 151 及び 152 の出力電圧 V_1 、 V_{1_c} 、 V_2 及び V_{2_c} は、例えば、それぞれ図 14 中の V_{n-1} 、 V_{n-1_c} 、 V_n 及び V_{n_c} に対応する。

【0139】

このような構成にすることにより、参照電圧を少なくすることができる。この結果、A/D 変換器の入力側からみた容量を小さくすることができ、周波数特性の劣化を防ぐことができる。また、参照電圧を生成するために必要な抵抗及びその周辺回路の数が減らすことができる。

10

【0140】

[比較器の構成]

図 16 に、本実施形態の比較器 100 の回路構成を示す。比較器 100 は、主に、入力側（前段）に配置されたダイナミックな差動プリアンプ回路部 120 と、出力側（後段）に配置された差動ラッチ回路部 30 とで構成される。なお、図 16 に示す本実施形態の比較器 100 において、図 1 に示す第 1 の実施形態の比較器 10 と同様の構成部分には、同じ符号を付して説明する。

【0141】

本実施形態の比較器 100 の差動ラッチ回路部 30 は、第 1 の実施形態と同様の構成とする。それゆえ、ここでは、差動ラッチ回路部 30 の説明は省略する。

20

【0142】

差動プリアンプ回路部 120（差動増幅回路部）は、5 つの NMOS トランジスタ 101 ~ 104 及び 23 と、2 つの PMOS トランジスタ 24 及び 25 とで構成される。本実施形態では、差動プリアンプ回路部 120 内の入力差動トランジスタ対の正転側のトランジスタを 2 つの NMOS トランジスタ 101 及び 102 で構成する。また、反転側のトランジスタを 2 つの NMOS トランジスタ 103 及び 104 で構成する。これ以外の構成は、第 1 の実施形態と同様とする。

【0143】

正転側の一方の NMOS トランジスタ 101（第 1 MOS トランジスタ）のゲート端子は、入力端子 111 に接続され、入力端子 111 には差動増幅器 151 の正転側の出力電圧 V_1 （第 1 入力電圧信号）が入力される。すなわち、差動増幅器 151 の正転側の出力電圧 V_1 が、NMOS トランジスタ 101 のゲート電圧となる。また、NMOS トランジスタ 101 のドレイン端子（入力側端子）は、第 4 MOS トランジスタ 24 のドレイン端子（出力側端子）に接続される。さらに、NMOS トランジスタ 101 のソース端子（出力側端子）は、第 3 MOS トランジスタ 23 のドレイン端子（入力側端子）に接続される。

30

【0144】

正転側の他方の NMOS トランジスタ 102（第 16 MOS トランジスタ）のゲート端子は、入力端子 112 に接続され、入力端子 112 には差動増幅器 152 の正転側の出力電圧 V_2 （第 3 入力電圧信号）が入力される。すなわち、差動増幅器 152 の正転側の出力電圧 V_2 が、NMOS トランジスタ 102 のゲート電圧となる。また、NMOS トランジスタ 102 のドレイン端子（入力側端子）は、NMOS トランジスタ 101 のドレイン端子（入力側端子）に接続される。さらに、NMOS トランジスタ 102 のソース端子（出力側端子）は、NMOS トランジスタ 101 のソース端子（出力側端子）に接続される。

40

【0145】

また、反転側の一方の NMOS トランジスタ 103（第 2 MOS トランジスタ）のゲート端子は、入力端子 113 に接続され、入力端子 113 には差動増幅器 151 の反転側の出力電圧 V_{1_c} （第 2 入力電圧信号）が入力される。すなわち、差動増幅器 151 の反

50

転側の出力電圧 V_{1_c} が、NMOSトランジスタ103のゲート電圧となる。また、NMOSトランジスタ103のドレイン端子（入力側端子）は、第5MOSトランジスタ25のドレイン端子（出力側端子）に接続される。さらに、NMOSトランジスタ102のソース端子（出力側端子）は、第3MOSトランジスタ23のドレイン端子（入力側端子）に接続される。

【0146】

反転側の他方のNMOSトランジスタ104（第17MOSトランジスタ）のゲート端子は、入力端子114に接続され、入力端子114には差動増幅器152の反転側の出力電圧 V_{2_c} （第4入力電圧信号）が入力される。すなわち、差動増幅器152の反転側の出力電圧 V_{2_c} が、NMOSトランジスタ104のゲート電圧となる。また、NMOSトランジスタ104のドレイン端子（入力側端子）は、NMOSトランジスタ103のドレイン端子（入力側端子）に接続される。さらに、NMOSトランジスタ104のソース端子（出力側端子）は、NMOSトランジスタ103のソース端子（出力側端子）に接続される。

10

【0147】

そして、本実施形態の比較器100では、差動プリアンプ回路部120内の入力差動トランジスタ対を構成するNMOSトランジスタ101～104のそれぞれのチャネル幅 W （トランジスタの幅）とチャネル長 L （トランジスタの長さ）との比（以下、 W/L 比という）を変えることにより、入力電圧と、所定の補間参照電圧との比較を可能にしている。

20

【0148】

[比較器の動作原理]

次に、本実施形態の比較器100の動作原理を説明する。ここでは、入力差動トランジスタ対を構成するNMOSトランジスタ101～104の各チャネル幅 W を変えることにより、 W/L 比を変化させる場合を考える。また、NMOSトランジスタ101～104のチャネル長 L 、キャリアの移動量 μ 、単位ゲート容量 C_{ox} 及び閾値電圧 V_T はすべてのトランジスタにおいて等しいものとする。

【0149】

各NMOSトランジスタ101～104に流れる電流 I_{ds_101} 、 I_{ds_102} 、 I_{ds_103} 及び I_{ds_104} は、それぞれ、下記数式1で表わされる。なお、下記数式1中の $W_{101} \sim W_{104}$ は、それぞれNMOSトランジスタ101～104のチャネル幅である。

30

【0150】

【数1】

$$I_{ds_101} = \frac{1}{2} \mu C_{ox} \frac{W_{101}}{L} (V_1 - V_T)$$

$$I_{ds_112} = \frac{1}{2} \mu C_{ox} \frac{W_{102}}{L} (V_2 - V_T)$$

$$I_{ds_103} = \frac{1}{2} \mu C_{ox} \frac{W_{103}}{L} (V_{1_c} - V_T)$$

$$I_{ds_104} = \frac{1}{2} \mu C_{ox} \frac{W_{104}}{L} (V_{2_c} - V_T)$$

40

【0151】

比較器100の比較動作では、差動プリアンプ回路部120内の正転側の2つのNMOSトランジスタ101及び102にそれぞれ流れる電流を合算した電流と、反転側の2つのNMOSトランジスタ103及び104にそれぞれ流れる電流を合算した電流とを比較する。各合算電流は次式で表わされる。

【0152】

50

【数 2】

$$I_{ds_101} + I_{ds_102} = \frac{1}{2} \mu C_{ox} \frac{1}{L} \{W_{101}(V_1 - V_T) + W_{102}(V_2 - V_T)\}$$

$$I_{ds_103} + I_{ds_104} = \frac{1}{2} \mu C_{ox} \frac{1}{L} \{W_{103}(V_{1_c} - V_T) + W_{104}(V_{2_c} - V_T)\}$$

【0153】

ここで、 $W_{101} = W_{103} = W_1$ 、 $W_{102} = W_{104} = W_2$ とし、 $W_1 : W_2 = (m - k) : k$ とし、上記数式 2 の両合算電流が等しくなる境界条件を下記数式 3 により求める。

【0154】

【数 3】

$$W_1(V_1 - V_T) + W_2(V_2 - V_T) = W_1(V_{1_c} - V_T) + W_2(V_{2_c} - V_T)$$

$$\therefore W_1(V_1 - V_{1_c}) = W_2(V_{2_c} - V_2)$$

$$\therefore \frac{m-k}{m}(V_1 - V_{1_c}) = \frac{k}{m}(V_{2_c} - V_2)$$

【0155】

上記数式 3 をさらに書き直すと、下記数式 4 が得られる。

【0156】

【数 4】

$$\frac{(m-k)V_1 + kV_2}{m} = \frac{(m-k)V_{1_c} + kV_{2_c}}{m}$$

【0157】

上記数式 4 の両辺の式と、図 1 4 で説明した補間参照電圧 $V_{r,k}$ に対して差動プリアンプ回路部から出力される正転側の出力電圧 V_k 及び反転側の出力電圧 V_{k_c} の式とを比較すると分かるように、上記数式 4 の左辺が差動プリアンプ回路部 1 2 0 の正転側の出力電圧を示しており、右辺が反転側の出力電圧を示している。

【0158】

すなわち、本実施形態の比較器 1 0 0 では、4 つの入力電圧 V_1 、 V_{1_c} 、 V_2 及び V_{2_c} が比較器 1 0 0 に入力された際には、差動プリアンプ回路部 1 2 0 内のトランジスタ対の正転側からは上記数式 4 の左辺で表わされた電圧が出力され、反転側からは上記数式 4 の右辺で表わされた電圧が出力される。これは、比較器 1 0 0 において、図 1 5 中の参照電圧 $V_{r,1}$ 及び $V_{r,2}$ 間を $(m - k) : k$ で分割する補間参照電圧により、擬似的に比較動作が行われていることを意味する。それゆえ、本実施形態の比較器 1 0 0 では、NMOS トランジスタ 1 0 1 及び 1 0 3 のチャンネル幅 W_1 と NMOS トランジスタ 1 0 2 のチャンネル幅 W_2 との比を $W_1 : W_2 = (m - k) : k$ と設定することにより、所定の補間参照電圧で比較動作を行うことができる。例えば、 $W_1 : W_2 = 1 : 1$ とすれば、参照電圧 $V_{r,1}$ 及び $V_{r,2}$ 間の中間の補間参照電圧で比較動作を行うことができる。

【0159】

本実施形態では、上記補償原理に基づいて、各比較器 1 0 0 が所望の補間参照電圧で比較動作が可能になるように、差動プリアンプ回路部内の NMOS トランジスタ 1 0 1 ~ 1 0 4 の W/L 比を適宜調整する。

【0160】

なお、図 1 5 に示す A/D 変換器においては、2 つの差動増幅器 1 5 1 及び 1 5 2 の差動出力端子に接続された $m - 1$ 個の比較器 1 0 0 毎に、差動プリアンプ回路部 1 2 0 内の NMOS トランジスタ 1 0 1 及び 1 0 3 のチャンネル幅 W_1 と NMOS トランジスタ 1 0 2

10

20

30

40

50

のチャンネル幅 W との比が異なるように設定される。なお、上記説明では、各トランジスタのチャンネル幅 W を変えて W/L 比を調整する例を説明したが、本発明はこれに限定されず、チャンネル長 L を変えて W/L 比を調整してもよいし、チャンネル幅 W 及びチャンネル長 L の両方を変化させて W/L 比を調整してもよい。

【0161】

また、NMOSトランジスタの W/L 比を調整する際、調整の容易さから上述したようにチャンネル幅 W を調整することが好ましい。その調整方法としては、チャンネル幅 W を単に広げて良いが、チャンネル幅 W の最小パターンのMOSトランジスタをLSIチップ上で複数形成し、それらを並列接続しても良い。その一例を図17に示す。

【0162】

図17は、NMOSトランジスタの概略上面図である。図17の例では、電流の流れる方向に沿ってチャンネル幅 W のドレイン領域 (D) 及びソース領域 (S) を複数交互に形成し、各ドレイン領域 (D) 及びソース領域 (S) 間にゲート領域 (G) を形成する。これにより、チャンネル幅 W の最小パターンのMOSトランジスタを複数形成する。そして、ドレイン領域同士、ソース領域同士及びゲート領域同士を接続して、チャンネル幅 W の複数の最小パターンのMOSトランジスタを並列接続する。この結果、NMOSトランジスタ全体では、等価的にチャンネル W が広がったこととなる。このような方法でチャンネル幅 W を調整した場合、チップ上のパターンのレイアウトがよりコンパクトになり、稠密性も向上する。

【図面の簡単な説明】

【0163】

【図1】第1の実施形態の比較器の概略回路構成図である。

【図2】第1の実施形態の比較器の動作前の状態を示す図である。

【図3】第1の実施形態の比較器の動作時の状態を示す図である。

【図4】図4(a)は、第1の実施形態の比較器の出力信号の変化を示す図であり、図4(b)は、差動プリアンプ回路部からの出力電圧の変化を示す図であり、図4(c)は、比較器の動作を制御するクロック信号の変化を示す図である。

【図5】比較器の感度特性を示す図である。

【図6】第1の実施形態のA/D変換器の概略構成図である。

【図7】第1の実施形態で用いたNAND回路の入力信号と出力信号との関係を示す真理値表である。

【図8】第2の実施形態の比較器の概略回路構成図である。

【図9】第2の実施形態の比較器のより詳細な概略構成図である。

【図10】第2の実施形態の比較器における補償動作を説明するための図である。

【図11】補償動作のタイミングと、比較動作のタイミングの関係を示す図である。

【図12】図12(a)は、比較器のオフセット電圧の分布を示す図であり、図12(b)は、オフセット電圧の統計分布を示す図である。

【図13】第3の実施形態の比較器の概略回路構成図である。

【図14】第4の実施形態で用いる補間原理の概要を示す図である。

【図15】第4の実施形態のA/D変換器の概略構成図である。

【図16】第4の実施形態の比較器の概略回路構成図である。

【図17】第4の実施形態の比較器で用いるNMOSトランジスタの概略上面図である。

【図18】従来の比較器の動作前の状態を示す図である。

【図19】従来の比較器の動作時の状態を示す図である。

【図20】図20(a)は、従来の比較器の出力信号の変化を示す図であり、図20(b)は、差動プリアンプ回路部からの出力電圧の変化を示す図であり、図20(c)は、比較器の動作を制御するクロック信号の変化を示す図である。

【符号の説明】

【0164】

10, 10a ~ 10h, 50, 80, 100... 比較器、11a ~ 11g... NAND回路

10

20

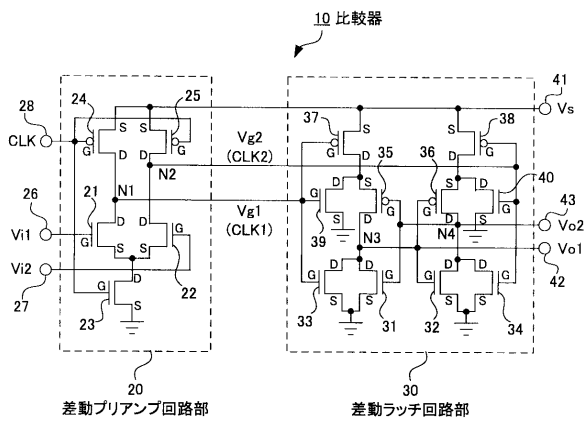
30

40

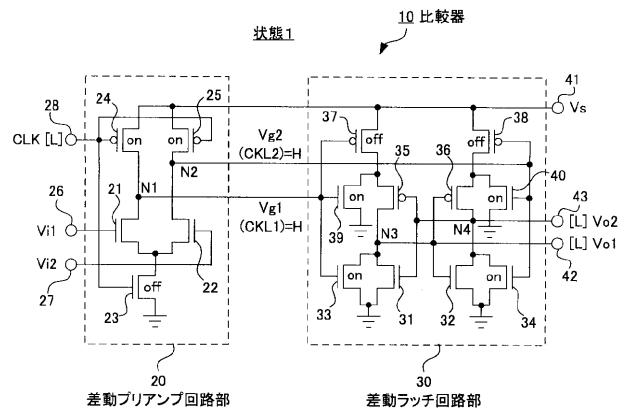
50

、 1 2 ... エンコーダ、 1 3 , 1 5 0 ... A / D 変換器、 2 0 , 1 2 0 ... 差動プリアンプ回路部 (差動増幅回路部)、 2 1 , 1 0 1 ... 第 1 M O S トランジスタ、 2 2 , 1 0 3 ... 第 2 M O S トランジスタ、 2 3 ... 第 3 M O S トランジスタ、 2 4 ... 第 4 M O S トランジスタ、 2 5 ... 第 5 M O S トランジスタ、 2 6 , 2 7 ... 入力端子、 2 8 ... クロック端子、 3 0 ... 差動ラッチ回路部、 3 1 ... 第 6 M O S トランジスタ、 3 2 ... 第 7 M O S トランジスタ、 3 3 ... 第 8 M O S トランジスタ、 3 4 ... 第 9 M O S トランジスタ、 3 5 ... 第 1 0 M O S トランジスタ、 3 6 ... 第 1 1 M O S トランジスタ、 3 7 ... 第 1 2 M O S トランジスタ、 3 8 ... 第 1 3 M O S トランジスタ、 3 9 ... 第 1 4 M O S トランジスタ、 4 0 ... 第 1 5 M O S トランジスタ、 4 2 , 4 3 ... 出力端子、 6 0 , 9 0 ... オフセット電圧補償回路部、 6 1 ... 第 1 補償用 M O S トランジスタ、 6 2 ... 第 2 補償用 M O S トランジスタ、 6 3 ... 電圧調整部、 7 2 ... 制御回路部、 7 8 ... 切換え部、 9 1 , 9 2 ... 可変容量素子、 1 0 2 ... 第 1 6 M O S トランジスタ、 1 0 4 ... 第 1 7 M O S トランジスタ、 1 5 1 , 1 5 2 ... 差動増幅器

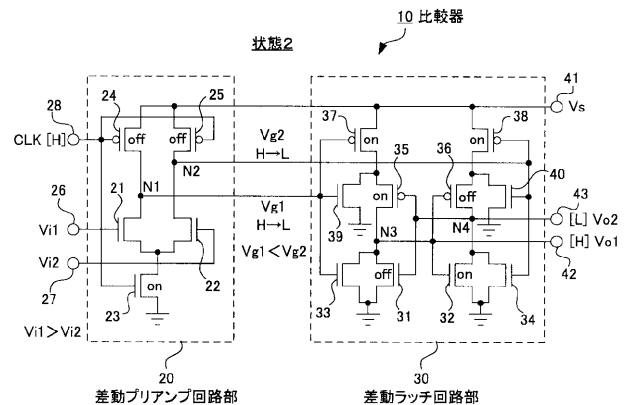
【 図 1 】



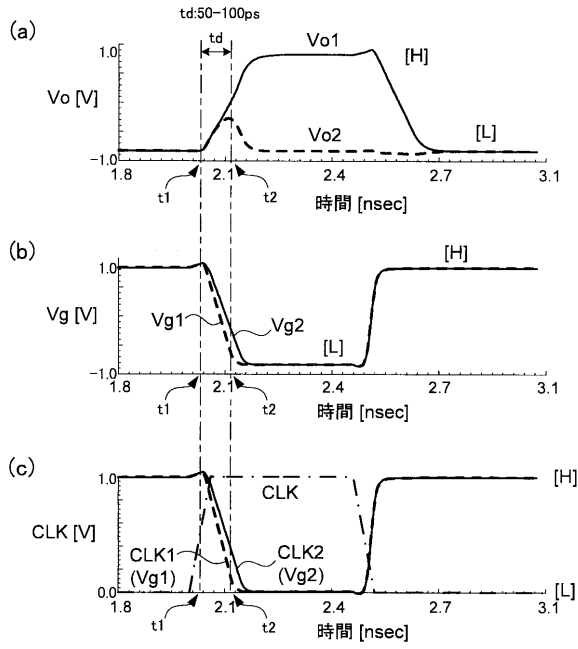
【 図 2 】



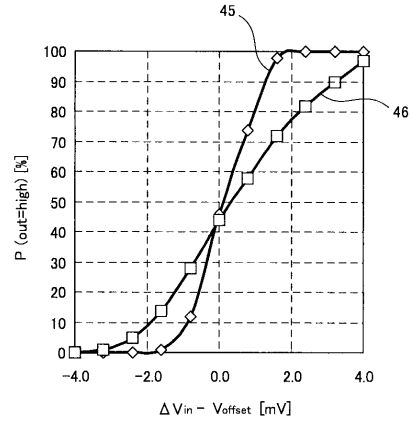
【 図 3 】



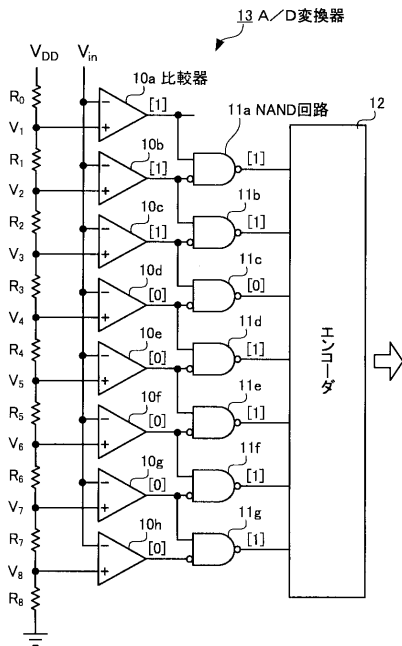
【 図 4 】



【 図 5 】



【 図 6 】



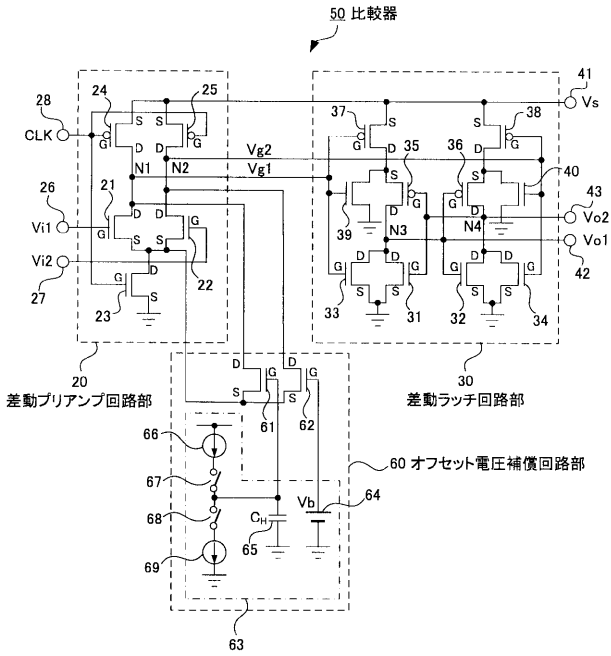
【 図 7 】



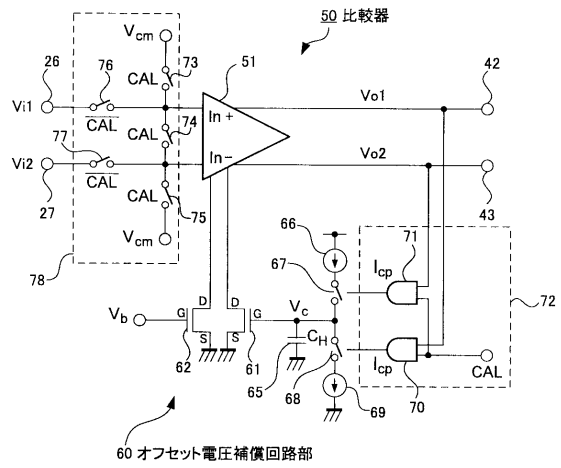
真理値表

A	B	X
0	0	1
0	1	1
1	0	0
1	1	1

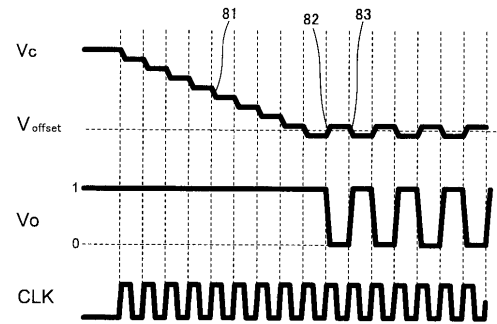
【 図 8 】



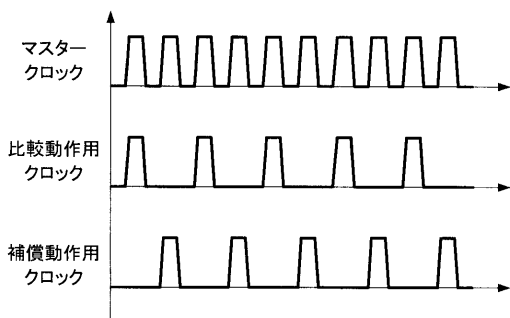
【 図 9 】



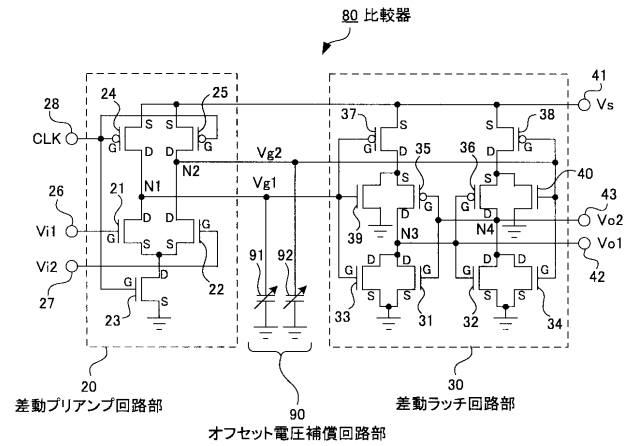
【 図 10 】



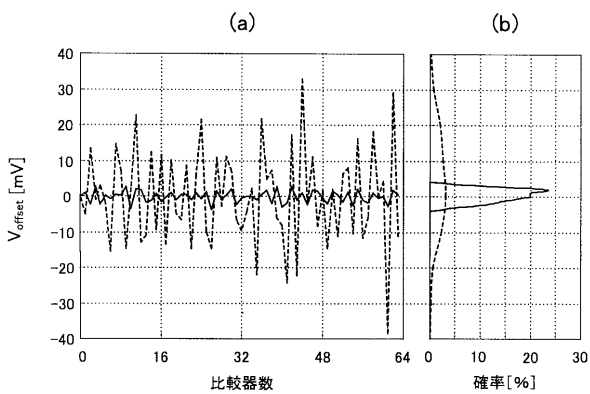
【 図 11 】



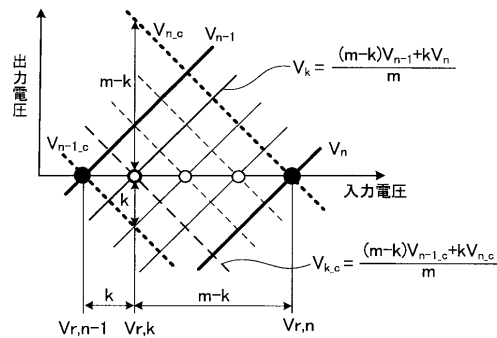
【 図 13 】



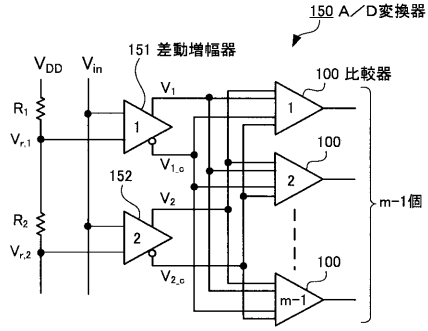
【 図 12 】



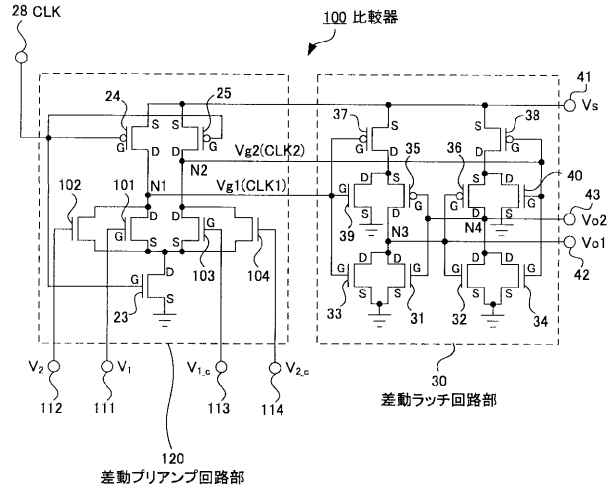
【 図 14 】



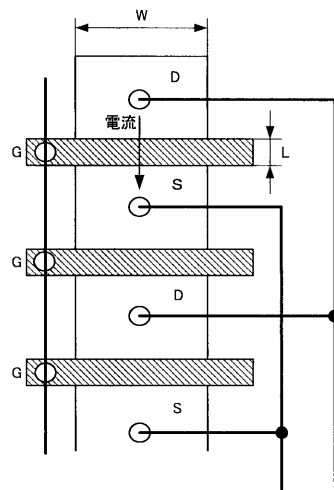
【 図 1 5 】



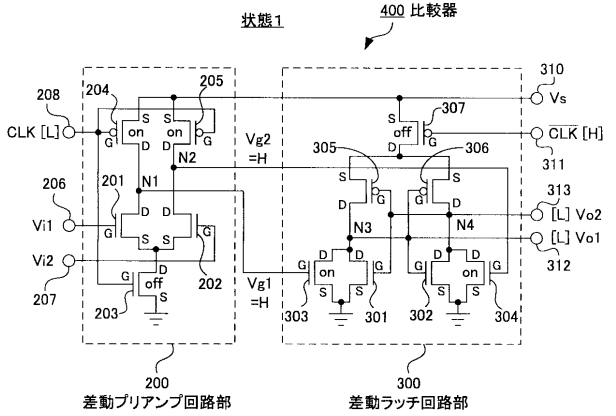
【 図 1 6 】



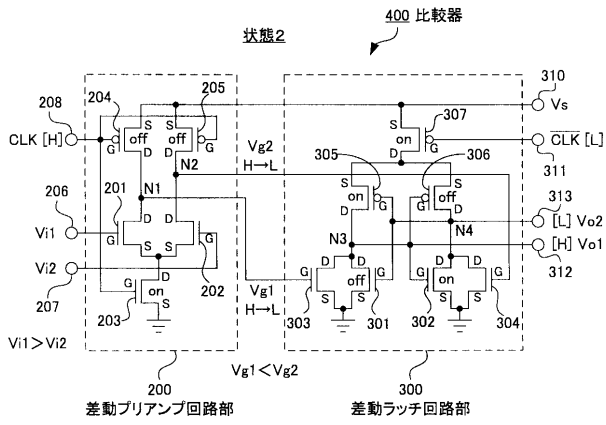
【 図 1 7 】



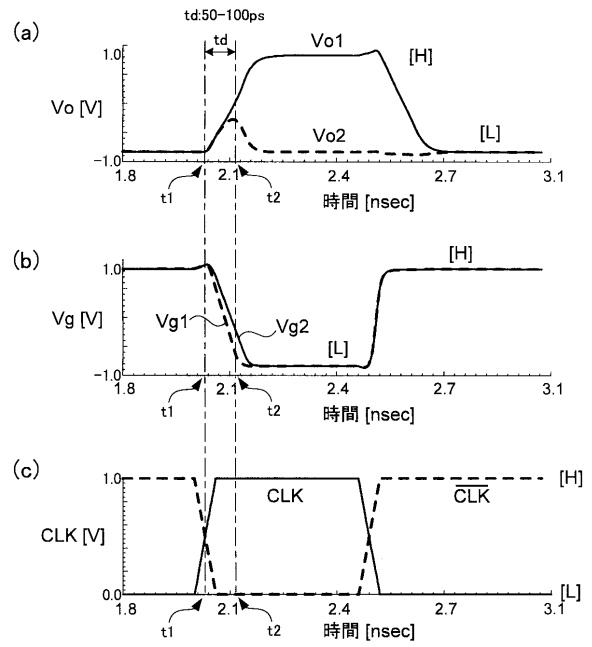
【 図 1 8 】



【図19】



【図20】



フロントページの続き

Fターム(参考) 5J039 DA09 DB11 DC04 KK10 KK18 KK28 KK31 MM04