

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92120143

※ 申請日期：92.7.23

※IPC 分類：G05F1/00

※ 壹、發明名稱：(中文/英文)

具有適應性供應電壓控制之邏輯系統/ Logic System with
Adaptive Supply Voltage Control

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

晨星半導體股份有限公司

MStar Semiconductor, Inc.

代表人：(中文/英文) 梁公偉 / Wayne Liang

住居所或營業所地址：(中文/英文)

新竹縣竹北市台元街 26 號 4 樓之 1

4F-1, No.26, Tai-Yuan St., Chu-Pei, HsinChu Hsien, Taiwan 302, R.O.C.

國 籍：(中文/英文) 中華民國 / TW

參、發明人：(共 2 人)

姓 名：(中文/英文)

史德立 / Sterling Smith

住居所地址：(中文/英文)

新竹縣寶山鄉明湖路 51 巷 2 弄 21 號

No. 21, Alley 2, Lane 51, Ming-Hu Road, Pao-Shan Hsiang, HsinChu Hsien,
Taiwan 308, R.O.C.

國 籍：(中文/英文) 美國 / USA

肆、聲明事項：

本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家(地區)申請專利 主張國際優先權：有
【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 美國 US；2002/07/26；60/398,613

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係關於一種可降低電力消耗之適應性供應電壓控制 (adaptive supply voltage control) 技術，特別是關於一種具有適應性供應電壓控制之低功率邏輯電路、及低功率邏輯電路之適應性供應電壓控制方法。

【先前技術】

在習知之低功率邏輯電路設計中，一般最常被使用來有效率地減少電力消耗的方法，係為降低電源供應之電壓值，這是由於電力消耗係與供應電壓的平方成正比。然而，電源供應電壓降低時，邏輯電路的時間延遲就會增加。雖然，在正常環境使用的情況下，不需要較高之供應電壓，但為了確保電路在各種環境下均可正常運作，吾人通常將其供應電壓設定在一較高之固定值。亦即，供應電壓通常是為最惡劣之工作環境所設計的，使得在電路受到溫度降低、製程偏移 (process shifts)、元件老化等因素影響而導致速度減退時，依然可確保電路速度符合邏輯電路中的關鍵路徑延遲 (critical path delay) 限制。因而，此種較高的供應電壓值設定，在大部分的情況下造成不必要的電力消耗。

在邏輯電路設計的領域中，已陸續提出各種適應性電源供應電壓調節 (adaptive power supply voltage regulation) 技術。此種技術中，為了使電力使用更具效率，其可在正常使用的情況下將電源供應電壓降低，並且在電

路速度必須提升的情況下將電源供應電壓調高。例如，應用在可攜式電腦中，當中央處理器的頻率較低時，可將電源供應電壓降低，而當中央處理器的頻率較高時，則將電源供應電壓升高。

近來，低功率邏輯電路的應用越來越廣泛。在某些特定邏輯電路應用中，僅具有非常少量的電量可供電路使用。針對於此，必須發展出一種更有效率之適應性供應電壓控制技術，以將電力消耗降到最低。

【發明內容】

本發明之主要目的在提供一種具有適應性供應電壓控制之邏輯系統、及一種邏輯系統之適應性供應電壓控制方法，其可有效率地控制一邏輯電路之供應電壓，以將電力消耗降到最低。

本發明之另一主要目的在提供一種具有適應性供應電壓控制之邏輯系統、及一種邏輯系統之適應性供應電壓控制方法，其在降低一邏輯電路之供應電壓的同時，可確保邏輯電路之正常運作而不會發生錯誤。

為達成上述之目的，本發明之具有適應性供應電壓控制之邏輯系統包含一邏輯電路及一電壓轉換電路，電壓轉換電路可產生一動態調節之供應電壓，以供應至邏輯電路。一時脈產生電路產生一預定頻率之時脈信號，並供應至邏輯電路。為使邏輯電路可正常運作，邏輯電路之關鍵路徑延遲係等於或小於時脈信號之週期。電壓

轉換電路可依據時脈產生電路之偏壓電壓，而動態地調節邏輯電路之供應電壓。

較佳地，時脈產生電路所產生時脈信號之週期，係設計成略大於邏輯電路之關鍵路徑延遲，以便為各種可能發生之操作情況保留一安全操作容忍度（margin）。

當發生製程偏移或溫度變化時，時脈產生電路之偏壓電壓及/或操作頻率會因而改變。在多數情況下，時脈產生電路必須維持於一特定頻率，因此需要設置一控制機構，以便將頻率維持於一定值。例如，可使用一鎖相迴路（PLL；phase locked loop）或其他各種習知之方法來達成此目的。在本發明之一較佳具體例中，係利用具有相同或近似延遲特性之元件，來設計時脈產生電路與邏輯電路，並利用電壓轉換電路來動態地調節邏輯電路之供應電壓，使其與時脈產生電路之偏壓電壓一致。因此，在大部分的情況下，邏輯電路之供應電壓可降低，有效地使電力消耗減到最少，同時確保電路在所有情況下均可達成正確之邏輯功能。

在本發明之其他具體例中，亦可使用一延遲鎖定電路（DLL；delay locked loop）或一延遲參考匹配電路，來達到上述之目的。

【實施方式】

為能讓貴審查委員能更瞭解本發明之技術內容，特舉二個較佳具體例說明如下。

請參照圖 1，其顯示本發明具有適應性供應電壓控制

之邏輯系統之較佳具體例的示意電路圖。邏輯系統 100 主要包含一邏輯電路 120 及一電壓轉換電路 130，邏輯電路 120 係接受來自一時脈產生電路 110 之時脈信號，電壓轉換電路 130 則係用於調節邏輯電路 120 之供應電壓。

如圖 1 所示，時脈產生電路 110 係由一電壓控制或電流控制振盪器 111 所組成，振盪器 111 係藉由一電壓/電流控制電路 140 而驅動。一控制信號 142 可控制電壓/電流控制電路 140，使其產生一驅動電壓/電流，而使振盪器 111 產生一預定操作頻率之時脈信號。此一功能可利用各種習知技術而達成，例如一鎖相迴路 (PLL; phase locked loop)。圖 2 (a) 與 2 (b) 顯示振盪器電壓/電流控制電路之實施例。圖 2 (a) 中係採用一控制電流源 140a 來產生一驅動電流至振盪器 111，此一驅動電流值係根據製程/溫度不同而變化，使得振盪頻率可隨時控制於一預定頻率。圖 2 (b) 中係採用一控制電壓調節器 140b 來產生一驅動電壓至振盪器 111，此一驅動電壓值亦根據製程/溫度不同而變化，其係為使振盪器 111 產生一預定振盪頻率之最小穩定電壓值。電壓調節器 140b 之實施方式可採用任何習知用於電壓控制振盪器之電壓調節電路，圖 5 顯示電壓調節器 140b 之一種實施例。電壓調節器 140b 主要具有一誤差放大器 148、一 PMOS 電晶體 144 及一電流源 146。誤差放大器 148 比較其反向輸入端 (-端) 之參考電壓 V_{ref} 與其非反向輸入端 (+端)

之回授信號 V_{dd_osc} ，並根據比較結果而產生一電壓信號用以控制 PMOS 電晶體 144，使得 PMOS 電晶體 144 可通過適當電流量，以便獲得一合適之電壓 V_{dd_osc} 。一電流源 146 係連接於 PMOS 電晶體 144 之汲極與源極之間，用以防止系統鎖住。電流源 146 之配置可確保在參考電壓 V_{ref} 很低的時候，仍有足夠的電流饋入振盪器 111 以產生振盪。振盪器 111 之典型範例係為一環狀振盪器 (ring oscillator)，其結構顯示於圖 3。環狀振盪器 110 之主要核心係為一延遲電路，其係由複數個延遲元件 112 串接所組成，且最後一個的輸出接到第一個的輸入而形成一回授迴路。延遲元件 112 一般係採用例如 CMOS 反向器。然而，並非所有振盪器中之延遲元件均為反向器元件，圖 3 之結構僅為舉例性質，而非限制性質。

邏輯電路 120 係由複數個邏輯元件所組成，形成可執行特定功能之數位邏輯電路，其具有一電源供應輸入端，用以饋入電源以驅動該等邏輯元件，並具有一時脈輸入端連接至時脈產生電路 110，以接受預定操作頻率之時脈信號。時脈產生電路 110 中之振盪器 111 與邏輯電路 120 係設計成具有相同或近似之延遲特徵，亦即，振盪器 111 中的延遲元件與邏輯電路 120 中的邏輯元件對於供應電壓、溫度、與製程偏移 (process shifts) 係具有相同或近似之靈敏度。此外，在邏輯系統 100 中，來自振盪器 111 之時脈信號的週期，必須等於或大於邏輯電路 120 之關鍵路徑

延遲，以確保邏輯電路 120 可正確運作。較佳地，來自振盪器 111 之時脈信號的週期係設計成略大於邏輯電路 120 之關鍵路徑延遲 (critical path delay)，以便為各種可能發生之操作情況保留一安全操作容忍度 (margin)。在此具體例中，時脈信號之週期係為振盪器 111 之迴路延遲 (loop delay) 的二倍。

電壓轉換電路 130 具有一輸入端連接至邏輯系統之原始電源供應電壓 V_{dd} ，一輸出端連接至邏輯電路 120 之電源供應輸入端，及一參考電壓端連接至振盪器 111 之偏壓電壓端。電壓轉換電路 130 之實施方式可採用任何合適之習知電壓調節電路或 DC-DC 轉換電路。電壓轉換電路 130 之一種簡單範例係為如圖 4 所示之線性電壓調節器 130a。如圖所示，線性電壓調節器 130a 主要係由一誤差放大器 132 及一 PMOS 電晶體 134 所組成。PMOS 電晶體 134 的源極端係做為輸入端，用以連接至系統之原始電源供應電壓 V_{dd} ，其汲極端則做為輸出端。PMOS 電晶體 134 之汲極端電壓係回授至誤差放大器 132 的非反向輸入端，誤差放大器 132 的反向輸入端則係為參考電壓端，連接至振盪器 111 之偏壓電壓 V_{dd_osc} 。因而，誤差放大器 132 可根據二輸入端之信號差異，輸出一電壓來驅動 PMOS 電晶體 134，而在 PMOS 電晶體 134 之汲極端獲得一經調節之電壓 V_{dd_reg} ，供輸出至邏輯電路 120。更具體而言，當電壓 V_{dd_reg} 高於電壓 V_{dd_osc} 時，誤差放大器 132 的輸出電壓會升高，因而使 PMOS 電晶體 134 的汲極端電壓下降。

以此種配置，電壓調節器 130a 可利用振盪器 111 之偏壓電壓 V_{dd_osc} 做為參考電壓，而產生一經調節之電壓 V_{dd_reg} 做為邏輯電路 120 之電源供應電壓。上述之電壓調節技術顯示一種線性電壓調節器，其會消耗電量以達到調節電壓之目的。在本發明之最佳具體例中，可使用一有效率之 DC-DC 轉換器來取代此種簡易線性調節器，以減少其所造成之電力浪費。

如上所述，由控制電流或控制電壓所驅動之振盪器 111 可隨時被控制於一預定振盪頻率。當發生溫度變化及/或製程偏移時，振盪器 111 之控制電流及偏壓電壓 V_{dd_osc} 將會改變，以便維持頻率之固定。本發明中，振盪器 111 與邏輯電路 120 係分別使用對供應電壓、溫度、與製程偏移具有相同或近似之靈敏度的延遲元件與邏輯元件而形成，而且，振盪器 111 之時脈信號週期係設計成略大於邏輯電路 120 之關鍵路徑延遲，因此，若依據振盪器 111 之偏壓電壓 V_{dd_osc} 的變化，來動態地調節邏輯電路 120 之供應電壓 V_{dd_reg} ，使其滿足 $V_{dd_reg} \geq V_{dd_osc}$ 之條件，則可確保邏輯電路 120 之速度快於振盪器 111。根據此種方式，在大部分情況下，邏輯電路 120 之供應電壓 V_{dd_reg} 可被降低，減少電力損耗。較佳地，係利用電壓轉換電路 130 來動態地調節邏輯電路 120 之供應電壓 V_{dd_reg} ，使其相等於振盪器 111 之偏壓電壓 V_{dd_osc} ，如此將使邏輯電路 120 之供應電壓隨時維持在可動作之最低電壓值。藉此，可將電力消耗降到最低，同時確保邏輯電

路 120 隨時均可正確地運作，不受溫度與製程偏移影響。

圖 1 所顯示之時脈產生電路 110 雖係為一內部時脈產生源，然在其他具體例中，供應給邏輯電路 120 之時脈信號亦可來自一外部時脈產生源。

另一種方式，圖 1 較佳具體例之邏輯系統 100 中的時脈產生電路 110，亦可替換成圖 6 所顯示之時脈產生電路 110'。時脈產生電路 110'除了包括一振盪器 111'外，又具有一除以 k (divide-by- k) 除頻器 113。除頻器 113 係連接於振盪器 111'之輸出端與邏輯電路 120 之時脈輸入端之間。根據此種配置，振盪器 111'之輸出信號可先被除頻，再饋送至邏輯電路 120，其效果係可使時脈產生電路 110'所產生之時脈信號的週期變長。在此一具體例中，時脈信號之週期係等於振盪器 111 之迴路延遲的二倍乘以 k ，因此，振盪器 111'之迴路延遲與邏輯電路 120 之關鍵路徑延遲必須滿足下列條件，以確保邏輯電路之正確運作：

$$2 \times \text{迴路延遲} \times k \geq \text{關鍵路徑延遲}。$$

如上述之說明，本發明之原理，係在邏輯電路 120 之速度變得過快時，將其供應電壓降低，以減少電力消耗。換言之，電壓轉換電路 130 可調節供應電壓 V_{dd_reg} ，以縮小邏輯電路 120 之關鍵路徑延遲與時脈信號週期之差異。邏輯電路 120 之關鍵路徑延遲較佳係略小於時脈信號之週期，使得邏輯電路 120 之速度係維持在略快於時脈產生電路。

除了圖 1 之具體例外，亦可使用例如一延遲鎖定迴路 (DLL) 或一簡單之延遲參考匹配電路，來達到本發明之目的。圖 8 係為一具有此種結構之具體例的示意電路圖，而圖 9 顯示用於實施圖 8 之具體例的範例電路。在此具體例中，邏輯電路 220 之時脈信號 211 係來自一外部參考源。一相位偵測器 242 係用於比較原始時脈信號之相位、與通過一延遲線路 210 後之時脈信號相位，並輸出一相位誤差信號至一濾波器或數位控制電路 244。濾波器或數位控制電路 244 可據以產生一控制信號，用於控制延遲線路 210 之偏壓電壓，使得相位偵測器 242 二輸入端之二時脈信號可被調整成同相。延遲線路 210 之偏壓端係連接至電壓轉換電路 230 之參考電壓端，以依據延遲線路 210 之偏壓而動態地調節邏輯電路 220 之供應電壓 V_{dd_reg} ，藉此達到降低電力消耗之功效。

圖 6(a)至 6(c)係說明習知固定供應電壓控制技術與本發明適應性供應電壓控制技術之比較。圖 6(a)顯示供應電壓對溫度之關係圖。固定供應電壓控制技術在任何溫度下都維持固定供應電壓值；相對地，適應性供應電壓控制技術在溫度較低時，可將邏輯電路之供應電壓調節至較低電壓值。圖 6(b)顯示不同速度製程之關鍵路徑延遲對溫度之關係圖。使用固定供應電壓控制技術時，溫度較高時關鍵路徑延遲較長，溫度降低則關鍵路徑延遲縮短，此時電路之速度已較正常所需的速度為快；相對地，使用適應性

供應電壓控制技術時，在任何溫度下均係使關鍵路徑延遲維持定值。圖 6(c)顯示不同速度製程之電力消耗對溫度之關係圖。由於固定供應電壓控制技術在任何溫度下都維持固定供應電壓值，因此所消耗之功率亦幾乎維持定值；相對地，在溫度較低時，適應性供應電壓控制技術將邏輯電路之供應電壓調節至較低電壓值，因此其可有效地減少電力消耗。

上述具體例僅為例示性說明本發明之原理及其功效，而非用於限制本發明之範圍。任何熟於此項技藝之人士均可在不違背本發明之技術原理及精神下，對具體例作修改與變化。本發明之權利保護範圍應如後述之申請專利範圍所述。

【圖式簡單說明】

圖 1 係為本發明具有適應性供應電壓控制之邏輯系統之較佳具體例之示意電路圖。

圖 2 (a) 與 2 (b) 係為圖 1 較佳具體例中之振盪器電壓/電流控制電路之實施例，其中圖 2 (a) 係為一電流控制電路，而圖 2 (b) 係為一電壓控制電路。

圖 3 係為圖 1 之具體例中所使用之振盪器的一種實施例。

圖 4 係為圖 1 之具體例中所使用之電壓轉換電路的一種實施例。

圖 5 係為圖 2 (b) 之電壓控制電路的一種實施例，其中 DC 電流係可提供一最小振盪頻率，以防止系統鎖住。

圖 6 顯示本發明具有適應性供應電壓控制之邏輯系統之具體例中所使用之另一種時脈產生電路，其具有一除頻器連接於振盪器之輸出端。

圖 7(a) 顯示固定供應電壓控制與適應性供應電壓控制的供應電壓對溫度之關係圖。

圖 7(b) 顯示固定供應電壓控制與適應性供應電壓控制的關鍵路徑延遲對溫度之關係圖。

圖 7(c) 顯示固定供應電壓控制與適應性供應電壓控制的電力消耗對溫度之關係圖。

圖 8 係為本發明具有適應性供應電壓控制之邏輯系統之另一具體例之示意電路圖，其具有一延遲線路及一外部時脈產生源。

圖 9 係為圖 8 具體例之舉例性實施電路圖。

【圖號說明】

100：邏輯系統	110：時脈產生電路
110'：時脈產生電路	111：振盪器
111'：振盪器	112：延遲元件
120：邏輯電路	130：電壓轉換電路
130a：電壓調節器	132：誤差放大器
134：PMOS 電晶體	140：電壓/電流控制電路
140a：控制電流源	140b：電壓調節器

I285302

142 : 控制信號

146 : 電流源

200 : 邏輯系統

211 : 時脈信號

230 : 電壓轉換電路

242 : 相位偵測器

144 : PMOS電晶體

148 : 誤差放大器

210 : 延遲線路

220 : 邏輯電路

240 : 電壓控制電路

244 : 濾波器或數位控制器

伍、中文發明摘要：

一種具有適應性供應電壓控制之邏輯系統，包含一邏輯電路及一電壓轉換電路，邏輯電路係接受來自一時脈產生電路之時脈信號，而電壓轉換電路係用於動態地調節邏輯電路之供應電壓。邏輯電路之關鍵路徑延遲係設計成等於或小於時脈信號之週期。電壓轉換電路係依據時脈產生電路之偏壓電壓而動態地調節邏輯電路之供應電壓。根據本發明，可有效地使邏輯電路之電力消耗降到最低，同時確保邏輯電路在任何情況下均可達成正確之邏輯動作。

陸、英文發明摘要：

A logic system with adaptive supply voltage control comprising a logic circuit clocked by a clock signal from a clock generating circuit and a voltage conversion circuit for generating a dynamically regulated supply voltage for powering the logic circuit. A critical path delay of the logic circuit is designed to be equal to or shorter than a period of the clock signal. The voltage conversion circuit dynamically regulates the supply voltage of the logic circuit based on a bias voltage of the clock generating circuit. According to the invention, the power consumption is effectively minimized while ensuring the logic circuit to function correctly throughout all conditions.

拾、申請專利範圍：

1. 一種具有適應性供應電壓控制之邏輯系統，包含：
 - 一邏輯電路，其接受一時脈產生電路所產生之預定頻率的時脈信號，該邏輯電路之關鍵路徑延遲係等於或小於時脈信號之週期；及
 - 一電壓轉換電路，用於根據時脈產生電路之偏壓電壓而動態地調節該邏輯電路之供應電壓。
2. 如申請專利範圍第 1 項之具有適應性供應電壓控制之邏輯系統，其中，時脈產生電路包含一振盪器，而時脈信號之週期係等於振盪器之迴路延遲之二倍。
3. 如申請專利範圍第 1 項之具有適應性供應電壓控制之邏輯系統，其中，時脈產生電路包含一振盪器及一除以 k 除頻器，而時脈信號之週期係等於振盪器之迴路延遲之二倍乘以 k 。
4. 如申請專利範圍第 1 項之具有適應性供應電壓控制之邏輯系統，其中，時脈信號之週期係略大於該邏輯電路之關鍵路徑延遲。
5. 如申請專利範圍第 1 項之具有適應性供應電壓控制之邏輯系統，其中，該邏輯電路之供應電壓係調節成大於或等於時脈產生電路之偏壓電壓。
6. 如申請專利範圍第 1 項之具有適應性供應電壓控制之邏輯系統，其中，該電壓轉換電路包含一電壓調節器。
7. 如申請專利範圍第 1 項之具有適應性供應電壓控制之邏輯系統，其中，該電壓轉換電路包含一 DC-DC 轉換器。

8. 如申請專利範圍第 1 項之具有適應性供應電壓控制之邏輯系統，其中，一延遲匹配電路係用於達到該邏輯電路之關鍵路徑延遲與時脈信號之週期間的匹配。
9. 如申請專利範圍第 1 項之具有適應性供應電壓控制之邏輯系統，其中，一延遲鎖定迴路係用於達到該邏輯電路之關鍵路徑延遲與時脈信號之週期間的匹配。
10. 一種具有適應性供應電壓控制之邏輯系統，包含：
 - 一邏輯電路，其具有一電源供應端，用以接收一供應電壓，並具有一時脈輸入端，用以接受來自一時脈產生電路之預定頻率的時脈信號，該邏輯電路與時脈產生電路具有近似之延遲特徵；及
 - 一電壓轉換電路，用於根據時脈產生電路之偏壓電壓而動態地調節該邏輯電路之電源供應端的供應電壓。
11. 如申請專利範圍第 10 項之具有適應性供應電壓控制之邏輯系統，其中，時脈產生電路包含一振盪器，而時脈信號之週期係等於振盪器之迴路延遲之二倍。
12. 如申請專利範圍第 10 項之具有適應性供應電壓控制之邏輯系統，其中，時脈產生電路包含一振盪器及一除以 k 除頻器，而時脈信號之週期係等於振盪器之迴路延遲之二倍乘以 k 。
13. 如申請專利範圍第 10 項之具有適應性供應電壓控制之邏輯系統，其中，時脈信號之週期係大於該邏輯電路之關鍵路徑延遲。
14. 如申請專利範圍第 10 項之具有適應性供應電壓控制之

邏輯系統，其中，該邏輯電路之電源供應端的供應電壓係調節成大於時脈產生電路之偏壓電壓。

15.如申請專利範圍第 10 項之具有適應性供應電壓控制之邏輯系統，其中，該邏輯電路之電源供應端的供應電壓係調節成等於時脈產生電路之偏壓電壓。

16.如申請專利範圍第 10 項之具有適應性供應電壓控制之邏輯系統，其中，該電壓轉換電路包含一電壓調節器。

17.如申請專利範圍第 10 項之具有適應性供應電壓控制之邏輯系統，其中，該電壓轉換電路包含一 DC-DC 轉換器。

18.如申請專利範圍第 10 項之具有適應性供應電壓控制之邏輯系統，其中，組成該邏輯電路之邏輯元件與時脈產生電路中之延遲元件對於供應電壓、溫度、與製程偏移係具有近似之靈敏度。

19.一種邏輯電路之適應性供應電壓控制方法，該邏輯電路係接受來自一時脈產生電路之預定頻率之時脈信號，且該邏輯電路之關鍵路徑延遲係等於或小於時脈信號之週期，該方法包含：

依據時脈產生電路之偏壓電壓而動態地調節該邏輯電路之供應電壓。

20.如申請專利範圍第 19 項之邏輯電路之適應性供應電壓控制方法，其中，該邏輯電路之供應電壓係調節成大於或等於時脈產生電路之偏壓電壓。

21.一種邏輯電路之適應性供應電壓控制方法，該邏輯電路係接受來自一時脈產生電路之預定頻率之時脈信號，且

該邏輯電路與時脈產生電路具有近似之延遲特徵，該方法包含：

依據時脈產生電路之偏壓電壓而動態地調節該邏輯電路之供應電壓。

22.如申請專利範圍第 21 項之邏輯電路之適應性供應電壓控制方法，其中，時脈信號之週期係大於該邏輯電路之關鍵路徑延遲。

23.如申請專利範圍第 20 項之邏輯電路之適應性供應電壓控制方法，其中，該邏輯電路之供應電壓係調節成大於或等於時脈產生電路之偏壓電壓。

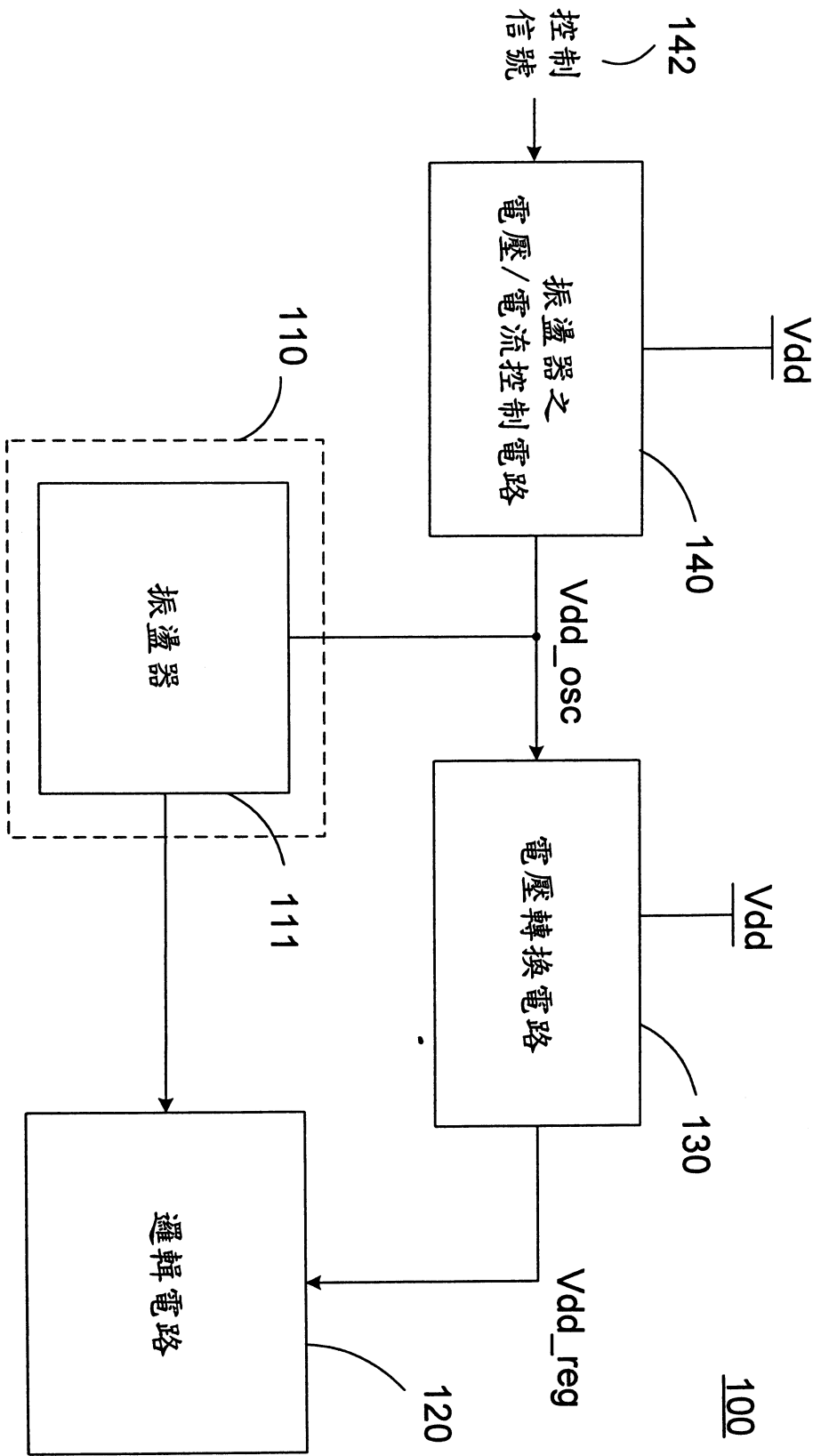


圖 1

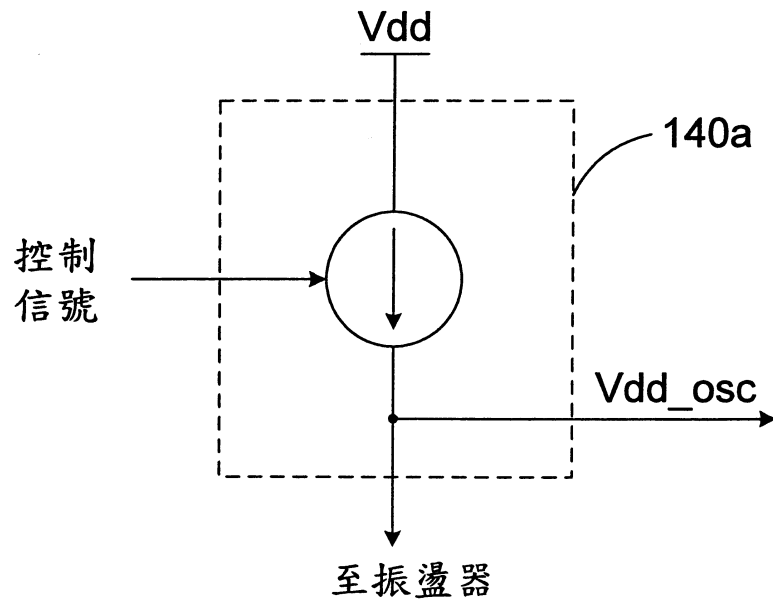


圖 2(a)

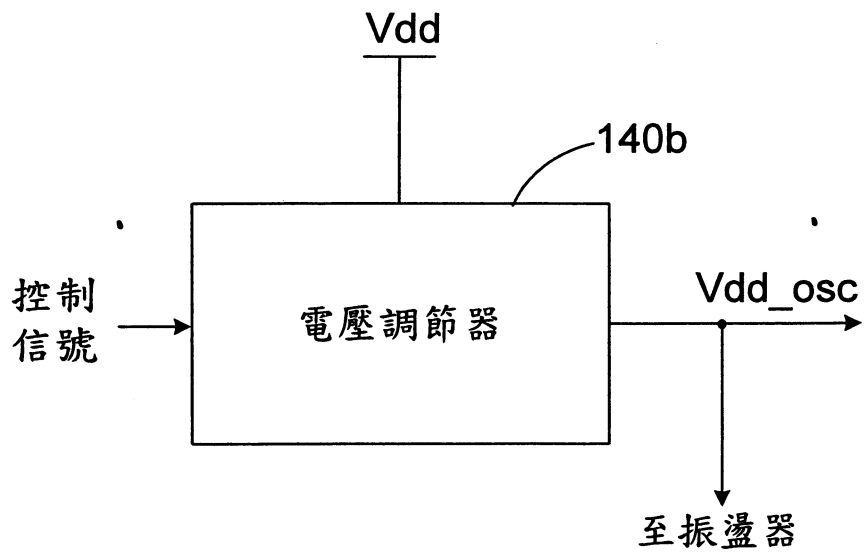


圖 2(b)

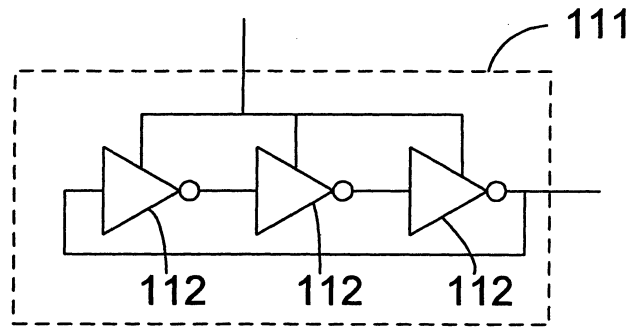


圖 3

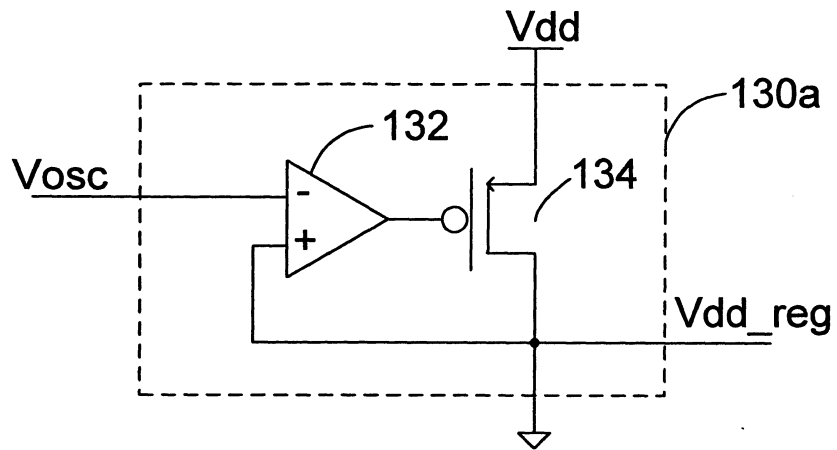


圖 4

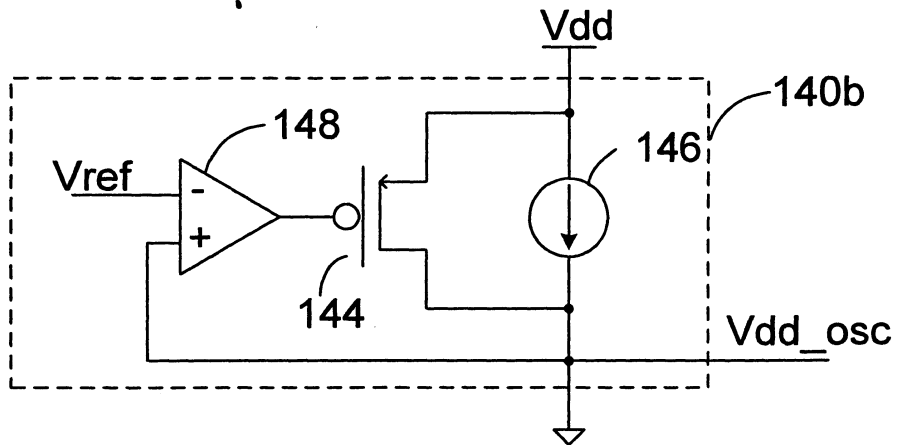


圖 5

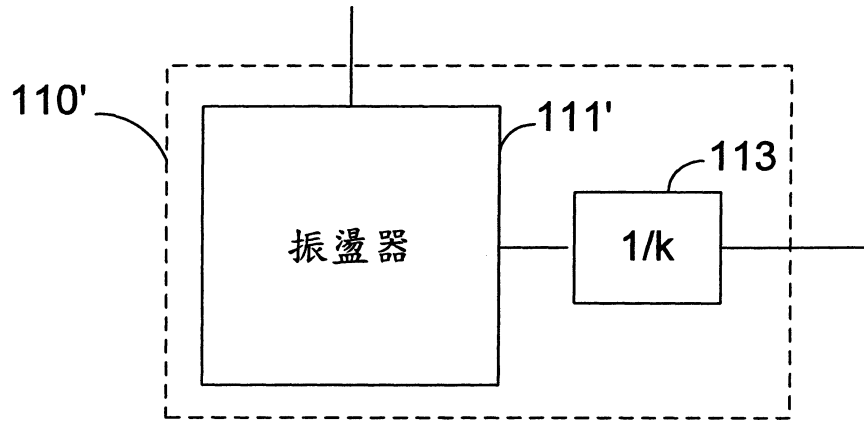


圖 6

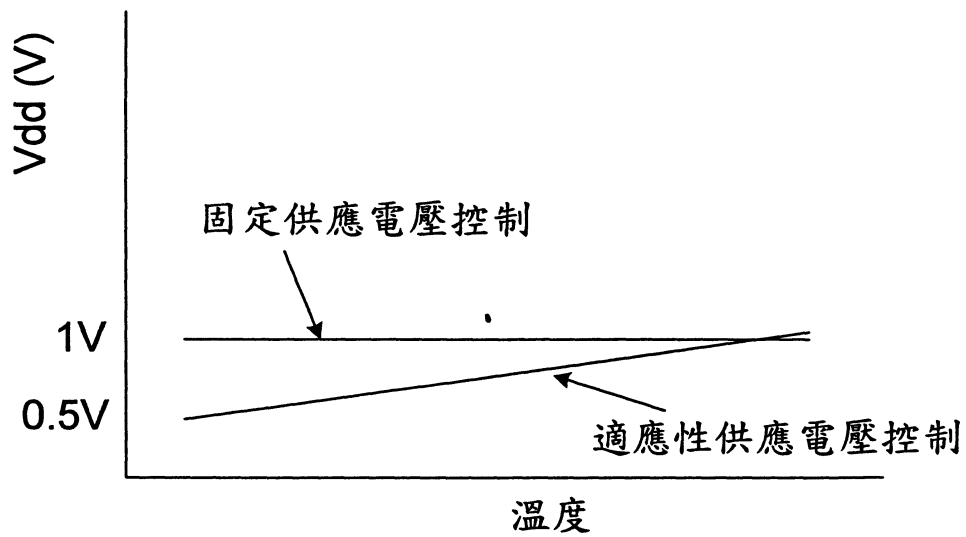
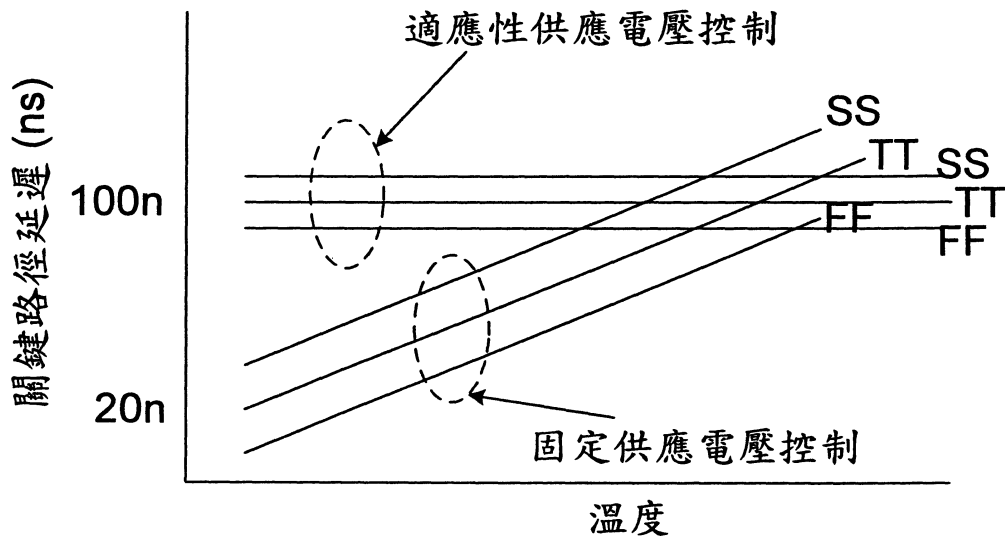
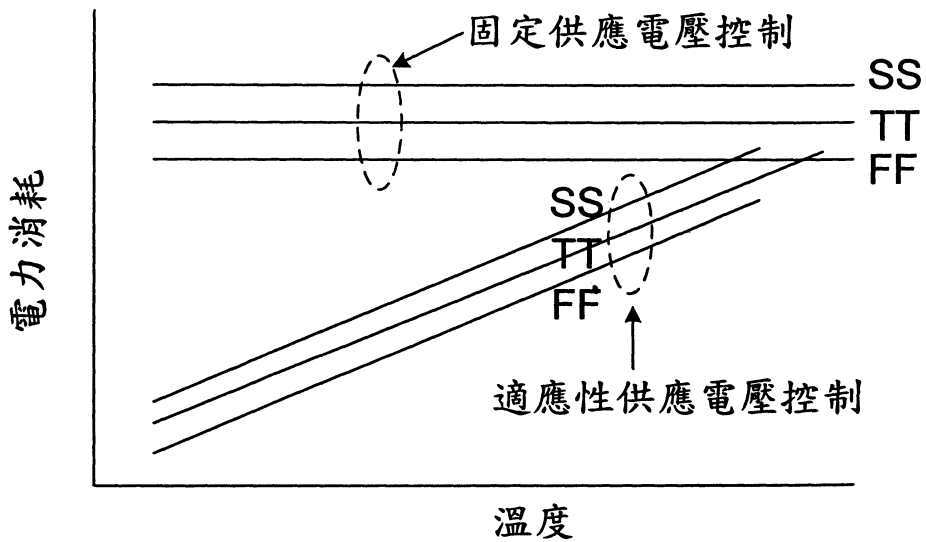


圖 7(a)



SS：慢速製程
 TT：典型製程
 FF：快速製程

圖 7(b)



SS：慢速製程
 TT：典型製程
 FF：快速製程

圖 7(c)

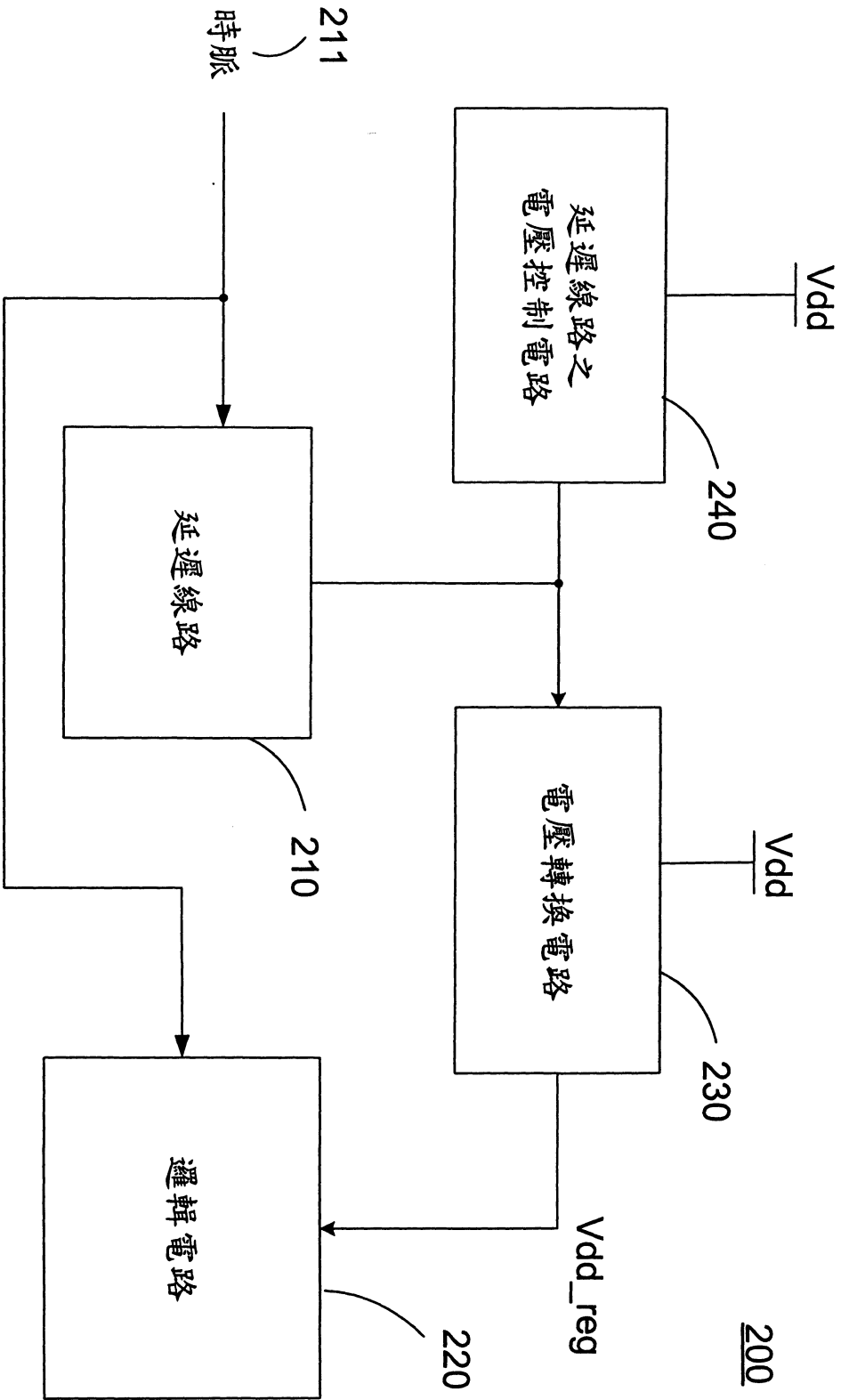
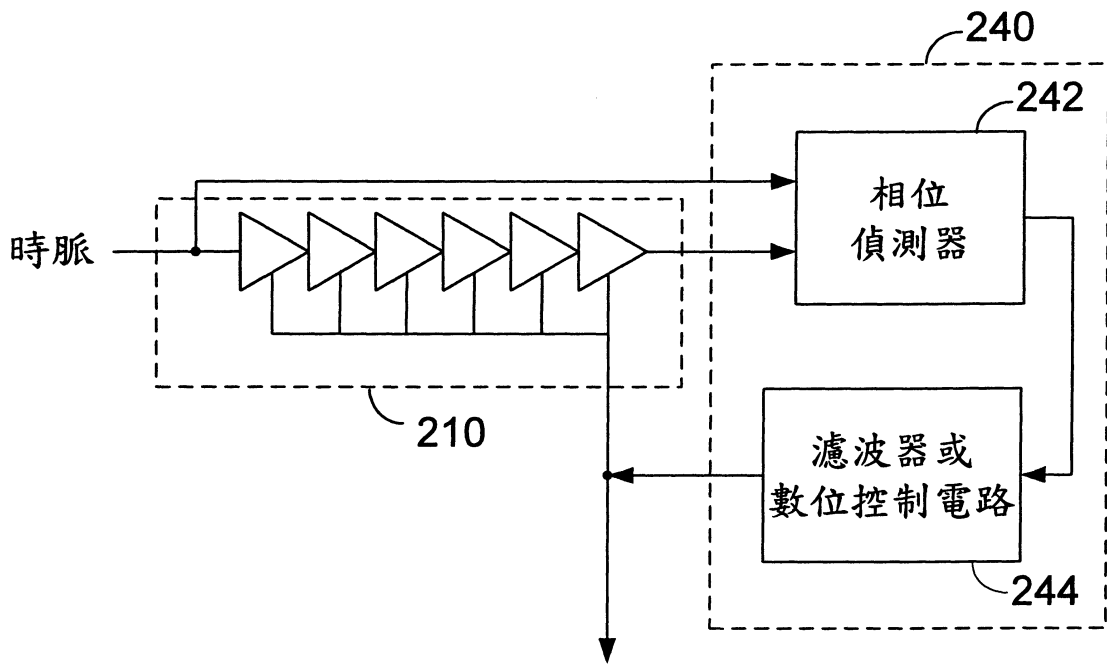


圖 8



至電壓轉換電路之
參考電壓端

圖 9

柒、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件代表符號簡單說明：

100：邏輯系統

110：時脈產生電路

111：振盪器

120：邏輯電路

130：電壓轉換電路

140：振盪器之電壓/電流控制電路

142：控制信號

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：