



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I473239 B

(45)公告日：中華民國 104 (2015) 年 02 月 11 日

(21)申請案號：100103944

(22)申請日：中華民國 100 (2011) 年 02 月 01 日

(51)Int. Cl. : H01L23/58 (2006.01)

H01L21/66 (2006.01)

(71)申請人：華亞科技股份有限公司 (中華民國) INOTERA MEMORIES, INC. (TW)

桃園市龜山區復興三路 667 號

(72)發明人：王威智 WANG, WEI CHIH (TW)

(74)代理人：莊志強

(56)參考文獻：

TW 201011860A1

US 2012/0193532A1

審查人員：詹惟雯

申請專利範圍項數：10 項 圖式數：2 共 23 頁

(54)名稱

半導體結構及故障位置偵測系統

SEMICONDUCTOR STRUCTURE AND FAULT LOCATION DETECTING SYSTEM

(57)摘要

一種半導體結構，其包括：至少一接地單元、至少一 P 型基底、至少一 P 型井區、至少一 NMOS 結構、至少一 P 型井接點區域、至少一淺溝槽隔離結構、及至少一電荷導引溝槽。P 型基底位於接地單元的上方。P 型井區位於 P 型基底上。NMOS 結構位於 P 型井區上，且 NMOS 結構具有至少一外露的 N 型源極區、至少一外露的 N 型汲極區、及至少一外露且位於 N 型源極區與 N 型汲極區之間的 N 型閘極區。P 型井接點區域位於 P 型井區上。淺溝槽隔離結構位於 NMOS 結構與 P 型井接點區域之間。電荷導引溝槽穿過 P 型井接點區域及 P 型井區的一部分且電性連接於接地單元。

A semiconductor structure includes at least one ground unit, at least one P-type substrate, at least one P-well area, at least one NMOS structure, at least one P-well contact area, at least one STI (Shallow Trench Isolation) structure, and at least one charge guiding groove. The P-type substrate is formed above the ground unit. The P-well area is formed on the P-type substrate. The NMOS structure is formed the P-well area, and the NMOS structure includes at least one exposed N-type source area, at least one exposed N-type drain area, and at least one exposed gate area disposed between the N-type source area and the N-type drain area. The P-well contact area is formed on the P-well area. The STI structure is disposed between the NMOS structure and the P-well contact area. The charge guiding groove passes through the P-well contact area and one part of the P-well area and electrically connects to the ground unit.

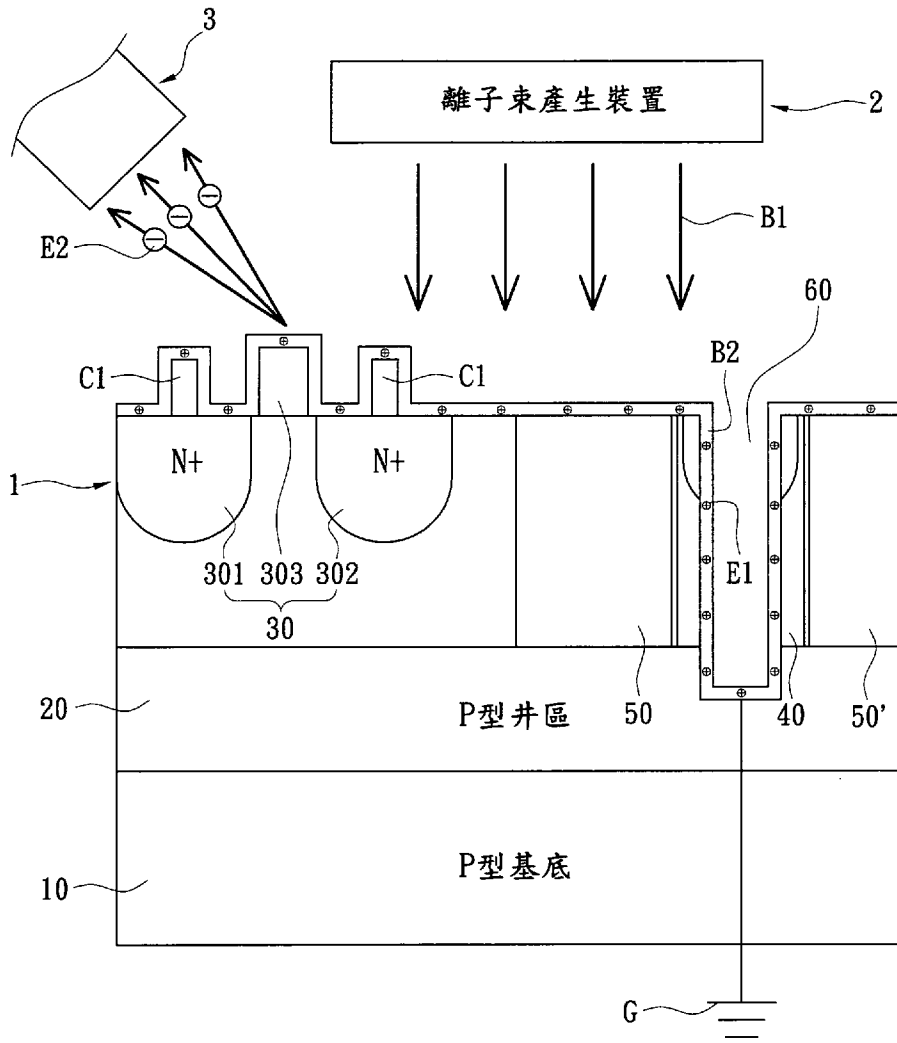


圖2B

- 1 . . . 半導體結構
- G . . . 接地單元
- 10 . . . P型基底
- 20 . . . P型井區
- 30 . . . NMOS結構
- 301 . . . N型源極區
- 302 . . . N型汲極區
- 303 . . . N型閘極區
- C1 . . . N型井接點
- 40 . . . P型井接點區域
- 50 . . . 淺溝槽隔離結構
- 50' . . . 淺溝槽隔離結構
- 60 . . . 電荷導引溝槽
- 2 . . . 離子束產生裝置
- B1 . . . 離子束
- B2 . . . 離子層
- E1 . . . 正電荷
- E2 . . . 表面電子訊號
- 3 . . . 影像擷取裝置

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：100103944

※ 申請日：100.2.01

※IPC 分類：

H01L 2318 H2006.01

H01L 2166 H2006.01

一、發明名稱：(中文/英文)

半導體結構及故障位置偵測系統 /  
SEMICONDUCTOR STRUCTURE AND FAULT  
LOCATION DETECTING SYSTEM

二、中文發明摘要：

一種半導體結構，其包括：至少一接地單元、至少一 P 型基底、至少一 P 型井區、至少一 NMOS 結構、至少一 P 型井接點區域、至少一淺溝槽隔離結構、及至少一電荷導引溝槽。P 型基底位於接地單元的上方。P 型井區位於 P 型基底上。NMOS 結構位於 P 型井區上，且 NMOS 結構具有至少一外露的 N 型源極區、至少一外露的 N 型汲極區、及至少一外露且位於 N 型源極區與 N 型汲極區之間的 N 型閘極區。P 型井接點區域位於 P 型井區上。淺溝槽隔離結構位於 NMOS 結構與 P 型井接點區域之間。電荷導引溝槽穿過 P 型井接點區域及 P 型井區的一部分且電性連接於接地單元。

三、英文發明摘要：

A semiconductor structure includes at least one ground unit, at least one P-type substrate, at least one P-well area, at least one NMOS structure, at least one P-well contact area, at

least one STI (Shallow Trench Isolation) structure, and at least one charge guiding groove. The P-type substrate is formed above the ground unit. The P-well area is formed on the P-type substrate. The NMOS structure is formed the P-well area, and the NMOS structure includes at least one exposed N-type source area, at least one exposed N-type drain area, and at least one exposed gate area disposed between the N-type source area and the N-type drain area. The P-well contact area is formed on the P-well area. The STI structure is disposed between the NMOS structure and the P-well contact area. The charge guiding groove passes through the P-well contact area and one part of the P-well area and electrically connects to the ground unit.

#### 四、指定代表圖：

(一)本案指定代表圖為：圖 2B。

(二)本代表圖之元件符號簡單說明：

半導體結構	1		
接地單元	G		
P 型基底	10		
P 型井區	20		
NMOS 結構	30	N 型源極區	301
		N 型汲極區	302
		N 型閘極區	303
		N 型井接點	C1
P 型井接點區域	40		
淺溝槽隔離結構	50		
淺溝槽隔離結構	50'		
電荷導引溝槽	60		
離子束產生裝置	2	離子束	B1
		離子層	B2
		正電荷	E1
		表面電子訊號	E2
影像擷取裝置	3		

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係有關於一種半導體結構及故障位置偵測系統，尤指一種用於增加二次電子反射機率的半導體結構及故障位置偵測系統。

### 【先前技術】

於記憶體之製造過程中，任一步驟均必須受到極為嚴格地品管控制，以確保可獲得較高的生產良率。然而，一旦發現記憶體良率過低時，則必須經由測試部門檢測出其問題所在。

於眾多記憶體檢測方法其中之一即利用 Bitmap 程式加以測試。所謂的 Bitmap 測試程式，係先根據一待測記憶體已知的實體位址分配表(Physical address table，其通常由記憶體製造廠商所提供)，設計出一對應的測試程式，此測試程式的資料輸出排列型態則視為一電氣位址(Electrical address)，其中電氣位址即對應於前述記憶體之實體位址。Bitmap 測試程式於畫面上呈現時，其資料係由多數個 0 與 1 表示，且其具有一定的排列順序，故可構成一具有規則性的圖案。

Bitmap 測試程式於實際應用時，係先將測試資料寫入一待測記憶體中，並自此記憶體中讀出其資料分佈狀態而顯示在畫面上，若此待測記憶體為一正常記憶體，則畫面上所顯示的資料及排列方式即與寫入的測試資料一致；反之，若此待測記憶體內部有故障位址時，此故障位置即無法正常的讀取出資料，故呈現在畫面上的資料排列圖案即與當初寫入的測試資料不同，藉由比對兩者差異處便可得

知此待測記憶體內部的故障位址及資料。

然而上述比較的前提為待測記憶體與製造廠商所提供的記憶體位址分配表為完全正確時，如此以位址分配表為基礎所設計的 Bitmap 測試程式，才能對記憶體進行正確地分析比對。倘若提供的位址分配表略有錯誤而無法完全對應於待測記憶體時，則該 Bitmap 測試程式便無法獲得正確無訛的檢驗效果。因此，為避免 Bitmap 測試程式無法對記憶體進行正確檢驗，習知提供一種 Bitmap 測試程式的正確性驗證方法，藉由聚焦離子束(Focused Ion Beam, FIB)機台對記憶體內部之某部位的 word line 或 bit line 進行短路或斷路模擬，並將該聚焦離子束的模擬結果與 Bitmap 的測試結果相互比對驗證，以判斷 Bitmap 測試程式的電氣位址是否與待測記憶體的實體位址一致。

再者，另外一種檢測方式為被動電壓對比(passive voltage contrast)分析，其可經過採集由聚焦離子束照射待測物而激發出二次電子的方式來決定所擷取到的待測物影像的對比強度(明暗強度)，進而便於後續使用電子顯微鏡來判斷待測物的故障位置(亮點與暗點的位置)。然而，習知對於半導體結構中 NMOS 區域的影像對比強度皆無法有效提升。

#### 【發明內容】

本發明實施例在於提供一種半導體結構及故障位置偵測系統，其可用於增加二次電子反射機率，以增加後續被動電壓對比分析的可靠度。

本發明實施例提供一種半導體結構，其包括：至少一接地單元、至少一 P 型基底、至少一 P 型井區、至少一

NMOS 結構、至少一 P 型井接點區域、至少一淺溝槽隔離結構、及至少一電荷導引溝槽。P 型基底位於接地單元的上方。P 型井區位於 P 型基底上。NMOS 結構位於 P 型井區上，且 NMOS 結構具有至少一外露的 N 型源極區、至少一外露的 N 型汲極區、及至少一外露且位於 N 型源極區與 N 型汲極區之間的 N 型閘極區。P 型井接點區域位於 P 型井區上。淺溝槽隔離結構位於 NMOS 結構與 P 型井接點區域之間。電荷導引溝槽穿過 P 型井接點區域及 P 型井區的一部分且電性連接於接地單元。

本發明實施例提供一種故障位置偵測系統，其包括：上述的半導體結構、一離子束產生裝置及一表面電子訊號影像擷取裝置。離子束產生裝置設置於半導體結構的上方，其中離子束產生裝置投射至少一離子束於半導體結構上，以形成一帶正電荷的離子層並激發出多個被反射的表面電子訊號，離子層的正電荷形成於 NMOS 結構的上表面上、淺溝槽隔離結構的上表面上與電荷導引溝槽的內表面上，且離子層的正電荷經過電荷導引溝槽而被導引至接地單元。表面電子訊號影像擷取裝置設置於半導體結構的上方，以接收上述多個被反射的表面電子訊號。

本發明實施例提供一種半導體結構，其包括：至少一 P 型基底、至少一 N 型摻雜區、至少一 P 型井區、至少一 NMOS 結構、至少一 P 型井接點區域、及至少一電荷導引溝槽。N 型摻雜區位於上述至少一 P 型基底上。P 型井區位於 N 型摻雜區上。NMOS 結構位於 P 型井區上，其中 NMOS 結構具有至少一外露的 N 型源極區、至少一外露的 N 型汲極區、及至少一外露且位於 N 型源極區與 N 型汲極



區之間的 N 型閘極區。P 型井接點區域位於上述至少一 N 型摻雜區上。電荷導引溝槽穿過 P 型井接點區域及 N 型摻雜區的一部分，其中電荷導引溝槽位於 P 型井區與 P 型井接點區域之間。

本發明實施例提供一種故障位置偵測系統，其包括：上述的半導體結構、一離子束產生裝置及一表面電子訊號影像擷取裝置，其中離子層的正電荷形成於 NMOS 結構的上表面上與電荷導引溝槽的內表面上，且離子層的正電荷經過電荷導引溝槽而被導引至 N 型摻雜區。

綜上所述，本發明實施例所提供的半導體結構及故障位置偵測系統，其可透過“離子層的正電荷經過電荷導引溝槽而被導引至 N 型摻雜區”與“離子層的正電荷經過電荷導引溝槽而被導引至接地單元”的設計，以使得本發明可用於增加二次電子的反射機率，以增加後續被動電壓對比分析的可靠度。

為使能更進一步瞭解本發明之特徵及技術內容，請參閱以下有關本發明之詳細說明與附圖，然而所附圖式僅提供參考與說明用，並非用來對本發明加以限制者。

### 【實施方式】

#### 〔第一實施例〕

請參閱圖 1A 與圖 1B 所示，本發明第一實施例提供一種故障位置偵測系統，其包括：一半導體結構 1、一離子束產生裝置 2 及一表面電子訊號影像擷取裝置 3。

半導體結構 1 包括：至少一 P 型基底 10、至少一 N 型摻雜區 11、至少一 P 型井區 20、至少一 NMOS(N-type metal-oxide-semiconductor, N 型金屬氧化物半導體)結構

30、至少一 P 型井接點區域 40、至少一淺溝槽隔離結構 50、及至少一電荷導引溝槽 60(如圖 1B 所示)。其中，N 型摻雜區 11 位於上述至少一 P 型基底 10 上，且 P 型井區 20 位於 N 型摻雜區 11 上。NMOS 結構 30 位於 P 型井區 20 上，且 NMOS 結構 30 具有至少一外露的 N 型源極區 301、至少一外露的 N 型汲極區 302、及至少一外露且位於 N 型源極區 301 與 N 型汲極區 302 之間的 N 型閘極區 303。NMOS 結構 30 具有至少兩個 N 型井接點 C1，且兩個 N 型井接點 C1 分別位於 N 型源極區 301 上與 N 型汲極區 302 上。P 型井接點區域 40 位於 N 型摻雜區 11 上，且 P 型井接點區域 40 具有至少一 P 型井接點 C2。淺溝槽隔離結構 50 位於 P 型井區 20 與 P 型井接點區域 40 之間。電荷導引溝槽 60(如圖 1B 所示)可由鎘離子束來形成，其中電荷導引溝槽 60 穿過 P 型井接點區域 40、淺溝槽隔離結構 50 及 N 型摻雜區 11 的一部分，且電荷導引溝槽 60 位於 P 型井區 20 與 P 型井接點區域 40 之間(此時淺溝槽隔離結構 50 已被移除)。此外，半導體結構 1 更進一步包括：至少另外一淺溝槽隔離結構 50'，其中 P 型井接點區域 40 位於上述至少一淺溝槽隔離結構 50 與上述至少另外一淺溝槽隔離結構 50' 之間(如圖 1A 所示)。

離子束產生裝置 2 可為一設置於半導體結構 1 的上方之聚焦離子束(Focused Ion Beam, FIB)機台。離子束產生裝置 2 投射至少一離子束 B1 於半導體結構 1 上，以形成一帶正電荷 E1(例如鎘(Gallium,  $Ga^+$ ))的離子層 B2 並激發出多個被反射的表面電子訊號 E2(例如二次電子)。當電荷導引溝槽 60 已成形後(如圖 1B 所示)，離子層 B2 的正電

荷 E1 形成於 NMOS 結構 30 的上表面上與電荷導引溝槽 60 的內表面上，且離子層 B2 的正電荷 E1 經過電荷導引溝槽 60 而被導引至 N 型摻雜區 11。

表面電子訊號影像擷取裝置 3 設置於半導體結構 1 的上方，以接收上述多個被反射的表面電子訊號 E2。舉例來說，表面電子訊號影像擷取裝置 3 可為一電子顯微鏡，其可用來擷取上述被激發而反射的表面電子訊號 E2 來進行被動電壓對比(passive voltage contrast)分析(如圖 1B 所示)。

請參閱圖 1C 所示，其中圖 1A 與圖 1C 中的(A)表示未形成淺溝槽隔離結構 50 時，正電荷 E1 被堆積在 N 型井接點 C1 的內部或表面上，而導致上述多個被反射的表面電子訊號 E2 被正電荷 E1 吸引而無法有效地反射至表面電子訊號影像擷取裝置 3，因此表面電子訊號影像擷取裝置 3 將無法得到明顯的影像對比強度(明暗強度)來進行後續的被動電壓對比分析。再者，圖 1B 與圖 1C 中的(B)表示已形成淺溝槽隔離結構 50 時，正電荷 E1 可被導引至 N 型摻雜區 11。由於 P 型井區 20 可提供較大的區域來容納正電荷 E1，所以上述多個被反射的表面電子訊號 E2 不會被正電荷 E1 吸引而可有效地反射至表面電子訊號影像擷取裝置 3，因此表面電子訊號影像擷取裝置 3 將可以得到明顯的影像對比強度(明暗強度)來進行後續的被動電壓對比分析。

#### [ 第二實施例 ]

請參閱圖 2A 與圖 2B 所示，本發明第二實施例提供一種故障位置偵測系統，其包括：一半導體結構 1、一離子

束產生裝置 2 及一表面電子訊號影像擷取裝置 3。

半導體結構 1 至少包括：至少一接地單元 G、至少一 P 型基底 10、至少一 P 型井區 20、至少一 NMOS 結構 30、至少一 P 型井接點區域 40、至少一淺溝槽隔離結構 50、及至少一電荷導引溝槽 60。其中，接地單元 G 可為一背對背二極體(Back-to-back Diode)。P 型基底 10 位於接地單元 G 的上方。P 型井區 20 位於 P 型基底 10 上。NMOS 結構 30 位於 P 型井區 20 上，且 NMOS 結構 30 具有至少一外露的 N 型源極區 301、至少一外露的 N 型汲極區 302、及至少一外露且位於 N 型源極區 301 與 N 型汲極區 302 之間的 N 型閘極區 303。NMOS 結構 30 具有至少兩個 N 型井接點 C1，且兩個 N 型井接點 C1 分別位於 N 型源極區 301 上與 N 型汲極區 302 上。P 型井接點區域 40 位於 P 型井區上，且 P 型井接點區域 40 具有至少一 P 型井接點 C2(如圖 2A 所示)。淺溝槽隔離結構 50 位於 NMOS 結構 30 與 P 型井接點區域 40 之間。電荷導引溝槽 60 可由鎵離子束來形成，其中電荷導引溝槽 60 穿過 P 型井接點區域 40 及 P 型井區 20 的一部分且電性連接於接地單元 G(如圖 2B 所示)。此外，半導體結構 1 更進一步包括：至少另外一淺溝槽隔離結構 50'，其中 P 型井接點區域 40 位於上述至少一淺溝槽隔離結構 50 與上述至少另外一淺溝槽隔離結構 50' 之間。

離子束產生裝置 2 可為一設置於半導體結構 1 的上方之聚焦離子束(Focused Ion Beam, FIB)機台。離子束產生裝置 2 投射至少一離子束 B1 於半導體結構 1 上，以形成一帶正電荷 E1(例如鎵(Gallium, Ga<sup>+</sup>))的離子層 B2 並激發

出多個被反射的表面電子訊號 E2(例如二次電子)。當電荷導引溝槽 60 已成形後(如圖 2B 所示), 離子層 B2 的正電荷 E1 形成於 NMOS 結構 30 的上表面上、淺溝槽隔離結構 50 的上表面上與電荷導引溝槽 60 的內表面上, 且離子層 B2 的正電荷 E1 經過電荷導引溝槽 60 而被導引至接地單元 G。

表面電子訊號影像擷取裝置 3 設置於半導體結構 1 的上方, 以接收上述多個被反射的表面電子訊號 E2。舉例來說, 表面電子訊號影像擷取裝置 3 可為一電子顯微鏡, 其可用來擷取上述被激發而反射的表面電子訊號 E2 來進行被動電壓對比(passive voltage contrast)分析。

因此, 當電荷導引溝槽 60 未成形前(如圖 2A 所示), 正電荷 E1 被堆積在 N 型井接點 C1 的內部或表面上, 而導致上述多個被反射的表面電子訊號 E2 被正電荷 E1 吸引而無法有效地反射至表面電子訊號影像擷取裝置 3, 因此表面電子訊號影像擷取裝置 3 將無法得到明顯的影像對比強度(明暗強度)來進行後續的被動電壓對比分析。然而, 當電荷導引溝槽 60 已成形後(如圖 2B 所示), 由於離子層 B2 的正電荷 E1 經過電荷導引溝槽 60 而被導引至接地單元 G, 所以上述多個被反射的表面電子訊號 E2 不會被正電荷 E1 吸引而有效地反射至表面電子訊號影像擷取裝置 3, 因此表面電子訊號影像擷取裝置 3 將可以得到明顯的影像對比強度(明暗強度)來進行後續的被動電壓對比分析。

[ 實施例的可能功效 ]

本發明可透過“離子層的正電荷經過電荷導引溝槽而被導引至 N 型摻雜區”與“離子層的正電荷經過電荷導

引溝槽而被導引至接地單元”的設計，以使得本發明可用於增加二次電子的反射機率，以增加後續被動電壓對比分析的可靠度。

以上所述僅為本發明之較佳可行實施例，非因此侷限本發明之專利範圍，故舉凡運用本發明說明書及圖式內容所為之等效技術變化，均包含於本發明之範圍內。

### 【圖式簡單說明】

圖 1A 為本發明第一實施例形成電荷導引溝槽前的系統示意圖；

圖 1B 為本發明第一實施例形成電荷導引溝槽後的系統示意圖；

圖 1C 為本發明第一實施例形成電荷導引溝槽前與後的比較示意圖；

圖 2A 為本發明第二實施例形成電荷導引溝槽前的系統示意圖；以及

圖 2B 為本發明第二實施例形成電荷導引溝槽後的系統示意圖。

### 【主要元件符號說明】

半導體結構	1		
接地單元	G		
P 型基底	10		
N 型摻雜區	11		
P 型井區	20		
NMOS 結構	30	N 型源極區	301
		N 型汲極區	302
		N 型閘極區	303

		N 型井接點	C1
P 型井接點區域	40	P 型井接點	C2
淺溝槽隔離結構	50		
淺溝槽隔離結構	50'		
電荷導引溝槽	60		
離子束產生裝置	2	離子束	B1
		離子層	B2
		正電荷	E1
		表面電子訊號	E2
影像擷取裝置	3		

## 七、申請專利範圍：

### 1. 一種半導體結構，其包括：

至少一接地單元；

至少一 P 型基底，其位於上述至少一接地單元的上方；

至少一 P 型井區，其位於上述至少一 P 型基底上；

至少一 NMOS 結構，其位於上述至少一 P 型井區上，其中上述至少一 NMOS 結構具有至少一外露的 N 型源極區、至少一外露的 N 型汲極區、及至少一外露且位於上述至少一 N 型源極區與上述至少一 N 型汲極區之間的 N 型閘極區；

至少一 P 型井接點區域，其位於上述至少一 P 型井區上；

至少一淺溝槽隔離結構，其位於上述至少一 NMOS 結構與上述至少一 P 型井接點區域之間；以及

至少一電荷導引溝槽，其穿過上述至少一 P 型井接點區域及上述至少一 P 型井區的一部分且電性連接於上述至少一接地單元。

2. 如申請專利範圍第 1 項所述之半導體結構，其中上述至少一 NMOS 結構具有至少兩個 N 型井接點，且上述至少兩個 N 型井接點分別位於上述至少一 N 型源極區上與上述至少一 N 型汲極區上。

3. 如申請專利範圍第 1 項所述之半導體結構，更進一步包括：至少另外一淺溝槽隔離結構，其中上述至少一淺溝槽隔離結構位於上述至少一淺溝槽隔離結構與上述至少另外一淺溝槽隔離結構之間。

4. 如申請專利範圍第 1 項所述之半導體結構，更進一步包



括：一帶正電荷的鎵離子層，其同時成形於上述至少一 NMOS 結構的上表面上、上述至少一淺溝槽隔離結構的上表面上與上述至少一電荷導引溝槽的內表面上，其中該鎵離子層的正電荷經過上述至少一電荷導引溝槽而被導引至上述至少一接地單元。

5. 如申請專利範圍第 1 項所述之半導體結構，其中上述至少一接地單元為一背對背二極體(Back-to-back Diode)。

6. 一種半導體結構，其包括：

至少一 P 型基底；

至少一 N 型摻雜區，其位於上述至少一 P 型基底上；

至少一 P 型井區，其位於上述至少一 N 型摻雜區上；

至少一 NMOS 結構，其位於上述至少一 P 型井區上，其中上述至少一 NMOS 結構具有至少一外露的 N 型源極區、至少一外露的 N 型汲極區、及至少一外露且位於上述至少一 N 型源極區與上述至少一 N 型汲極區之間的 N 型閘極區；

至少一 P 型井接點區域，其位於上述至少一 N 型摻雜區上；以及

至少一電荷導引溝槽，其穿過上述至少一 P 型井接點區域及上述至少一 N 型摻雜區的一部分，其中上述至少一電荷導引溝槽位於上述至少一 P 型井區與上述至少一 P 型井接點區域之間。

7. 如申請專利範圍第 6 項所述之半導體結構，其中上述至少一 NMOS 結構具有至少兩個 N 型井接點，且上述至少兩個 N 型井接點分別位於上述至少一 N 型源極區上與上述至少一 N 型汲極區上。

8. 如申請專利範圍第 6 項所述之半導體結構，更進一步包括：一帶正電荷的鎵離子層，其同時成形於上述至少一 NMOS 結構的上表面上與上述至少一電荷導引溝槽的內表面上，其中該鎵離子層的正電荷經過上述至少一電荷導引溝槽而被導引至上述至少一 N 型摻雜區。
9. 一種故障位置偵測系統，其包括：
  - 一半導體結構，其包括：至少一接地單元、至少一 P 型基底、至少一 P 型井區、至少一 NMOS 結構、至少一 P 型井接點區域、至少一淺溝槽隔離結構、及至少一電荷導引溝槽，其中上述至少一 P 型基底位於上述至少一接地單元的上方，上述至少一 P 型井區位於上述至少一 P 型基底上，上述至少一 NMOS 結構位於上述至少一 P 型井區上，上述至少一 NMOS 結構具有至少一外露的 N 型源極區、至少一外露的 N 型汲極區、及至少一外露且位於上述至少一 N 型源極區與上述至少一 N 型汲極區之間的 N 型閘極區，上述至少一 P 型井接點區域位於上述至少一 P 型井區上，上述至少一淺溝槽隔離結構位於上述至少一 NMOS 結構與上述至少一 P 型井接點區域之間，且上述至少一電荷導引溝槽穿過上述至少一 P 型井接點區域及上述至少一 P 型井區的一部分且電性連接於上述至少一接地單元；
  - 一離子束產生裝置，其設置於該半導體結構的上方，其中該離子束產生裝置投射至少一離子束於該半導體結構上，以形成一帶正電荷的離子層並激發出多個被反射的表面電子訊號，該離子層的正電荷形成於上述至少一 NMOS 結構的上表面上、上述至少一淺溝槽隔離

結構的上表面上與上述至少一電荷導引溝槽的內表面上，且該離子層的正電荷經過上述至少一電荷導引溝槽而被導引至上述至少一接地單元；以及

一表面電子訊號影像擷取裝置，其設置於該半導體結構的上方，以接收上述多個被反射的表面電子訊號。

10. 一種故障位置偵測系統，其包括：

一半導體結構，其包括：至少一 P 型基底、至少一 N 型摻雜區、至少一 P 型井區、至少一 NMOS 結構、至少一 P 型井接點區域、及至少一電荷導引溝槽，其中上述至少一 N 型摻雜區位於上述至少一 P 型基底上，上述至少一 P 型井區位於上述至少一 N 型摻雜區上，上述至少一 NMOS 結構位於上述至少一 P 型井區上，上述至少一 NMOS 結構具有至少一外露的 N 型源極區、至少一外露的 N 型汲極區、及至少一外露且位於上述至少一 N 型源極區與上述至少一 N 型汲極區之間的 N 型閘極區，上述至少一 P 型井接點區域位於上述至少一 N 型摻雜區上，上述至少一電荷導引溝槽穿過上述至少一 P 型井接點區域及上述至少一 N 型摻雜區的一部分，且上述至少一電荷導引溝槽位於上述至少一 P 型井區與上述至少一 P 型井接點區域之間；

一離子束產生裝置，其設置於該半導體結構的上方，其中該離子束產生裝置投射至少一離子束於該半導體結構上，以形成一帶正電荷的離子層並激發出多個被反射的表面電子訊號，該離子層的正電荷形成於上述至少一 NMOS 結構的上表面上與上述至少一電荷導引溝槽的內表面上，且該離子層的正電荷經過上述至少一

電荷導引溝槽而被導引至上述至少一 N 型摻雜區；以及  
一表面電子訊號影像擷取裝置，其設置於該半導體結構的上方，以接收上述多個被反射的表面電子訊號。

八、圖式：

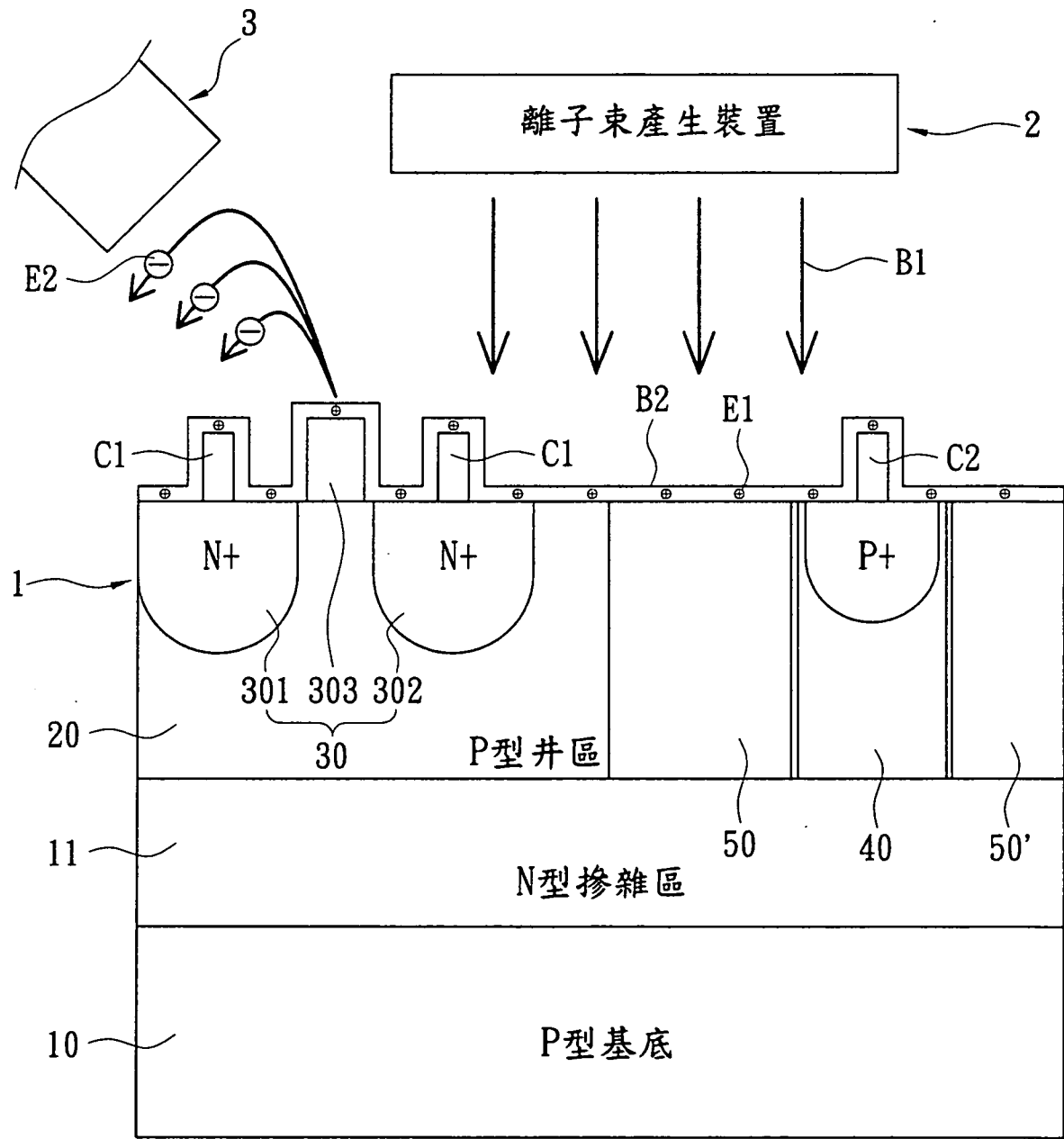


圖 1A

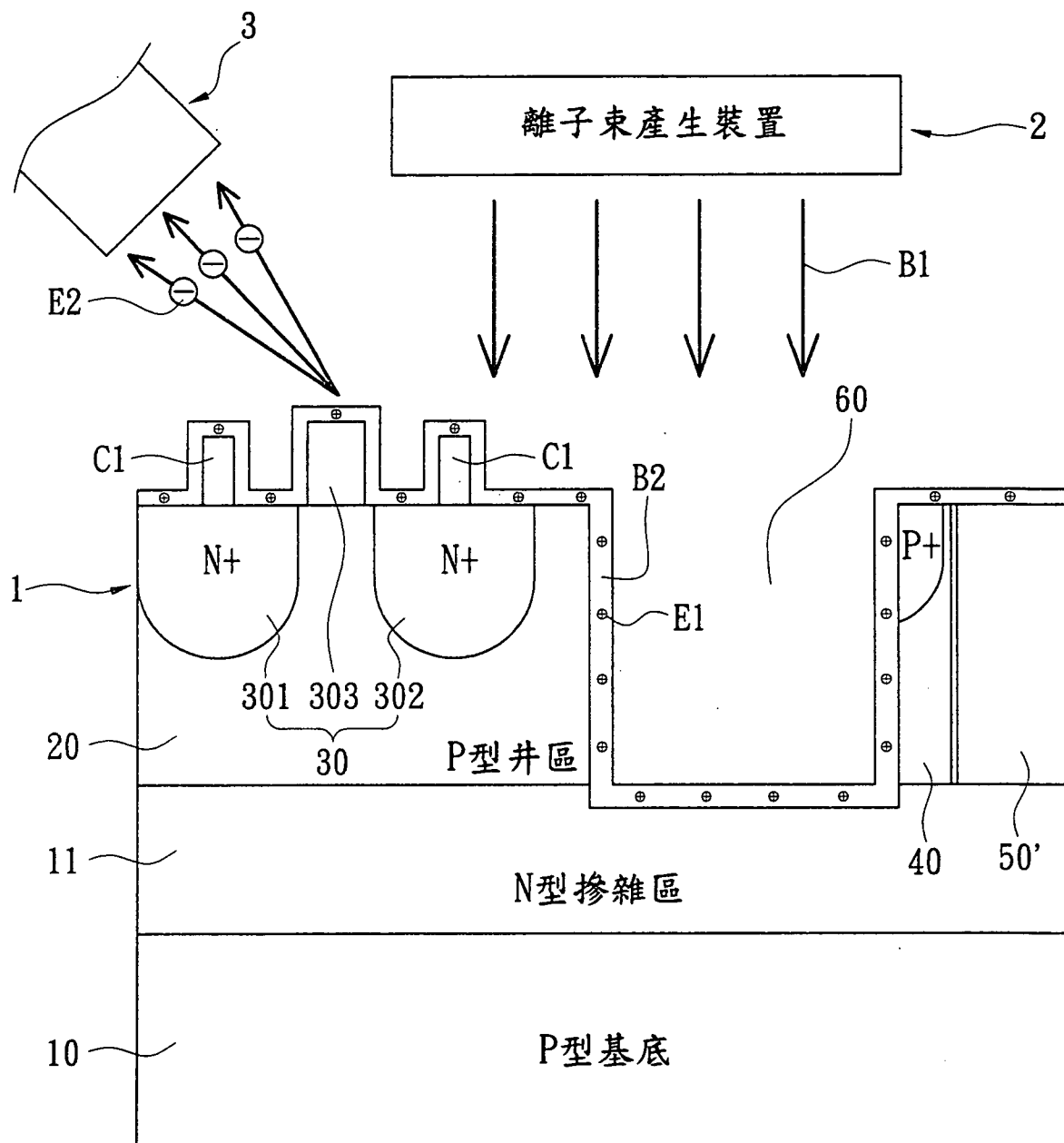


圖1B

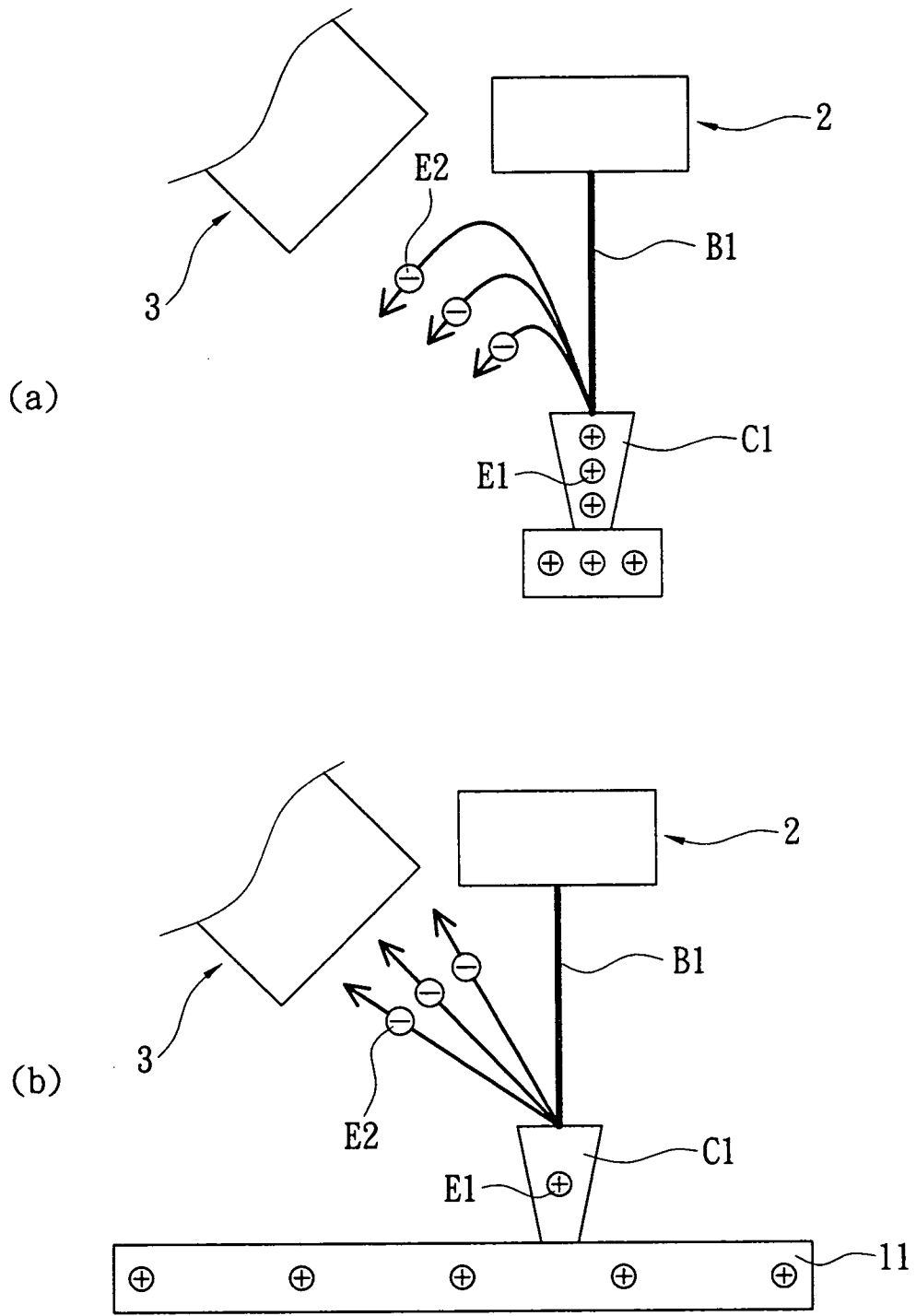


圖 1C

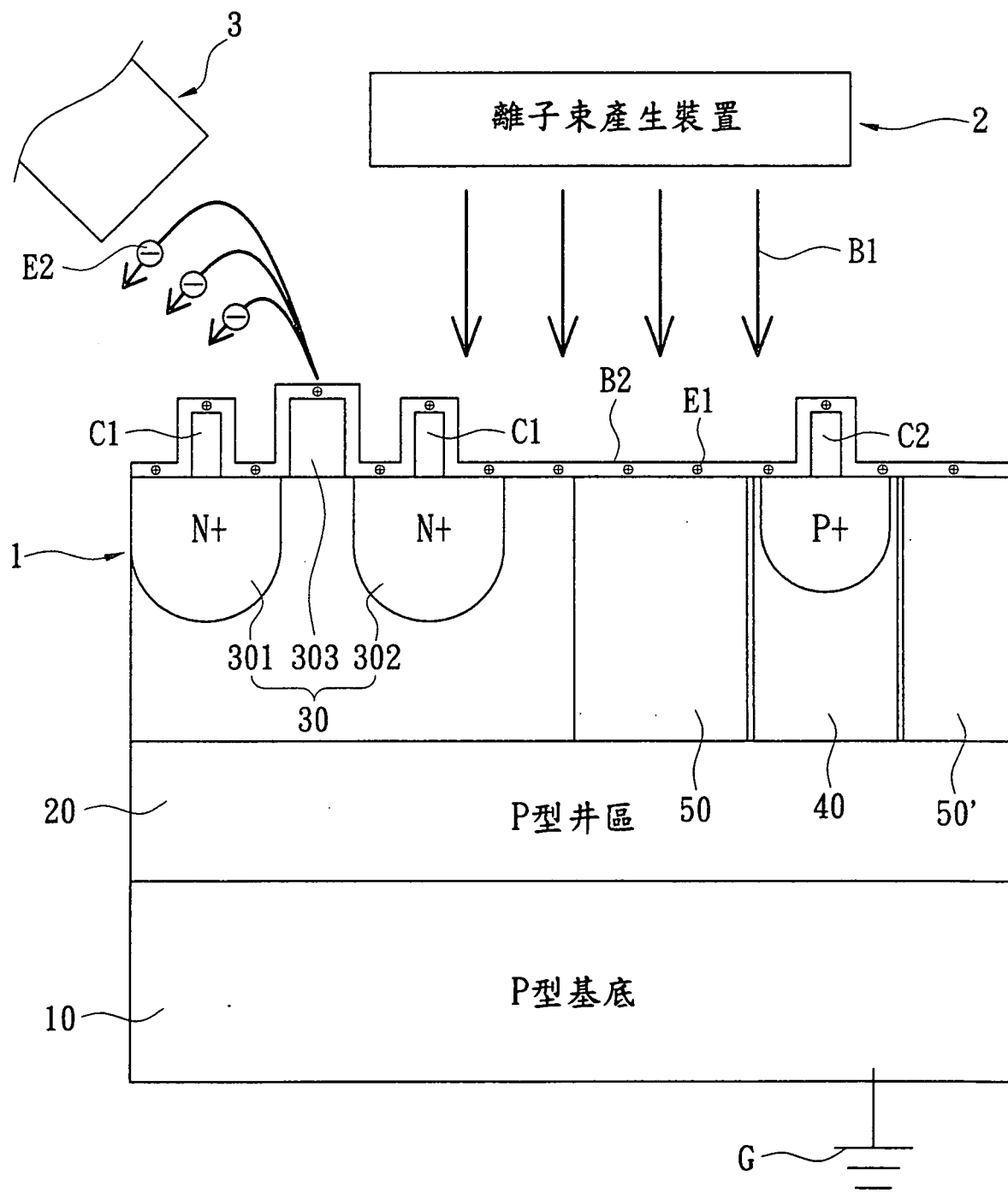


圖2A



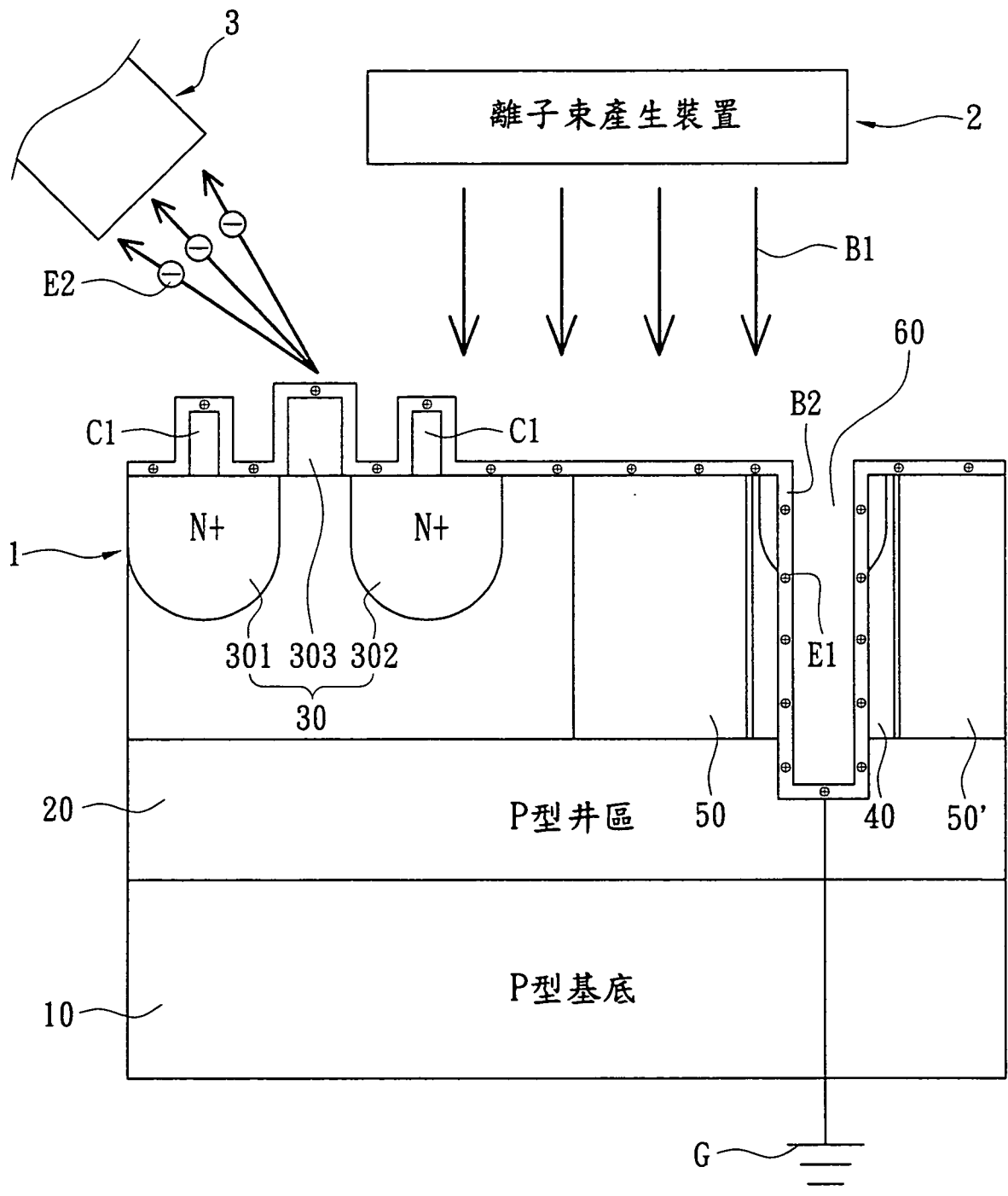


圖 2B