

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-83077

(P2021-83077A)

(43) 公開日 令和3年5月27日(2021.5.27)

(51) Int.Cl.			F I			テーマコード (参考)
H03F	1/02	(2006.01)	H03F	1/02	188	5J067
H03F	3/68	(2006.01)	H03F	3/68	220	5J500
H03F	3/60	(2006.01)	H03F	3/60		

審査請求 有 請求項の数 5 O L (全 14 頁)

(21) 出願番号 特願2020-159649 (P2020-159649)
 (22) 出願日 令和2年9月24日 (2020.9.24)
 (62) 分割の表示 特願2020-529218 (P2020-529218)
 の分割
 原出願日 令和1年11月21日 (2019.11.21)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100082175
 弁理士 高田 守
 (74) 代理人 100106150
 弁理士 高橋 英樹
 (74) 代理人 100148057
 弁理士 久野 淑己
 (72) 発明者 嘉藤 勝也
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内

最終頁に続く

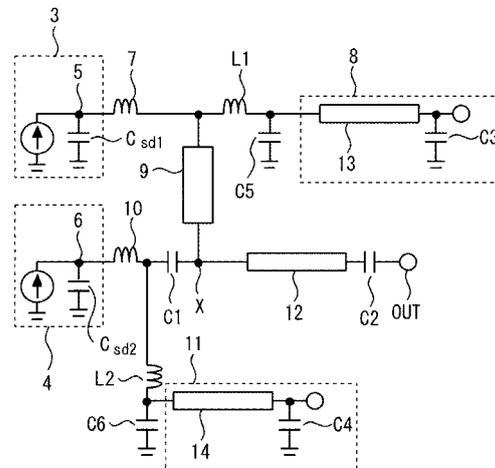
(54) 【発明の名称】 ドハティ増幅器

(57) 【要約】

【課題】 高効率で広帯域な特性を実現することができるドハティ増幅器を得る。

【解決手段】 第1の容量(C1)の容量値は、第2のボンディングワイヤ(10)のインダクタンスと共振するように選択される。第1のインダクタ(L1)は第1のトランジスタチップ(3)のソース-ドレイン間の寄生容量の大きさを等価的に低減する。第2のインダクタ(L2)は第2のトランジスタチップ(4)のソース-ドレイン間の寄生容量の大きさを等価的に低減する。第1のトランジスタチップ(3)のソース-ドレイン間の寄生容量と、第2のトランジスタチップ(4)のソース-ドレイン間の寄生容量と、伝送線路(9)と、第1のボンディングワイヤ(7)は、等価的に90度遅延回路を構成している。

【選択図】 図12



【特許請求の範囲】

【請求項 1】

第 1 のドレインパッドを持つ第 1 のトランジスタチップと、
 第 2 のドレインパッドを持つ第 2 のトランジスタチップと、
 樹脂基板と、
 前記樹脂基板に形成された伝送線路と、
 前記樹脂基板に形成された第 1 の容量と、
 前記第 1 のドレインパッドと前記伝送線路の一端を接続する第 1 のボンディングワイヤと、
 前記第 2 のドレインパッドと前記第 1 の容量の一端を接続する第 2 のボンディングワイヤと、
 前記伝送線路の他端及び前記第 1 の容量の他端に接続された出力端子と、
 一端が前記第 1 のボンディングワイヤと前記伝送線路の接続点に接続され、他端が第 2 の容量を介して接地され、動作周波数において前記第 1 のトランジスタチップのソース - ドレイン間の寄生容量と並列共振するインダクタンスより大きいインダクタンスを有する第 1 のインダクタと、
 一端が前記第 2 のボンディングワイヤと前記第 1 の容量の接続点に接続され、他端が第 3 の容量を介して接地され、前記動作周波数において前記第 2 のトランジスタチップのソース - ドレイン間の寄生容量と並列共振するインダクタンスより大きいインダクタンスを有する第 2 のインダクタとを備え、
 前記第 1 の容量の容量値は、前記第 2 のボンディングワイヤのインダクタンスと共振するように選択され、
 前記第 1 のインダクタは前記第 1 のトランジスタチップのソース - ドレイン間の寄生容量の大きさを等価的に低減し、
 前記第 2 のインダクタは前記第 2 のトランジスタチップのソース - ドレイン間の寄生容量の大きさを等価的に低減し、
 前記第 1 のトランジスタチップのソース - ドレイン間の寄生容量と、前記第 2 のトランジスタチップのソース - ドレイン間の寄生容量と、前記伝送線路と、前記第 1 のボンディングワイヤは、等価的に 90 度遅延回路を構成していることを特徴とするドハティ増幅器。

【請求項 2】

前記第 1 のインダクタの他端に接続された第 1 のバイアス回路と、
 前記第 2 のインダクタの他端に接続された第 2 のバイアス回路とを更に備えることを特徴とする請求項 1 に記載のドハティ増幅器。

【請求項 3】

第 1 のドレインパッドを持つ第 1 のトランジスタチップと、
 第 2 のドレインパッドを持つ第 2 のトランジスタチップと、
 樹脂基板と、
 前記樹脂基板に形成された伝送線路と、
 前記樹脂基板に形成された第 1 の容量と、
 前記第 1 のドレインパッドと前記伝送線路の一端を接続する第 1 のボンディングワイヤと、
 前記第 2 のドレインパッドと前記第 1 の容量の一端を接続する第 2 のボンディングワイヤと、
 前記伝送線路の他端及び前記第 1 の容量の他端に接続された出力端子と、
 一端が前記第 1 のボンディングワイヤと前記伝送線路の接続点に接続され、他端が第 2 の容量を介して接地され、動作周波数において前記第 1 のトランジスタチップのソース - ドレイン間の寄生容量と並列共振するインダクタンスより大きいインダクタンスを有する第 1 のインダクタと、
 一端が前記第 2 のボンディングワイヤと前記第 1 の容量の接続点に接続され、他端が第

2の容量を介して接地され、前記動作周波数において前記第2のトランジスタチップのソース-ドレイン間の寄生容量と並列共振するインダクタンスより大きいインダクタンスを有する第2のインダクタと、

前記第1のインダクタの他端と前記第2のインダクタの他端に接続されたバイアス回路とを備え、

前記第1の容量の容量値は、前記第2のボンディングワイヤのインダクタンスと共振するように選択され、

前記第1のインダクタは前記第1のトランジスタチップのソース-ドレイン間の寄生容量の大きさを等価的に低減し、

前記第2のインダクタは前記第2のトランジスタチップのソース-ドレイン間の寄生容量の大きさを等価的に低減し、

前記第1のトランジスタチップのソース-ドレイン間の寄生容量と、前記第2のトランジスタチップのソース-ドレイン間の寄生容量と、前記伝送線路と、前記第1のボンディングワイヤは、等価的に90度遅延回路を構成していることを特徴とするドハティ増幅器。

。

【請求項4】

前記第1の容量と前記第2のボンディングワイヤの共振周波数は、前記ドハティ増幅器の動作周波数の中心周波数の $\pm 30\%$ の範囲内であることを特徴とする請求項1から3のいずれか1項に記載のドハティ増幅器。

【請求項5】

前記伝送線路の他端及び前記第1の容量の他端と接地点との間に接続され、前記ドハティ増幅器の動作周波数の中心周波数で並列共振する並列共振回路を更に備えることを特徴とする請求項1～4の何れか1項に記載のドハティ増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ドハティ増幅器に関する。

【背景技術】

【0002】

移動体通信において、送信用電力増幅器は、一般的に、高効率で低歪みであることが求められる。また、近年の高速で大容量の通信に対応するために、高いPAPR (Peak Average Power Ratio) の変調波信号が用いられている。高いPAPRの信号を電力増幅器で増幅する場合、歪みの規格を満足するために、飽和出力電力に対してバックオフをとった低い平均出力電力で動作させる。一般的にバックオフ量と効率は相反する関係にあるため、高いPAPRを用いる場合は高い効率は期待できない。しかし、ドハティ増幅器と呼ばれる増幅器を用いることで上記の問題を解決することができる。このため、ドハティ増幅器は通信用基地局を中心に広く採用されている。

【0003】

ドハティ増幅器では、A B級又はB級にバイアスしたメインアンプと、C級にバイアスしたピークアンプが / 4線路を用いて並列に合成される。 / 4線路は片方のアンプの出力に配置され、もう片方のアンプの入力にも配置される。大信号入力時には、2つのアンプは同様に動作し、同相で合成されるため、2合成アンプと同様の特性を示し大きな飽和電力を実現する。一方、小信号入力時には、メインアンプのみが動作し、且つメインアンプの出力側に接続した / 4線路はインピーダンスインバータとして機能するため、高い負荷インピーダンスにより高い効率が得られる。そのため、ドハティ増幅器は広い出力電力範囲で高い効率を実現できる。

【0004】

しかし、ドハティ増幅器では、メインアンプとピークアンプのトランジスタから合成点までの整合回路の周波数特性により広帯域化が困難であるという問題があった。この問題を解決するために、トランジスタのソース端子とドレイン端子間の寄生容量Cdsと90

10

20

30

40

50

度遅延線路よりも電気長の短い線路を用いることで等価的に90度遅延回路を構成したドハティ増幅器が提案されている。この回路では、従来必要であったトランジスタから合成点までの整合回路が不要であり広帯域化が可能である。さらに、90度遅延回路の一部にボンディングワイヤを用い、高価なトランジスタチップ上にはトランジスタのみを形成し、それ以外の回路は樹脂基板などの安価な基板に形成し、それらをボンディングワイヤで接続したドハティ増幅器も提案されている（例えば、特許文献1参照）。これによりコストを低減することができる。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特表2017-501662号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかし、ボンディングワイヤが有するインダクタンスによってドハティ増幅器の周波数特性が劣化するという問題がある。具体的には信号の合成点の位置によって2つのケースが考えられる。

【0007】

1つ目は合成点がピークアンプのパッド端の場合である。この場合には、ピークアンプのパッドに対して、メインアンプ側に向かうボンディングワイヤと出力端子側に向かう2つのボンディングワイヤが接続されることになる。パッドサイズは有限であるため、ピークアンプを構成するトランジスタの位置に依存してその負荷インピーダンスが不均一となり、トランジスタのアンバランス動作を生じる。アンバランス動作は出力電力、利得、効率の低下、及び発振の原因になる。加えて、前述した2つのボンディングワイヤはレイアウト上近接するため相互インダクタンスを生じ、負荷インピーダンスの周波数ずれを生じるという問題がある。

【0008】

2つ目は合成点が樹脂基板上のワイヤパッド端の場合である。この場合は、ボンディングワイヤのインダクタンス成分によって、負荷インピーダンスの周波数ずれを生じるという問題がある。これらの周波数ずれ及びアンバランス動作はドハティ増幅器の高効率で広帯域な特性を阻害するため改善が求められる。

【0009】

本発明は、上述のような課題を解決するためになされたもので、その目的は高効率で広帯域な特性を実現することができるドハティ増幅器を得るものである。

【課題を解決するための手段】

【0010】

本発明に係るドハティ増幅器は、第1のドレインパッドを持つ第1のトランジスタチップと、第2のドレインパッドを持つ第2のトランジスタチップと、樹脂基板と、前記樹脂基板に形成された伝送線路と、前記樹脂基板に形成された第1の容量と、前記第1のドレインパッドと前記伝送線路の一端を接続する第1のボンディングワイヤと、前記第2のドレインパッドと前記第1の容量の一端を接続する第2のボンディングワイヤと、前記伝送線路の他端及び前記第1の容量の他端に接続された出力端子と、一端が前記第1のボンディングワイヤと前記伝送線路の接続点に接続され、他端が第2の容量を介して接地され、動作周波数において前記第1のトランジスタチップのソース-ドレイン間の寄生容量と並列共振するインダクタンスより大きいインダクタンスを有する第1のインダクタと、一端が前記第2のボンディングワイヤと前記第1の容量の接続点に接続され、他端が第3の容量を介して接地され、前記動作周波数において前記第2のトランジスタチップのソース-ドレイン間の寄生容量と並列共振するインダクタンスより大きいインダクタンスを有する第2のインダクタとを備え、前記第1の容量の容量値は、前記第2のボンディングワイヤのインダクタンスと共振するように選択され、前記第1のインダクタは前記第1のトラン

10

20

30

40

50

ジスタチップのソース - ドレイン間の寄生容量の大きさを等価的に低減し、前記第 2 のインダクタは前記第 2 のトランジスタチップのソース - ドレイン間の寄生容量の大きさを等価的に低減し、前記第 1 のトランジスタチップのソース - ドレイン間の寄生容量と、前記第 2 のトランジスタチップのソース - ドレイン間の寄生容量と、前記伝送線路と、前記第 1 のボンディングワイヤは、等価的に 90 度遅延回路を構成していることを特徴とする。

【発明の効果】

【0011】

本発明では、第 1 の容量の容量値は第 2 のボンディングワイヤのインダクタンスと共振するように選択されている。これにより、第 1 及び第 2 のトランジスタチップから出力される信号の合成点が第 2 のトランジスタチップの第 2 のドレインパッド端ではなく、回路が集積化された樹脂基板上にシフトする。従って、第 1 及び第 2 のボンディングワイヤを用いて第 1 及び第 2 のトランジスタチップと樹脂基板上の回路を接続する構成であっても周波数特性の劣化を生じず、高効率で広帯域な特性を実現することができる。

10

【図面の簡単な説明】

【0012】

【図 1】実施の形態 1 に係るドハティ増幅器を示す回路図である。

【図 2】実施の形態 1 に係るドハティ増幅器を示すレイアウト図である。

【図 3】実施の形態 1 に係るドハティ増幅器のトランジスタから合成点までを抜き出した回路図である。

20

【図 4】図 3 と等価な回路図である。

【図 5】図 3 と等価な回路図である。

【図 6】比較例 1 に係る構成の電磁界計算モデルを示すレイアウト図である。

【図 7】比較例 2 に係る構成の電磁界計算モデルを示すレイアウト図である。

【図 8】実施の形態 1 に係る構成の電磁界計算モデルを示すレイアウト図である。

【図 9】一般的に用いられる非線形トランジスタモデルを用いて計算したドハティアンプの 3 dB 利得圧縮点とドレイン効率の周波数特性である。

【図 10】400 MHz 帯域の 3 dB 利得圧縮点とドレイン効率の最小値を示す図である。

【図 11】共振周波数を中心周波数で規格化した場合の 400 MHz 帯域の 3 dB 利得圧縮点とドレイン効率の最小値を示す図である。

30

【図 12】実施の形態 2 に係るドハティ増幅器を示す回路図である。

【図 13】実施の形態 2 に係るドハティ増幅器を示すレイアウト図である。

【図 14】実施の形態 3 に係るドハティ増幅器を示す回路図である。

【図 15】実施の形態 4 に係るドハティ増幅器を示す回路図である。

【図 16】実施の形態 1, 4 の 3 dB 利得圧縮点とドレイン効率を比較した図である。

【図 17】実施の形態 5 に係るドハティ増幅器を示す回路図である。

【発明を実施するための形態】

【0013】

実施の形態に係るドハティ増幅器について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

40

【0014】

実施の形態 1 .

図 1 は、実施の形態 1 に係るドハティ増幅器を示す回路図である。図 2 は、実施の形態 1 に係るドハティ増幅器を示すレイアウト図である。

【0015】

樹脂基板 1 の上にダイパッド 2 が形成されている。トランジスタチップ 3, 4 がダイパッド 2 の上にダイボンドされている。樹脂基板 1 は例えば FR4 などの材料からなる。樹脂基板 1 の基板厚は 200 ~ 500 μm である。基板厚の薄い材料を選択することでトランジスタチップ 3, 4 の熱抵抗を低くすることができる。一方、厚い樹脂基板 1 は、多層配線化により回路の集積度を高くし小形・低コスト化が可能である。

50

【0016】

トランジスタチップ3, 4はGaN-HEMTなどのデバイスである。トランジスタチップ3にメインアンプが形成されている。トランジスタチップ4にピークアンプが形成されている。なお、トランジスタチップ3, 4は同一チップであってもよい。

【0017】

トランジスタチップ3, 4はドレインパッド5, 6をそれぞれ有する。トランジスタチップ3, 4はソース-ドレイン間の寄生容量 C_{sd1} , C_{sd2} をそれぞれ有する。寄生容量 C_{sd1} , C_{sd2} はトランジスタのintrinsicな容量だけでなくドレインパッド5, 6での容量も含む。

【0018】

トランジスタチップ3のドレインパッド5は、ボンディングワイヤ7を介してバイアス回路8と伝送線路9の一端に接続される。トランジスタチップ4のドレインパッド6は、ボンディングワイヤ10を介して容量C1の一端とバイアス回路11に接続される。ボンディングワイヤ7, 10はドレインパッド5, 6のサイズに応じて複数本並行して配置される。ボンディングワイヤ7, 10の高さはトランジスタチップ3, 4の表面に対して50 μm ~200 μm 程度であり、低く設定することが望ましい。

【0019】

容量C1の他端は伝送線路9の他端と接続され、かつインピーダンス変換回路12及び容量C2を介して出力端子OUTに接続される。容量C1は例えば表面実装タイプの積層セラミックコンデンサなどである。バイアス回路8, 11、伝送線路9、インピーダンス変換回路12、容量C1, C2、出力端子OUTは樹脂基板1の上に集積化されている。

【0020】

バイアス回路8は90度線路13と接地用の容量C3を有する。バイアス回路11は90度線路14と接地用の容量C4を有する。ただし、バイアス回路8, 11はこの構成に限らず、同様の機能を有する構成であればよい。インピーダンス変換回路12も90度線路であるが、これに限らず、所望のインピーダンス変換を実現できる構成であればよい。

【0021】

伝送線路9の電気長と特性インピーダンスは、ドレインパッド5からドレインパッド6までの電気長が90度になるように設定されている。容量C1の容量値は、ボンディングワイヤ10の持つ等価的なインダクタンスと動作周波数の中心周波数で共振するように選択されている。これにより、トランジスタチップ3, 4から出力される信号の合成点Xがトランジスタチップ4のドレインパッド6端ではなく、回路が集積化された樹脂基板1上にシフトする。

【0022】

図3は、実施の形態1に係るドハティ増幅器のトランジスタから合成点までを抜き出した回路図である。図4及び図5は図3と等価な回路図である。ボンディングワイヤ10のインダクタンスと共振するように容量C1の容量値が設定されるため、図3は図4のように示すことができる。等価回路では合成点Xとドレインパッド6端が同じノードである。

【0023】

伝送線路9の長さや線路幅を適切に選択することで伝送線路9の電気長が90度で特性インピーダンス Z_c を持つ図5に示す回路と等価な回路にできる。なお、 Z_c の選択は一般的に設計事項であるが、LP評価などで得られるパワーマッチの複素インピーダンスのうち、実数成分に対応するインピーダンスに設定することが多い。図5から分かるようにメインアンプのドレインパッド5端から信号の合成点Xまでの電気長は90度で、且つピークアンプのドレインパッド6端から合成点Xまでの電気長は0度であり、これは一般的なドハティ増幅器の回路図と等価である。従って、ボンディングワイヤ7, 10を用いてトランジスタチップ3, 4と樹脂基板1上の回路を接続する構成であっても周波数特性の劣化を生じず、高効率で広帯域な特性を実現することができる。

【0024】

実施の形態1の効果を明らかにするために、ドハティ増幅器のRF特性の計算を行った

10

20

30

40

50

。図6は比較例1に係る構成の電磁界計算モデルを示すレイアウト図である。図7は比較例2に係る構成の電磁界計算モデルを示すレイアウト図である。図8は実施の形態1に係る構成の電磁界計算モデルを示すレイアウト図である。なお、バイアス回路8, 11とインピーダンス変換回路12は省略している。

【0025】

図6は合成点Xが樹脂基板上の場合である。図7は合成点Xがドレインパッド6の場合である。図6、図7共にドレインパッド5からドレインパッド6までの電気長が90度になるように設計されている。計算は一般的な電磁界計算CADソフトを用いてレイアウトに起因する影響を考慮した。樹脂基板1の基板厚は330 μm 、比誘電率は4.3である。伝送線路9の線路幅は150 μm である。トランジスタチップ3, 4の厚さは100 μm である。ボンディングワイヤ7, 10の高さはトランジスタチップ3, 4の上面を基準として150 μm である。ボンディングワイヤ7, 10は100 μm ピッチで配置している。図8での容量C1の容量値は2.9pFに設定した。伝送線路9の線路長は、等価的な90度遅延回路の特性インピーダンス Z_c が52になるように調整した。

10

【0026】

図9は一般的に用いられる非線形トランジスタモデルを用いて計算したドハティアンプの3dB利得圧縮点とドレイン効率の周波数特性である。計算結果から、3dB利得圧縮点(3dB Compression Output Power)、ドレイン効率(Drain Efficiency)ともに実施の形態1が最も広帯域で高効率であることが分かる。

20

【0027】

なお、本実施の形態ではドレインパッド5からドレインパッド6までの電気長を90度としたが、実際には ± 10 度程度であれば十分に良好な特性を得ることができる。図10は、400MHz帯域の3dB利得圧縮点とドレイン効率の最小値を示す図である。電気長が90度を基準にして ± 10 度であれば、3dB利得圧縮点に与える影響は十分に小さく、ドレイン効率の低下も-4~5pts程度であることが分かる。

【0028】

また、容量C1とボンディングワイヤ10は厳密に動作周波数の中心周波数で共振する必要はなく、共振周波数が動作周波数の中心周波数に対して $\pm 30\%$ 程度ずれていても十分に広帯域で高効率を実現できる。図11は、共振周波数を中心周波数で規格化した場合の400MHz帯域の3dB利得圧縮点とドレイン効率の最小値を示す図である。共振周波数が30%ずれても3dB利得圧縮点の劣化は0.3dB程度であり、ドレイン効率の低下も3pts未満であるため、十分に良好な特性を実現できることが分かる。

30

【0029】

また、本実施の形態では2つのトランジスタサイズが同じ場合の対称ドハティを前提に説明したが、トランジスタサイズが異なる非対称ドハティであってもよい。

【0030】

実施の形態2.

図12は、実施の形態2に係るドハティ増幅器を示す回路図である。図13は、実施の形態2に係るドハティ増幅器を示すレイアウト図である。実施の形態1に比べて、インダクタL1, L2と容量C5, C6が追加されている。

40

【0031】

インダクタL1の一端はボンディングワイヤ7と伝送線路9の接続点に接続されている。インダクタL2の一端はボンディングワイヤ10と容量C1の接続点に接続されている。インダクタL1の他端は容量C5を介して接地されている。インダクタL2の他端は容量C6を介して接地されている。

【0032】

インダクタL1, L2は、例えば表面実装タイプのチップ部品、又は樹脂基板1上に高インピーダンス線路として形成したものである。容量C5, C6はRF接地用のため、動作周波数において十分に低いインピーダンスのものを選択する。インダクタL1, L2のインダクタンスは、寄生容量 C_{sd1} , C_{sd2} と並列共振する値よりも大きい値に設定

50

する。

【0033】

実施の形態1を実現するためにはドレインパッド5からドレインパッド6までの電気長が90度である必要がある。このため、動作周波数に依存して寄生容量 C_{sd1} 、 C_{sd2} の容量値には上限がある。従って、寄生容量 C_{sd1} 、 C_{sd2} が大きい場合には実施の形態1を実現することができない。

【0034】

これに対して、実施の形態2では、寄生容量 C_{sd1} 、 C_{sd2} に対して並列にインダクタ $L1$ 、 $L2$ が接続されるため、等価的に寄生容量の大きさを小さくすることができる。従って、寄生容量 C_{sd1} 、 C_{sd2} が大きい場合でも実施の形態1と同様の特性を実現することができる。インダクタ $L1$ 、 $L2$ のインダクタンスは回路を構成可能な範囲内でできるだけ大きく設定した方が広帯域な特性を実現できる。

10

【0035】

樹脂基板1上に90度線路を用いたバイアス回路を構成する場合には、実現可能な最小線路幅でレイアウトしても十分に高い特性インピーダンスを実現することができず、回路損失増加の要因となる。これに対して、バイアス回路8、11をインダクタ $L1$ 、 $L2$ の接地点に接続することで、バイアス回路8、11の接続による回路損失の増加を抑圧することができる。

【0036】

並列に接続された容量 $C5$ 、 $C6$ が動作周波数からその2倍高い周波数帯で十分に低いインピーダンスであればバイアス回路8、11は省略してもよい。その場合、給電は容量 $C5$ 、 $C6$ とインダクタ $L1$ 、 $L2$ の接続点に設定する。

20

【0037】

実施の形態3.

図14は、実施の形態3に係るドハティ増幅器を示す回路図である。実施の形態2に比べて、インダクタ $L1$ 、 $L2$ の接地を容量 $C5$ で共通化し、バイアス回路をバイアス回路8で共通化している。これにより、回路を小形化することができる。その他の構成及び効果は実施の形態2と同様である。

【0038】

実施の形態4.

図15は、実施の形態4に係るドハティ増幅器を示す回路図である。実施の形態1に比べて、合成点Xに容量 $C7$ 、 $C8$ とインダクタ $L3$ から構成される並列共振回路15が接続されている。容量 $C8$ は接地用の容量であり、動作周波数帯で十分に低いインピーダンスの容量を選択する。容量 $C7$ とインダクタ $L3$ は動作周波数の中心周波数で並列共振するように選択される。

30

【0039】

並列共振回路15の周波数特性は、ドレインパッド5から合成点Xまでの等価的な90度遅延回路の周波数特性と逆の極性を有する。このため、回路の周波数特性が軽減される。従って、実施の形態4は実施の形態1よりも広帯域な特性が期待できる。本回路の作用と効果は従来技術で示されているため詳細は省略する。この効果を得るためには、並列共振回路15は信号の合成点に接続する必要がある。このため、合成点がドレインパッド端ではなく、樹脂基板1上にあることでアンバランス動作を起こすことなく実現できる点で従来技術に対して有利である。

40

【0040】

実施の形態4の効果を明らかにするために、ドハティ増幅器のRF特性の計算を行った。図16は、実施の形態1、4の3dB利得圧縮点とドレイン効率を比較した図である。実施の形態4における容量 $C7$ は1.67pF、容量 $C8$ は7pF、インダクタ $L3$ は1.294nHである。3dB利得圧縮点、ドレイン効率ともに実施の形態4の方が実施の形態1よりも広帯域で高效率であることが分かる。

【0041】

50

なお、本実施の形態は実施の形態 2 又は 3 の構成と組み合わせ可能である。また容量 C 7 を表面実装タイプのチップ容量で構成する場合、2 つのチップ容量を並列接続して構成することにより回路損失を低減することができる。2 つのチップ容量の容量値の合計は容量 C 7 と同じになるように選択する。

【 0 0 4 2 】

実施の形態 5 .

図 1 7 は、実施の形態 5 に係るドハティ増幅器を示す回路図である。実施の形態 1 に比べて、バイアス回路 8 の接続位置を合成点 X に変更している。合成点 X からバイアス回路 8 のインピーダンスを見ると、実施の形態 4 の並列共振回路と同様の周波数特性を示す。そのため、ドレインパッド 5 から合成点 X までの 9 0 度遅延回路の周波数特性と逆の極性を持つため、回路の周波数特性が軽減される。従って、実施の形態 4 と同様の効果が得られ、かつ実施の形態 4 における並列共振回路を削除して小形化が可能である。なお、本実施の形態は実施の形態 2 の構成と組み合わせ可能である。

10

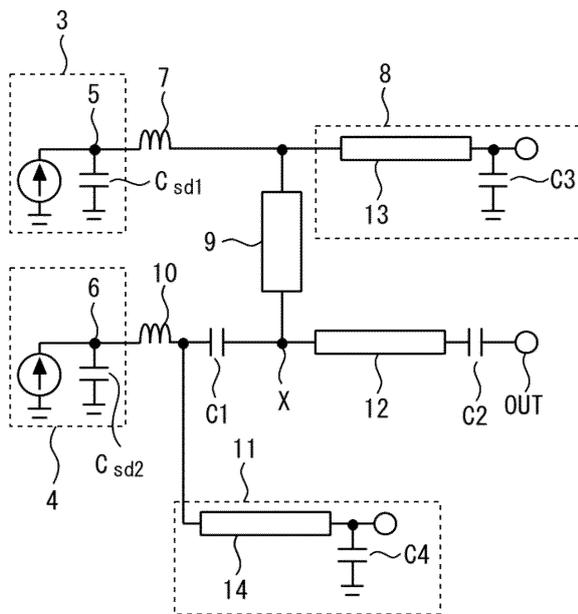
【 符号の説明 】

【 0 0 4 3 】

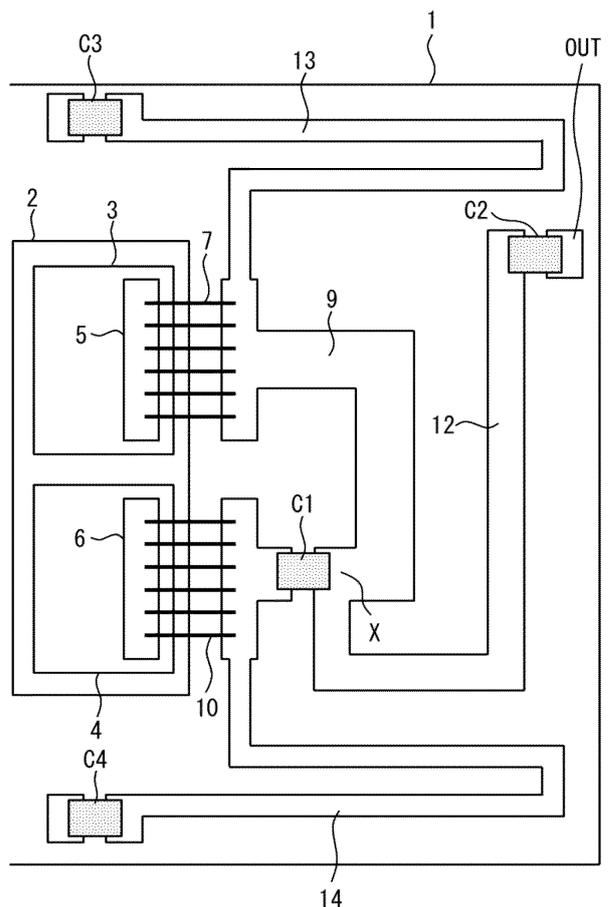
1 樹脂基板、3 トランジスタチップ（第 1 のトランジスタチップ）、4 トランジスタチップ（第 2 のトランジスタチップ）、5 ドレインパッド（第 1 のドレインパッド）、6 ドレインパッド（第 2 のドレインパッド）、7 ボンディングワイヤ（第 1 のボンディングワイヤ）、8 バイアス回路（第 1 のバイアス回路）、9 伝送線路、10 ボンディングワイヤ（第 2 のボンディングワイヤ）、11 バイアス回路（第 2 のバイアス回路）、12 並列共振回路、C 1 容量（第 1 の容量）、C 5 容量（第 2 の容量）、C 6 容量（第 3 の容量）、L 1 インダクタ（第 1 のインダクタ）、L 2 インダクタ（第 2 のインダクタ）、OUT 出力端子

20

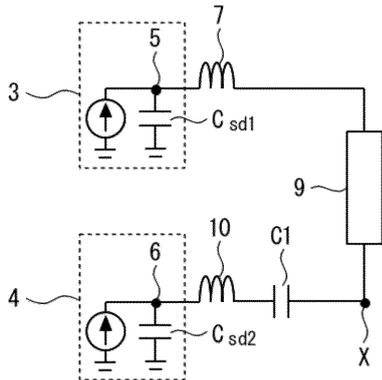
【 図 1 】



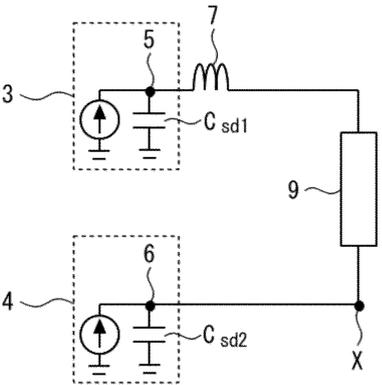
【 図 2 】



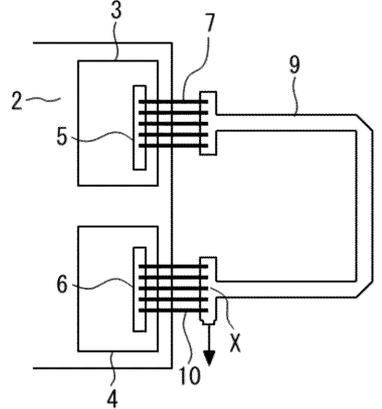
【 図 3 】



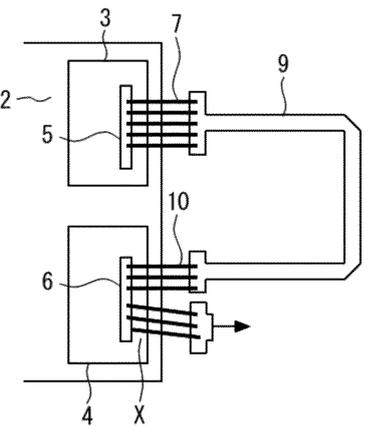
【 図 4 】



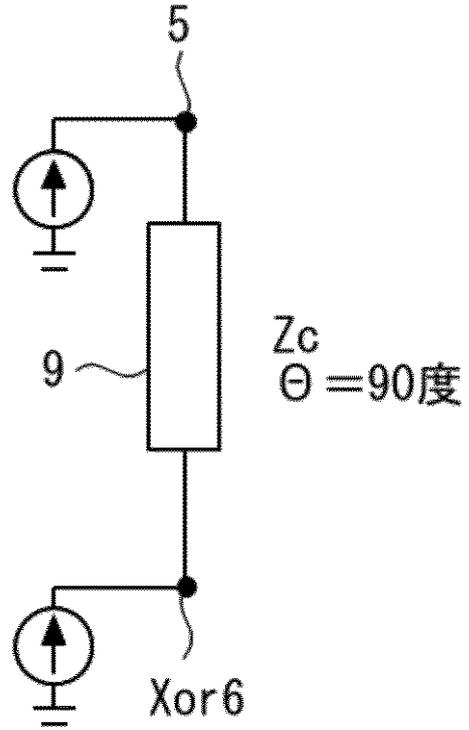
【 図 6 】



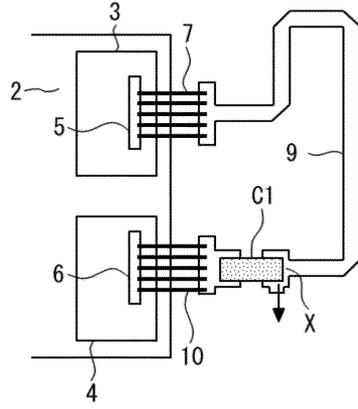
【 図 7 】



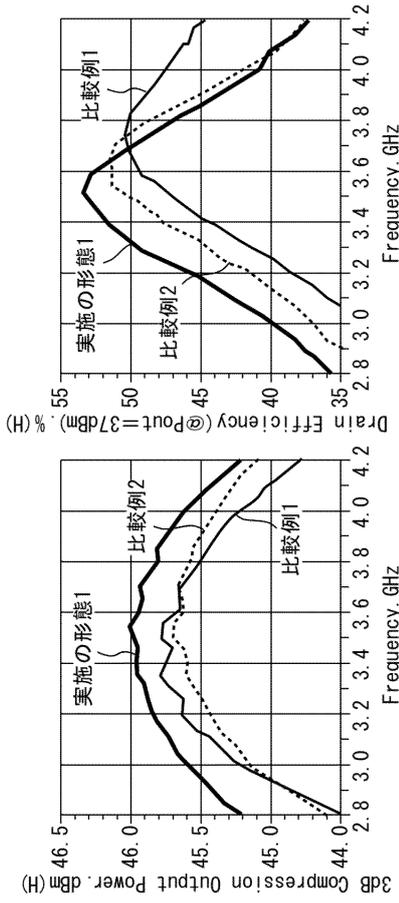
【 図 5 】



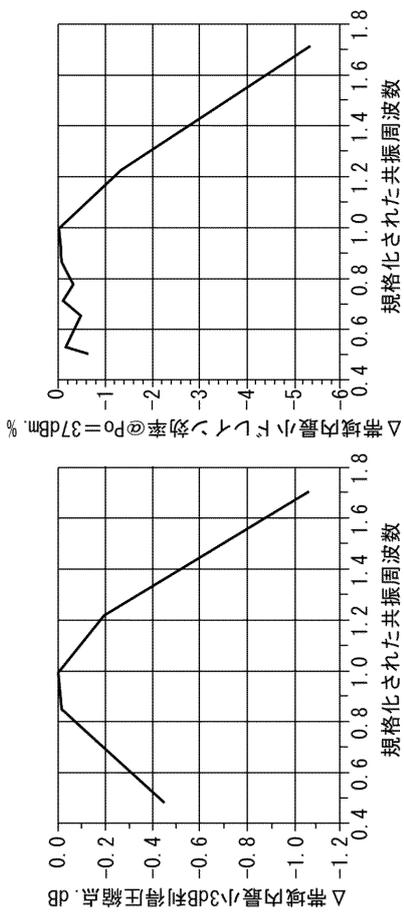
【 図 8 】



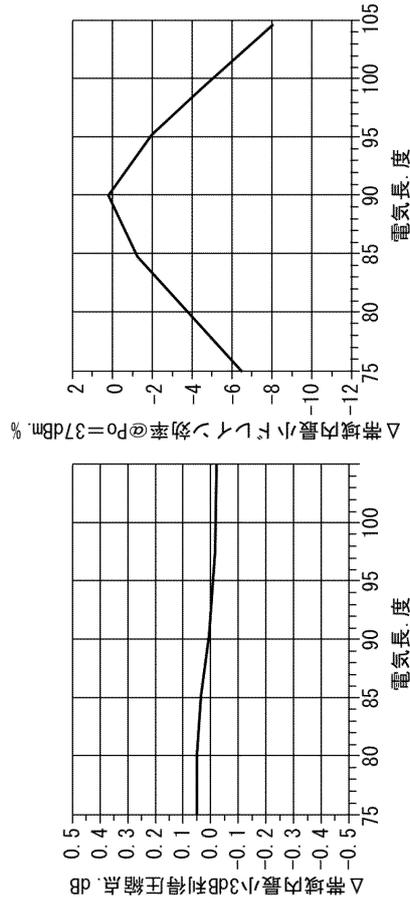
【図9】



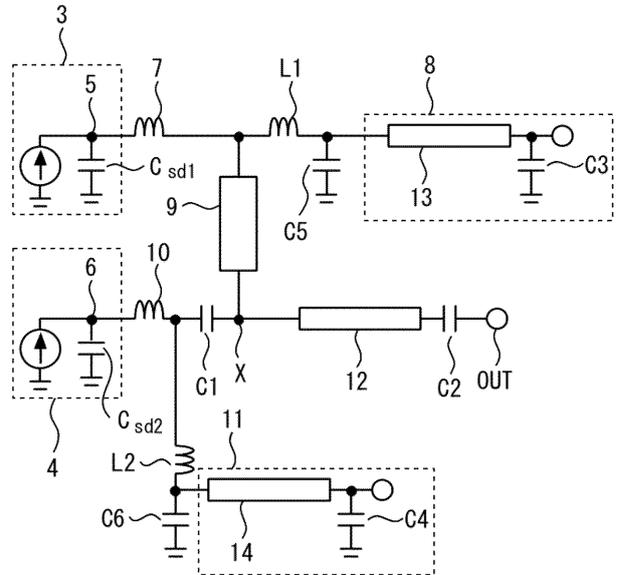
【図11】



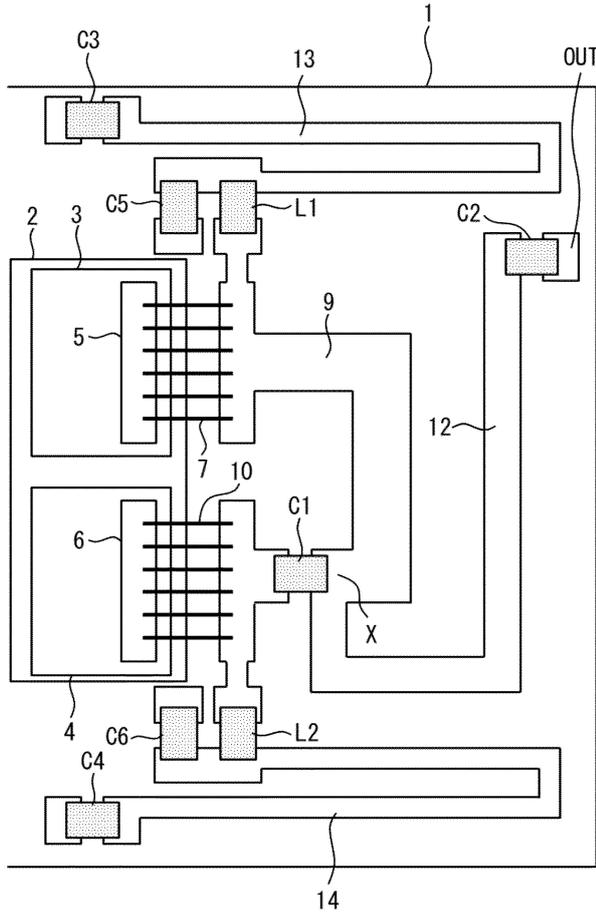
【図10】



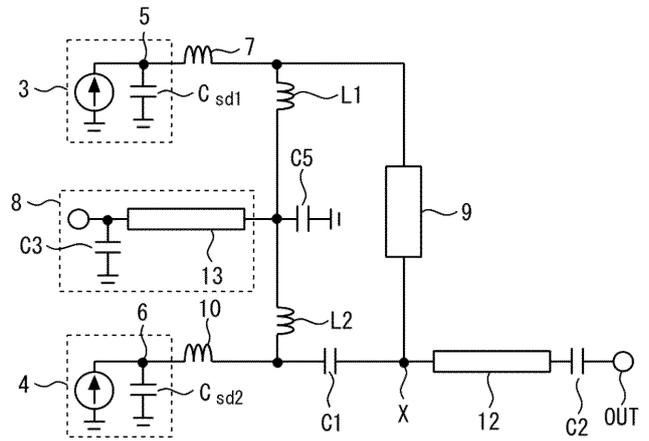
【図12】



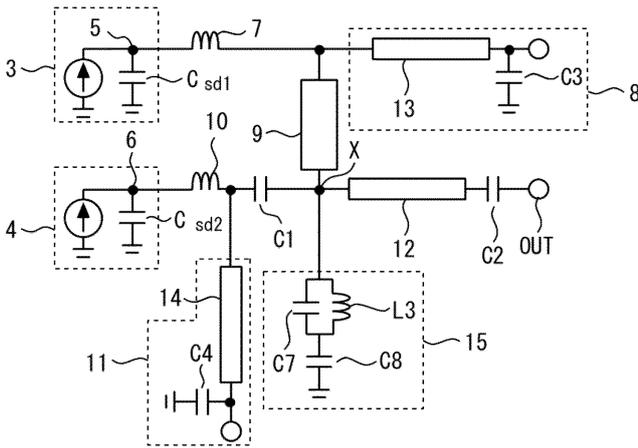
【図 1 3】



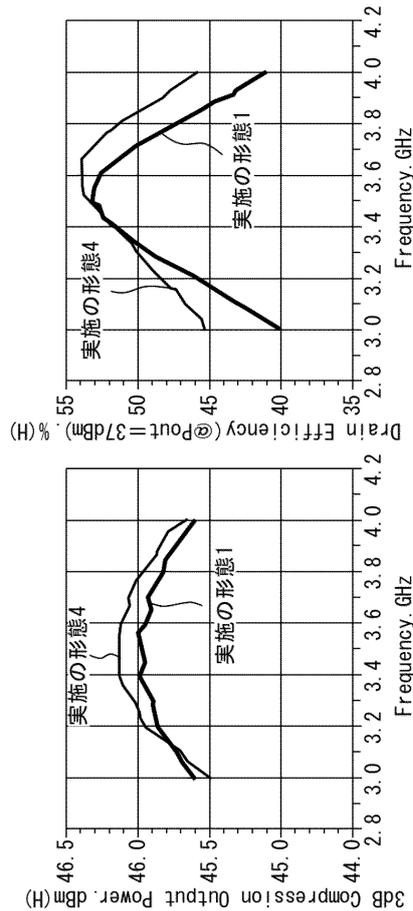
【図 1 4】



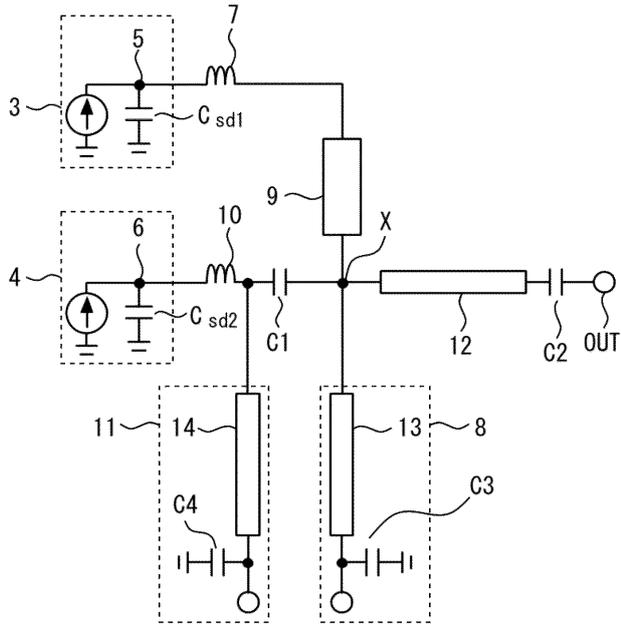
【図 1 5】



【図 1 6】



【 図 17 】



フロントページの続き

Fターム(参考) 5J067 AA04 AA21 AA63 AA64 AA65 CA36 CA62 FA16 FA20 HA12
HA29 HA32 HA33 KA12 KA13 KA16 KA66 KS11 KS21 LS01
QA04 SA14 TA02 TA03
5J500 AA04 AA21 AA63 AA64 AA65 AC36 AC62 AF16 AF20 AH12
AH29 AH32 AH33 AK12 AK13 AK16 AK66 AQ04 AS14 AT02
AT03