

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4952893号
(P4952893)

(45) 発行日 平成24年6月13日(2012.6.13)

(24) 登録日 平成24年3月23日(2012.3.23)

(51) Int.Cl.		F I			
HO 1 G	4/30	(2006.01)	HO 1 G	4/30	3 0 1 D
HO 1 G	4/232	(2006.01)	HO 1 G	4/30	3 1 1 D
HO 1 G	4/12	(2006.01)	HO 1 G	4/12	3 5 2
			HO 1 G	4/12	3 6 4

請求項の数 7 (全 14 頁)

(21) 出願番号	特願2006-148671 (P2006-148671)	(73) 特許権者	899000057
(22) 出願日	平成18年5月29日(2006.5.29)		学校法人日本大学
(65) 公開番号	特開2007-318039 (P2007-318039A)		東京都千代田区九段南四丁目8番24号
(43) 公開日	平成19年12月6日(2007.12.6)	(74) 代理人	100081606
審査請求日	平成21年5月26日(2009.5.26)		弁理士 阿部 美次郎
前置審査		(72) 発明者	内木場 文男
			東京都千代田区九段南四丁目8番24号学 校法人日本大学内
		審査官	重田 尚郎

最終頁に続く

(54) 【発明の名称】 セラミック電子部品及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

セラミック電子部品を製造する製造方法であって、
前記セラミック電子部品は、セラミック基体と、複数の機能層とを含んでおり、
 前記複数の機能層は、前記セラミック基体の厚み方向に連続し、かつ、一体化されてお
 り、

前記複数の機能層の少なくとも2層は、前記セラミック基体の内部に埋設された導電膜
 を含み、前記導電膜は、断面矩形状であって、厚み方向の両面が、隣接する機能層の層境
 界上に位置しており、

前記複数の機能層の他の少なくとも一層は、前記2層の間に配置された導電膜を持たな
 いキャパシタ層であり、前記2層の前記導電膜に隣接しており、

前記セラミック電子部品を製造するに当たり、
支持体の一面上に形成されたフォトリソ膜の開口パターン内に導電膜を形成し、
次に、前記フォトリソ膜を除去した後、残された前記導電膜の表面にのみ、レジス
トマスクを付着させ、

次に、前記レジストマスクの表面及び前記支持体の一面を連続して覆うように、セラミ
ックペーストを塗布してセラミック塗膜を形成し、

次に、前記セラミック塗膜を乾燥させ、

次に、前記レジストマスクを、剥離液を用いて、その上に付着されたセラミック塗膜と
ともに除去し、前記支持体の前記一面を覆うセラミック塗膜、及び、前記導電膜を、前記

10

20

支持体の前記一面上に残す、
工程を含む製造方法。

【請求項 2】

請求項 1 に記載された製造方法であって、前記セラミック電子部品は、コンデンサ、インダクタ、フィルタ、レゾネータもしくはそれらの複合部又は IC パッケージである、製造方法。

【請求項 3】

請求項 1 又は 2 に記載された製造方法であって、前記レジストマスクは、転写、塗布又はディップの方法によって形成する、製造方法。

【請求項 4】

請求項 1 又は 2 に記載された製造方法であって、
前記導電膜の表面に、レジストマスクを付着させるに当たり、前記導電膜の表面及び前記支持体の一面を連続して覆う第 2 のフォトレジスト膜を形成し、
次に、前記第 2 のフォトレジスト膜に対してフォトリソグラフィ工程を実行することにより、前記導電膜の表面に、前記第 2 のフォトレジスト膜によるレジストマスクを形成する、
工程を含む製造方法。

【請求項 5】

請求項 4 に記載された製造方法であって、前記フォトリソグラフィ工程は、前記第 2 のフォトレジスト膜の表面側にマスクを配置し、前記マスクを通して前記第 2 のフォトレジスト膜を露光する工程を含む製造方法。

【請求項 6】

請求項 4 に記載された製造方法であって、
前記支持体は、透光性材料で構成し、
前記フォトリソグラフィ工程は、前記導電膜をマスクとし、前記支持体側から前記第 2 のフォトレジスト膜を露光する、
工程を含む製造方法。

【請求項 7】

請求項 1 乃至 6 の何れかに記載された製造方法であって、
前記レジストマスクを、その上に付着されたセラミック塗膜とともに除去した後、前記導電膜及び前記セラミック塗膜を含むセラミックグリーンシートを、前記支持体から剥離し、
こうして得られた複数枚のグリーンシートを積層し、更に焼成する、
工程を含む製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、セラミック電子部品及びその製造方法に関する。更に詳しくは、新規な導電膜構造を有するコンデンサ、インダクタ、フィルタ、レゾネータもしくはそれらの複合部又は IC パッケージ等及びそれらの製造方法に関する。

【背景技術】

【0002】

積層セラミックコンデンサ等のセラミック電子部品を製造する場合、従来は、例えば、特許文献 1 ~ 3 に記載されているように、可撓性支持体の一面上に、ドクターブレード等を用いて、セラミック塗膜を均一厚みとなるように塗布し、乾燥させる。次に、セラミック塗膜を乾燥させた後、その一面上に、スクリーン印刷によって導電ペースト（電極ペースト）を印刷し、導電パターンを形成する。このようにして得られたグリーンシートの複数枚を積層し、圧着し、更に、個品化する切断工程を経た後、焼成する。焼成後は、外部との接続部分となる端子電極を付与する工程等が実行される。

【0003】

10

20

30

40

50

上述した従来技術の問題点は、積層数が増加するほどに、導電膜のある部分とない部分との厚み差が集積されてゆき、集積された厚み差に起因する構造的欠陥、例えばデラミネーションやクラックなどを生じ易くなること、スクリーン印刷に付随する宿命的な問題として、導電ペーストが端縁でだれるため、高周波特性が悪くなること、異なる積層膜に形成された導電膜の間の導通をとるスルーホールを、レーザや金型パンチなどを用いて形成する必要があり、工程が複雑化することなどである。

【特許文献1】特開平10-032141号公報

【特許文献2】特開平5-159966号公報

【特許文献3】特開2005-72452号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明の課題は、デラミネーションやクラックなどの構造的欠陥を生じにくい導電膜構造を持つセラミック電子部品、及び、その製造方法を提供することである。

【0005】

本発明のもう一つの課題は、導電膜の側壁面の垂直性が良好で、高周波特性の良好なセラミック電子部品、及び、その製造方法を提供することである。

【0006】

本発明の更にもう一つの課題は、導電膜間の導通をとるスルーホールを、安定的に、簡単、かつ、確実に形成できる構造を持つセラミック電子部品及びその製造方法を提供することである。

【課題を解決するための手段】

【0007】

上述した課題を解決するため、本発明に係るセラミック電子部品は、セラミック基体と、複数の機能層とを含む。前記複数の機能層は、前記セラミック基体の厚み方向に連続し、かつ、一体化されている。前記複数の機能層の少なくとも1層は、前記セラミック基体の内部に埋設された導電膜を含み、前記導電膜は、断面矩形状であって、厚み方向の両面が、隣接する機能層の層境界上に位置する。

【0008】

上述したように、本発明に係るセラミック電子部品は、複数の機能層を含み、複数の機能層は、セラミック基体の厚み方向に連続し、かつ、一体化されており、複数の機能層の少なくとも1層は、セラミック基体の内部に埋設された導電膜を含むから、導電膜構造（内部導電膜構造）を持つセラミック電子部品、例えば、チップコンデンサ、チップインダクタ、チップフィルタ、チップレゾネータ、又はそれらの複合部品等の各種のセラミック電子部品、及びICパッケージなどへ応用することができる。

【0009】

導電膜は、断面矩形状であるから、導電膜は、側面が、厚み減少を伴わない垂直性の良好な壁面となる。このため、高周波特性の良好なセラミック電子部品を得ることができる。

【0010】

また、導電膜は、厚み方向の両面が、隣接する機能層の層境界上に位置するから、導電膜の厚みが機能層の厚みと一致する平坦な平面シートを觀念することができる。従って、複数枚のシートを積層する一般的な製造方法を想定した場合、各シートを平坦な平面で重ねることができることになるから、導電膜厚みによる段差の発生を回避することができる。従って、数百層にも及ぶセラミック電子部品を製造する際にも、導電膜厚み差に起因するデラミネーション、クラックなどの構造的欠陥を生じないことになる。

【0011】

更に、導電膜は、厚み方向の両面が、隣接する機能層の層境界上に位置するから、導電膜を、スルーホールとして、そのまま用いることができる。従って、スルーホールを、レーザや金型パンチなどを用いて形成していた従来技術と異なって、スルーホールを、安定

10

20

30

40

50

的に、簡単、かつ、確実に形成できる。

【0012】

上述した本発明に係るセラミック電子部品を製造するにあたっては、まず、支持体の一面上に形成されたフォトレジスト膜の開口パターン内に導電膜を形成する。次に、前記フォトレジスト膜を除去した後、残された前記導電膜の表面に、レジストマスクを付着させる。次に、前記レジストマスクの表面及び前記支持体の一面を連続して覆うように、セラミックペーストを塗布してセラミック塗膜を形成する。次に、前記セラミック塗膜を乾燥させる。次に、前記レジストマスクを、剥離液を用いて、その上に付着されたセラミック塗膜とともに除去する。

【0013】

上述したように、本発明に係る製造方法では、まず、支持体の一面上に形成されたフォトレジスト膜の開口パターン内に導電膜を形成する。これにより、垂直性の良好な断面矩形の導電膜が形成される。

【0014】

セラミック塗膜は、フォトレジスト膜を除去した後に形成する。このプロセス順序によれば、フォトレジスト膜を除去するステップでは、その処理液（一般にはアルカリ性）によるダメージを受ける可能性のあるセラミック塗膜は、未だ存在しない。処理液のダメージを受けにくい導電膜が存在するだけである。従って、フォトレジスト膜を除去するプロセスにおいて、パターン崩れが生じるのを回避することができる。これにより、垂直性の良好な断面矩形の導電膜が形成される。

【0015】

次に問題となるのは、導電膜の膜厚差に起因する構造的欠陥をいかにして解決するかである。導電膜の膜厚差を生じさせないようにするためには、セラミック塗膜の膜厚を、導電膜の膜厚と一致させ、セラミック塗膜と導電膜の共存する面を、平坦な平面としなければならない。しかし、セラミック塗膜の形成に当たって、量産性を考慮し、連続コーティング法、例えばドクターブレード法を採用することを前提とした場合、セラミックペーストを、導電膜の表面に塗布することなしに、導電膜の厚みと一致させて、支持体の表面にのみ塗布することは、至難の技である。仮にそのようなことができたとしても、セラミック塗膜が乾燥すると、セラミック塗膜の表面が、その乾燥収縮に伴う膜減りにより、導電膜の表面よりも落ち込んでしまうから、セラミック塗膜の表面を導電膜の表面と一致させることができない。セラミック塗膜の乾燥収縮を考慮して、セラミック塗膜の厚みを厚くしたとしたら、連続コーティング法を採用する限り、導電膜の表面にもセラミック塗膜が付着してしまうのを回避することができない。導電膜の表面にセラミック塗膜が付着したのでは、導電膜の本来の機能を喪失してしまう。

【0016】

上述した問題点を解決する手段として、本発明では、導電膜の表面に、レジストマスクを付着させ、次に、前記レジストマスクの表面及び前記支持体の一面を連続して覆うように、セラミックペーストを塗布してセラミック塗膜を形成する。このステップでは、レジストマスクの表面に形成されたセラミック塗膜の表面が、支持体の一面に形成されたセラミック塗膜の表面よりも高い位置にある。

【0017】

次に、前記セラミック塗膜を乾燥させる。この乾燥工程において、セラミック塗膜が収縮する。セラミック塗膜のうち、支持体上のセラミック塗膜は、導電膜の上にあるセラミック塗膜よりも厚く、量も多いから、その嵩が、大きく目減りする。目減りの量は、セラミック塗膜を構成するセラミックペーストの粘度や、組成などを適切に選択することによって制御し得るから、乾燥処理によって、支持体上のセラミック塗膜の表面を、導電膜の表面と、実質的に同一高さ位置に一致させ、セラミック塗膜と導電膜の共存する面を、平坦な平面とすることができる。

【0018】

この後、前記レジストマスクを、剥離液を用いて、その上に付着されたセラミック塗膜

10

20

30

40

50

とともに除去する。これにより、量産性に富む連続コーティング法、例えばドクターブレード法を採用したにも関わらず、セラミック塗膜の厚みと、導電膜の厚みと一致させ、たシートを得ることができる。

【0019】

導電膜の表面に付着されるレジストマスクは、たとえば、転写、塗布又はディップの方法によって形成することができる。別の方法として、フォトリソ法を用いてもよい。例えば、導電膜の表面及び支持体の一面を連続して覆う第2のフォトリソ膜を形成し、次に、第2のフォトリソ膜に対してフォトリソグラフィ工程を実行することにより、導電膜の表面に、第2のフォトリソ膜によるレジストマスクを形成する。

【0020】

上述したフォトリソグラフィ工程としては、第2のフォトリソ膜の表面側にマスクを配置し、マスクを通して第2のフォトリソ膜を露光する工程であってもよい。別の方法として、支持体を透光性材料で構成する一方、導電膜をマスクとし、支持体側から第2のフォトリソ膜を露光するフォトリソグラフィ工程を含んでいてもよい。この場合は、フォトリソはポジタイプになる。

【0021】

上述した工程以降の工程は、周知技術に属する。例えば、シートを支持体から剥離し、剥離したシートを積層し、圧着し、切断し、焼成するなどの工程が実行されることになる。具体的には、レジストマスクを、その上に付着されたセラミック塗膜とともに除去した後、導電膜及びセラミック塗膜を含むセラミックグリーンシートを、支持体から剥離し、こうして得られた複数枚のグリーンシートを積層し、更に焼成する。この工程によれば、セラミック塗膜と導電膜とが同時に焼成されることになるが、850 程度で焼結する低温同時焼成セラミック材料(LTCC)を用いれば、この同時焼成が可能になる。

【発明の効果】

【0022】

以上述べたように、本発明によれば、次のような効果を得ることができる。

(1) デラミネーションやクラックなどの構造的欠陥を生じにくい導電膜構造を持つセラミック電子部品、及び、その製造方法を提供することができる。

(2) 導電の外形を決める側壁面の垂直性が良好で、高周波特性の良好なセラミック電子部品、及び、その製造方法を提供することができる。

(3) 導電膜間の導通をとるスルーホールを、安定的に、簡単、かつ、確実に形成できる構造を持つセラミック電子部品及びその製造方法を提供することができる。

【0023】

本発明の他の目的、構成及び利点については、添付図面を参照し、更に詳しく説明する。但し、添付図面は、単なる例示に過ぎない。

【発明を実施するための最良の形態】

【0024】

1. セラミック電子部品

図1は本発明に係るセラミック電子部品の内部構造を模式的に示す断面図である。図示のセラミック電子部品は、コンデンサ、インダクタ、フィルタ、レゾネータもしくはそれらの複合部又はICパッケージ等を含むことができる。図は、これらのセラミック電子部品の内部構造を抽象的に示すもので、実際的な内部構造を表示するものではないことに注意されたい。

【0025】

図示のセラミック電子部品は、セラミック基体1と、複数の機能層21~26とを含む。セラミック基体1は、焼結体であって、誘電体セラミック材料、フェライトなどの磁性材料又はそれらの複合材料で構成することができる。セラミック基体1を誘電体セラミック材料によって構成する場合は、LTCCを用いることができる。

【0026】

機能層21~26は、セラミック基体1の厚み方向に重ねられ、かつ、焼結により一体

10

20

30

40

50

化されている。機能層 2 1 ~ 2 6 のうち、機能層 2 1 ~ 2 4、2 6 は、セラミック基体 1 の内部に埋設された導電膜 3 1 を含んでいる。導電膜 3 は、断面矩形状であって、厚み方向の両面が、隣接する機能層 2 1 ~ 2 6 の層境界 A 上に位置する。導電膜 3 の配置位置、パターン、大きさ及び数などは、得ようとするセラミック電子部品によって、変化するので、図は導電膜 3 の存在を概念的に示すに過ぎない。導電膜 3 は、Cu、Ag、Niなどを主成分とする。

【0027】

導電膜 3 は、異なる機能層 2 1 ~ 2 6 間において、導電膜 3 - 3 間を電氣的に導通させるスルーホールを構成するほか、本来的な機能的導電を構成することもある。機能的導電としては、キャパシタ導電、インダクタ用導体、又は、マイクロストリップラインなどがある。導電膜 3 は、セラミック基体 1 の外部に導出するためのリード導体部を含んでいてもよい。

10

【0028】

機能層 2 1 ~ 2 6 の全てが導電膜 3 を持たなければならないわけではない。その中のいくつかは、導電膜 3 を含まないこともありえる。その一例として、図 1 の例では、導電膜 3 を持たない機能層 2 5 を示してある。このような機能層 2 5 は、例えば、キャパシタ層として用い得る。

【0029】

上述したように、本発明に係るセラミック電子部品は、複数の機能層 2 1 ~ 2 6 とを含み、複数の機能層 2 1 ~ 2 6 は、セラミック基体 1 の厚み方向に重ねられ、かつ、一体化されており、複数の機能層 2 1 ~ 2 6 の少なくとも 1 層（図示では機能層 2 1 ~ 2 4、2 6）は、セラミック基体 1 の内部に埋設された導電膜 3 を含むから、導電膜構造（内部導電膜構造）を持つセラミック電子部品、例えば、チップコンデンサ、チップインダクタ、チップフィルタ、チップレゾネータ、又はそれらの複合部品等の各種のセラミック電子部品、及び IC パッケージなどへ応用することができる。

20

【0030】

導電膜 3 は断面矩形状であるから、側面が、厚み減少を伴わない垂直性の良好な壁面となる。このため、高周波特性の良好なセラミック電子部品を得ることができる。導電膜を、スクリーン印刷法によって形成した従来のセラミック電子部品では、導体ペーストの流動性のために、導電膜が端縁部で薄くなり、側面垂直性の良好な導電膜を形成することができなかつた。

30

【0031】

また、導電膜 3 は、厚み方向の両面が、隣接する機能層 2 1 ~ 2 6 の層境界 A 上に位置するから、導電膜 3 の厚みが機能層 2 1 ~ 2 6 の厚みと一致する。このことは、平坦な平面シートを觀念することができることを意味する。従って、複数枚のシートを積層する一般的な製造方法を想定した場合、各シートを平坦な平面で重ねることができることになるから、導電膜厚みによる段差の発生を回避することができる。よって、数百層にも及ぶセラミック電子部品を製造する際にも、導電膜厚み差に起因するデラミネーション、クラックなどの構造的欠陥を生じないことになる。

【0032】

40

更に、導電膜 3 は、厚み方向の両面が、隣接する機能層 2 1 ~ 2 6 の層境界 A 上に位置するから、導電膜 3 を、導体間導通をとるスルーホールとして、そのまま用いることができる。従って、スルーホールを、レーザや金型パンチなどを用いて形成していた従来技術と異なって、スルーホールを、安定的に、簡単、かつ、確実に形成できる。

【0033】

2. 製造方法

次に、上述した本発明に係るセラミック電子部品を製造する方法について説明する。以下の説明においては、セラミック電子部品の 1 素子を取り出して、その製造方法を述べるが、実際の製造プロセスでは、生産効率向上の観点から、多数個の素子を、例えば、格子状に配列して、同時に形成するプロセスを採るべきことを、予めことわっておく。

50

【0034】

まず、図2に示すように、支持体4の一面上に、フォトレジスト膜5を形成する。支持体4は、例えば、ポリエチレンテレフタレート(PET)などの可撓性フィルムなどで構成し、フォトレジスト膜5を形成する一面に離型処理を施したものが好ましい。

【0035】

フォトレジスト膜5は、ネガ、ポジの何れでもよい。実施例では、フォトレジスト膜5をネガタイプのもによって構成した例を示す。フォトレジスト膜5は、支持体4の一面上にフォトレジスト材料を塗布するか、又は、ドライフィルムを用いて構成する。フォトレジスト膜5を形成するに当たっては、塗布法、スクリーン印刷法、スピンコート法、転写法など、各種の層形成手段を採用することができる。

10

【0036】

以下の説明では、フォトレジスト膜5を、ドライフィルムによって構成したものとして説明する。ドライフィルムのうちでも、ラミネートタイプのもが使い易い。ラミネートタイプのドライフィルムを用いた場合は、ラミネート層の一部を構成するフィルム層を、支持体4として使用することもできるからである。ドライフィルムとして一般に市販されているのは、アクリル系感光シートである。この他にも、ナイロン系感光シートや、カチオン重合系感光シート等も市販されているので、これらも用いることもできる。

【0037】

次に、図3に図示するように、フォトレジスト膜5の表面にフォトマスクMSKを当てて露光する。フォトマスクMSKは、得ようとするセラミック電子部品の導体パターンに対応したパターンを有しており、フォトレジスト膜5はそのパターンに従って露光される。上述のようにして露光した後、フォトレジスト膜5に対して現像処理を施すことにより、図4に示すようなマスクパターンに従った開口パターン51が、フォトレジスト膜5に形成される。上述したように、本発明では、フォトレジスト膜5に対してフォトリソグラフィ工程を実行して、導電膜のためのパターンニングを行うので、高精細、高密度のパターンを形成することができる。

20

【0038】

上述したフォトリソグラフィ工程を終了した後、図5に示すように、支持体4の一面上に形成されたフォトレジスト膜5の開口パターン51の内部に導電膜3を形成する。これにより、垂直性の良好な断面矩形の導電膜3が形成される。フォトレジスト膜5の開口パターン51は、フォトリソグラフィ工程による高精細及び高密度で形成されているから、導電膜3も高精細、高密度となる。

30

【0039】

導電膜3は、導電ペーストを、ドクターブレード法又はスクリーン印刷などによって塗布することによって形成することができる。導電ペーストは、粒径が $0.05 \sim 10 \mu\text{m}$ 、好ましくは、 $0.1 \sim 2 \mu\text{m}$ の銀、銅、ニッケルの如き導電性粒子をポリビニールブチラール(PVB)、エチルセルロース、アクリル樹脂等のバインダーで結合して調製される。導電性粒子とバインダーとの配合割合は、限定するものではないが、重量比で導電性粒子100に対してバインダ3~20、好ましくは、5~7である。また、導電ペーストの粘度は、ドクターブレードで塗布する場合には、 $0.1 \sim 10 \text{Pa} \cdot \text{s}$ 、好ましくは、 $0.5 \sim 1 \text{Pa} \cdot \text{s}$ であり、スクリーンで塗布する場合には、 $1 \sim 100 \text{Pa} \cdot \text{s}$ 、好ましくは、 $10 \sim 50 \text{Pa} \cdot \text{s}$ である。導電ペーストの粘度が $0.1 \text{Pa} \cdot \text{s}$ (ドクターブレード塗布)又は $1 \text{Pa} \cdot \text{s}$ (スクリーン塗布)よりも低いと、支持体4とフォトレジスト層5との界面との界面ににじみが生じたり、フォトレジスト層5の剥離時に導電膜3が変形したりし、また導電ペーストの粘度が $10 \text{Pa} \cdot \text{s}$ (ドクターブレード塗布)又は $100 \text{Pa} \cdot \text{s}$ (スクリーン塗布)よりも高いと、導電ペーストの充填が進まないで導電膜3が薄くなったり、途切れたりする不具合が生ずる。

40

【0040】

次に、導電膜3を乾燥させる。この乾燥は、例えば、導電膜3をホットプレート上で塗布し、それに引き続いて行うことができ、この場合には、このホットプレートを $40 \sim 7$

50

0、好ましくは50～60の温度に維持し、塗布後乾燥するまでこの温度を維持する。乾燥に要する時間は、約20分程度である。導電膜3が塗布されたフォトレジスト膜5を50～80に維持された乾燥機の中に収容して乾燥することもできる。この場合の乾燥時間は、約20～60分である。

【0041】

次に、図6に図示するように、フォトレジスト膜5を剥離する。剥離液としては、アルカリ水溶液を用いることができる。具体的には、1%の炭酸ナトリウム溶液又は水酸化ナトリウム溶液を用い、フォトレジスト膜5を溶解して剥離する。剥離液としては、アルカリ性を示す有機系化合物、例えば、テトラメチルアンモニウムハイドロオキシド(TMAH)、2-ヒドロキシエチルトリメチルアンモニウムハイドロオキシ等の溶液を用いる

10

【0042】

このステップでは、アルカリ性水溶液によるダメージを受ける可能性のあるセラミック塗膜は、未だ存在しない。アルカリ性水溶液のダメージを受けにくい導電膜3が存在するだけである。従って、フォトレジスト膜5を除去するプロセスにおいて、導電膜3にパターン崩れが生じるのを回避することができる。これにより、垂直性の良好な断面矩形の導電膜3が得られる。これが、高周波特性の改善に寄与することは、先に述べたとおりである。

【0043】

上述のようにして、垂直性の良好な断面矩形の導電膜3を形成することができるが、導電膜3の周囲にセラミック塗膜を充填する必要があり、セラミック塗膜の形成に当たって、その厚みを、如何にして導電膜3の厚みと一致させるかが、次に問題になる。

20

【0044】

セラミック塗膜の形成に当たって、量産性に富む連続コーティング法、例えばドクターブレード法を採用することを前提とした場合、セラミックペーストを、導電膜3の表面に塗布することなしに、導電膜3の厚みと一致させて、支持体の表面にのみ塗布することは、至難の技である。仮にそのようなことができたとしても、セラミック塗膜が乾燥すると、その表面が、その乾燥収縮により、導電膜3の表面よりも落ち込んでしまうから、セラミック塗膜の表面を導電膜3の表面と一致させることができない。セラミック塗膜の乾燥収縮を考慮して、セラミック塗膜の厚みを厚くしたとしたら、連続コーティング法を採用する限り、導電膜3の表面にもセラミック塗膜が付着してしまうのを回避することができない。導電膜3の表面にセラミック塗膜が付着することは、導電膜3の本来の機能を喪失することであり、厳に回避しなければならない。

30

【0045】

上述した問題点を解決する手段として、本発明では、フォトレジスト膜5を除去した後、図7に示すように、残された導電膜3の表面に、レジストマスク6を付着させる。レジストマスク6は、たとえば、転写、塗布又はディップの方法によって形成することができる。

【0046】

レジストマスク6としては、フォトレジスト膜5と同様に、アクリル系樹脂材料を用いることができる。また、有機溶剤に対しては不溶であるが、水には溶解する他の樹脂として、PVA(ポリビニルアルコール)系樹脂、ポリエチレンオキシド系樹脂等を用いることもできる。

40

【0047】

次に、図8に示すように、レジストマスク6の表面及び支持体4の一面を連続して覆うように、セラミックペーストを塗布してセラミック塗膜10を形成する。セラミックペーストは、得ようとするセラミック電子部品に応じて調製される。好ましくは、セラミック粉体と、ガラス粉体と、ブチラール系バインダ等とを混合して調製した低温焼結セラミックペースト(LTCCペースト)を用いる。セラミック粉体としては、コンデンサの場合はチタン酸バリウム、インダクタの場合はフェライト、IC基板などの場合はアルミナ等

50

が用いられる。このステップでは、レジストマスク 6 の表面に形成されたセラミック塗膜 10 の表面が、支持体 4 の一面に形成されたセラミック塗膜 10 の表面よりも高い位置にある。

【0048】

次に、セラミック塗膜 10 を乾燥させる。この乾燥工程において、セラミック塗膜 10 が収縮する。セラミック塗膜 10 のうち、支持体 4 上のセラミック塗膜 10 は、導電膜 3 の上にあるセラミック塗膜 10 よりも厚く、量も多いから、図 9 に図示するように、その嵩が、大きく目減り X する。セラミック塗膜 10 の目減り X の量は、セラミック塗膜 10 の粘度や、組成などを適切に選択することによって制御し得るから、乾燥処理によ

10

【0049】

乾燥温度と乾燥時間との間には、相関関係がある。例えば乾燥温度を室温とした場合は、1～3時間の乾燥時間が必要であるのに対し、乾燥温度を、例えば、60～100の範囲に上昇させた場合は、1～5分の乾燥時間で足りる。従って、工程の短縮化という観点から、少なくとも、室温よりも高い温度となるように加温することが好ましい。セラミック塗膜 10 の目減り X は、60～5%の範囲、好ましくは、15～30%の範囲である。

【0050】

更に、上述したセラミック塗膜 10 の目減り X により、レジストマスク 6 の表面に存在するセラミック塗膜 10 から、支持体 4 の上に存在するセラミック塗膜 10 へと向かって下降傾斜する傾斜部分 101 が発生し、この傾斜部分 101 と、レジストマスク 61 の肩部との間で、セラミック塗膜 10 が薄くなる。

20

【0051】

この後、図 10 に示すように、剥離液 7 を用いて、レジストマスク 6 を、その上に付着されたセラミック塗膜 10 とともに除去する。ここで、図 9 を参照して説明したように、レジストマスク 6 の上のセラミック塗膜 101 がもともと薄い上、セラミック塗膜 10 の目減り X により、レジストマスク 61 の肩部に対応する傾斜部分 101 で、セラミック塗膜 10 が薄くなっていること、セラミック塗膜 10 は多孔性であることから、剥離液 7 が、セラミック塗膜 7 を通して、レジストマスク 6 に十分に浸透し、これを溶解させる。この結果、セラミック塗膜 10 は、薄くなっているレジストマスク 61 の肩部に対応する位置で、いわゆるリフトオフ法に類似の現象により、レジストマスク 61 とともに剥離される。これにより、量産性に富む連続コーティング法、例えばドクターブレード法を採用したにも関わらず、図 11 に示すように、セラミック塗膜 10 の厚みと、導電膜 3 の厚みとを一致させた平面状のシートを得ることができる。

30

【0052】

剥離においては、第 1 のレジスト現像液のようなアルカリ液の使用は、必ずしも必要ではない。レジストマスク 6 として、アクリル系フィルムを用いた場合は、純水又はエタノールにより、レジストマスク 6 を膨潤させ、剥離することが可能になる。また、PVA や、ポリエチレンオキサイド系の可溶解樹脂も、純水又はエタノール等で溶解させ、剥離することが可能である。

40

【0053】

上述した工程を、得ようとするセラミック電子部品に要求される積層数に応じて繰り返し、導電膜 3 のパターンの同じ同種のグリーンシート、又は、導電膜 3 のパターンの異なる複数種のグリーンシートを製造する。なお、図 4～図 11 に示された技術思想は、図 5 に示した工程にも適用できる。

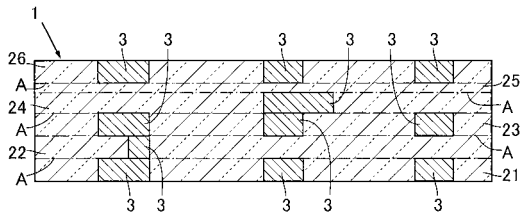
【0054】

この後の工程は、周知技術に属する。例えば、図 12 に図示するように、導電膜 3 及びセラミック塗膜 10 を含むセラミックグリーンシートを、支持体 4 から剥離し、こうして得られた複数枚のグリーンシートを、図 13 に図示ように積層して、図 14 に示す積層体

50

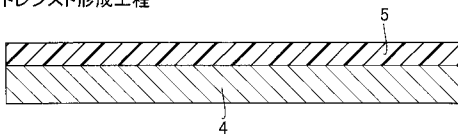
- 4 支持体
- 5 フォトレジスト膜
- 6 レジストマスク
- 10 セラミック塗膜

【図1】



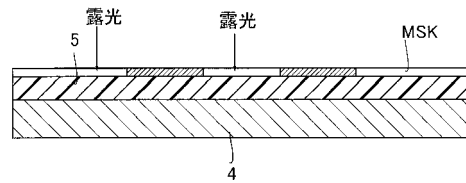
【図2】

フォトレジスト形成工程



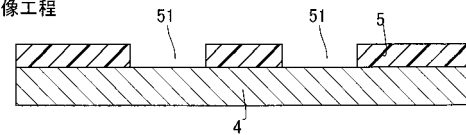
【図3】

露光工程



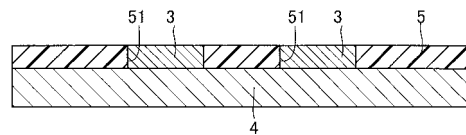
【図4】

現像工程



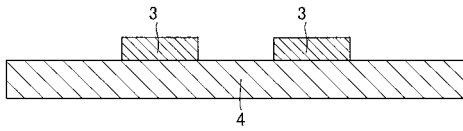
【図5】

導電層形成工程

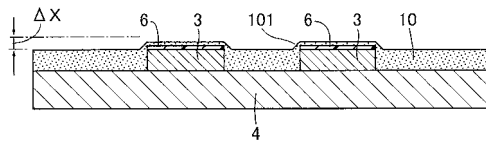


【図 6】

レジスト剥離工程

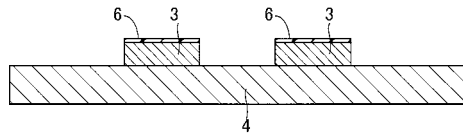


【図 9】

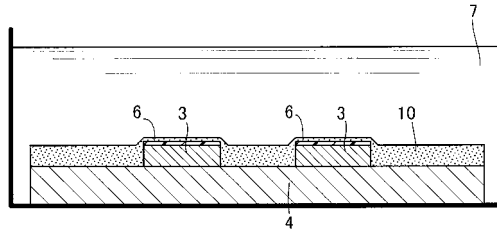


【図 7】

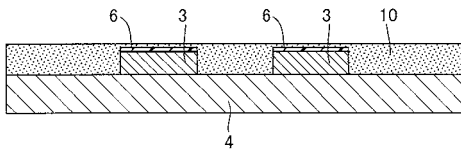
レジストマスク形成工程1(転写、塗布 or ディップ)



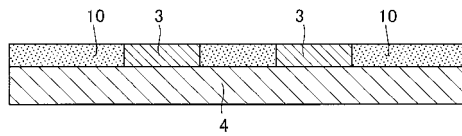
【図 10】



【図 8】

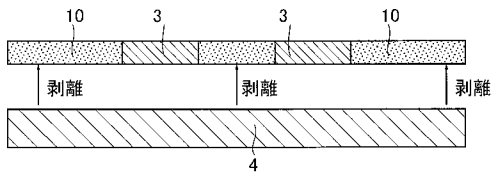


【図 11】



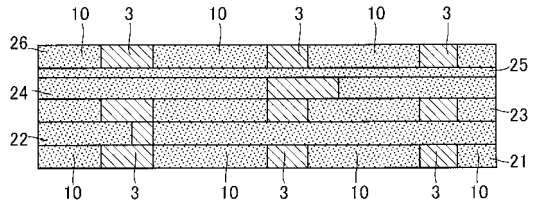
【図 12】

乾燥後、剥離工程



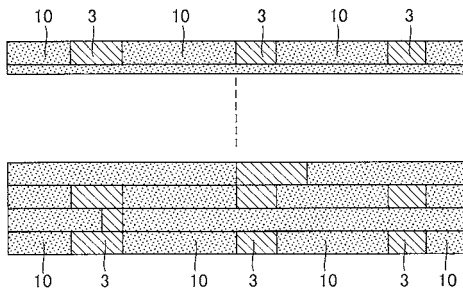
【図 14】

焼成工程

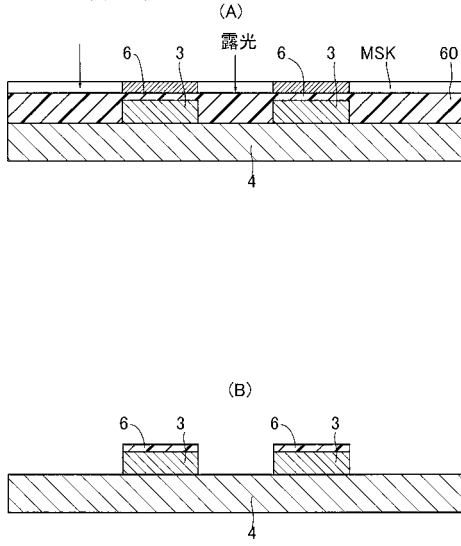


【図 13】

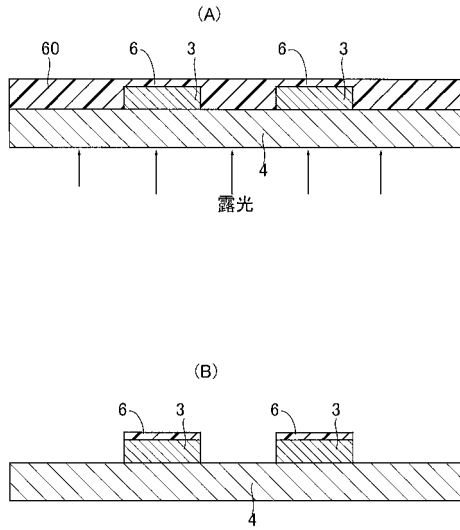
積層工程



【図15】
レジストマスク形成工程2



【図16】



フロントページの続き

- (56)参考文献 特開2005-136007(JP,A)
特開平05-174649(JP,A)
特開2004-296543(JP,A)
特開平05-114531(JP,A)
特開2003-021915(JP,A)
特開2001-320151(JP,A)
特開2005-217051(JP,A)
特開平10-032141(JP,A)
特開平05-159966(JP,A)
特開2005-072452(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01G 4/30
H01G 4/12