



(12) 发明专利申请

(10) 申请公布号 CN 103247600 A

(43) 申请公布日 2013. 08. 14

(21) 申请号 201310042094. 4

(22) 申请日 2013. 02. 01

(30) 优先权数据

10-2012-0010983 2012. 02. 02 KR

13/718, 580 2012. 12. 18 US

(71) 申请人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 李镐珍 姜泌圭 李圭夏 朴炳律

郑显秀 崔吉铉

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 陈源 张帆

(51) Int. Cl.

H01L 23/528 (2006. 01)

H01L 21/768 (2006. 01)

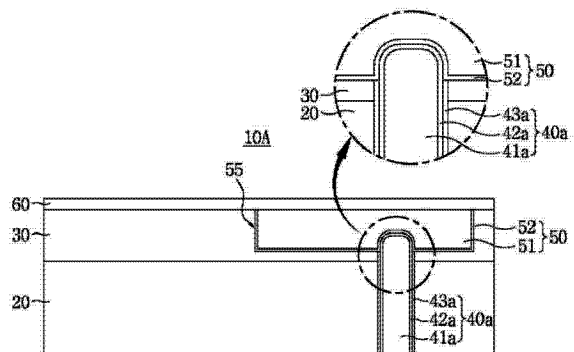
权利要求书3页 说明书31页 附图112页

(54) 发明名称

通孔连接结构、具有该结构的半导体器件及其制造方法

(57) 摘要

本发明提供了通孔连接结构、具有该结构的半导体器件及其制造方法。所述半导体器件包括：下层；在所述下层的第一侧上的绝缘层；在所述绝缘层中的互连结构；在所述下层中的通孔结构。该通孔结构突出至所述绝缘层和所述互连结构内。



1. 一种半导体器件,包括:  
下层;  
绝缘层,其在所述下层的第一侧上;  
互连结构,其在所述绝缘层中;  
通孔结构,其在所述下层中,并且所述通孔结构突出至所述绝缘层和所述互连结构内。
2. 根据权利要求 1 所述的半导体器件,其中  
在所述下层中并且突出至所述绝缘层内的所述通孔结构的一部分包括通孔芯、在所述通孔芯上的通孔阻挡层以及在所述通孔阻挡层上的通孔衬垫。
3. 根据权利要求 1 所述的半导体器件,其中  
所述互连结构包括互连阻挡层,所述互连阻挡层内衬于所述绝缘层内的槽并且覆盖所述通孔结构的一部分;  
所述互连结构包括互连,所述互连填充所述槽的剩余部分。
4. 根据权利要求 3 所述的半导体器件,其中所述通孔结构突出至所述互连内。
5. 根据权利要求 1 所述的半导体器件,其中  
所述互连结构包括通孔区域、焊盘区域和互连区域,所述互连区域将所述通孔区域和所述焊盘区域电连接;  
所述半导体器件还包括在所述焊盘区域上的焊盘;并且  
所述通孔结构突出至所述通孔区域内。
6. 根据权利要求 5 所述的半导体器件,其中  
所述通孔区域和所述焊盘区域的水平宽度大于所述互连区域的水平宽度,并且所述通孔区域的至少一部分的水平宽度大于所述焊盘区域的水平宽度。
7. 根据权利要求 1 所述的半导体器件,还包括:  
内部电路结构,其在所述下层的第二侧上,所述第二侧与所述第一侧相对,所述内部电路结构包括,  
多个单元器件,以及  
多个内部连接结构,所述多个内部连接结构中的至少一个将所述通孔结构电连接至第二侧焊盘,并且至少一个内部连接结构将所述通孔结构电连接至所述多个单元器件中的至少一个;并且  
所述第二侧焊盘在所述内部电路结构上,  
其中所述内部电路结构包括,  
第一层间绝缘层,其在所述下层的第二侧上,所述第一层间绝缘层覆盖所述多个单元器件中的至少一个,以及  
第二层间绝缘层,其在所述第一层间绝缘层上,所述第二层间绝缘层覆盖所述多个内部连接结构中的至少一个;并且  
所述通孔结构在所述第一层间绝缘层的至少一部分中而不在所述第二层间绝缘层中。
8. 根据权利要求 1 所述的半导体器件,还包括:  
内部电路结构,其在所述下层的第二侧上,所述第二侧与所述第一侧相对,所述内部电路结构包括,  
多个单元器件,以及

多个内部连接结构,所述多个内部连接结构中的至少一个将所述通孔结构电连接至第二侧焊盘,并且至少一个内部连接结构将所述通孔结构电连接至所述多个单元器件中的至少一个;并且

所述第二侧焊盘在所述内部电路结构上,

其中所述内部电路结构包括,

第一层绝缘层,其在所述下层的第二侧上,所述第一层绝缘层覆盖所述多个单元器件中的至少一个,以及

第二层绝缘层,其在所述第一层绝缘层上,所述第二层绝缘层覆盖所述多个内部连接结构中的至少一个;并且

所述通孔结构不在所述第一层绝缘层中并且不在所述第二层绝缘层中。

9. 根据权利要求 1 所述的半导体器件,其中

所述绝缘层包括在所述下层上的第一绝缘层和在所述第一绝缘层上的第二绝缘层;

所述互连结构只在所述第二绝缘层中。

10. 根据权利要求 9 所述的半导体器件,其中所述第一绝缘层布置在所述通孔结构和所述第二绝缘层之间。

11. 根据权利要求 9 所述的半导体器件,其中

所述互连结构包括互连阻挡层,所述互连阻挡层内衬于所述绝缘层内的槽并且覆盖所述通孔结构的一部分;

所述互连结构包括互连,所述互连填充所述槽的剩余部分。

12. 根据权利要求 11 所述的半导体器件,其中所述通孔结构突出至所述互连内。

13. 根据权利要求 9 所述的半导体器件,其中

所述互连结构包括通孔区域、焊盘区域和互连区域,所述互连区域将所述通孔区域和所述焊盘区域电连接;

所述半导体器件还包括在所述焊盘区域上的焊盘;并且

所述通孔结构突出至所述通孔区域内。

14. 根据权利要求 13 所述的半导体器件,其中

所述通孔区域和所述焊盘区域的水平宽度大于所述互连区域的水平宽度大,并且所述通孔区域的至少一部分的水平宽度大于所述焊盘区域的水平宽度。

15. 根据权利要求 9 所述的半导体器件,还包括:

内部电路结构,其在所述下层的第二侧上,所述第二侧与所述第一侧相对,所述内部电路结构包括,

多个单元器件,以及

多个内部连接结构,所述多个内部连接结构中的至少一个将所述通孔结构电连接至第二侧焊盘,并且至少一个内部连接结构将所述通孔结构电连接至所述多个单元器件中的至少一个;并且

所述第二侧焊盘在所述内部电路结构上。

16. 根据权利要求 15 所述的半导体器件,其中

所述内部电路结构包括,

第一层绝缘层,其在所述下层的第二侧上,所述第一层绝缘层覆盖所述多个单元

器件中的至少一个,以及

第二层间绝缘层,其在所述第一层间绝缘层上,所述第二层间绝缘层覆盖所述多个内部连接结构中的至少一个;并且

所述通孔结构在所述第一层间绝缘层的至少一部分中而不在所述第二层间绝缘层中。

17. 根据权利要求 15 所述的半导体器件,其中

所述内部电路结构包括,

第一层间绝缘层,其在所述下层的第二侧上,所述第一层间绝缘层覆盖所述多个单元器件中的至少一个,以及

第二层间绝缘层,其在所述第一层间绝缘层上,所述第二层间绝缘层覆盖所述多个内部连接结构中的至少一个;并且

所述通孔结构不在所述第一层间绝缘层中并且不在所述第二层间绝缘层中。

18. 一种半导体器件,包括:

下层;

绝缘层,其在所述下层的第一侧上;

互连结构,其在所述绝缘层中,所述互连结构包括通孔区域、焊盘区域和互连区域,所述互连区域将所述通孔区域和所述焊盘区域电连接;

通孔结构,其在所述下层、所述绝缘层的至少一部分以及所述通孔区域的至少一部分中;以及

焊盘,其在所述焊盘区域上。

19. 一种半导体器件,包括:

下层;

绝缘层,其在所述下层的第一侧上;

互连结构,其在所述绝缘层中,所述互连结构包括通孔区域、第一焊盘区域和第一互连区域,所述第一互连区域将所述通孔区域和所述第一焊盘区域电连接,所述通孔区域和所述第一焊盘区域的水平宽度大于所述第一互连区域的水平宽度,并且所述通孔区域的至少一部分的水平宽度大于所述第一焊盘区域的水平宽度。

20. 根据权利要求 19 所述的半导体器件,其中所述互连结构包括第二焊盘区域和第二互连区域,所述第二互连区域将所述第二焊盘区域电连接至所述通孔区域,所述通孔区域和所述第二焊盘区域的水平宽度大于所述第二互连区域的水平宽度,并且所述通孔区域的至少一部分的水平宽度大于所述第二焊盘区域的水平宽度。

## 通孔连接结构、具有该结构的半导体器件及其制造方法

### 技术领域

[0001] 本发明构思的各实施例涉及通孔连接结构、具有该通孔连接结构的半导体器件、制造该通孔连接结构和该半导体器件的方法、半导体器件的层叠结构、模块、电子系统和/或无线移动电话。

### 背景技术

[0002] 由于对诸如手机或平板个人电脑(PC)之类的尺寸小、重量轻且薄的通信设备的使用的增加,已经对高集成、高速半导体器件进行了研究。因此,已经提出了一种具有硅通孔(TSV)的层叠型半导体器件。

### 发明内容

- [0003] 本发明构思的至少一个实施例提供了一种具有突出的通孔结构的通孔连接结构。
- [0004] 本发明构思的至少一个实施例提供了一种具有突出的硅通孔(TSV)结构的半导体器件。
- [0005] 本发明构思的至少一个实施例还提供了一种具有突出的 TSV 结构的半导体器件的层叠结构。
- [0006] 本发明构思的至少一个实施例提供了一种半导体封装件,该半导体封装件包括具有突出的 TSV 结构的半导体器件。
- [0007] 本发明构思的至少一个实施例提供了一种电子系统,该电子系统包括具有突出的 TSV 结构的半导体器件。
- [0008] 本发明构思的至少一个实施例提供了一种通孔连接结构,该通孔连接结构具有使用大马士革工艺(damascene process)形成的互连结构。
- [0009] 本发明构思的至少一个实施例提供了一种半导体器件,该半导体器件具有使用大马士革工艺形成的再分布结构。
- [0010] 本发明构思的至少一个实施例提供了一种半导体器件的层叠结构,该半导体器件具有使用大马士革工艺形成的再分布结构。
- [0011] 本发明构思的至少一个实施例提供了一种包括半导体器件的半导体封装件,该半导体器件具有使用大马士革工艺形成的再分布结构。
- [0012] 本发明构思的至少一个实施例提供了一种包括半导体器件的电子系统,该半导体器件具有使用大马士革工艺形成的再分布结构。
- [0013] 本发明构思的至少一个实施例提供了一种形成通孔连接结构的方法,该通孔连接结构具有突出的通孔结构。
- [0014] 本发明构思的至少一个实施例提供了一种制造半导体器件的方法,该半导体器件具有突出的 TSV 结构。
- [0015] 本发明构思的至少一个实施例提供了一种形成通孔连接结构的方法,该通孔连接结构具有使用大马士革工艺形成的互连结构。

[0016] 本发明构思的至少一个实施例提供了一种制造半导体器件的方法,该半导体器件具有使用大马士革工艺形成的再分布结构。

[0017] 本发明构思的各方面不应当限于以上描述,根据本申请中所描述的各示例实施例,本领域普通技术人员将清楚地理解未提及的其它方面。

#### 附图说明

[0018] 如附图中所示,根据本发明构思的各示例实施例的更加详细描述,本发明构思的前述及其它特征和优点将变得明显,其中,在不同的示图中相同的附图标记始终指代相同的部件。附图不一定按比例示出,而是强调了对于本发明构思的原理的说明。在附图中:

[0019] 图 1A 和图 1B 是根据本发明构思的各个实施例的半导体器件的再分布结构的表面的概念布局;

[0020] 图 2A 至图 2S 是根据本发明构思的各个实施例的通孔连接结构的概念纵截面图;

[0021] 图 3A 至图 3H 是根据本发明构思的各个实施例的通孔连接结构的概念纵截面的透视图;

[0022] 图 4A 和图 4B 是示出了形成根据本发明构思的各个实施例的通孔连接结构的方法的流程图;

[0023] 图 5A 至图 5G 以及图 6A 至图 6C 是示出了形成根据本发明构思的各个实施例的通孔连接结构的方法的纵截面图;

[0024] 图 7A 至图 7Q 是根据本发明构思的一些实施例的具有各种形状的暴露在槽内的通孔结构的概念纵截面图;

[0025] 图 8A 至图 8S 是根据本发明构思的各个实施例的半导体器件的概念纵截面图;

[0026] 图 9A 至图 9J 是示出了制造根据本发明构思的各个实施例的半导体器件的方法的流程图;

[0027] 图 10A 至图 10X 是示出了制造根据本发明构思的一个实施例的半导体器件的方法的纵截面图;

[0028] 图 11A 至图 11D 是示出了制造根据本发明构思的另一个实施例的半导体器件的方法的纵截面图;

[0029] 图 12A 至图 12G 是示出了制造根据本发明构思的另一个实施例的半导体器件的方法的纵截面图;

[0030] 图 13A 至图 13D 是示出了制造根据本发明构思的另一个实施例的半导体器件的方法的纵截面图;

[0031] 图 14A 至图 14Q 是根据本发明构思的一些实施例的具有各种形状的暴露在再分布槽内的 TSV 结构的概念纵截面图;

[0032] 图 15A 至图 15M 是示出了制造根据本发明构思的另一个实施例的半导体器件的方法的纵截面图;

[0033] 图 16A 至图 16K 是示出了制造根据本发明构思的另一个实施例的半导体器件的方法的纵截面图;

[0034] 图 17A 至图 17D 是根据本发明构思的各个实施例的半导体器件的层叠结构的概念纵截面图;

[0035] 图 18 是根据本发明构思的实施例的半导体封装件的概念纵截面图；

[0036] 图 19 是包括根据本发明构思的实施例的半导体器件的模块的概念图；

[0037] 图 20 和图 21 是包括根据本发明构思的各个实施例的各通孔连接结构或各半导体器件中的至少一个的电子系统的概念框图；以及

[0038] 图 22 是包括根据本发明构思的各个实施例的各通孔连接结构或各半导体器件中的至少一个的无线移动电话的示意图。

### 具体实施方式

[0039] 在下文中,将参考示出了本发明构思的各示例实施例的附图,来更加全面地描述本发明构思。然而,本发明构思可以以不同的形式来实施,而不应当被解释为限于在此提出的各实施例。相反,提供这些实施例是为了本公开是彻底和全面的,并且向本领域技术人员全面传达本发明构思的范围。

[0040] 在此所使用的术语仅仅是为了描述各特定实施例的目的,而不是要限制本发明构思。在此所使用的单数形式“一”、“一个”和“该”旨在也包括复数形式,除非上下文清楚地作了其它说明。还应当理解的是,当本申请中使用术语“包括”和/或“包含”时,指定了所述特征、整数、步骤、操作、元件和/或组件的存在,但并不排除存在或附加一个或多个其它特征、整数、步骤、操作、元件、组件和/或它们的组。

[0041] 应当理解的是,当一个元件或层被称作在其它元件或层“之上”、“连接至”或“耦接至”其它元件或层时,所述一个元件或层可以直接在其它元件或层“之上”、可以直接“连接至”或“耦接至”其它元件或层,或者可以存在中间元件或中间层。相反,当一个元件被称作直接在其它元件或层“之上”、直接“连接至”或直接“耦接至”其它元件或层时,不存在中间元件或中间层。相同的附图标记始终指代相同的元件。在此所使用的术语“和/或”包括一个或多个相关列出项目的任何及全部组合。

[0042] 为了描述方便,在此可以使用空间相对术语,诸如“在……下面”、“在……之下”、“下面的”、“在……上方”、“上面的”等,来描述如附图所示的一个元件或特征与其它元件或特征的关系。应当理解的是,除了附图中所示的方位以外,这些空间相对术语还包括在使用或操作中的器件的不同方位。例如,如果附图中的器件翻转,则被描述为在其它元件或特征“下面”或“之下”的元件将位于其它元件或特征的“上方”。因此,示例性术语“在……下面”可以包括位于上方和位于下面两个方位。器件还可以有其它方位(旋转 90 度或在其它方位处),在此所使用的空间相对描述符应该被相应地解释。

[0043] 在此,参考示意性地示出了本发明构思的各理想化实施例的截面示图和/或平面示图来描述本发明构思的各实施例。如此,由于例如制造技术和/或公差而引起与图示的形状的偏差是在预料之中的。因此,本发明构思的各实施例不应当被解释为限于在此示出的区域的特定形状,而将包括例如由制造产生的形状的偏差。例如,被示出为矩形的蚀刻区域通常将具有圆形的或弯曲的特征。因此,附图中所示出的区域本质上是示意性的,其形状并不旨在示出器件的区域的精确形状,也不是要限制本发明构思的范围。

[0044] 在本申请中,相同的附图标记始终用于表示相同的组件。因此,即使在相应的附图中没有提及或描述,也可以通过参考其它附图来对相同的附图标记或相似的附图标记进行说明。而且,即使没有使用附图标记来描述组件,也可以通过参考其他附图来描述该组件。

[0045] 为了描述方便,在此可以使用空间相对术语“正面”和“背面”来描述如附图所示的一个元件或特征与其它元件或特征的关系。应当理解的是,除了附图中所示的方位以外,空间相对术语“正面”和“背面”还包括在使用或操作中的器件的不同方位。例如,术语“正面”可以被解释为术语“背面”,并且术语“背面”可以被解释为术语“正面”。因此,术语“正面”可以表示为“第一”,术语“背面”可以表示为“第二”。可替换地,术语“背面”可以表示为“第一”,术语“正面”可以表示为“第二”。然而,在一个实施例中,术语“正面”和“背面”应当被解释为具有不同的含义。

[0046] 在本申请中,术语“接近”指的是具有对称概念的至少两个元件中的一个比其余元件布置得更靠近另一个特定元件。例如,当第一端接近于第一侧时,应当理解的是,第一端比第二端更靠近第一侧,或者第一端离第一侧比离第二侧更近。

[0047] 图 1A 和图 1B 是根据本发明构思的各个实施例的半导体器件 1A 和半导体器件 1B 的再分布结构的表面的概念布局。

[0048] 参考图 1A 和图 1B,根据本发明构思的各个实施例的半导体器件 1A 和半导体器件 1B 中的每一个可以包括暴露的通孔结构 4、互连结构 5 和布置在表面 2 上的焊盘 6。表面 2 可以由绝缘材料覆盖,诸如氮化硅、氧化硅、聚酰亚胺、光敏聚酰亚胺、苯并环丁烯(BCB)或其它有机或无机聚合物。在其它附图中对通孔结构 4、互连结构 5 和焊盘 6 进行更详细的描述。再参考图 1A,通孔结构 4 可以以行或列的方式布置在表面 2 的中央。焊盘 6 可以布置在表面 2 上的各个位置处。互连结构 5 可以变化布置以电连接各通孔结构 4 或电连接通孔结构 4 和焊盘 6。再参考图 1B,通孔结构 4 可以以列布置在表面 2 的外部区域中。焊盘 6 可以布置在表面 2 上的各个位置处。互连结构 5 可以变化布置以电连接各通孔结构 4 或电连接通孔结构 4 和焊盘 6。根据本发明构思的各个实施例的半导体器件 1A 和半导体器件 1B 中的每一个可以通过通孔结构 4 接收电源电压、参考电压、接地电压和各种电信号,并且使用再分布结构来将接收到的电源电压、参考电压、接地电压和各种电信号分布至布置在各个位置处的焊盘 6。可替换地,根据本发明构思的各个实施例的半导体器件 1A 和半导体器件 1B 中的每一个可以通过焊盘 6 接收电源电压、参考电压、接地电压和各种电信号,并且使用再分布结构来将接收到的电源电压、参考电压、接地电压和各种电信号分布至布置在各个位置处的通孔结构 4。

[0049] 图 2A 至图 2S 是根据本发明构思的各个实施例的通孔连接结构 10A 至通孔连接结构 10S 的概念纵截面图。

[0050] 参考图 2A,根据本发明构思的实施例的通孔连接结构 10A 可以包括具有槽 55 的绝缘层 30、形成在槽 55 内并且具有突出的上部的通孔结构 40a 以及形成在槽 55 内的互连结构 50。

[0051] 绝缘层 30 可以形成在下层 20 上。下层 20 可以包括衬底或层间绝缘层。例如,下层 20 可以包括硅衬底。可替换地,例如,下层 20 可以包括包含氧化硅或氮化硅在内的层间绝缘层。

[0052] 通孔结构 40a 可以包括通孔芯 41a、通孔阻挡层 42a 和通孔衬垫 43a。通孔结构 40a 可以在下层 20 的表面上从下层 20 的内部突出。通孔结构 40a 的侧表面的一部分可以暴露在下层 20 的表面上。例如,通孔芯 41a、通孔阻挡层 42a 和通孔衬垫 43a 可以部分暴露在下层 20 上。



[0053] 通孔芯 41a 可以具有柱形。通孔芯 41a 可以包括金属, 诸如铜(Cu)。

[0054] 通孔阻挡层 42a 可以共形地覆盖通孔芯 41a 的侧表面和顶表面。通孔阻挡层 42a 可以包括阻挡金属(barrier metal), 诸如钛(Ti)、氮化钛(TiN)、钽(Ta)、氮化钽(TaN) 或氮化钨(WN)。通孔阻挡层 42a 可以形成为单层类型或多层类型。例如, 通孔阻挡层 42a 可以包括多层阻挡金属层。

[0055] 通孔衬垫 43a 可以共形地覆盖通孔芯 41a 的侧表面。例如, 通孔衬垫 43a 可以覆盖通孔阻挡层 42a 的侧表面。通孔衬垫 43a 可以包括氧化硅(SiO<sub>2</sub>)、氮化硅(SiN) 或其介电常数比氧化硅低的各种其它材料。

[0056] 槽 55 可以形成在绝缘层 30 中。通孔结构 40a 的顶端和部分侧表面可以暴露在槽 55 内。例如, 通孔结构 40a 的顶端和侧表面的一部分可以突出至槽 55 内。通孔阻挡层 42a 可以暴露在通孔结构 40a 的顶端和部分侧表面上, 通孔结构 40a 的顶端和部分侧表面可以突出至槽 55 内。例如, 在突出至槽 55 内的通孔结构 40a 的顶端部分和侧表面部分上可以不形成通孔衬垫 43a。在槽 55 的底部表面上, 绝缘层 30 的表面可以布置在与通孔衬垫 43a 的顶端实质上相同的水平或相似的水平处。绝缘层 30 可以覆盖通孔结构 40a 在槽 55 之下的侧表面。例如, 埋入绝缘层 30 中的通孔结构 40a 的侧表面可以被绝缘层 30 包围。绝缘层 30 可以与通孔衬垫 43a 接触。

[0057] 互连 51 和互连阻挡层 52 可以形成在槽 55 内。互连阻挡层 52 可以形成在槽 55 的内壁和底部表面以及暴露的通孔结构 40a 的表面上。互连阻挡层 52 可以沿着暴露在槽 55 内的通孔结构 40a 的轮廓共形地形成。互连 51 可以形成在槽 55 内的互连阻挡层 52 上以填充槽 55。互连阻挡层 52 可以包括阻挡金属, 诸如 Ti、TiN、Ta、TaN 或 WN。同样, 互连阻挡层 52 可以是单阻挡金属层或者是诸如两层或三层阻挡金属之类的阻挡金属复合层。互连 51 可以包括金属, 诸如铜(Cu)。通孔阻挡层 42a 和互连阻挡层 52 中的每一个可以形成为单层类型或多层类型。

[0058] 可以在埋入绝缘层 30 中的通孔芯 41a 的侧表面上形成单阻挡层, 例如仅通孔阻挡层 42a, 而可以在可突出至槽 55 内的通孔芯 41a 的侧表面上形成双阻挡层, 例如通孔阻挡层 42a 和互连阻挡层 52。因此, 与在可以埋入下层 20 或绝缘层 30 中的通孔芯 41a 的侧表面上相比, 在可以突出至槽 55 内的通孔芯 41a 的侧表面上可以形成较厚的阻挡层。

[0059] 绝缘层 30 和互连结构 50 的顶部表面可以是平面。例如, 绝缘层 30 和互连结构 50 的顶部表面可以处于同一水平。钝化层 60 可以直接形成在绝缘层 30 和互连结构 50 上。钝化层 60 可以包括氮化硅或聚酰亚胺。

[0060] 参考图 2B, 根据本发明构思的另一个实施例的通孔连接结构 10B 可以包括突出至槽 55 内的通孔结构 40b。通孔结构 40b 可以包括通孔芯 41b 和通孔衬垫 43b, 通孔芯 41b 和通孔衬垫 43b 可以在绝缘层 30 的表面上突出。例如, 通孔阻挡层 42b 可以覆盖通孔芯 41b 的全部顶部表面和侧表面, 并且通孔衬垫 43b 可以覆盖通孔阻挡层 42b 的侧表面的一部分。通孔衬垫 43b 的顶端和一部分侧表面可以暴露在槽 55 内并且与互连阻挡层 52 接触。

[0061] 参考图 2C, 根据本发明构思的另一个实施例的通孔连接结构 10C 可以包括突出至槽 55 内的通孔结构 40c。通孔结构 40c 可以包括通孔芯 41c、通孔阻挡层 42c 和通孔衬垫 43c, 通孔芯 41c、通孔阻挡层 42c 和通孔衬垫 43c 可以在绝缘层 30 的表面上突出。例如, 通孔阻挡层 42c 可以覆盖通孔芯 41c 的侧表面的一部分, 并且通孔衬垫 43c 可以覆盖通孔阻

挡层 42c 的侧表面。通孔阻挡层 42c 的顶端可以与通孔衬垫 43c 顶端表面相似。通孔阻挡层 42c 的顶端以及通孔衬垫 43c 的顶端和部分侧表面可以暴露在槽 55 内并且与互连阻挡层 52 接触。通孔芯 41c 可以与互连阻挡层 52 直接接触。

[0062] 参考图 2D, 根据本发明构思的另一个实施例的通孔连接结构 10D 可以包括突出至槽 55 内的通孔结构 40d。通孔结构 40d 可以包括通孔芯 41d、通孔阻挡层 42d 和通孔衬垫 43d, 通孔芯 41d、通孔阻挡层 42d 和通孔衬垫 43d 可以在绝缘层 30 的表面上突出。例如, 通孔阻挡层 42d 可以覆盖通孔芯 41d 的侧表面的一部分, 并且通孔衬垫 43d 可以覆盖通孔阻挡层 42d 的侧表面的一部分。通孔阻挡层 42d 的顶端可以布置在比通孔衬垫 43d 的顶端高的水平处。通孔阻挡层 42d 的顶端和部分侧表面以及通孔衬垫 43d 的顶端和部分侧表面可以暴露在槽 55 内并且与互连阻挡层 52 接触。

[0063] 参考图 2E, 根据本发明构思的另一个实施例的通孔连接结构 10E 可以包括突出至槽 55 内的通孔结构 40e。通孔结构 40e 可以包括通孔芯 41e 和通孔阻挡层 42e, 通孔芯 41e 和通孔阻挡层 42e 可以在绝缘层 30 的表面上突出。例如, 通孔芯 41e 的上部和 / 或部分侧表面可以不被通孔阻挡层 42e 覆盖而可以是暴露的。通孔芯 41e 的上部和 / 或部分侧表面可以与互连阻挡层 52 直接接触。通孔衬垫 43e 的顶端可以与绝缘层 30 的表面处于相同的水平或相似的水平处。

[0064] 参考图 2F, 根据本发明构思的另一个实施例的通孔连接结构 10F 可以包括突出至槽 55 内的通孔结构 40f。通孔结构 40f 可以包括通孔芯 41f, 通孔芯 41f 可以在绝缘层 30 的表面上突出。例如, 通孔芯 41f 的上部和一部分侧表面可以不被通孔阻挡层 42f 覆盖而是暴露的。例如, 仅通孔芯 41f 可以突出至槽 55 内。突出的通孔芯 41f 的上部和侧表面可以与互连阻挡层 52 直接接触。通孔阻挡层 42f 的顶端以及通孔衬垫 43f 的顶端可以与绝缘层 30 的表面处于相同的水平或相似的水平处。

[0065] 参考图 2G, 根据本发明构思的另一个实施例的通孔连接结构 10G 可以包括下绝缘层 31g 和上绝缘层 32g。同样, 通孔连接结构 10G 可以包括可突出至槽 55 内的通孔芯 41g 和通孔阻挡层 42g。下绝缘层 31g 可以形成在下层 20 上并且覆盖通孔结构 40g 的侧表面。上绝缘层 32g 可以形成在下绝缘层 31g 上并且具有槽 55。上绝缘层 32g 可以与通孔结构 40g 的侧表面间隔开, 并且不与通孔结构 40g 的侧表面接触。例如, 下绝缘层 31g 可以插在上绝缘层 32g 和通孔结构 40g 之间。通孔阻挡层 42g 可以覆盖突出的通孔芯 41g 的顶部表面和侧表面。通孔阻挡层 42g 的顶部表面和侧表面可以与互连阻挡层 52 直接接触。在槽 55 内, 通孔衬垫 43g 的顶部表面、下绝缘层 31g 和上绝缘层 32g 可以处于相同的水平或相似的水平。

[0066] 参考图 2H, 根据本发明构思的另一个实施例的通孔连接结构 10H 可以包括下绝缘层 31h 和上绝缘层 32h, 并且还包括突出至槽 55 内的通孔结构 40h。通孔阻挡层 42h 可以覆盖通孔芯 41h 的顶部表面和侧表面。通孔衬垫 43h 可以覆盖突出的通孔阻挡层 42h 的侧表面的一部分。例如, 通孔衬垫 43h 的顶端可以在槽 55 内从下绝缘层 31h 和上绝缘层 32h 的表面突出。通孔阻挡层 42h 的上部和一部分侧表面可以与互连阻挡层 52 直接接触。

[0067] 参考图 2I, 根据本发明构思的另一个实施例的通孔连接结构 10I 可以包括下绝缘层 31i 和上绝缘层 32i。通孔连接结构 10I 可以包括突出至槽 55 内的通孔结构 40i 和下绝缘层 31i。下绝缘层 31i 的突出部可以覆盖通孔衬垫 43i 的侧表面。下绝缘层 31i 的突出

部的顶端可以布置在与通孔衬垫 43i 的顶端相同的水平或相似的水平处。下绝缘层 31i 的侧表面的一部分可以与互连阻挡层 52 接触。

[0068] 参考图 2J, 根据本发明构思的另一个实施例的通孔连接结构 10J 可以包括下绝缘层 31j 和上绝缘层 32j。通孔连接结构 10J 可以包括突出至槽 55 内的通孔结构 40j 和下绝缘层 31j。下绝缘层 31j 的突出部可以覆盖通孔衬垫 43j 的侧表面的一部分。下绝缘层 31j 的侧表面的一部分可以与互连阻挡层 52 接触。

[0069] 参考图 2K, 根据本发明构思的另一个实施例的通孔连接结构 10K 可以包括下绝缘层 31k 和上绝缘层 32k, 并且还包括突出至槽 55 内的通孔芯 41k。例如, 通孔阻挡层 42k、通孔衬垫 43k、下绝缘层 31k 和上绝缘层 32k 的表面可以布置在相同的水平或相似的水平处。突出的通孔芯 41k 的顶部表面和侧表面可以与互连阻挡层 52 接触。

[0070] 参考图 2L, 根据本发明构思的另一个实施例的通孔连接结构 10L 可以包括下绝缘层 31l 和上绝缘层 32l, 并且还包括突出至槽 55 内的通孔芯 41l 和通孔阻挡层 42l。例如, 通孔阻挡层 42l 可以覆盖通孔芯 41l 的侧表面的一部分。通孔衬垫 43l、下绝缘层 31l 和上绝缘层 32l 的表面可以布置在相同的水平或相似的水平处。突出的通孔芯 41l 的顶部表面和部分侧表面可以与互连阻挡层 52 接触。

[0071] 参考图 2M, 根据本发明构思的另一个实施例的通孔连接结构 10M 可以包括下绝缘层 31m 和上绝缘层 32m, 并且还包括可突出至槽 55 内的通孔结构 40m。例如, 通孔阻挡层 42m 可以覆盖通孔芯 41m 的侧表面的一部分。通孔衬垫 43m 可以覆盖通孔阻挡层 42m 的侧表面。通孔阻挡层 42m 的顶端可以布置在与通孔衬垫 43m 的顶端相同的水平或相似的水平处。突出的通孔芯 41m 的顶部表面和部分侧表面可以与互连阻挡层 52 接触。

[0072] 参考图 2N, 根据本发明构思的另一个实施例的通孔连接结构 10N 可以包括下绝缘层 31n 和上绝缘层 32n。通孔连接结构 10N 可以包括可突出至槽 55 内的通孔结构 40n 和下绝缘层 31n。例如, 通孔阻挡层 42n 可以覆盖通孔芯 41n 的侧表面的一部分。通孔衬垫 43n 可以覆盖通孔阻挡层 42n 的侧表面。突出的下绝缘层 31n 可以覆盖通孔衬垫 43n 的侧表面。通孔阻挡层 42n 的顶端、通孔衬垫 43n 的顶端以及下绝缘层 31n 的顶端可以在相同的水平或相似的水平处。突出的通孔芯 41n 的顶部表面和部分侧表面可以与互连阻挡层 52 接触。

[0073] 参考图 2O, 根据本发明构思的另一个实施例的通孔连接结构 10O 可以包括下绝缘层 31o 和上绝缘层 32o, 并且还包括可突出至槽 55 内的通孔结构 40o。例如, 通孔阻挡层 42o 可以覆盖通孔芯 41o 的侧表面的一部分。通孔衬垫 43o 可以覆盖通孔阻挡层 42o 的侧表面的一部分。突出的通孔芯 41o 的顶部表面和部分侧表面可以与互连阻挡层 52 接触。

[0074] 参考图 2P, 根据本发明构思的另一个实施例的通孔连接结构 10P 可以包括下绝缘层 31p 和上绝缘层 32p。通孔连接结构 10P 可以包括可突出至槽 55 内的通孔结构 40p 和下绝缘层 31p。例如, 通孔阻挡层 42p 可以覆盖通孔芯 41p 的侧表面的一部分。通孔衬垫 43p 可以覆盖通孔阻挡层 42p 的侧表面的一部分。突出的下绝缘层 31p 可以覆盖通孔衬垫 43p 的侧表面的一部分。突出的通孔芯 41p 的顶部表面和部分侧表面可以与互连阻挡层 52 接触。

[0075] 参考图 2Q, 根据本发明构思的另一个实施例的通孔连接结构 10Q 可以包括下绝缘层 31q 和上绝缘层 32q。通孔连接结构 10Q 可以包括可突出至槽 55 内的通孔结构 40q 和下绝缘层 31q。例如, 通孔阻挡层 42q 可以覆盖通孔芯 41q 的侧表面的一部分。通孔衬垫 43q

可以覆盖通孔阻挡层 42q 的侧表面。通孔衬垫 43q 的顶端和通孔阻挡层 42q 的顶端可以布置在相同的水平或相似的水平处。突出的下绝缘层 31q 可以覆盖通孔衬垫 43q 的侧表面的一部分。突出的通孔芯 41q 的顶部表面和部分侧表面可以与互连阻挡层 52 接触。

[0076] 参考图 2R, 根据本发明构思的另一个实施例的通孔连接结构 10R 可以包括可突出至槽 55 内的通孔结构 40r。通孔结构 40r 可以包括可在绝缘层 30 的表面上突出的通孔芯 41r 和通孔阻挡层 42r。例如, 通孔芯 41r 的顶端和通孔阻挡层 42r 的顶端可以布置在相同的水平或相似的水平处(例如, 具有共面的上表面)。通孔衬垫 43r 可以布置在与槽 55 的底部表面相同的水平或相似的水平处。绝缘层 30 可以被解释为上绝缘层 32, 而下层 20 可以被解释为下绝缘层 31。

[0077] 参考图 2S, 根据本发明构思的另一个实施例的通孔连接结构 10S 可以包括可突出至槽 55 内的通孔结构 40s。通孔结构 40s 可以包括可在绝缘层 30 的表面上突出的通孔芯 41s。例如, 通孔芯 41s 的顶端和通孔阻挡层 42s 的顶端可以布置在相同的水平或相似的水平处。通孔衬垫 43s 可以部分或全部覆盖通孔阻挡层 42s 的侧表面。绝缘层 30 可以被解释为上绝缘层 32, 而下层 20 可以被解释为下绝缘层 31。

[0078] 图 2A 至图 2S 中所示的全部通孔连接结构 10A 至通孔连接结构 10S 的组件的顶端都可以具有圆角。

[0079] 根据本发明构思的各个实施例的通孔连接结构 10A 至 10S 中的每一个可以包括使用大马士革工艺形成的互连结构 50。因此, 互连阻挡层 52 可以完全包围互连 51 的底部表面和侧表面。例如, 当使用湿法蚀刻工艺或选择性蚀刻工艺来除去互连阻挡层 52 时, 互连阻挡层 52 可能不完全包围互连 51 的底部或侧表面, 因而引起物理的和 / 或电的不稳定。代替光刻和蚀刻工艺, 可以使用 CMP 工艺来平面地形成根据本发明构思的各个实施例的通孔连接结构 10A 至 10S, 并且通孔结构 40a 至 40s 的节距(pitch)和互连结构 50 的节距可以变得更微小和更复杂。在根据本发明构思的各个实施例的通孔连接结构 10A 至 10S 中的每一个中, 通孔结构 40 可以突出至互连结构 50 内。例如, 通孔结构 40 可以插入互连结构 50 中。因此, 通孔结构 40a 至 40s 与互连结构 50 之间的接触面积可以增加, 使得通孔结构 40a 至 40s 与互连结构 50 之间的薄层电阻(sheet resistance)可以减小。而且, 由于互连结构 50 可以由通孔结构 40a 至 40s 进行物理固定, 因此可以防止由浮动现象引起的各组件的接触故障或分离。

[0080] 图 3A 至图 3H 是根据本发明构思的各个实施例的通孔连接结构 11A 至 11H 的概念纵截面的透视图。参考图 3A 至图 3D, 根据本发明构思的各个实施例的通孔连接结构 11A 至 11D 中的每一个可以具有: 被配置为穿入下层 20 的通孔结构 45a 至 45d 中的相应的一个; 在下层 20 上形成的绝缘层 30; 在绝缘层 30 中的、暴露通孔结构 45a 至 45d 中的相应的一个的顶端的槽 55; 以及被配置为填充槽 55 的互连结构 50。槽 55 和互连结构 50 可以包括通孔区域 V、焊盘区域 P 以及被配置为连接通孔区域 V 和焊盘区域 P 的互连区域 L。通孔结构 45a 至 45d 中的每一个可以布置在通孔区域 V 内。通孔结构 45a 至 45d 中的每一个可以穿入下层 20 和绝缘层 30, 并且可以在槽 55 的底部表面上突出。互连阻挡层 52 可以共形地形成在槽 55 的侧表面和底部表面上和突出的通孔结构 45a 至 45d 中的每一个上。互连 51 可以形成在互连阻挡层 52 上以完全填充槽 55。可以在焊盘区域 P 上形成 I/O 焊盘。稍后将描述 I/O 焊盘。因而, I/O 焊盘和通孔结构 45a 至 45d 可以通过互连结构 50 电连接。通

孔区域 V 和焊盘区域 P 可以比互连区域 L 具有更大的水平宽度。通孔区域 V 可以具有至少一个比焊盘区域 P 更大的水平宽度。

[0081] 参考图 3E 至图 3H, 根据本发明构思的各个实施例的通孔连接结构 11E 至 11H 中的每一个可以具有在下层 20 上形成的下绝缘层 31。通孔结构 45e 至 45h 中的相应的一个可以配置为穿入下层 20、下绝缘层 31、使通孔结构 45e 至 45h 中的相应的一个的顶端暴露的槽 55、以及被配置为填充槽 55 的互连结构 50。可以在下绝缘层 31 上形成上绝缘层 32。上绝缘层 32 可以不与通孔结构 45e 至 45h 中的每一个接触。下绝缘层 31 可以插入在上绝缘层 32 和通孔结构 45e 至 45h 中的每一个之间。下绝缘层 31 的顶端可以与互连阻挡层 52 接触。

[0082] 图 3A 至图 3H 中所示的全部通孔结构 45a 至 45h 的组件的顶端都可以具有圆角。图 3A 至图 3H 中所示的全部通孔结构 45a 至 45h 都可以分别具有通孔芯 46a 至 46h、通孔阻挡层 47a 至 47h 以及通孔衬垫 48a 至 48h。通孔芯 46a 至 46h、通孔阻挡层 47a 至 47h 以及通孔衬垫 48a 至 48h 可以分别由如 2A 至图 2S 中所示的各个通孔结构 40a 至 40s 的通孔芯 41a 至 41s、通孔阻挡层 42a 至 42s 以及通孔衬垫 43a 至 43s 来替换。

[0083] 图 4A 和图 4B 是示出了形成根据本发明构思的各个实施例的通孔连接结构 10A 至 10S 的方法的流程图; 并且图 5A 至图 5G 以及图 6A 至图 6C 是示出了形成根据本发明构思的各个实施例的通孔连接结构 10A 至 10S 的方法的纵截面图。

[0084] 参考图 4A 和图 5A, 形成根据本发明构思的实施例的通孔连接结构 10A 至 10F 的方法可以包括在下层 20 中形成通孔结构 40 (操作 S10)。通孔结构 40 可以埋入下层 20 中。通孔结构 40 可以包括通孔芯 41、被配置为包围通孔芯 41 的表面的通孔阻挡层 42、以及被配置为包围通孔阻挡层 42 的表面的通孔衬垫 43。将参考本公开的其它附图来详细描述形成通孔结构 40 的方法。

[0085] 参考图 4A 和图 5B, 形成根据本发明构思的本实施例的通孔连接结构 10A 至 10F 的方法可以包括地毯式地 (blanketly) 除去下层 20 的上部以使通孔结构 40 的顶部表面和部分侧表面暴露 (操作 S20)。下层 20 的顶部表面可以从初始表面 S1 降低至最终表面 S2。通孔衬垫 43 可以暴露在从降低后的下层 20 向上突出的通孔结构 40 的表面上。可替换地, 可以暴露通孔阻挡层 42。除去下层 20 的上部可以包括执行研磨工艺、湿法蚀刻工艺和 / 或干法蚀刻工艺。

[0086] 参考图 4A 和图 5C, 形成根据本发明构思的本实施例的通孔连接结构 10A 至 10F 的方法可以包括在下层 20 上形成绝缘层 30 以覆盖通孔结构 40 (操作 S30)。绝缘层 30 可以包括氧化硅或氮化硅。

[0087] 参考图 4A 和图 5D, 形成根据本发明构思的本实施例的通孔连接结构 10A 至 10F 的方法可以包括在绝缘层 30 中形成槽 55 以使通孔结构 40 的顶部表面和侧表面暴露 (操作 S40)。例如, 通孔结构 40 可以突出至槽 55 内。在此工艺期间, 可以将暴露在突出至槽 55 内的通孔结构 40 的表面的通孔衬垫 43 除去。

[0088] 参考图 4A 和图 5E, 形成根据本发明构思的本实施例的通孔连接结构 10A 至 10F 的方法可以包括在槽 55 内形成互连阻挡材料层 52a (操作 S50)。互连阻挡材料层 52a 可以共形地形成在槽 55 的内壁和底部表面上以及通孔结构 40 的暴露表面上。互连阻挡材料层 52a 还可以形成在绝缘层 30 的顶部表面上。

[0089] 参考图 4A 和图 5F, 形成根据本发明构思的本实施例的通孔连接结构 10A 至 10F 的方法可以包括在槽 55 内形成互连材料层 51a (操作 S60)。互连材料层 51a 可以形成在互连阻挡材料层 52a 上以完全填充槽 55。例如, 形成互连材料层 51a 可以包括在互连阻挡材料层 52a 上形成种子层以及执行电镀工艺。互连材料层 51a 还可以形成在绝缘层 30 的顶部表面上。

[0090] 参考图 4A 和图 5G, 形成根据本发明构思的本实施例的通孔连接结构 10A 至 10F 的方法可以包括形成互连结构 50 以填充槽 55 (操作 S70)。形成互连结构 50 可以包括将在绝缘层 30 上形成的互连材料层 51a 的一部分以及互连阻挡材料层 52a 的一部分除去。将互连材料层 51a 的一部分以及互连阻挡材料层 52a 的一部分除去可以包括执行化学机械抛光 (CMP) 工艺和 / 或湿法蚀刻工艺。归功于该工艺, 可以形成具有互连 51 和互连阻挡层 52 的互连结构 50。随后, 可以在绝缘层 30 和互连结构 50 上形成钝化层 60, 从而完成了图 2A 所示的通孔连接结构 10A 的形成 (操作 S80)。

[0091] 参考图 4B 和图 6A, 形成根据本发明构思的实施例的通孔连接结构 10G 至 10S 的方法可以包括执行参考图 5A 和图 5B 描述的工艺 (操作 S10 和 S20) 以及在下层 20 和突出的通孔结构 40 上形成下绝缘层 31 (操作 S25)。下绝缘层 31 可以包括氧化硅。

[0092] 参考图 4B 和图 6B, 形成根据本发明构思的本实施例的通孔连接结构 10G 至 10S 的方法可以包括在下绝缘层 31 上形成上绝缘层 32 (操作 S35)。上绝缘层 32 可以形成成为掩埋突出的通孔结构 40。上绝缘层 32 可以包括氮化硅。

[0093] 参考图 4B 和图 6C, 形成根据本发明构思的本实施例的通孔连接结构 10G 至 10S 的方法可以包括在上绝缘层 32 中形成槽 55 以使通孔结构 40 的顶部表面和侧表面暴露 (操作 S42)。在此工艺期间, 可以除去在突出的通孔结构 40 的表面上形成的下绝缘层 31 和通孔衬垫 43。例如, 可以暴露通孔阻挡层 42。同样, 下绝缘层 31 的一部分可以暴露在槽 55 的底部表面上。此后, 形成根据本发明构思的本实施例的通孔连接结构 10G 至 10S 的方法可以还包括执行参考图 5E 至图 5G 描述的工艺 (操作 S50 至 S80), 从而完成图 2G 所示的通孔连接结构 10G 的形成。

[0094] 图 7A 至图 7Q 是具有各种形状的通孔结构 40a 至 40q 的概念纵截面图, 在形成根据本发明构思的各个实施例的通孔连接结构 10A 至 10Q 的方法中, 通孔结构 40a 至 40q 暴露在槽 55 内。

[0095] 参考图 7A, 形成根据本发明构思的实施例的通孔连接结构 10A 的方法可以包括将突出至槽 55 内的通孔结构 40a 的通孔衬垫 43a 除去。通孔阻挡层 42a 可以覆盖通孔芯 41a 的整个表面。

[0096] 参考图 7B, 形成根据本发明构思的实施例的通孔连接结构 10B 的方法可以包括形成突出至槽 55 内的通孔结构 40b 的通孔衬垫 43b, 以使通孔阻挡层 42b 的顶端的表面暴露并且部分或全部覆盖通孔阻挡层 42b 的侧表面。通孔阻挡层 42b 可以覆盖通孔芯 41b 的整个表面。

[0097] 参考图 7C, 形成根据本发明构思的实施例的通孔连接结构 10C 的方法可以包括: 形成突出至槽 55 内的通孔结构 40c 的通孔阻挡层 42c, 以使通孔芯 41c 的顶端的表面暴露并且部分或全部覆盖通孔芯 41c 的侧表面; 以及形成通孔衬垫 43c, 以使突出至槽 55 内的通孔阻挡层 42c 的顶端的表面暴露并且全部覆盖通孔阻挡层 42c 的侧表面。

[0098] 参考图 7D, 形成根据本发明构思的实施例的通孔连接结构 10D 的方法可以包括: 形成突出至槽 55 内的通孔结构 40d 的通孔阻挡层 42d, 以使通孔芯 41d 的顶端的表面暴露并且部分或全部覆盖通孔芯 41d 的侧表面; 以及形成通孔衬垫 43d, 以使突出至槽 55 内的通孔阻挡层 42d 的顶端的表面暴露并且部分覆盖通孔阻挡层 42d 的侧表面。

[0099] 参考图 7E, 形成根据本发明构思的实施例的通孔连接结构 10E 的方法可以包括: 形成突出至槽 55 内的通孔结构 40e 的通孔阻挡层 42e, 以使通孔芯 41e 的顶端的表面暴露并且部分或全部覆盖通孔芯 41e 的侧表面; 以及形成通孔衬垫 43e, 以使突出至槽 55 内的通孔阻挡层 42e 的顶端表面和侧表面暴露。例如, 该方法可以包括形成通孔衬垫 43e, 使得通孔衬垫 43e 的顶端布置在与槽 55 的底部表面相同的水平或相似的水平处。

[0100] 参考图 7F, 形成根据本发明构思的实施例的通孔连接结构 10F 的方法可以包括将突出至槽 55 内的通孔结构 40f 的通孔阻挡层 42f 和通孔衬垫 43f 除去, 以使通孔芯 41f 的顶端表面和侧表面全部暴露。

[0101] 参考图 7G, 形成根据本发明构思的实施例的通孔连接结构 10G 的方法可以包括形成下绝缘层 31g 和上绝缘层 32g, 并且使在槽 55 内的下绝缘层 31g 的顶端的一部分暴露。通孔芯 41g 和通孔阻挡层 42g 可以突出至槽 55 内。下绝缘层 31g 可以包围通孔结构 40g 并且与通孔衬垫 43g 的侧表面接触。上绝缘层 32g 可以与通孔衬垫 43g 隔离并且不与通孔衬垫 43g 接触。通孔阻挡层 42g 可以覆盖突出的通孔芯 41g 的顶部表面和侧表面。通孔阻挡层 42g 的顶部表面和侧表面可以与互连阻挡层 52 直接接触。在槽 55 内, 通孔衬垫 43g 的顶部表面、下绝缘层 31g 和上绝缘层 32g 可以在相同的水平或相似的水平处。

[0102] 参考图 7H, 形成根据本发明构思的实施例的通孔连接结构 10H 的方法可以包括形成下绝缘层 31h 和上绝缘层 32h, 并且使通孔衬垫 43h 的顶端突出至槽 55 内。

[0103] 参考图 7I, 形成根据本发明构思的实施例的通孔连接结构 10I 的方法可以包括形成下绝缘层 31i 和上绝缘层 32i, 并且使通孔衬垫 43i 的顶端以及下绝缘层 31i 的顶端突出至槽 55 内。通孔衬垫 43i 的顶端以及下绝缘层 31i 的顶端可以布置在相同的水平或相似的水平处。

[0104] 参考图 7J, 形成根据本发明构思的实施例的通孔连接结构 10J 的方法可以包括形成下绝缘层 31j 和上绝缘层 32j, 并且使通孔衬垫 43j 的顶端以及下绝缘层 31j 的顶端突出至槽 55 内。通孔衬垫 43j 的顶端可以布置在比下绝缘层 31j 的顶端高的水平处。

[0105] 参考图 7K, 形成根据本发明构思的实施例的通孔连接结构 10K 的方法可以包括形成下绝缘层 31k 和上绝缘层 32k, 并且使通孔芯 41k 突出至槽 55 内。通孔阻挡层 42k 可以部分覆盖通孔芯 41k 的侧表面。通孔阻挡层 42k 的顶端、通孔衬垫 43k 的顶端、下绝缘层 31k 的顶端和上绝缘层 32k 的顶端可以布置在相同的水平或相似的水平处。

[0106] 参考图 7L, 形成根据本发明构思的实施例的通孔连接结构 10L 的方法可以包括形成下绝缘层 31l 和上绝缘层 32l, 并且使通孔芯 41l 突出至槽 55 内。通孔阻挡层 42l 可以全部或部分覆盖通孔芯 41l 的侧表面。通孔阻挡层 42l 可以突出至槽 55 内。通孔衬垫 43l 的顶端、下绝缘层 31l 的顶端和上绝缘层 32l 的顶端可以布置在相同的水平或相似的水平处。

[0107] 参考图 7M, 形成根据本发明构思的实施例的通孔连接结构 10M 的方法可以包括形成下绝缘层 31m 和上绝缘层 32m, 并且使通孔芯 41m 突出至槽 55 内。通孔阻挡层 42m 可以

突出至槽 55 内并且部分或全部覆盖通孔芯 41m 的侧表面。通孔衬垫 43m 可以突出至槽 55 内并且部分或全部覆盖通孔阻挡层 42m 的侧表面。

[0108] 参考图 7N, 形成根据本发明构思的实施例的通孔连接结构 10N 的方法可以包括形成下绝缘层 31n 和上绝缘层 32n, 并且使通孔芯 41n 突出至槽 55 内。通孔阻挡层 42n 可以突出至槽 55 内并且部分或全部覆盖通孔芯 41n 的侧表面。通孔衬垫 43n 可以突出至槽 55 内并且全部覆盖通孔阻挡层 42n 的侧表面。下绝缘层 31n 的一部分可以突出至槽 55 内并且全部覆盖通孔衬垫 43n 的侧表面。

[0109] 参考图 7O, 形成根据本发明构思的实施例的通孔连接结构 10O 的方法可以包括形成下绝缘层 31o 和上绝缘层 32o, 并且使通孔芯 41o 突出至槽 55 内。通孔阻挡层 42o 可以突出至槽 55 内并且部分或全部覆盖通孔芯 41o 的侧表面。通孔衬垫 43o 可以突出至槽 55 内并且部分或全部覆盖通孔阻挡层 42o 的侧表面。下绝缘层 31o 的顶部表面可以布置在与上绝缘层 32o 的表面相同的水平或相似的水平处。

[0110] 参考图 7P, 形成根据本发明构思的实施例的通孔连接结构 10P 的方法可以包括形成下绝缘层 31p 和上绝缘层 32p, 并且使通孔芯 41p 突出至槽 55 内。通孔阻挡层 42p 可以突出至槽 55 内并且部分或全部覆盖通孔芯 41p 的侧表面。通孔衬垫 43p 可以突出至槽 55 内并且部分或全部覆盖通孔阻挡层 42p 的侧表面。下绝缘层 31p 的一部分可以突出至槽 55 内并且部分或全部覆盖通孔衬垫 43p 的侧表面。

[0111] 参考图 7Q, 形成根据本发明构思的实施例的通孔连接结构 10Q 的方法可以包括形成下绝缘层 31q 和上绝缘层 32q, 并且使通孔芯 41q 突出至槽 55 内。通孔阻挡层 42q 可以突出至槽 55 内并且部分或全部覆盖通孔芯 41q 的侧表面。通孔衬垫 43q 可以突出至槽 55 内并且全部覆盖通孔阻挡层 42q 的侧表面。通孔阻挡层 42q 的顶端和通孔衬垫 43q 的顶端可以布置在相同的水平或相似的水平处。下绝缘层 31q 的一部分可以突出至槽 55 内并且部分或全部覆盖通孔衬垫 43q 的侧表面。

[0112] 形成根据本发明构思的各个实施例的各通孔连接结构的各方法可以包括使用大马士革工艺来形成互连结构 50。因此, 互连阻挡层 52 可以完全包围互连 51 的底部表面和侧表面。例如, 当使用湿法蚀刻工艺或选择性蚀刻工艺来除去互连阻挡层 52 时, 互连阻挡层 52 可能不完全包围互连 51 的底部或侧表面, 因而引起物理的和 / 或电的不稳定。代替光刻和蚀刻工艺, 形成根据本发明构思的各个实施例的各通孔连接结构的各方法可以采用 CMP 工艺。因而, 通孔结构 40a 至 40s 的节距和互连结构 50 的节距可以变得更微小和更复杂。在形成根据本发明构思的各个实施例的各通孔连接结构的各方法中的每一个方法中, 通孔结构 40a 至 40s 可以突出至互连结构 50 内。例如, 通孔结构 40a 至 40s 可以插入互连结构 50 中。因此, 通孔结构 40a 至 40s 与互连结构 50 之间的接触面积可以增加, 使得通孔结构 40a 至 40s 与互连结构 50 之间的薄层电阻可以减小。而且, 由于互连结构 50 可以由通孔结构 40a 至 40s 进行物理固定, 因此可以防止由浮动现象引起的各组件的接触故障或分离。

[0113] 图 8A 至图 8S 是根据本发明构思的各个实施例的半导体器件 100A 至 100S 的概念纵截面图。参考图 8A, 根据本发明构思的实施例的半导体器件 100A 可以包括: 在衬底 101 的正面 103 上形成的内部电路 230 和正面输入 / 输出 (I/O) 焊盘 300; 在衬底 101 中形成的硅通孔 (TSV) 结构 400a; 以及在衬底 101 的背面 104 上形成的再分布结构 500 和背面 I/O



焊盘 600。

[0114] 衬底 101 可以是硅晶圆。例如,衬底 101 可以包括单晶硅晶圆、包括碳化硅(SiC)层或硅锗(SiGe)层的硅晶圆、或者包括绝缘层的绝缘体上硅(SOI)晶圆。在本实施例中,假设衬底 101 是单晶硅晶圆。

[0115] 包括单元器件 200 的内部电路 230 可以形成在衬底 101 的正面 103 上。例如,单元器件 200 可以包括金属氧化物半导体(MOS)晶体管 210 和单元图案(cell pattern)220。MOS 晶体管 210 可以包括互补 MOS (CMOS) 逻辑电路。单元图案 220 可以包括闪存串结构。例如,单元图案 220 可以包括多个闪存单元。可替换地,当半导体器件 100A 为逻辑器件时,单元图案 220 可以包括各种单元晶体管。

[0116] 内部电路 230 可以包括多个导电的内部通孔 240 和多层的导电的内部互连 250。内部通孔 240 可以在垂直方向上连接在衬底 101 和内部互连 250 之间或者连接在各内部互连 250 之间,并且传送电信号。内部互连 250 可以在水平方向上传送电信号。内部电路 230 可以包括导电材料,诸如掺杂硅、金属、金属硅化物、金属合金或金属化合物。内部电路 230 可以包括正面 I/O 焊盘通孔插头 270。正面 I/O 焊盘通孔插头 270 可以将最上面的内部互连 250 的一部分与正面 I/O 焊盘 300 电连接。正面 I/O 焊盘通孔插头 270 可以包括金属,诸如铜(Cu)、铝(Al)或钨(W)。

[0117] 单元器件 200 可以由第一层间绝缘层 215 覆盖。虽然将第一层间绝缘层 215 形成多层类型,但是为了简洁示出了具有单层结构的第一层间绝缘层 215。第一层间绝缘层 215 可以包括氧化硅或氮化硅。例如,当第一层间绝缘层 215 是单层时,第一层间绝缘层 215 可以包括氧化硅。内部电路 230 可以由第二层间绝缘层 225 覆盖。虽然可以将第二层间绝缘层 225 形成多层类型,但是为了简洁示出了具有单层结构的第二层间绝缘层 225。第二层间绝缘层 225 可以包括氧化硅或氮化硅。

[0118] 可以在第二层间绝缘层 225 上形成正面钝化层 265。正面钝化层 265 可以包括氧化硅、氮化硅或聚酰亚胺。正面钝化层 265 可以具有正面 I/O 焊盘开口 310,正面 I/O 焊盘开口 310 使正面 I/O 焊盘通孔插头 270 的上部暴露。

[0119] 正面 I/O 焊盘 300 可以形成在正面 I/O 焊盘开口 310 内和在正面钝化层 265 的表面上。正面钝化层 265 可以包围正面 I/O 焊盘 300 的侧表面的一部分。例如,正面 I/O 焊盘 300 可以具有反向阶梯,而正面钝化层 265 可以布置在正面 I/O 焊盘 300 的反向阶梯的底部表面之下。正面 I/O 焊盘 300 可以包括正面 I/O 焊盘阻挡层 320、正面 I/O 焊盘种子层 330、正面 I/O 焊盘金属层 350、和 / 或正面 I/O 焊盘覆盖层 360。正面 I/O 焊盘阻挡层 320 可以包括阻挡金属。例如,正面 I/O 焊盘阻挡层 320 可以包括钛(Ti)、氮化钛(TiN)、钽(Ta)、氮化钽(TaN)、钛钨(TiW)、或其它难熔金属。正面 I/O 焊盘种子层 330 可以包括种子金属,诸如铜(Cu)、钌(Ru)、镍(Ni)或钨(W)。正面 I/O 焊盘金属层 350 可以包括金属,诸如铜或镍。正面 I/O 焊盘覆盖层 360 可以包括金(Au)、银(Ag)或镍(Ni)。正面 I/O 焊盘阻挡层 320 可以是多层类型。

[0120] 可以在衬底 101 的正面 103 的上方,例如在第一层间绝缘层 215 上,形成硅通孔(TSV)焊盘 260。TSV 焊盘 260 可以与内部电路 230 的一些电连接。TSV 焊盘 260 可以包括金属、金属硅化物或金属合金。TSV 焊盘 260 可以是多层类型。例如,TSV 焊盘 260 可以包括用作阻挡层的金属层和用作焊盘的金属层。例如,TSV 焊盘 260 可以包括:在与 TSV 结构

400a 接触的部分上以相对小的厚度形成的 TSV 焊盘阻挡层；以及在 TSV 焊盘阻挡层上作为单层类型或多层类型形成的 TSV 焊盘金属层。例如，TSV 焊盘阻挡层可以包括由 Ti、TiN、Ta、TaN 或 WN 制成的金属或金属硅化物。TSV 焊盘金属层可以包括诸如钨(W)、铝(Al)或铜(Cu)之类的金属或金属硅化物。

[0121] TSV 结构 400a 可以形成为穿透衬底 101。TSV 结构 400a 可以包括面向衬底 101 的正面 103 的正面端 FE 以及面向衬底 101 的背面 104 的背面端 BE。例如，TSV 结构 400a 的正面端 FE 可以布置为接近于衬底 101 的正面 103，并且 TSV 结构 400a 的背面端 BE 可以布置为接近于衬底 101 的背面 104。

[0122] TSV 结构 400a 可以包括 TSV 芯 410a、TSV 阻挡层 420a 和 TSV 衬垫 430a。TSV 芯 410a 可以形成为柱形，并且 TSV 芯 410a 的侧表面可以由 TSV 阻挡层 420a 和 TSV 衬垫 430a 包围。例如，TSV 芯 410a 可以包括金属，诸如铜(Cu)。TSV 阻挡层 420a 可以包括阻挡金属，诸如 Ti、TiN、Ta、TaN 或 TiW。TSV 阻挡层 420a 可以形成为单层类型或多层类型。TSV 衬垫 430a 可以包括绝缘材料，诸如氧化硅。

[0123] TSV 结构 400a 的正面端 FE 可以与 TSV 焊盘 260 接触。TSV 芯 410a 可以在 TSV 结构 400a 的正面端 FE 暴露，并且与 TSV 焊盘 260 直接接触。

[0124] TSV 结构 400a 的背面端 BE 可以从衬底 101 的背面 104 的表面突出。例如，TSV 结构 400a 的背面端 BE 的顶部表面和背面端 BE 的侧表面的一部分可以从衬底 101 的背面 104 突出。所示出的是 TSV 结构 400a 的背面端 BE 从衬底 101 的背面 104 向下突出。TSV 结构 400a 的背面端 BE 的顶部表面和背面端 BE 的侧表面的该部分可以由 TSV 阻挡层 420a 覆盖。TSV 衬垫 430a 可以不形成在 TSV 结构 400a 的背面端 BE 的顶部表面和 TSV 结构 400a 的侧表面的部分上。例如，TSV 阻挡层 420a 可以与再分布结构 500 直接接触。

[0125] 可以在衬底 101 的背面 104 上形成背面绝缘层 285a。背面绝缘层 285a 可以包括氧化硅或氮化硅。背面绝缘层 285a 可以包括槽 550。槽 550 可以包括再分布槽 551 和对准标记(alignment key)槽 552。

[0126] 可以在再分布槽 551 内形成再分布结构 500。再分布结构 500 可以包括再分布阻挡层 520 和再分布互连 510。

[0127] TSV 结构 400a 的背面端 BE 可以突出至再分布槽 551 内。再分布阻挡层 520 可以形成在 TSV 结构 400a 的背面端 BE 的暴露表面上。例如，再分布阻挡层 520 可以共形地形成在可突出至再分布槽 551 内的 TSV 结构 400a 的背面端 BE 的顶部表面和侧表面上。TSV 阻挡层 420a 可以在可突出至再分布槽 551 内的 TSV 结构 400a 的背面端 BE 上暴露，并且与再分布阻挡层 520 直接接触。再分布阻挡层 520 可以沿着可突出至再分布槽 551 内的 TSV 结构 400a 的轮廓共形地形成。背面绝缘层 285a 可以包围 TSV 结构 400a 的侧表面的一部分。例如，在再分布槽 551 下面形成的背面绝缘层 285a 可以包围 TSV 结构 400a 的侧表面的该部分。

[0128] 当被埋入衬底 101 或背面绝缘层 285a 中的 TSV 结构 400a 的侧表面由具有第一厚度的单阻挡层(例如，TSV 阻挡层 420a)包围时，突出至再分布槽 551 内的 TSV 结构 400a 的表面可以具有第二厚度的多层阻挡层(例如，TSV 阻挡层 420a 和再分布阻挡层 520)。第二厚度可以大于第一厚度。例如，TSV 结构 400a 的可不与再分布结构 500 接触的部分可以具有相对薄的阻挡层，而 TSV 结构 400a 的可与再分布结构 500 接触的部分可以具有相对厚的

阻挡层。

[0129] 可以在对准标记槽 552 内形成对准标记结构 560。对准标记结构 560 可以包括对准标记阻挡层 570 和对准标记图案 580。对准标记槽 552 可以具有与再分布槽 551 相同的深度。可以以与再分布阻挡层 520 相同的厚度、相同的材料来形成对准标记阻挡层 570。可以以与再分布互连 510 相同的材料来形成对准标记图案 580。

[0130] 可以在再分布结构 500 和对准标记结构 560 上形成背面钝化层 275a。背面钝化层 275a 可以包括氧化硅、氮化硅或聚酰亚胺。背面钝化层 275a 可以具有使再分布互连 510 的一部分暴露的背面 I/O 焊盘开口 610。

[0131] 可以在背面 I/O 焊盘开口 610 内和在背面钝化层 275a 的表面上形成背面 I/O 焊盘 600。背面 I/O 焊盘 600 可以包括背面 I/O 焊盘阻挡层 620、背面 I/O 焊盘种子层 630、背面 I/O 焊盘金属层 650、和 / 或背面 I/O 焊盘覆盖层 660。背面 I/O 焊盘阻挡层 620 可以包括阻挡金属。例如,背面 I/O 焊盘阻挡层 620 可以包括 Ti、TiN、Ta、Ta<sub>2</sub>N<sub>5</sub>、TiW 或其它难熔金属。背面 I/O 焊盘阻挡层 620 可以形成为单层类型或多层类型。背面 I/O 焊盘种子层 630 可以包括种子金属,诸如铜(Cu)、钌(Ru)、镍或钨(W)。背面 I/O 焊盘金属层 650 可以包括金属,诸如铜或镍。背面 I/O 焊盘覆盖层 660 可以包括金(Au)、银(Ag)或镍(Ni)。例如,正面 I/O 焊盘 300 和背面 I/O 焊盘 600 可以在垂直方向上对准。

[0132] 参考图 8B,根据本发明构思的实施例的半导体器件 100B 可以包括可突出至再分布槽 551 内的 TSV 结构 400b。TSV 结构 400b 可以包括可突出至再分布槽 551 内的 TSV 芯 410b 和 TSV 阻挡层 420b。例如,TSV 阻挡层 420b 可以覆盖 TSV 芯 410b 的全部顶部表面和侧表面,并且 TSV 衬垫 430b 可以覆盖 TSV 阻挡层 420b 的侧表面的一部分。TSV 衬垫 430b 的顶端和部分侧表面可以暴露在再分布槽 551 内,并且与再分布阻挡层 520 接触。

[0133] 参考图 8C,根据本发明构思的实施例的半导体器件 100C 可以包括可突出至再分布槽 551 内的 TSV 结构 400c。TSV 结构 400c 可以包括可突出至再分布槽 551 内的 TSV 芯 410c、TSV 阻挡层 420c 和 TSV 衬垫 430c。例如,TSV 阻挡层 420c 可以覆盖 TSV 芯 410c 的侧表面的一部分,而 TSV 衬垫 430c 可以覆盖 TSV 阻挡层 420c 的侧表面。TSV 阻挡层 420c 的顶端可以与 TSV 衬垫 430c 的顶端表面处于相似的水平处。TSV 阻挡层 420c 的顶端以及 TSV 衬垫 430c 的顶端和部分侧表面可以暴露在再分布槽 551 内,并且与再分布阻挡层 520 接触。TSV 芯 410c 可以与再分布阻挡层 520 直接接触。

[0134] 参考图 8D,根据本发明构思的实施例的半导体器件 100D 可以包括可突出至再分布槽 551 内的 TSV 结构 400d。TSV 结构 400d 可以包括可突出至再分布槽 551 内的 TSV 芯 410d、TSV 阻挡层 420d 和 TSV 衬垫 430d。例如,TSV 阻挡层 420d 可以覆盖 TSV 芯 410d 的侧表面的一部分,并且 TSV 衬垫 430d 可以覆盖 TSV 阻挡层 420d 的侧表面的一部分。TSV 阻挡层 420d 的顶端可以处于比 TSV 衬垫 430d 的顶端高的水平处。TSV 阻挡层 420d 的顶端和部分侧表面以及 TSV 衬垫 430d 的顶端和部分侧表面可以暴露在再分布槽 551 内,并且与再分布阻挡层 520 接触。

[0135] 参考图 8E,根据本发明构思的实施例的半导体器件 100E 可以包括可突出至再分布槽 551 内的 TSV 结构 400e。TSV 结构 400e 可以包括可突出至再分布槽 551 内的 TSV 芯 410e 和 TSV 阻挡层 420e。例如,TSV 芯 410e 的上部和 / 或部分侧表面可以不被 TSV 阻挡层 420e 覆盖而是暴露着的。TSV 芯 410e 的上部和 / 或部分侧表面可以与再分布阻挡层 520

直接接触。TSV 衬垫 430e 的顶端可以处在与背面绝缘层 285e 的表面相同的水平或相似的水平处。

[0136] 参考图 8F, 根据本发明构思的实施例的半导体器件 100F 可以包括可突出至再分布槽 551 内的 TSV 结构 400f。TSV 结构 400f 可以包括可突出至再分布槽 551 内的 TSV 芯 410f。例如, TSV 芯 410f 的上部和部分侧表面可以不被 TSV 阻挡层 420f 覆盖而是暴露着的。例如, 只有 TSV 芯 410f 可突出至再分布槽 551 内。突出的 TSV 芯 410f 的上部和侧表面可以与再分布阻挡层 520 直接接触。TSV 阻挡层 420f 的顶端和 TSV 衬垫 430f 的顶端可以处在与背面绝缘层 285f 的表面相同的水平或相似的水平处。

[0137] 参考图 8G, 根据本发明构思的实施例的半导体器件 100G 可以包括: 在衬底 101 的背面侧 104 上形成的下背面绝缘层 287g; 在下背面绝缘层 287g 上形成的并且具有槽 550 的上背面绝缘层 289g; 以及可突出至再分布槽 551 内的 TSV 芯 410g 和 TSV 阻挡层 420g。下背面绝缘层 287g 可以与 TSV 结构 400g 的侧表面接触。下背面绝缘层 287g 的、可与 TSV 结构 400g 的背面端 BE 接近的部分可以与再分布阻挡层 520 接触。下背面绝缘层 287g 可以形成在衬底 101 的背面 104 上并且覆盖 TSV 结构 400g 的侧表面的一部分。上背面绝缘层 289g 可以形成在下背面绝缘层 287g 上并且具有槽 550。上背面绝缘层 289g 可以不与 TSV 结构 400g 的侧表面接触并且与 TSV 结构 400g 的侧表面隔离开。例如, 下背面绝缘层 287g 可以插入在上背面绝缘层 289g 和 TSV 结构 400g 之间。TSV 阻挡层 420g 可以覆盖突出的 TSV 芯 410g 的顶部表面和侧表面。TSV 阻挡层 420g 的顶部表面和侧表面可以与再分布阻挡层 520 直接接触。在再分布槽 551 内, TSV 衬垫 430g 的顶部表面、下背面绝缘层 287g 的顶部表面和上背面绝缘层 289g 的顶部表面可以处在相同的水平或相似的水平处。

[0138] 参考图 8H, 根据本发明构思的实施例的半导体器件 100H 可以包括下背面绝缘层 287h 和上背面绝缘层 289h, 并且还包括突出至再分布槽 551 内的 TSV 结构 400h。TSV 阻挡层 420h 可以覆盖 TSV 芯 410h 的顶部表面和侧表面。TSV 衬垫 430h 可以覆盖突出的 TSV 阻挡层 420h 的侧表面的一部分。例如, TSV 衬垫 430h 的顶端可以在再分布槽 551 内从下背面绝缘层 287h 和上背面绝缘层 289h 的表面突出。TSV 阻挡层 420h 的上部和部分侧表面可以与再分布阻挡层 520 直接接触。

[0139] 参考图 8I, 根据本发明构思的实施例的半导体器件 100I 可以包括下背面绝缘层 287i 和上背面绝缘层 289i。半导体器件 100I 可以包括可突出至再分布槽 551 内的 TSV 结构 400i 和下背面绝缘层 287i。下背面绝缘层 287i 的突出部可以覆盖 TSV 衬垫 430i 的侧表面的一部分。下背面绝缘层 287i 的突出部的顶端以及 TSV 衬垫 430i 的顶端可以布置在相同的水平或相似的水平处。下背面绝缘层 287i 的侧表面的一部分可以与再分布阻挡层 520 接触。

[0140] 参考图 8J, 根据本发明构思的实施例的半导体器件 100J 可以包括下背面绝缘层 287j 和上背面绝缘层 289j。半导体器件 100J 可以包括可突出至再分布槽 551 内的 TSV 结构 400j 和下背面绝缘层 287j。下背面绝缘层 287j 的突出部可以覆盖 TSV 衬垫 430j 的侧表面的一部分。下背面绝缘层 287j 的侧表面的一部分可以与再分布阻挡层 520 接触。

[0141] 参考图 8K, 根据本发明构思的实施例的半导体器件 100K 可以包括下背面绝缘层 287k 和上背面绝缘层 289k, 并且还包括突出至再分布槽 551 内的 TSV 芯 410k。例如, TSV 阻挡层 420k 的表面、TSV 衬垫 430k 的表面、下背面绝缘层 287k 的表面和上背面绝缘层 289k

的表面可以布置在相同的水平或相似的水平处。突出的 TSV 芯 410k 的顶部表面和侧表面可以与再分布阻挡层 520 接触。

[0142] 参考图 8L, 根据本发明构思的实施例的半导体器件 100L 可以包括下背面绝缘层 287l 和上背面绝缘层 289l, 并且还包括可突出至再分布槽 551 内的 TSV 芯 410l 和 TSV 阻挡层 420l。例如, TSV 阻挡层 420l 可以覆盖 TSV 芯 410l 的侧表面的一部分。TSV 衬垫 430l 的表面、下背面绝缘层 287l 的表面和上背面绝缘层 289l 的表面可以布置在相同的水平或相似的水平处。突出的 TSV 芯 410l 的顶部表面和部分侧表面可以与再分布阻挡层 520 接触。

[0143] 参考图 8M, 根据本发明构思的实施例的半导体器件 100M 可以包括下背面绝缘层 287m 和上背面绝缘层 289m, 并且还包括突出至再分布槽 551 内的 TSV 结构 400m。例如, TSV 阻挡层 420m 可以覆盖 TSV 芯 410m 的侧表面的一部分。TSV 衬垫 430m 可以覆盖 TSV 阻挡层 420m 的侧表面。TSV 阻挡层 420m 的顶端和 TSV 衬垫 430m 的顶端可以布置在相同的水平或相似的水平处。下背面绝缘层 287m 的表面和上背面绝缘层 289m 的表面可以布置在相同的水平或相似的水平处。突出的 TSV 芯 410m 的顶部表面和部分侧表面可以与再分布阻挡层 520 接触。

[0144] 参考图 8N, 根据本发明构思的实施例的半导体器件 100N 可以包括下背面绝缘层 287n 和上背面绝缘层 289n。半导体器件 100N 可以包括可突出至再分布槽 551 内的 TSV 结构 400n 和下背面绝缘层 287n。例如, TSV 阻挡层 420n 可以覆盖 TSV 芯 410n 的侧表面的一部分。TSV 衬垫 430n 可以覆盖 TSV 阻挡层 420n 的侧表面。突出的下背面绝缘层 287n 可以覆盖 TSV 衬垫 430n 的侧表面。TSV 阻挡层 420n 的顶端、TSV 衬垫 430n 的顶端和下背面绝缘层 287n 的顶端可以布置在相同的水平或相似的水平处。突出的 TSV 芯 410n 的顶部表面和部分侧表面可以与再分布阻挡层 520 接触。

[0145] 参考图 8O, 根据本发明构思的实施例的半导体器件 100O 可以包括下背面绝缘层 287o 和上背面绝缘层 289o, 并且还包括突出至再分布槽 551 内的 TSV 结构 400o。例如, TSV 阻挡层 420o 可以覆盖 TSV 芯 410o 的侧表面的一部分。TSV 衬垫 430o 可以覆盖 TSV 阻挡层 420o 的侧表面的一部分。突出的 TSV 芯 410o 的顶部表面和部分侧表面可以与再分布阻挡层 520 接触。

[0146] 参考图 8P, 根据本发明构思的实施例的半导体器件 100P 可以包括下背面绝缘层 287p 和上背面绝缘层 289p。半导体器件 100P 可以包括可突出至再分布槽 551 内的 TSV 结构 400p 和下背面绝缘层 287p。例如, TSV 阻挡层 420p 可以覆盖 TSV 芯 410p 的侧表面的一部分。TSV 衬垫 430p 可以覆盖 TSV 阻挡层 420p 的侧表面的一部分。突出的下背面绝缘层 287p 可以覆盖 TSV 衬垫 430p 的侧表面的一部分。突出的 TSV 芯 410p 的顶部表面和部分侧表面可以与再分布阻挡层 520 接触。

[0147] 参考图 8Q, 根据本发明构思的实施例的半导体器件 100Q 可以包括下背面绝缘层 287q 和上背面绝缘层 289q。半导体器件 100Q 可以包括可突出至再分布槽 551 内的 TSV 结构 400q 和下背面绝缘层 287q。例如, TSV 阻挡层 420q 可以覆盖 TSV 芯 410q 的暴露的侧表面的一部分。TSV 衬垫 430q 可以覆盖 TSV 阻挡层 420q 的暴露的表面。TSV 衬垫 430q 的顶端 TSV 阻挡层 420q 的顶端可以布置在相同的水平或相似的水平处。突出的下背面绝缘层 287q 可以覆盖 TSV 衬垫 430q 的侧表面的一部分。TSV 芯 410q 的顶部表面和部分侧表面可

以与再分布阻挡层 520 接触。

[0148] 参考图 8R, 根据本发明构思的实施例的半导体器件 100R 可以包括可突出至再分布槽 551 内的 TSV 芯 410r 和 TSV 阻挡层 420r。TSV 阻挡层 420r 可以全部覆盖 TSV 芯 410r 的暴露的侧表面。TSV 芯 410r 的顶端和 TSV 阻挡层 420r 的顶端可以布置在相同的水平或相似的水平处。

[0149] 参考图 8S, 根据本发明构思的实施例的半导体器件 100S 可以包括可突出至再分布槽 551 内的 TSV 结构 400s, 并且 TSV 衬垫 430s 可以部分或全部覆盖 TSV 阻挡层 420s 的暴露的表面。TSV 芯 410s 的顶端和 TSV 阻挡层 420s 的顶端可以布置在相同的水平或相似的水平处。

[0150] 根据本发明构思的各个实施例的半导体器件 100A 至 100S 中的每一个可以包括使用大马士革工艺形成的再分布结构 500。因此, 再分布阻挡层 520 可以完全包围再分布互连 510 的底部表面和侧表面。例如, 当使用湿法蚀刻工艺或选择性蚀刻工艺来除去再分布阻挡层 520 时, 再分布阻挡层 520 可能不完全包围再分布互连 510 的底部或侧表面, 因而引起物理的和 / 或电的不稳定。代替光刻和蚀刻工艺, 可以使用 CMP 工艺来平面地形成根据本发明构思的各个实施例的半导体器件 100A 至 100S, 并且 TSV 结构 400a 至 400s 的节距和再分布结构 500 的节距可以变得更微小和更复杂。在根据本发明构思的各个实施例的半导体器件 100A 至 100S 的每一个中, TSV 结构 400a 至 400s 可以突出至再分布结构 500。例如, TSV 结构 400a 至 400s 可以插入至再分布结构 500。因此, TSV 结构 400 与再分布结构 500 之间的接触面积可以增加, 使得 TSV 结构 400a 至 400s 与再分布结构 500 之间的薄层电阻可以减小。而且, 由于再分布结构 500 可以由 TSV 结构 400a 至 400s 进行物理固定, 因此可以防止由浮动现象引起的各组件的接触故障或分离。

[0151] 图 9A 至图 9J 是示出了制造根据本发明构思的各个实施例的半导体器件 100A 至 100S 的方法的流程图, 图 10A 至图 10X 是示出了制造根据本发明构思的一个实施例的半导体器件的方法的纵截面图。

[0152] 参考图 9A 和图 10A, 制造根据本发明构思的实施例的半导体器件的方法可以包括在衬底 101 的正面 103 上形成单元器件 200 (操作 S102)。将参考图 8A 来理解对单元器件 200 的描述。单元器件 200 可以由第一层间绝缘层 215 覆盖。第一层间绝缘层 215 可以包括氧化硅。

[0153] 参考图 9A 和图 10B, 制造根据本发明构思的本实施例的半导体器件的方法可以包括在衬底 101 中形成 TSV 孔 401 (操作 S104)。形成 TSV 孔 401 可以包括: 在第一层间绝缘层 215 上形成 TSV 孔掩膜图案 450, 并且使用 TSV 孔掩膜图案 450 作为蚀刻掩膜对衬底 101 和第一层间绝缘层 215 进行蚀刻。TSV 孔掩膜图案 450 可以包括氮化硅、氮氧化硅或有机材料。TSV 孔 401 的最下端可以布置在衬底 101 的内部, 例如, 在主体中。TSV 孔 401 可以不穿透衬底 101 的背面 104。在形成 TSV 孔 401 后, 可以除去 TSV 孔掩膜图案 450。

[0154] 参考图 9A 和图 10C, 制造根据本发明构思的本实施例的半导体器件的方法可以包括在 TSV 孔 401 的内壁上共形地形成 TSV 衬垫 430 (操作 S106)。TSV 衬垫 430 可以包括氧化硅或氮化硅。例如, 可以使用原子层沉积 (ALD) 工艺、等离子体增强化学气相沉积 (PECVD) 工艺或亚常压 CVD (SACVD) 工艺在 TSV 孔 401 的内壁上共形地沉积 TSV 衬垫 430。可替换地, 可以通过使用热氧化工艺来对 TSV 孔 401 的内壁进行热氧化而获得 TSV 衬垫 430。在本

实施例中,假设 TSV 衬垫 430 包括使用 SACVD 工艺形成的氧化硅层。

[0155] 参考图 9A 和图 10D,制造根据本发明构思的本实施例的半导体器件的方法可以包括在 TSV 衬垫 430 上形成 TSV 阻挡层 420 和 TSV 种子层 425(操作 S108)。形成 TSV 阻挡层 420 可以包括使用诸如溅射工艺之类的物理气相沉积(PVD)工艺或金属有机 CVD (MOCVD)工艺在 TSV 衬垫 430 上共形地形成阻挡金属。TSV 阻挡层 420 可以包括 Ti、TiN、Ta、TaN 或 WN。TSV 阻挡层 420 可以形成为单层类型或多层类型。形成 TSV 种子层 425 可以包括使用 PVD 工艺或 CVD 工艺在 TSV 阻挡层 420 上共形地形成铜(Cu)、钌(Ru)、钨(W)或其它种子金属。

[0156] 参考图 9A 和图 10E,制造根据本发明构思的本实施例的半导体器件的方法可以包括形成 TSV 芯材料层 410m1 以填充 TSV 孔 401(操作 S110)。可以使用电镀工艺来形成 TSV 芯材料层 410m1。当 TSV 种子层 425 和 TSV 芯材料层 410m1 包括相同的材料时,其间的边界可以消失。例如,当 TSV 种子层 425 和 TSV 芯材料层 410m1 包括铜(Cu)时,其间的边界可以消失。因此,在图 10E 中未示出 TSV 种子层 425。

[0157] 参考图 9A 和图 10F,制造根据本发明构思的本实施例的半导体器件的方法可以包括形成 TSV 结构 400 (操作 S112)。TSV 结构 400 可以包括 TSV 芯 410、TSV 阻挡层 420 和 TSV 衬垫 430。形成 TSV 结构 400 可以包括使用 CMP 工艺来将可以在第一层间绝缘层 215 的顶部表面上形成的 TSV 芯材料层 410m1、TSV 种子层 425 和 TSV 衬垫 430 除去。例如,形成 TSV 结构 400 可以包括:使用第一 CMP 工艺来将 TSV 芯材料层 410m1 和 TSV 种子层 425 除去;使用第二 CMP 工艺来将 TSV 阻挡层 420 除去;以及使用湿法蚀刻工艺或清洗工艺来将 TSV 衬垫 430 除去。可替换地,形成 TSV 结构 400 可以包括:使用 CMP 工艺来将 TSV 芯材料层 410m1 和 TSV 种子层 425 除去;以及使用湿法蚀刻工艺或清洗工艺来将 TSV 阻挡层 420 和 / 或 TSV 衬垫 430 除去。

[0158] 参考图 9A 和图 10G,制造根据本发明构思的本实施例的半导体器件的方法可以包括在衬底 101 的正面 103 上形成内部电路 230(操作 S114)。内部电路 230 可以包括多个导电的内部通孔 240 和多层的导电的内部互连 250。每一个内部通孔 240 可以示出为垂直延伸的柱形,每一个内部互连 250 可以示出为水平延伸的台形。内部电路 230 可以由第一层间绝缘层 215 和第二层间绝缘层 225 覆盖。TSV 焊盘 260 可以与衬底 101 的表面隔离开,并且形成在第二层间绝缘层 225 中。例如,TSV 焊盘 260 可以形成在第一层间绝缘层 215 上。TSV 焊盘 260 可以包括诸如 W、Cu、Al 之类的金属或其它金属。虽然第二层间绝缘层 225 将被形成为多层类型,但是为了简洁将第二层间绝缘层 225 示出为单层类型。

[0159] 参考图 9A 和图 10H,制造根据本发明构思的本实施例的半导体器件的方法可以包括在第二层间绝缘层 225 上形成正面 I/O 焊盘通孔插头 270 和正面钝化层 265(操作 S116)。正面 I/O 焊盘通孔插头 270 可以包括金属。例如,正面 I/O 焊盘通孔插头 270 可以包括最上面的金属层。正面钝化层 265 可以包括氮化硅、氧化硅或聚酰亚胺。正面钝化层 265 可以包括使正面 I/O 焊盘通孔插头 270 的上部暴露的下正面 I/O 焊盘开口 311。

[0160] 参考图 9A 和图 10I,制造根据本发明构思的本实施例的半导体器件的方法可以包括在下正面 I/O 焊盘开口 311 内形成正面 I/O 焊盘阻挡层 320 和正面 I/O 焊盘种子层 330 (操作 S118)。形成正面 I/O 焊盘阻挡层 320 可以包括使用诸如溅射工艺之类的 PVD 工艺或 MOCVD 工艺在正面钝化层 265 上共形地形成阻挡金属。正面 I/O 焊盘阻挡层 320 可以包括

Ti、TiN、Ta、TaN、WN 或其它难熔金属。正面 I/O 焊盘阻挡层 320 可以形成为单层类型或多层类型。形成正面 I/O 焊盘种子层 330 可以包括使用诸如溅射工艺之类的 PVD 工艺或 CVD 工艺在正面 I/O 焊盘阻挡层 320 上共形地形成铜(Cu)、钌(Ru)、钨(W)或其它金属。

[0161] 参考图 9A 和图 10J, 制造根据本发明构思的本实施例的半导体器件的方法可以包括在正面 I/O 焊盘种子层 330 上形成正面 I/O 焊盘掩膜图案 340(操作 S120)。正面 I/O 焊盘掩膜图案 340 可以具有使下正面 I/O 焊盘开口 311 暴露的上正面 I/O 焊盘开口 312。正面 I/O 焊盘掩膜图案 340 可以包括光致抗蚀剂。

[0162] 参考图 9A 和图 10K, 制造根据本发明构思的本实施例的半导体器件的方法可以包括形成初步的正面 I/O 焊盘 300p(操作 S122)。形成初步的正面 I/O 焊盘 300p 可以包括分别在下正面 I/O 焊盘开口 311 和上正面 I/O 焊盘开口 312 内形成正面 I/O 焊盘金属层 350 和正面 I/O 焊盘覆盖层 360。形成正面 I/O 焊盘金属层 350 可以包括使用电镀工艺来形成诸如镍(Ni)或钨(W)之类的金属层。形成正面 I/O 焊盘覆盖层 360 可以包括在正面 I/O 焊盘金属层 350 上电镀金、镍或银。

[0163] 参考图 9A 和图 10L, 制造根据本发明构思的本实施例的半导体器件的方法可以包括形成正面 I/O 焊盘 300 (操作 S124)。形成正面 I/O 焊盘 300 可以包括使用湿法蚀刻工艺来除去正面 I/O 焊盘掩膜图案 340 以及除去暴露在正面钝化层 265 上的正面 I/O 焊盘阻挡层 320 和正面 I/O 焊盘种子层 330。

[0164] 参考图 9A 和图 10M, 制造根据本发明构思的本实施例的半导体器件的方法可以包括将衬底 101 颠倒过来并且将衬底 101 安装在晶圆支撑载体 WSC 上(操作 S126)。可以在晶圆支撑载体 WSC 上布置垫层 Wc 以保护正面 I/O 焊盘 300 不受物理冲击。

[0165] 参考图 9A 和图 10N, 制造根据本发明构思的本实施例的半导体器件的方法可以包括地毯式地和 / 或选择性地除去衬底 101 的背面 104 以使 TSV 结构 400 的背面端 BE 暴露(操作 S128)。例如, 可以使 TSV 结构 400 的背面端 BE 的顶部表面和部分侧表面暴露。将衬底 101 的背面 104 除去可以包括例如研磨工艺和 / 或回蚀工艺(etchback process)。

[0166] 参考图 9B 和图 10O, 制造根据本发明构思的本实施例的半导体器件的方法可以包括形成背面绝缘层 285 以覆盖暴露的 TSV 结构 400 (操作 S130)。背面绝缘层 285 可以是包括氮化硅的单层。

[0167] 参考图 9B 和图 10P, 制造根据本发明构思的本实施例的半导体器件的方法可以包括在背面绝缘层 285 中形成槽 550 (操作 S132)。槽 550 可以包括再分布槽 551 和对准标记槽 552。再分布槽 551 可以使 TSV 结构 400 的一部分暴露。例如, 再分布槽 551 可以使 TSV 结构 400 的背面端 BE 的顶部表面和侧表面暴露。在此工艺期间, 可以将暴露的 TSV 衬垫 430 除去以使 TSV 阻挡层 420 暴露。

[0168] 参考图 9B 和图 10Q, 制造根据本发明构思的本实施例的半导体器件的方法可以包括在再分布槽 551 内形成再分布阻挡层 520 和再分布种子层 530 (操作 S134)。再分布阻挡层 520 和再分布种子层 530 可以共形地形成在再分布槽 551 的底部表面和内壁以及 TSV 结构 400 的暴露表面上。形成再分布阻挡层 520 可以包括使用诸如溅射工艺之类的 PVD 工艺或 MOCVD 工艺在背面绝缘层 285 上形成阻挡金属。再分布阻挡层 520 可以包括 Ti、TiN、Ta、TaN、WN 或其它难熔金属。再分布阻挡层 520 可以形成为单层类型或多层类型。形成再分布种子层 530 可以包括使用诸如溅射工艺之类的 PVD 工艺或 CVD 工艺在再分布阻挡层



520 上共形地形成铜(Cu)、钌(Ru)、钨(W)或其它金属。在此工艺期间,也可以在对准标记槽 552 内形成再分布阻挡层 520 和再分布种子层 530。可以在 TSV 结构 400 的暴露表面上形成双层,例如 TSV 阻挡层 420 和再分布阻挡层 520。

[0169] 参考图 9B 和图 10R,制造根据本发明构思的本实施例的半导体器件的方法可以包括形成再分布互连材料层 510a (操作 S136)。形成再分布互连材料层 510a 可以包括使用电镀工艺来完全填充再分布槽 551。当再分布互连材料层 510a 和再分布种子层 530 包括相同的材料时,其间的边界可以消失。为了附图的简介,再分布互连材料层 510a 和再分布种子层 530 之间的边界被省略。当再分布互连材料层 510a 和再分布种子层 530 包括不同的材料时,其间的边界可以存在。再分布互连材料层 510a 还可以填充对准标记槽 552。

[0170] 参考图 9B 和图 10S,制造根据本发明构思的本实施例的半导体器件的方法可以包括形成再分布结构 500 (操作 S138)。形成再分布结构 500 可以包括:使用 CMP 工艺来将暴露在背面绝缘层 285 的顶部表面上的再分布互连材料层 510a、再分布种子层 530 和再分布阻挡层 520 除去。例如,形成再分布结构 500 可以包括:使用第一 CMP 工艺来将再分布互连材料层 510a 和再分布种子层 530 除去;以及使用第二 CMP 工艺来将再分布阻挡层 520 除去。在此工艺期间,可以形成再分布互连 510 和对准标记结构 560。可替换地,形成再分布结构 500 可以包括:使用 CMP 工艺来将再分布互连材料层 510a 和再分布种子层 530 除去;以及使用湿法蚀刻工艺来将再分布阻挡层 520 除去。

[0171] 参考图 9B 和图 10T,制造根据本发明构思的本实施例的半导体器件的方法可以包括形成背面钝化层 275(操作 S140)。背面钝化层 275 可以具有使再分布互连 510 的表面部分暴露的下背面 I/O 焊盘开口 611。背面钝化层 275 可以包括氧化硅、氮化硅或聚酰亚胺。

[0172] 参考图 9B 和图 10U,制造根据本发明构思的本实施例的半导体器件的方法可以包括在下背面 I/O 焊盘开口 611 内和/或在背面钝化层 275 上形成背面 I/O 焊盘阻挡层 620 和背面 I/O 焊盘种子层 630 (操作 S142)。形成背面 I/O 焊盘阻挡层 620 可以包括使用诸如溅射工艺之类的 PVD 工艺或 MOCVD 工艺在背面钝化层 275 上共形地形成阻挡金属。背面 I/O 焊盘阻挡层 620 可以包括 Ti、TiN、Ta、Ta<sub>2</sub>N<sub>5</sub> 或 WN。背面 I/O 焊盘阻挡层 620 可以形成单层类型或多层类型。形成背面 I/O 焊盘种子层 630 可以包括使用诸如溅射工艺之类的 PVD 工艺或 CVD 工艺在背面 I/O 焊盘阻挡层 620 上形成铜(Cu)、钌(Ru)、钨(W)或其它金属。

[0173] 参考图 9B 和图 10V,制造根据本发明构思的本实施例的半导体器件的方法可以包括在背面 I/O 焊盘阻挡层 620 和背面 I/O 焊盘种子层 630 上形成背面 I/O 焊盘掩膜图案 640(操作 S144)。背面 I/O 焊盘掩膜图案 640 可以具有使下背面 I/O 焊盘开口 611 暴露的上背面 I/O 焊盘开口 612。背面 I/O 焊盘掩膜图案 640 可以包括光致抗蚀剂。

[0174] 参考图 9B 和图 10W,制造根据本发明构思的本实施例的半导体器件的方法可以包括形成初步的背面 I/O 焊盘 600p (操作 S146)。形成初步的背面 I/O 焊盘 600p 可以包括:在下背面 I/O 焊盘开口 611 和上背面 I/O 焊盘开口 612 内形成背面 I/O 焊盘金属层 650 和背面 I/O 焊盘覆盖层 660。形成背面 I/O 焊盘金属层 650 可以包括使用电镀工艺来形成诸如镍(Ni)或钨(W)之类的金属层。形成背面 I/O 焊盘覆盖层 660 可以包括在背面 I/O 焊盘金属层 650 上电镀金(Au)或银(Ag)。

[0175] 参考图 9B 和图 10X,制造根据本发明构思的本实施例的半导体器件的方法可以包括形成背面 I/O 焊盘 600 (操作 S148)。形成背面 I/O 焊盘 600 可以包括使用湿法蚀刻工

艺来将背面 I/O 焊盘掩膜图案 640 除去并且将暴露在背面钝化层 275 上的背面 I/O 焊盘阻挡层 620 和背面 I/O 焊盘种子层 630 除去。随后,可以将所得到的结构从晶圆支撑载体 WSC 分离,从而完成图 8A 所示的半导体器件 100A 的形成。

[0176] 图 11A 至图 11D 是示出了制造根据本发明构思的另一个实施例的半导体器件的方法的纵截面图。

[0177] 参考图 9C 和图 11A,制造根据本发明构思的本实施例的半导体器件的方法可以包括:参考图 9A 和图 10A 至图 10N 使 TSV 结构 400 的背面端 BE 暴露;以及形成下背面绝缘层 287 以覆盖 TSV 结构 400 的暴露的背面端 BE(操作 S129A)。下背面绝缘层 287 可以共形地形成在衬底 101 的表面和 TSV 结构 400 的暴露的表面上。下背面绝缘层 287 可以包括氧化硅。

[0178] 参考图 9C 和图 11B,制造根据本发明构思的本实施例的半导体器件的方法可以包括在下背面绝缘层 287 上形成上背面绝缘层 289(操作 S129B)。与下背面绝缘层 287 相比,上背面绝缘层 289 可以形成为更大的厚度。上背面绝缘层 289 可以包括氮化硅。

[0179] 参考图 9C 和图 11C,制造根据本发明构思的本实施例的半导体器件的方法可以包括在上背面绝缘层 289 中形成槽 550 以使 TSV 结构 400 的表面暴露(操作 S132A)。槽 550 可以包括再分布槽 551 和对准标记槽 552。再分布槽 551 可以使 TSV 结构 400 的背面端 BE 的顶部表面和侧表面暴露。在此工艺期间,可以将暴露的 TSV 衬垫 430 除去。下背面绝缘层 287 的一部分可以暴露在再分布槽 551 的底部表面上。

[0180] 参考图 9C 和图 11D,制造根据本发明构思的本实施例的半导体器件的方法可以包括通过执行参考图 9B 和图 10Q 至图 10X 所描述的各工艺(操作 S134 至 S148)来形成背面 I/O 焊盘 600。再分布阻挡层 520 的一部分和下背面绝缘层 287 的一部分可以与 TSV 结构 400 的侧表面接触。

[0181] 图 12A 至图 12G 是示出了制造根据本发明构思的另一个实施例的半导体器件的方法的纵截面图。

[0182] 参考图 9D 和图 12A,制造根据本发明构思的本实施例的半导体器件的方法可以包括在衬底 101 中形成 TSV 孔 401(操作 S202)。在衬底 101 中形成 TSV 孔 401 可以包括在衬底 101 的正面 103 上形成 TSV 孔掩膜图案 450,并且使用 TSV 孔掩膜图案 450 作为蚀刻掩膜对衬底 101 进行蚀刻。TSV 孔掩膜图案 450 可以包括氧化硅和/或氮化硅。TSV 孔掩膜图案 450 可以形成为单层类型或多层类型。例如,可以在衬底 101 上形成氧化硅层,并且可以在氧化硅层上形成氮化硅层。在本实施例中,在概念上假设 TSV 孔掩膜图案 450 为单材料层。TSV 孔 401 的最下端可以布置在衬底 101 中,例如,在主体中。在形成 TSV 孔 401 后,可以除去 TSV 孔掩膜图案 450。

[0183] 参考图 9D 和图 12B,制造根据本发明构思的本实施例的半导体器件的方法可以包括在 TSV 孔 401 的内壁上共形地形成 TSV 衬垫 430(操作 S204)。然后,制造根据本发明构思的本实施例的半导体器件的方法可以包括在 TSV 衬垫 430 上共形地形成 TSV 阻挡层 420 和 TSV 种子层 425(操作 S206)。

[0184] 参考图 9D 和图 12C,制造根据本发明构思的本实施例的半导体器件的方法可以包括形成 TSV 芯材料层 410ml 以填充 TSV 孔 401(操作 S208)。

[0185] 参考图 9D 和图 12D,制造根据本发明构思的本实施例的半导体器件的方法可以包

括形成 TSV 结构 400 (操作 S210)。

[0186] 参考图 9D 和图 12E, 制造根据本发明构思的本实施例的半导体器件的方法可以包括形成内部电路 230 和正面 I/O 焊盘 300 (操作 S212)。可以不形成图 10G 至图 11D 的 TSV 焊盘 260。例如, TSV 结构 400 可以与内部通孔 240 中的一个直接接触。

[0187] 参考图 9D 和图 12F, 制造根据本发明构思的本实施例的半导体器件的方法可以包括将衬底 101 颠倒过来并且将衬底 101 安装在晶圆支撑载体 WSC 上 (操作 S214)。而且, 该方法可以包括地毯式地和 / 或选择性地除去衬底 101 的背面 104 以使 TSV 结构 400 的一部分暴露 (操作 S216)。

[0188] 参考图 9E 和图 12G 并且还参考图 100 至图 10X, 制造根据本发明构思的本实施例的半导体器件的方法可以包括: 形成背面绝缘层 285 以覆盖暴露的 TSV 结构 400 (操作 S218); 在背面绝缘层 285 中形成槽 550 (操作 S220); 在槽 550 中形成再分布阻挡层 520 和再分布种子层 530 (操作 S222); 形成再分布互连材料层 510a (操作 S224); 形成再分布结构 500 (操作 S226); 形成具有下背面 I/O 焊盘开口 611 以使再分布互连 510 的表面部分暴露的背面钝化层 275 (操作 S228); 在下背面 I/O 焊盘开口 611 内和 / 或在背面钝化层 275 上, 形成背面 I/O 焊盘阻挡层 620 和背面 I/O 焊盘种子层 630 (操作 S230); 在背面 I/O 焊盘阻挡层 620 和背面 I/O 焊盘种子层 630 上, 形成具有上背面 I/O 焊盘开口 612 以使下背面 I/O 焊盘开口 611 暴露的背面 I/O 焊盘掩膜图案 640 (操作 S232); 形成初步的背面 I/O 焊盘 600p (操作 S234); 以及形成背面 I/O 焊盘 600 (操作 S236)。示例性地示出了再分布种子层 530 和再分布互连 510 之间的边界。

[0189] 图 13A 至图 13D 是示出了制造根据本发明构思的另一个实施例的半导体器件的方法的纵截面图。

[0190] 参考图 9F 和图 13A, 制造根据本发明构思的本实施例的半导体器件的方法可以包括参考图 9D 和图 12A 至图 12F 使 TSV 结构 400 的背面端 BE 暴露, 并且形成下背面绝缘层 287 以覆盖在衬底 101 的背面 104 上暴露的 TSV 结构 400 (操作 S219A)。

[0191] 参考图 9F 和图 13B, 制造根据本发明构思的本实施例的半导体器件的方法可以包括在下背面绝缘层 287 上形成上背面绝缘层 289 (操作 S219B)。

[0192] 参考图 9F 和图 13C, 制造根据本发明构思的本实施例的半导体器件的方法可以包括在上背面绝缘层 289 中形成再分布槽 551 以使 TSV 结构 400 的表面暴露 (操作 S220A)。例如, 再分布槽 551 可以使 TSV 结构 400 的背面端 BE 的顶部表面和侧表面暴露。在此工艺期间, 可以除去暴露的 TSV 衬垫 430。下背面绝缘层 287 的一部分可以暴露在再分布槽 551 的底部表面上。

[0193] 参考图 9E 和图 13D, 制造根据本发明构思的本实施例的半导体器件的方法可以包括: 在槽 550 内形成再分布阻挡层 520 和再分布种子层 530 (操作 S222); 形成再分布互连材料层 510a (操作 S224); 形成再分布结构 500 (操作 S226); 形成具有下背面 I/O 焊盘开口 611 以使再分布互连 510 的表面部分暴露的背面钝化层 275 (操作 S228); 在下背面 I/O 焊盘开口 611 内和 / 或在背面钝化层 275 上, 形成背面 I/O 焊盘阻挡层 620 和背面 I/O 焊盘种子层 630 (操作 S230); 在背面 I/O 焊盘阻挡层 620 和背面 I/O 焊盘种子层 630 上, 形成具有上背面 I/O 焊盘开口 612 以使下背面 I/O 焊盘开口 611 暴露的背面 I/O 焊盘掩膜图案 640 (操作 S232); 形成初步的背面 I/O 焊盘 600p (操作 S234); 以及形成背面 I/O 焊盘

600 (操作 S236)。

[0194] 图 14A 至图 14Q 是在制造根据本发明构思的各个实施例的半导体器件的方法中, 具有各种形状的 TSV 结构 400a 至 400q 的概念纵截面图, TSV 结构 400a 至 400q 暴露在再分布槽 551 内。

[0195] 参考图 14A, 可以从突出至再分布槽 551 内的 TSV 结构 400a 的背面端 BEa 除去 TSV 衬垫 430a, 以使 TSV 阻挡层 420a 暴露。TSV 阻挡层 420a 可以覆盖 TSV 芯 410a 的整个表面。

[0196] 参考图 14B, 在突出至再分布槽 551 内的 TSV 结构 400b 的背面端 BEb 中, TSV 衬垫 430b 可以使 TSV 阻挡层 420b 的顶端的表面暴露并且部分或全部覆盖 TSV 阻挡层 420b 的侧表面。TSV 阻挡层 420b 可以覆盖 TSV 芯 410b 的整个表面。

[0197] 参考图 14C, 在突出至再分布槽 551 内的 TSV 结构 400c 的背面端 BEc 中, TSV 阻挡层 420c 可以使 TSV 芯 410c 的顶端的表面暴露并且部分或全部覆盖 TSV 芯 410c 的侧表面, TSV 衬垫 430c 可以使突出至再分布槽 551 内的 TSV 阻挡层 420c 的顶端的表面暴露并且覆盖 TSV 阻挡层 420c 的整个侧表面。

[0198] 参考图 14D, 在突出至再分布槽 551 内的 TSV 结构 400d 的背面端 BEd 中, TSV 阻挡层 420d 可以使 TSV 芯 410d 的顶端的表面暴露并且部分或全部覆盖 TSV 芯 410d 的侧表面, TSV 衬垫 430d 可以使突出至再分布槽 551 内的 TSV 阻挡层 420d 的顶端的表面暴露并且部分覆盖 TSV 阻挡层 420d 的侧表面。

[0199] 参考图 14E, 在突出至再分布槽 551 内的 TSV 结构 400e 的背面端 BEe 中, TSV 阻挡层 420e 可以使 TSV 芯 410e 的顶端的表面暴露并且部分或全部覆盖 TSV 芯 410e 的侧表面, TSV 衬垫 430e 可以使突出至再分布槽 551 内的 TSV 阻挡层 420e 的顶端和侧表面暴露。例如, TSV 衬垫 430e 的顶端可以形成在与再分布槽 551 的底部表面相同的水平或相似的水平处。

[0200] 参考图 14F, 在突出至再分布槽 551 内的 TSV 结构 400f 的背面端 BEf 中, 可以将 TSV 阻挡层 420f 和 TSV 衬垫 430f 除去以使 TSV 芯 410f 的顶端和侧表面全部暴露。

[0201] 参考图 14G, 在突出至再分布槽 551 内的 TSV 结构 400g 的背面端 BEg 中, 下背面绝缘层 287 的顶端的一部分可以暴露在上背面绝缘层 289 的再分布槽 551 内。TSV 芯 410g 和 TSV 阻挡层 420g 可以突出至再分布槽 551 内。下背面绝缘层 287 可以包围 TSV 结构 400g, 并且与 TSV 衬垫 430g 的侧表面接触。上背面绝缘层 289 可以与 TSV 衬垫 430g 隔离开, 并且不与 TSV 衬垫 430g 接触。TSV 阻挡层 420g 可以覆盖突出的 TSV 芯 410g 的顶部表面和侧表面。在再分布槽 551 内, TSV 衬垫 430g 的顶部表面、下背面绝缘层 287 的顶部表面和上背面绝缘层 289 的顶部表面可以布置在相同的水平或相似的水平处。

[0202] 参考图 14H, 在突出至再分布槽 551 内的 TSV 结构 400h 的背面端 BEh 中, TSV 衬垫 430h 的顶端可以突出至再分布槽 551 内。

[0203] 参考图 14I, 在突出至再分布槽 551 内的 TSV 结构 400i 的背面端 BEi 中, TSV 衬垫 430i 的顶端和下背面绝缘层 287 的顶端可以突出至再分布槽 551 内。TSV 衬垫 430i 的顶端和下背面绝缘层 287 的顶端可以布置在相同的水平或相似的水平处。

[0204] 参考图 14J, 在突出至再分布槽 551 内的 TSV 结构 400j 的背面端 BEj 中, TSV 衬垫 430j 的顶端和下背面绝缘层 287 的顶端可以突出至再分布槽 551 内, 并且 TSV 衬垫 430j 的顶端可以布置在比下背面绝缘层 287 的顶端高的水平处。

[0205] 参考图 14K, 在突出至再分布槽 551 内的 TSV 结构 400k 的背面端 BEk 中, TSV 芯 410k 可以突出至再分布槽 551 内, 并且 TSV 阻挡层 420k 可以部分覆盖 TSV 芯 410k 的侧表面。TSV 阻挡层 420k 的顶端、TSV 衬垫 430k 的顶端、下背面绝缘层 287 的顶端和上背面绝缘层 289 的顶端可以布置在相同的水平或相似的水平处。

[0206] 参考图 14L, 在突出至再分布槽 551 内的 TSV 结构 400l 的背面端 BEl 中, TSV 芯 410l 可以突出至再分布槽 551 内, 并且 TSV 阻挡层 420l 可以部分或全部覆盖 TSV 芯 410l 的侧表面。TSV 阻挡层 420l 可以突出至再分布槽 551 内。TSV 衬垫 430l 的顶端、下背面绝缘层 287 的顶端和上背面绝缘层 289 的顶端可以布置在相同的水平或相似的水平处。

[0207] 参考图 14M, 在突出至再分布槽 551 内的 TSV 结构 400m 的背面端 BEm 中, TSV 芯 410m 可以突出至再分布槽 551 内, TSV 阻挡层 420m 可以突出至再分布槽 551 内并且部分或全部覆盖 TSV 芯 410m 的侧表面。TSV 衬垫 430m 可以突出至再分布槽 551 内并且部分或全部覆盖 TSV 阻挡层 420m 的侧表面。

[0208] 参考图 14N, 在突出至再分布槽 551 内的 TSV 结构 400n 的背面端 BEn 中, TSV 芯 410n 可以突出至再分布槽 551 内, TSV 阻挡层 420n 可以突出至再分布槽 551 内并且部分或全部覆盖 TSV 芯 410n 的侧表面。TSV 衬垫 430n 可以突出至再分布槽 551 内并且全部覆盖 TSV 阻挡层 420n 的侧表面。下背面绝缘层 287 的一部分可以突出至再分布槽 551 内, 并且全部覆盖 TSV 衬垫 430n 的侧表面。

[0209] 参考图 14O, 在突出至再分布槽 551 内的 TSV 结构 400o 的背面端 BEo 中, TSV 芯 410o 可以突出至再分布槽 551 内, TSV 阻挡层 420o 可以突出至再分布槽 551 内并且部分或全部覆盖 TSV 芯 410o 的侧表面。TSV 衬垫 430o 可以突出至再分布槽 551 内并且部分或全部覆盖 TSV 阻挡层 420o 的侧表面。下背面绝缘层 287 的顶部表面可布置在与上背面绝缘层 289 的表面相同的水平或相似的水平处。

[0210] 参考图 14P, 在突出至再分布槽 551 内的 TSV 结构 400p 的背面端 BEp 中, TSV 芯 410p 可以突出至再分布槽 551 内, TSV 阻挡层 420p 可以突出至再分布槽 551 内并且部分或全部覆盖 TSV 芯 410p 的侧表面。TSV 衬垫 430p 可以突出至再分布槽 551 内并且部分或全部覆盖 TSV 阻挡层 420p 的侧表面。下背面绝缘层 287 的一部分可以突出至再分布槽 551 内, 并且部分或全部覆盖 TSV 衬垫 430p 的侧表面。

[0211] 参考图 14Q, 在突出至再分布槽 551 内的 TSV 结构 400q 的背面端 BEq 中, TSV 芯 410q 可以突出至再分布槽 551 内, TSV 阻挡层 420q 可以突出至再分布槽 551 内并且部分或全部覆盖 TSV 芯 410q 的侧表面。TSV 衬垫 430q 可以突出至再分布槽 551 内并且全部覆盖 TSV 阻挡层 420q 的侧表面。TSV 阻挡层 420q 的顶端和 TSV 衬垫 430q 的顶端可以布置在相同的水平或相似的水平处。下背面绝缘层 287 的一部分可以突出至再分布槽 551 内, 并且部分或全部覆盖 TSV 衬垫 430q 的侧表面。

[0212] 图 15A 至图 15M 是示出了制造根据本发明构思的另一个实施例的半导体器件的方法的纵截面图。

[0213] 参考图 9G 和图 15A, 制造根据本发明构思的实施例的半导体器件的方法可以包括在衬底 101 上形成内部电路 230 和正面 I/O 焊盘 300 (操作 S302)。在此工艺期间, 可以形成 TSV 焊盘 260。

[0214] 参考图 9G 和图 15B, 制造根据本发明构思的本实施例的半导体器件的方法可以包

括将衬底 101 颠倒过来并且将衬底 101 安装在晶圆支撑载体 WSC 上(操作 S304)。

[0215] 参考图 9G 和图 15C, 制造根据本发明构思的本实施例的半导体器件的方法可以包括在衬底 101 中形成 TSV 孔 401(操作 S306)。形成 TSV 孔 401 可以包括在衬底 101 的背面 104 上形成 TSV 孔掩膜图案 450, 并且使用 TSV 孔掩膜图案 450 作为蚀刻掩膜对衬底 101 进行蚀刻。TSV 孔掩膜图案 450 可以包括氧化硅或氮化硅。TSV 孔掩膜图案 450 可以形成为单层类型或多层类型。例如, 可以在衬底 101 上形成氧化硅层, 并且在氧化硅层上形成氮化硅层。在本实施例中, 在概念上假设 TSV 孔掩膜图案 450 为单材料层。然后, 可以除去 TSV 孔掩膜图案 450。本实施例描述了未除去而是保留 TSV 孔掩膜图案 450 的示例性情况。在形成 TSV 孔 401 前, 可以执行将衬底 101 的背面 104 地毯式地除去以使衬底 101 变薄的工艺。

[0216] 参考图 9G 和图 15D, 制造根据本发明构思的本实施例的半导体器件的方法可以包括在 TSV 孔 401 的内壁和底部上共形地形成 TSV 衬垫 430 (操作 S308)。

[0217] 参考图 9G 和图 15E, 制造根据本发明构思的本实施例的半导体器件的方法可以包括将在 TSV 孔 401 的底部形成的 TSV 衬垫 430 除去(操作 S310)。在此工艺期间, 可以将 TSV 孔掩膜图案 450 变薄或除去。本实施例描述了将 TSV 孔掩膜图案 450 变薄的示例性情况。

[0218] 参考图 9G 和图 15F, 制造根据本发明构思的本实施例的半导体器件的方法可以包括在 TSV 衬垫 430 上共形地形成 TSV 阻挡层 420 和 TSV 种子层 425 (操作 S312)。

[0219] 参考图 9G 和图 15G, 制造根据本发明构思的本实施例的半导体器件的方法可以包括形成 TSV 芯材料层 410ml 以填充 TSV 孔 401 (操作 S314)。

[0220] 参考图 9G 和图 15H, 制造根据本发明构思的本实施例的半导体器件的方法可以包括形成 TSV 结构 400 (操作 S316)。形成 TSV 结构 400 可以包括使用 CMP 工艺和 / 或回蚀工艺来将在衬底 101 的背面 104 上形成的 TSV 芯材料层 410ml、TSV 种子层 425、TSV 阻挡层 420、TSV 衬垫 430 和 / 或 TSV 孔掩膜图案 450 除去。

[0221] 参考图 9G 和图 15I, 制造根据本发明构思的该实施例的半导体器件的方法可以包括将衬底 101 的背面 104 地毯式地和 / 或选择性地除去以使 TSV 结构 400 的一部分暴露(操作 S318)。TSV 阻挡层 420 可以暴露在 TSV 结构 400 的顶部表面上。

[0222] 参考图 9G 和图 15J, 制造根据本发明构思的本实施例的半导体器件的方法可以包括形成背面绝缘层 285 以覆盖暴露的 TSV 结构 400 (操作 S320)。例如, 可以在衬底 101 和背面绝缘层 285 之间插入氧化硅。

[0223] 参考图 9G 和图 15K, 制造根据本发明构思的本实施例的半导体器件的方法可以包括在背面绝缘层 285 中形成槽 550 (操作 S322)。在此工艺期间, 可以除去暴露的 TSV 衬垫 430。

[0224] 参考图 9G 和图 15L, 制造根据本发明构思的本实施例的半导体器件的方法可以包括在再分布槽 551 内形成再分布阻挡层 520 和再分布种子层 530 (操作 S324)。再分布阻挡层 520 和再分布种子层 530 可以共形地形成在再分布槽 551 的底部表面和内壁以及暴露的 TSV 结构 400 上。

[0225] 参考图 9H 和图 15M, 制造根据本发明构思的本实施例的半导体器件的方法可以包括: 通过执行参考图 10R 至图 10X 来描述的各工艺来形成再分布互连材料层 510a (操作 S326); 形成再分布结构 500 (操作 S328); 形成具有下背面 I/O 焊盘开口 611 以使再分布

互连 510 的表面部分暴露的背面钝化层 275 (操作 S330);在下背面 I/O 焊盘开口 611 内和 / 或在背面钝化层 275 上,形成背面 I/O 焊盘阻挡层 620 和背面 I/O 焊盘种子层 630 (操作 S332);在背面 I/O 焊盘阻挡层 620 和背面 I/O 焊盘种子层 630 上,形成背面 I/O 焊盘掩膜图案 640 (操作 S334);形成初步的背面 I/O 焊盘 600p (操作 S336);以及形成背面 I/O 焊盘 600 (操作 S338)。

[0226] 图 16A 至图 16K 是示出了制造根据本发明构思的另一个实施例的半导体器件的方法的纵截面图。

[0227] 参考图 16A 并且还参考图 9G、图 15A 和图 15B,制造根据本发明构思的该实施例的半导体器件的方法可以包括:在衬底 101 上形成内部电路 230 和正面 I/O 焊盘 300 (操作 S302);将衬底 101 颠倒过来并且将衬底 101 安装在晶圆支撑载体 WSC 上(操作 S304);以及在衬底 101 的背面 104 上形成 TSV 孔掩膜图案 450(操作 S306)。TSV 孔掩膜图案 450 可以形成为多层类型。例如,TSV 孔掩膜图案 450 可以包括包含氧化硅的下 TSV 孔掩膜图案 451 和包含氮化硅的上 TSV 孔掩膜图案 452。

[0228] 参考图 9I 和图 16B,制造根据本发明构思的本实施例的半导体器件的方法可以包括形成 TSV 孔 401 (操作 S408)。

[0229] 参考图 9I 和图 16C,制造根据本发明构思的本实施例的半导体器件的方法可以包括在 TSV 孔 401 的内壁上共形地形成 TSV 衬垫 430 (操作 S410)。

[0230] 参考图 9I 和图 16D,制造根据本发明构思的本实施例的半导体器件的方法可以包括将布置在 TSV 孔 401 的底部表面上的 TSV 衬垫 430 部分地除去(操作 S412)。在此工艺期间,还可以将在 TSV 孔掩膜图案 450 上形成的 TSV 衬垫 430 除去。

[0231] 参考图 9I 和图 16E,制造根据本发明构思的本实施例的半导体器件的方法可以包括在 TSV 衬垫 430 上共形地形成 TSV 阻挡层 420 和 TSV 种子层 425 (操作 S414)。

[0232] 参考图 9I 和图 16F,制造根据本发明构思的本实施例的半导体器件的方法可以包括形成 TSV 芯材料层 410ml 以填充 TSV 孔 401 (操作 S416)。在图 16F 中,省略了 TSV 种子层 425 和 TSV 芯材料层 410ml 之间的边界。

[0233] 参考图 9I 和图 16G,制造根据本发明构思的本实施例的半导体器件的方法可以包括形成 TSV 结构 400 (操作 S418)。形成 TSV 结构 400 可以包括使用 CMP 工艺和 / 或蚀刻工艺来将在上 TSV 孔掩膜图案 452 上形成的 TSV 芯材料层 410ml 和 TSV 阻挡层 420 除去。

[0234] 参考图 9I 和图 16H,制造根据本发明构思的本实施例的半导体器件的方法可以包括形成背面绝缘层 285 以覆盖暴露的 TSV 结构 400 (操作 S420)。当背面绝缘层 285 和上 TSV 孔掩膜图案 452 包括相同的材料时,其间的边界可以消失。

[0235] 参考图 9I 和图 16I,制造根据本发明构思的本实施例的半导体器件的方法可以包括在背面绝缘层 285 中形成槽 550 (操作 S422)。槽 550 可以包括再分布槽 551 和对准标记槽 552。再分布槽 551 可以使 TSV 结构 400 的一端暴露。在此工艺期间,可以将在 TSV 结构 400 的暴露的表面上形成的 TSV 衬垫 430 除去。例如,TSV 阻挡层 420 可以暴露在再分布槽 551 内。

[0236] 参考图 9I 和图 16J,制造根据本发明构思的该实施例的半导体器件的方法可以包括在背面绝缘层 285 上形成再分布阻挡层 520 和再分布种子层 530 (操作 S424)。再分布阻挡层 520 和再分布种子层 530 可以共形地形成在再分布槽 551 的底部表面和内壁以及暴

露的 TSV 结构 400 上。

[0237] 参考图 9J 和图 16K, 制造根据本发明构思的本实施例的半导体器件的方法可以包括: 通过执行参考图 9L 和图 10R 至图 10X 来描述的各工艺来形成再分布互连材料层 510a (操作 S426); 形成再分布结构 500 (操作 S428); 形成具有下背面 I/O 焊盘开口 611 以使再分布互连 510 的表面部分暴露的背面钝化层 275 (操作 S430); 在下背面 I/O 焊盘开口 611 内和 / 或在背面钝化层 275 上, 形成背面 I/O 焊盘阻挡层 620 和背面 I/O 焊盘种子层 630 (操作 S432); 在背面 I/O 焊盘阻挡层 620 和背面 I/O 焊盘种子层 630 上, 形成背面 I/O 焊盘掩膜图案 640 (操作 S434); 形成初步的背面 I/O 焊盘 600p (操作 S436); 以及形成背面 I/O 焊盘 600 (操作 S438)。没有示出再分布互连 510 和再分布种子层 530 之间的边界。例如, 可以形成图 8R 所示的半导体器件 100R。

[0238] 制造根据本发明构思的各个实施例的各半导体器件的各方法可以包括使用大马士革工艺来形成再分布结构 500。因此, 再分布阻挡层 520 可以完全包围再分布互连 510 的底部表面和侧表面。例如, 当使用湿法蚀刻工艺或选择性蚀刻工艺来除去再分布阻挡层 520 时, 再分布阻挡层 520 可能不完全包围再分布互连 510 的底部或侧表面, 因而引起物理的和 / 或电的不稳定。代替光刻和蚀刻工艺, 制造根据本发明构思的各个实施例的各半导体器件的各方法可以采用 CMP 工艺。因此, TSV 结构 400 的节距和再分布结构 500 的节距可以变得更微小和更复杂。在制造根据本发明构思的各个实施例的各半导体器件的各方法的每一个方法中, TSV 结构 400 可以突出至再分布结构 500 中。例如, TSV 结构 400 可以插入再分布结构 500 中。因此, TSV 结构 400 与再分布结构 500 之间的接触面积可以增加, 使得 TSV 结构 400 与再分布结构 500 之间的薄层电阻可以减小。而且, 由于再分布结构 500 可以由 TSV 结构 400 进行物理固定, 因此可以防止由浮动现象引起的各组件的接触故障或分离。在制造根据本发明构思的各个实施例的各半导体器件的各方法中, 可以同时形成再分布结构 500 和对准标记结构 560。形成对准标记结构 560 的附加工艺可以省略。再分布槽 551 和对准标记槽 552 可以同时形成至相同的深度。再分布阻挡层 520 和对准标记阻挡层 570 可以由相同的材料同时形成。再分布互连 510 和对准标记图案 580 可以由相同的材料同时形成。因此, 可以简化用于形成半导体器件的工艺, 以提高生产力和降低制造成本。

[0239] 图 17A 至图 17D 是根据本发明构思的各个实施例的半导体器件的层叠结构 1000A 至 1000D 的概念纵截面图。

[0240] 参考图 17A, 根据本发明构思的一个实施例的半导体器件的层叠结构 1000A 可以包括下半导体器件 1100 和上半导体器件 1200。可以通过使用凸块 1010 来将下半导体器件 1100 的正面 I/O 焊盘 1130 和上半导体器件 1200 的背面 I/O 焊盘 1260 彼此电连接。例如, 可以获得半导体器件层叠结构 1000A, 其中下半导体器件 1100 的正面 I/O 焊盘 1130 和上半导体器件 1200 的背面 I/O 焊盘 1260 可以电连接。凸块 1010 可以包括焊接材料。例如, 凸块 1010 可以包括锡 (Sn)、银 (Ag) 和铜 (Cu)。凸块 1010 还可以包括镍 (Ni)。下半导体器件 1100 和上半导体器件 1200 可以具有相同的结构。例如, 正面 I/O 焊盘 1130 和背面 I/O 焊盘 1260 可以彼此垂直对准。

[0241] 参考图 17B, 根据本发明构思的另一个实施例的半导体器件的层叠结构 1000B 可以包括顺序层叠的多个半导体器件 1100、1200、1300 和 1400。例如, 层叠结构 1000B 可以包括相同结构的多个半导体器件 1100、1200、1300 和 1400。正面 I/O 焊盘 1130、1230、1330 和



1430 以及背面 I/O 焊盘 1160、1260、1360 和 1460 可以相互垂直对准。半导体器件的层叠结构 1000B 可以包括例如与 2 的幂相等的数量的半导体器件,例如 4、8、16 或 32。正面 I/O 焊盘 1130、1230、1330 和 1430 以及背面 I/O 焊盘 1160、1260、1360 和 1460 的相邻焊盘可以分别通过凸块 1010、1020 和 1030 相互物理和 / 或电气连接。例如,最下面的半导体器件 1100 的正面 I/O 焊盘 1130 可以电连接至最上面的半导体器件 1400 的背面 I/O 焊盘 1460。

[0242] 参考图 17C,根据本发明构思的另一个实施例的半导体器件的层叠结构 1000C 可以包括下半导体器件 1100 和上半导体器件 1200。例如,下半导体器件 1100 可以包括逻辑器件,上半导体器件 1200 可以包括存储器件。例如,下半导体器件 1100 的正面 I/O 焊盘 1130 可以物理和 / 或电气连接至上半导体器件 1200 的背面 I/O 焊盘 1260。

[0243] 参考图 17D,根据本发明构思的另一个实施例的半导体器件的层叠结构 1000D 可以包括下半导体器件 1500 和多个上半导体器件 1100、1200、1300 和 1400。例如,下半导体器件 1500 可以包括逻辑器件,上半导体器件 1100、1200、1300 和 1400 可以包括存储器件。通过使用凸块 1010、1020、1030 和 1050,半导体器件 1100、1200、1300、1400 和 1500 的正面 I/O 焊盘 1130、1230、1330 和 1530 以及半导体器件 1100、1200、1300 和 1400 的背面 I/O 焊盘 1160、1260、1360 和 1460 可以相互电连接。

[0244] 图 18 是根据本发明构思的实施例的半导体封装件 1600 的概念纵截面图。参考图 18,根据本发明构思的本实施例的半导体封装件 1600 可以包括层叠在封装件衬底 1610 上的多个半导体器件 1100、1200、1300 和 1400。例如,半导体器件 1100、1200、1300 和 1400 中的每一个可以包括闪存器件。通过使用凸块 1060,最下面的半导体器件 1100 的背面 I/O 焊盘 1160 可以电连接至封装件衬底 1610 的凸块连接盘(bumpland) 1630。

[0245] 图 19 是根据本发明构思的实施例的模块 2200 的概念图,模块 2200 包括根据本发明构思的实施例的半导体器件。参考图 19,根据本发明构思的该实施例的模块 2200 可以包括安装在模块衬底 2210 上的半导体封装件 2230。半导体封装件 2230 可以包括根据本发明构思的各个实施例的通孔连接结构 10A 至 10S 或半导体器件 100A 至 100Q 中的至少一个。模块 2200 还可以包括安装在模块衬底 2210 上的微处理器(MP)2220。输入 / 输出(I/O)端子 2240 可以布置在模块衬底 2210 的至少一侧上。

[0246] 图 20 是包括根据本发明构思的各个实施例的通孔连接结构 10A 至 10S 或半导体器件 100A 至 100Q 中的至少一个的电子系统 2300 的概念框图。参考图 20,根据本发明构思的各个实施例的通孔连接结构 10A 至 10S 或半导体器件 100A 至 100Q 可以应用于电子系统 2300。电子系统 2300 可以包括主体 2310、MP 单元 2320、电源 2330、功能单元 2340 和 / 或显示控制单元 2350。主体 2310 可以包括含有印刷电路板(PCB)的系统板或主板。MP 单元 2320、电源 2330、功能单元 2340 和显示控制单元 2350 可以安装在主体 2310 上。可以在主体 2310 的顶部表面上或在主体 2310 的外部布置显示单元 2360。例如,显示单元 2360 可以布置在主体 2310 的表面上,并且显示由显示控制单元 2350 处理的图像。电源 2330 可以从外部电池(未示出)接收预定的电压,将该电压分成具有所需的电压电平的各个电压,并且将各个分压提供给 MP 单元 2320、功能单元 2340 和显示控制单元 2350。MP 单元 2320 可以接收来自电源 2330 的电压,并且控制功能单元 2340 和显示单元 2360。功能单元 2340 可以提供电子系统 2300 的各种功能。例如,当电子系统 2300 是诸如便携式电话之类的移动电子产品时,功能单元 2340 可以包括若干组件,这些组件能够提供无线通信功能,例如,通过

拨号外部设备 2370 或与外部设备 2370 通信,来将图像输出至显示单元 2360 或将声音输出至扬声器。当还安装有照相机时,功能单元 2340 可以用作图像处理器。在应用实施例中,当电子系统 2300 连接至存储卡以增加容量时,功能单元 2340 可以是存储卡控制器。功能单元 2340 可以通过有线或无线通信单元 2380 来向外部设备 2370 发送信号或从外部设备 2370 接收信号。而且,当电子系统 2300 需要通用串行总线(USB)以增加功能时,功能单元 2340 可以用作接口控制器。在功能单元 2340 中,可以包括在本发明构思的各个实施例中描述的通孔连接结构 10A 至 10S 或半导体器件 100A 至 100Q 中的至少一个。

[0247] 图 21 是包括根据本发明构思的各个实施例的通孔连接结构 10A 至 10S 或半导体器件 100A 至 100Q 中的至少一个的电子系统 2400 的概念框图。参考图 21,电子系统 2400 可以包括根据本发明构思的各个实施例的通孔连接结构 10A 至 10S 或半导体器件 100A 至 100Q 中的至少一个。电子系统 2400 可以应用于移动装置或计算机。例如,电子系统 2400 可以包括可通过使用总线 2420 来执行数据通信的存储系统 2412、MP2414、随机存取存储器(RAM) 2416 和用户接口 2418。MP2414 可以对电子系统 2400 进行编程和控制。RAM2416 可以用作 MP2414 的操作存储器。例如,MP2414 或 RAM2416 可以包括根据本发明构思的各实施例的通孔连接结构 10A 至 10S 或半导体器件 100A 至 100Q 中的至少一个。MP2414、RAM2416 和 / 或其它组件可以装配在单个封装件内。用户接口 2418 可以用于将数据输入至电子系统 2400 或从电子系统 2400 输出数据。存储系统 2412 可以存储用于操作 MP2414 的代码、由 MP2414 处理的数据或外部输入数据。存储系统 2412 可以包括控制器和存储器。

[0248] 图 22 是包括根据本发明构思的各实施例的通孔连接结构 10A 至 10S 或半导体器件 100A 至 100Q 中的至少一个的无线移动电话 2500 的示意图。无线移动电话 2500 可以解释为平板个人电脑(PC)。另外,根据本发明构思的各个实施例的各半导体封装件中的至少一个不但可以用于平板 PC,而且可以用于便携式计算机,诸如笔记本电脑、MPEG-1 音频层 3(MP3) 播放器、MP4 播放器、导航装置、固态硬盘(SSD)、台式计算机或用于汽车和家庭用途的电子装置。

[0249] 根据本发明构思的各实施例的各通孔连接结构中的每一个可以包括互连阻挡层,该互连阻挡层被配置为完全包围互连的底部表面和侧表面。因此,可以提高互连和互连阻挡层之间的物理和 / 或电气接触稳定性。由于可以使用 CMP 工艺来平面地形成根据本发明构思的各个实施例的各通孔连接结构,因此通孔结构的节距和互连结构的节距可以变得更微小和更复杂。

[0250] 在根据本发明构思的各实施例的每一个通孔连接结构中,通孔结构可以突出至互连结构内,使得通孔结构和互连结构之间的薄层电阻可以减小。而且,由于互连结构可以由通孔结构进行物理固定,因此可以防止由浮动现象引起的各组件的接触故障或分离。

[0251] 根据本发明构思的各个实施例的每一个半导体器件可以包括再分布阻挡层,该再分布阻挡层被配置为完全包围再分布互连的底部表面和侧表面。因此,可以提高再分布互连和再分布阻挡层之间的物理和 / 或电气接触稳定性。由于可以使用 CMP 工艺来平面地形成根据本发明构思的各个实施例的各半导体器件,因此 TSV 结构的节距和再分布结构的节距可以变得更微小和更精致。

[0252] 在根据本发明构思的各个实施例的每一个半导体器件中,TSV 结构可以突出至再分布结构内,使得 TSV 结构和再分布结构之间的薄层电阻可以减小。而且,由于再分布结

构可以由 TSV 结构进行物理固定,因此可以防止由浮动现象引起的各组件的接触故障或分离。

[0253] 上述内容仅仅是各实施例的说明而不应解释为限于这些实施例。虽然已经描述了若干实施例,但是本领域技术人员将容易理解,在不实质上背离这些新颖教导和优点的情况下可以作出多种变型。因此,如权利要求中所限定的那样,所有这些变型将包括在本发明构思的范围内。在权利要求中,手段加功能从句旨在覆盖作为执行所限定的功能的本申请中所描述的结构,不但覆盖结构等同物而且覆盖等同的结构。

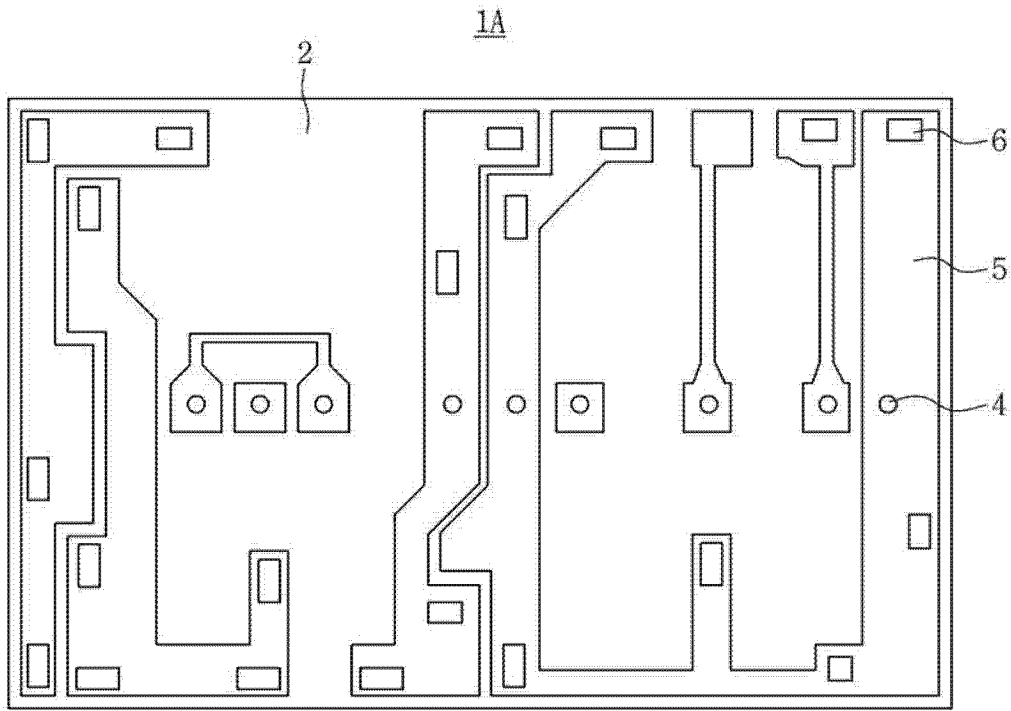


图 1A

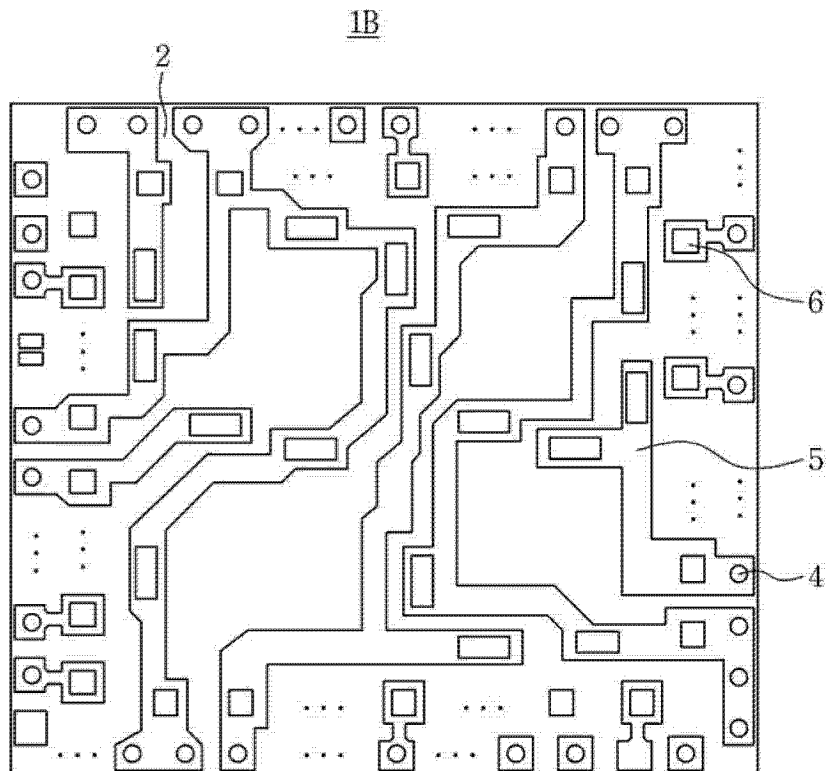


图 1B

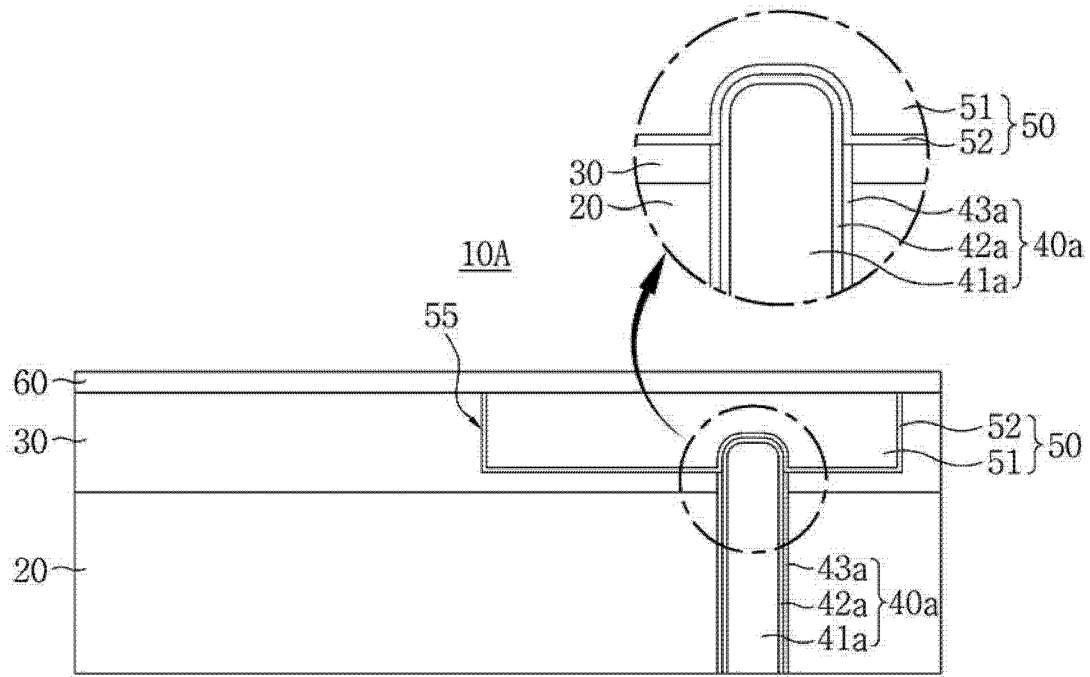


图 2A

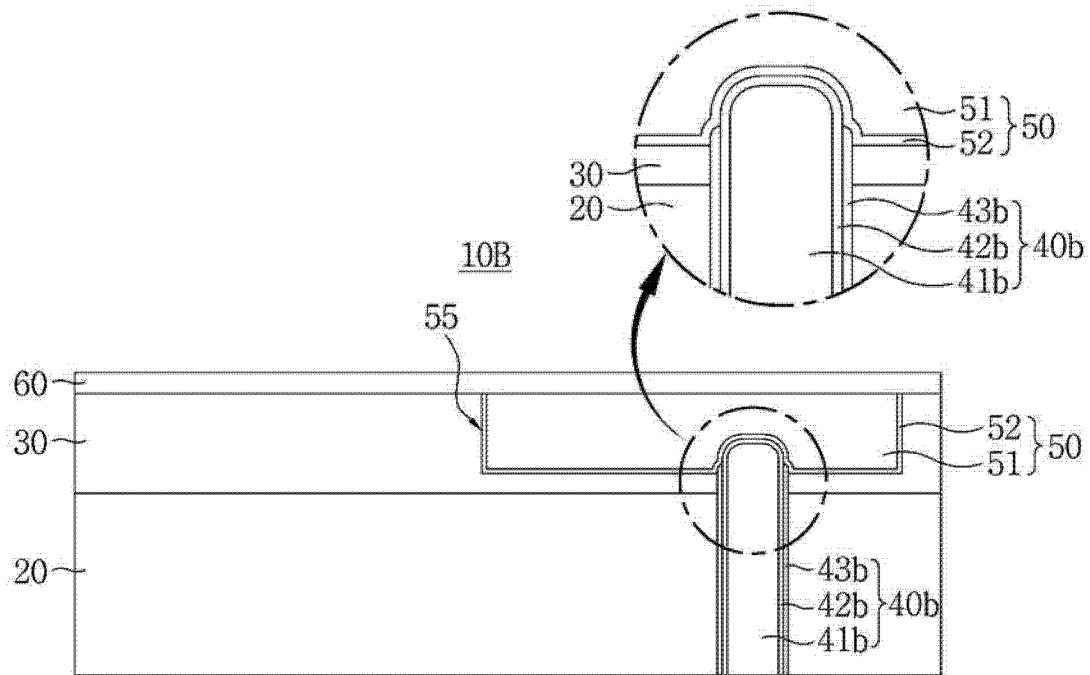


图 2B

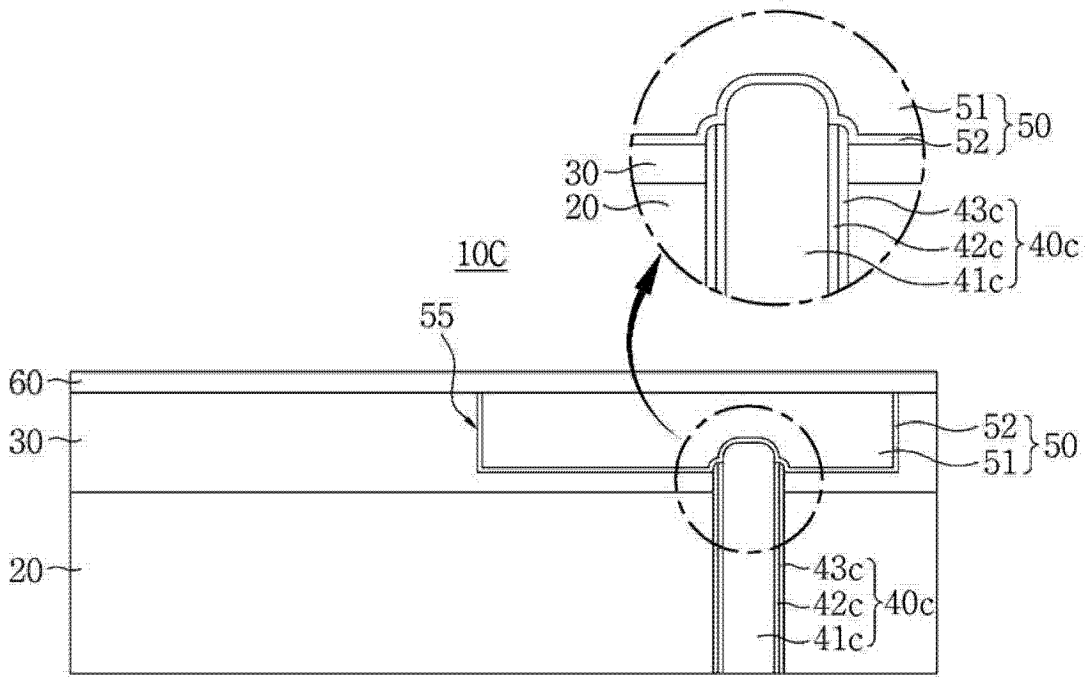


图 2C

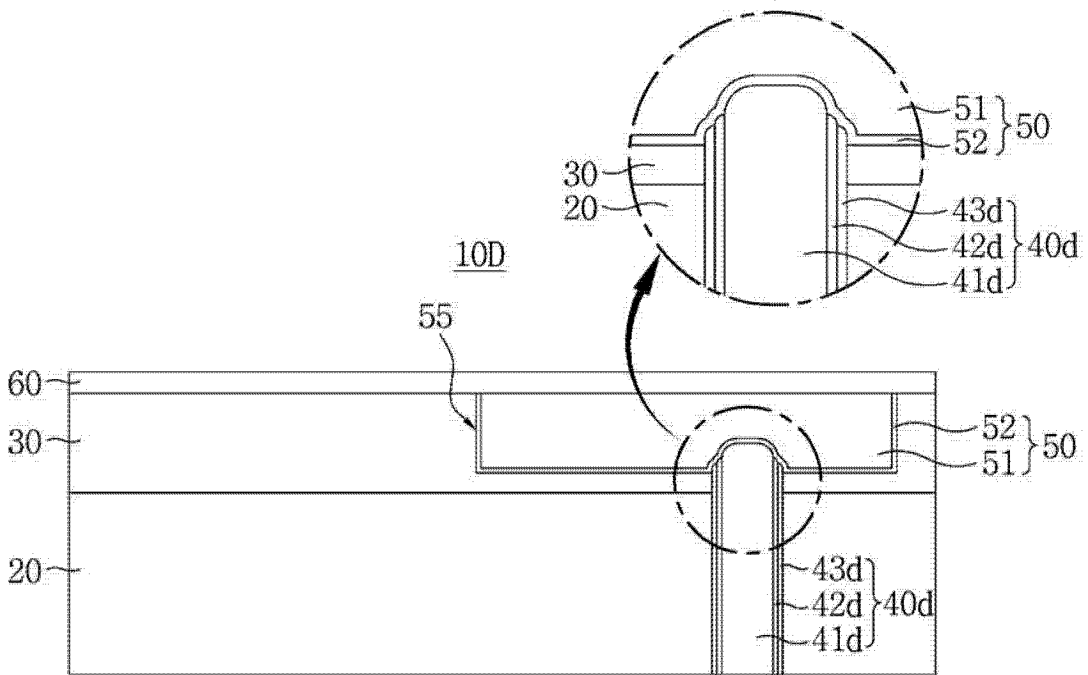


图 2D

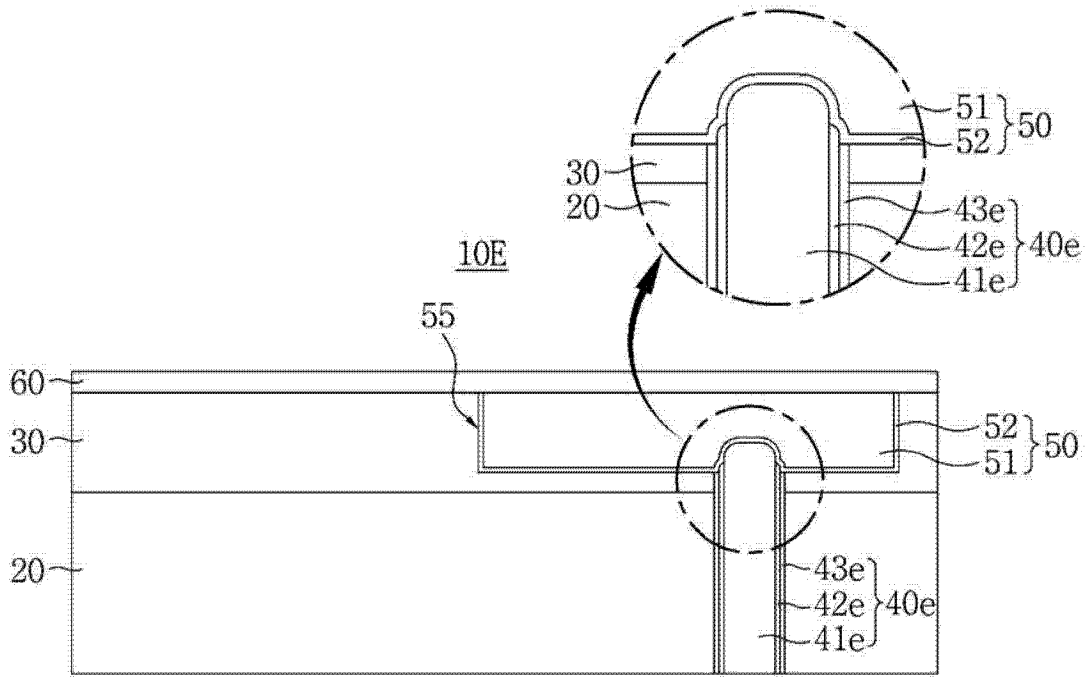


图 2E

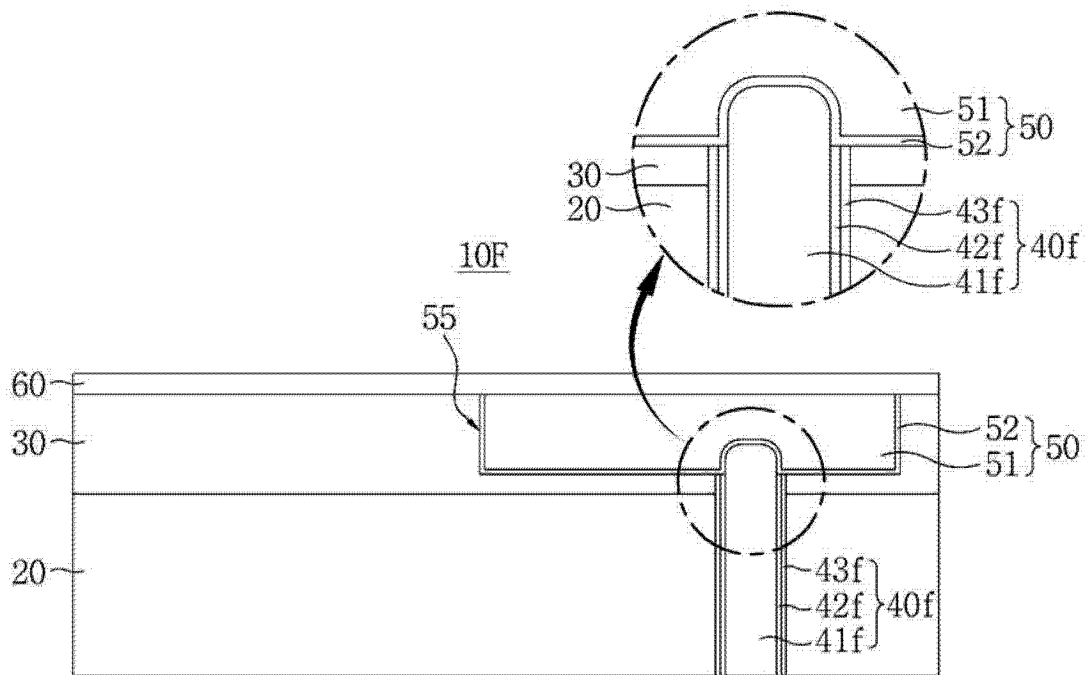


图 2F

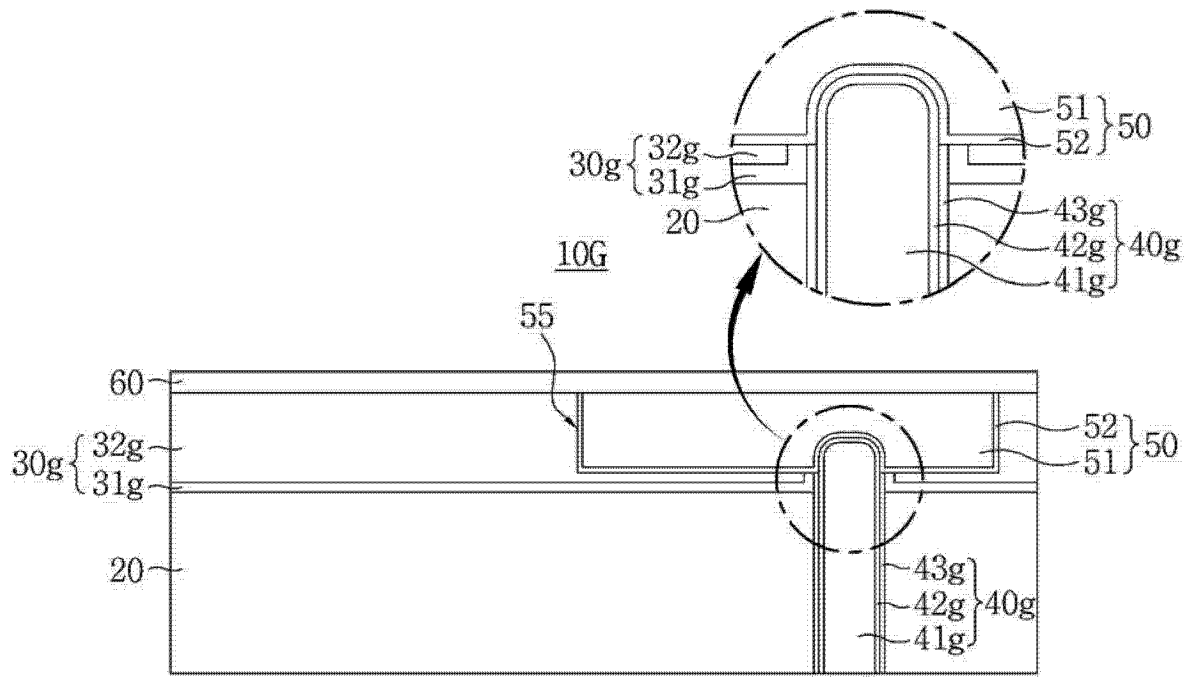


图 2G

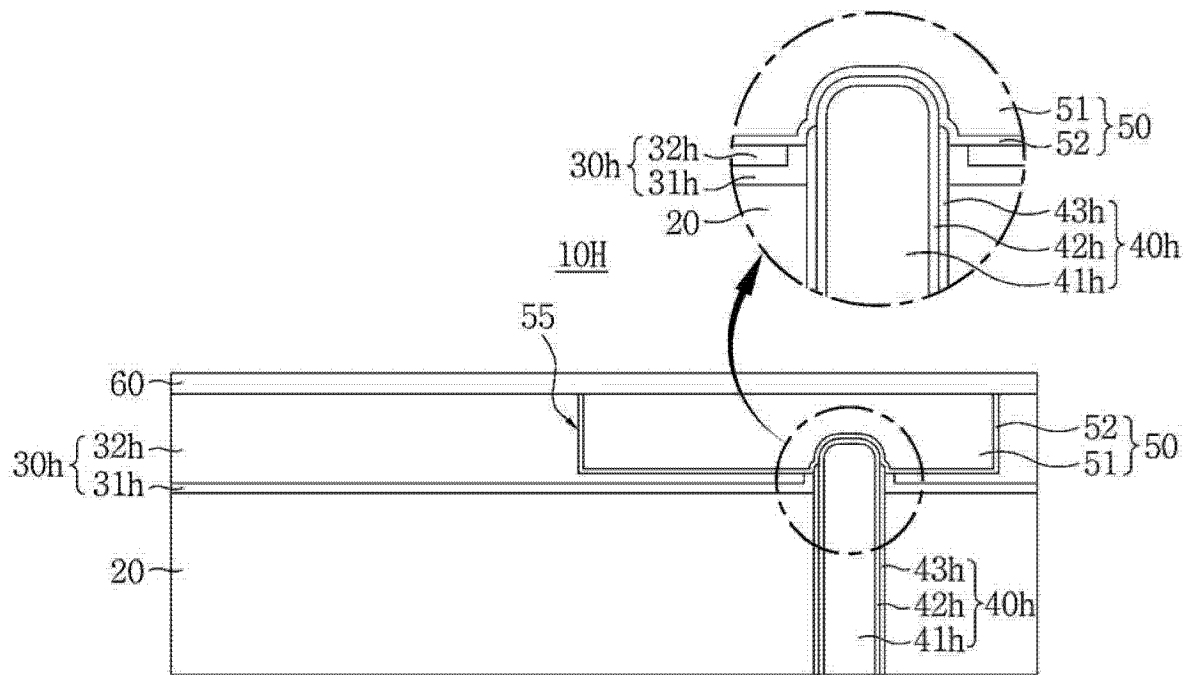


图 2H



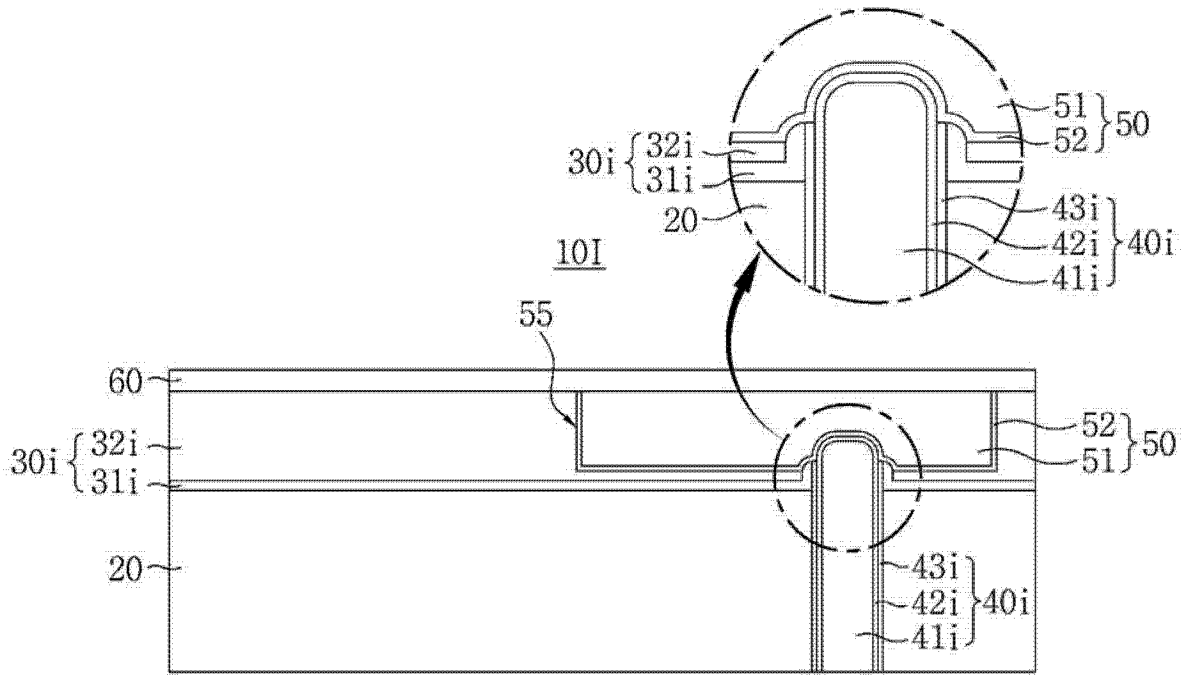


图 2I

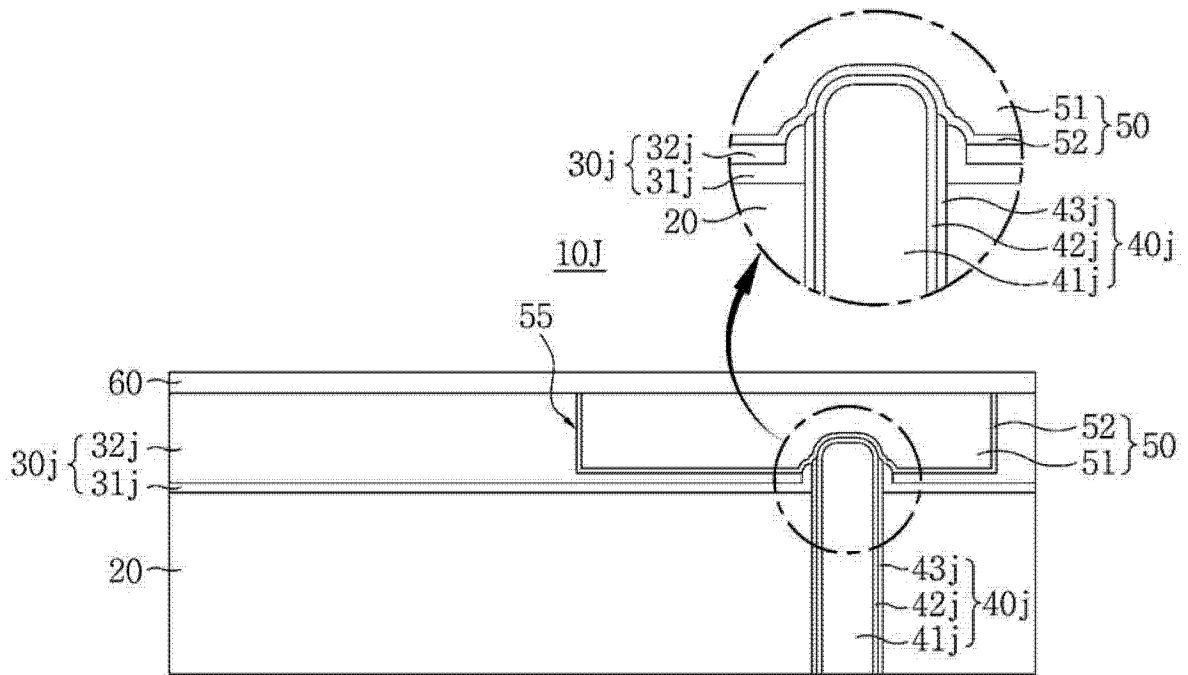


图 2J

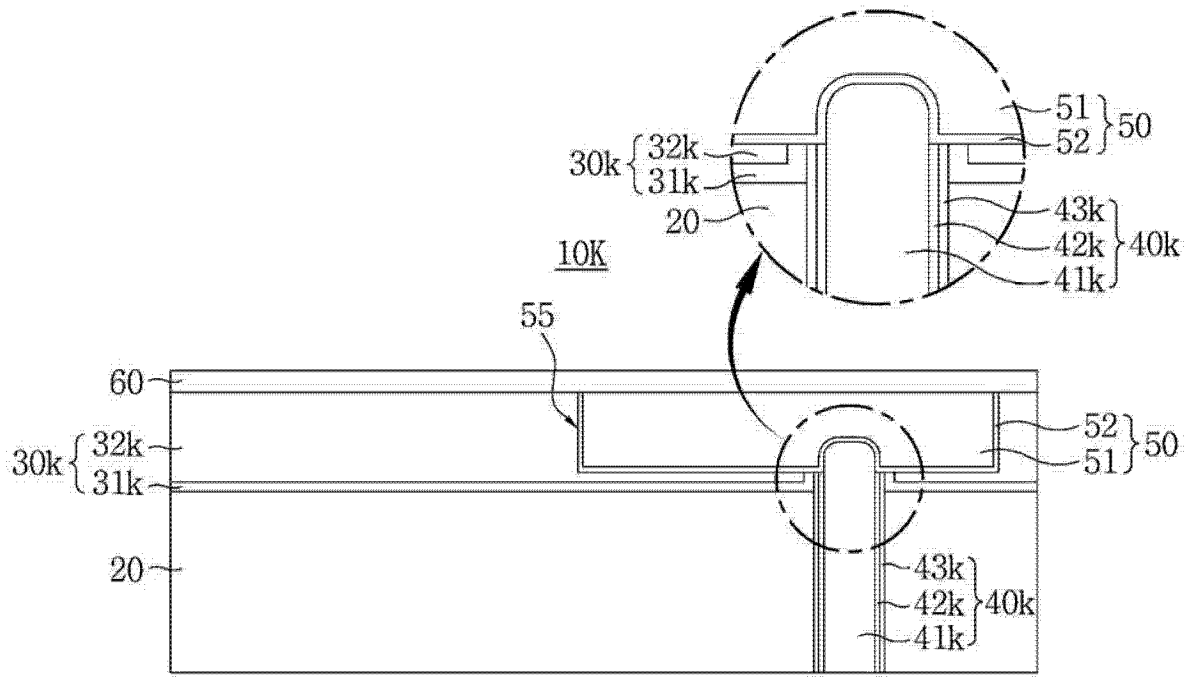


图 2K

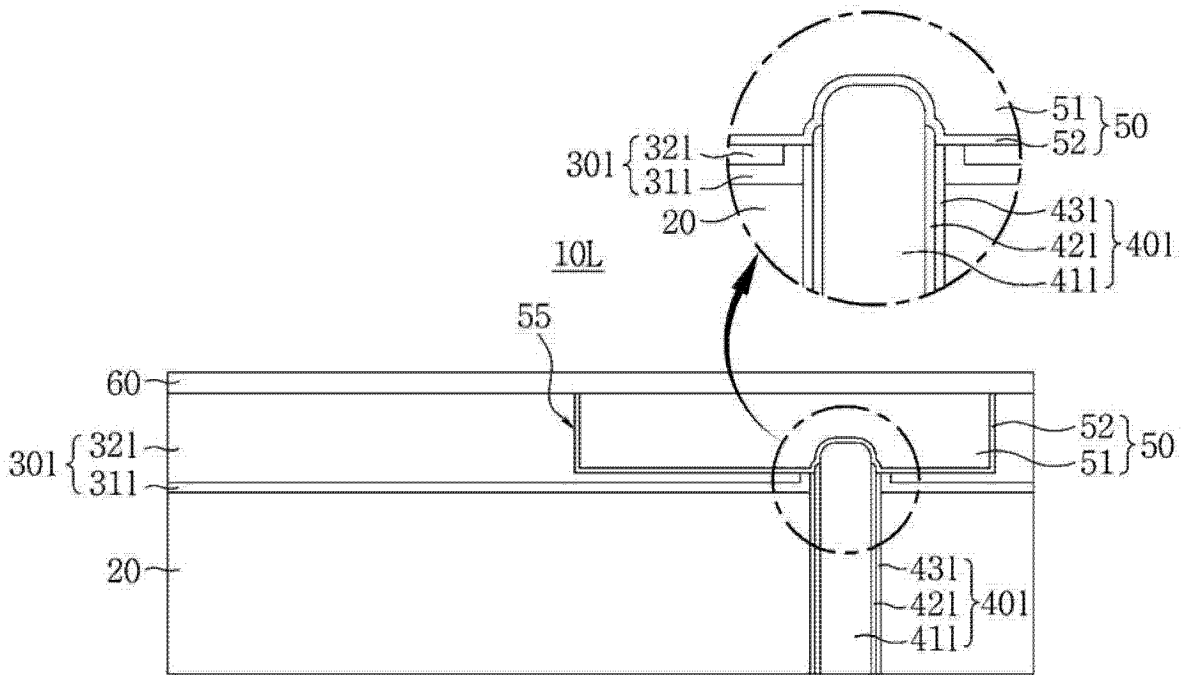


图 2L

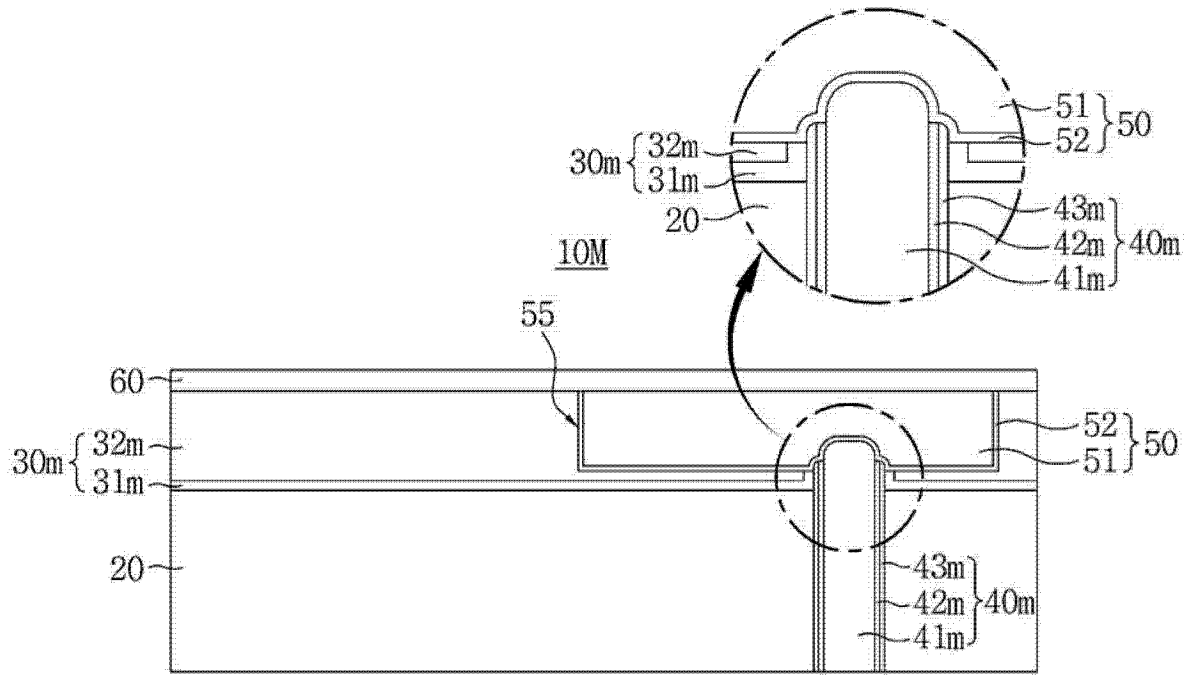


图 2M

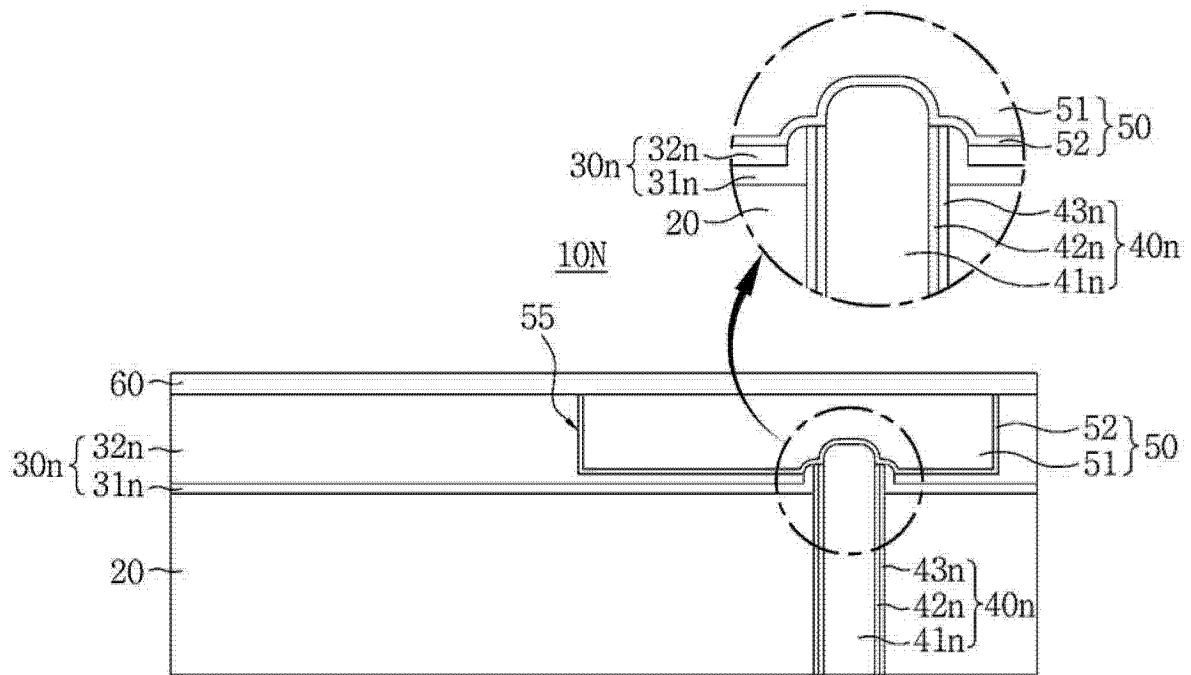


图 2N

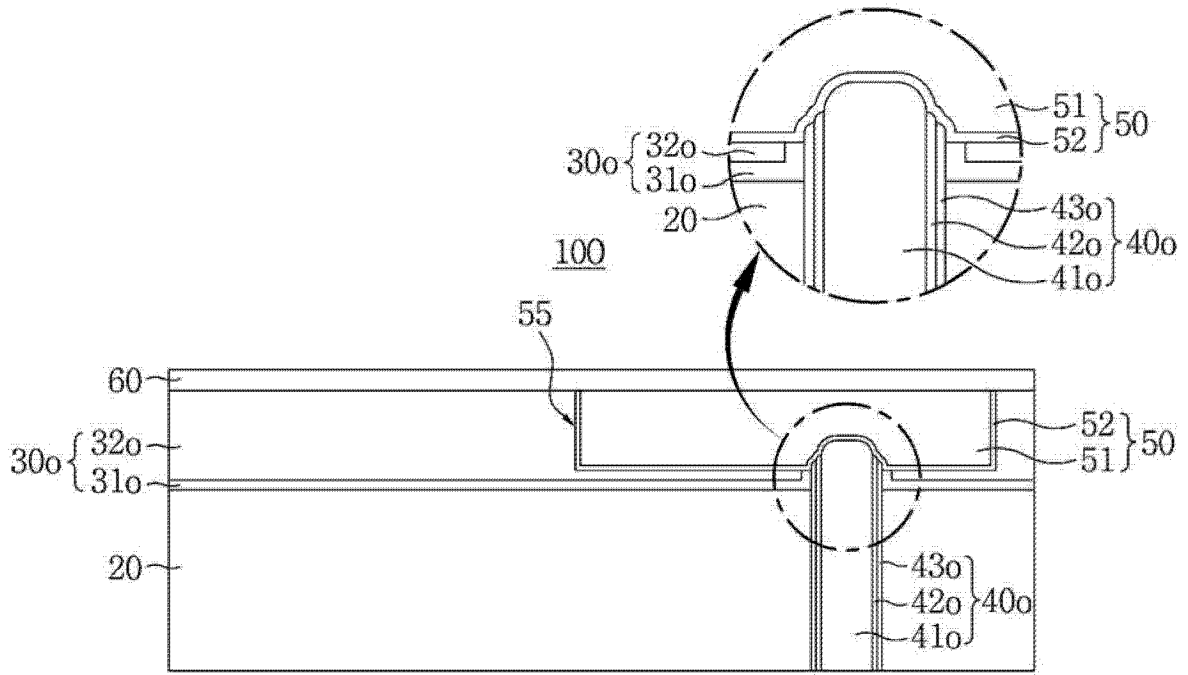


图 20

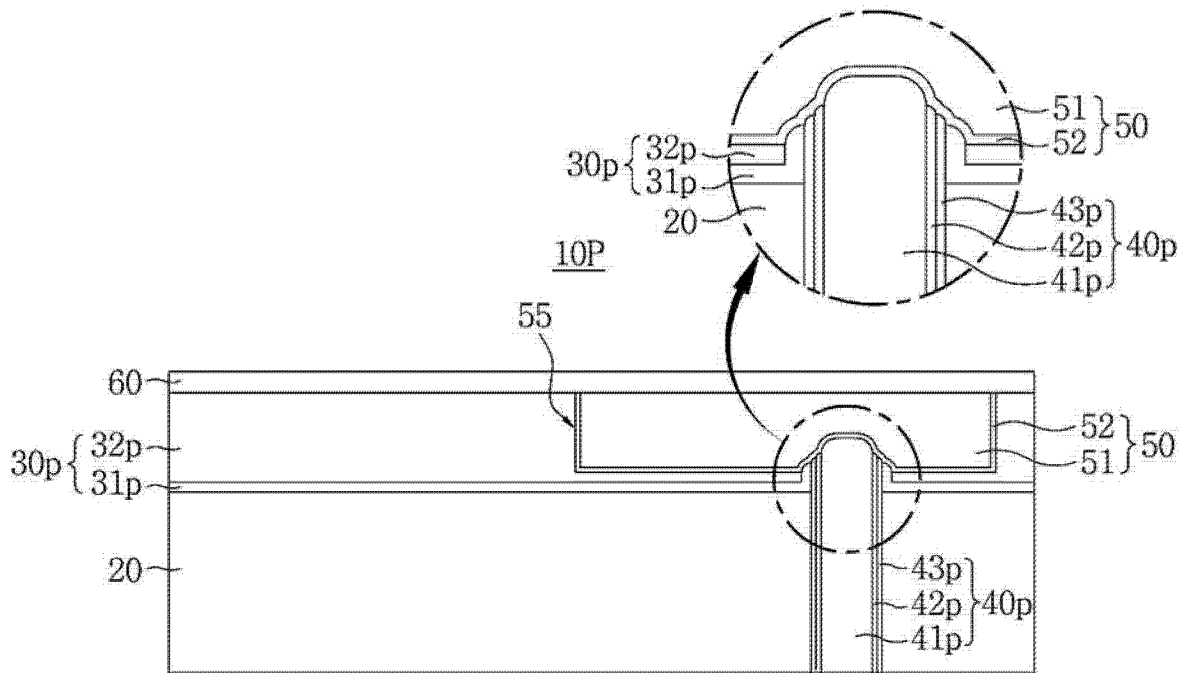


图 2P

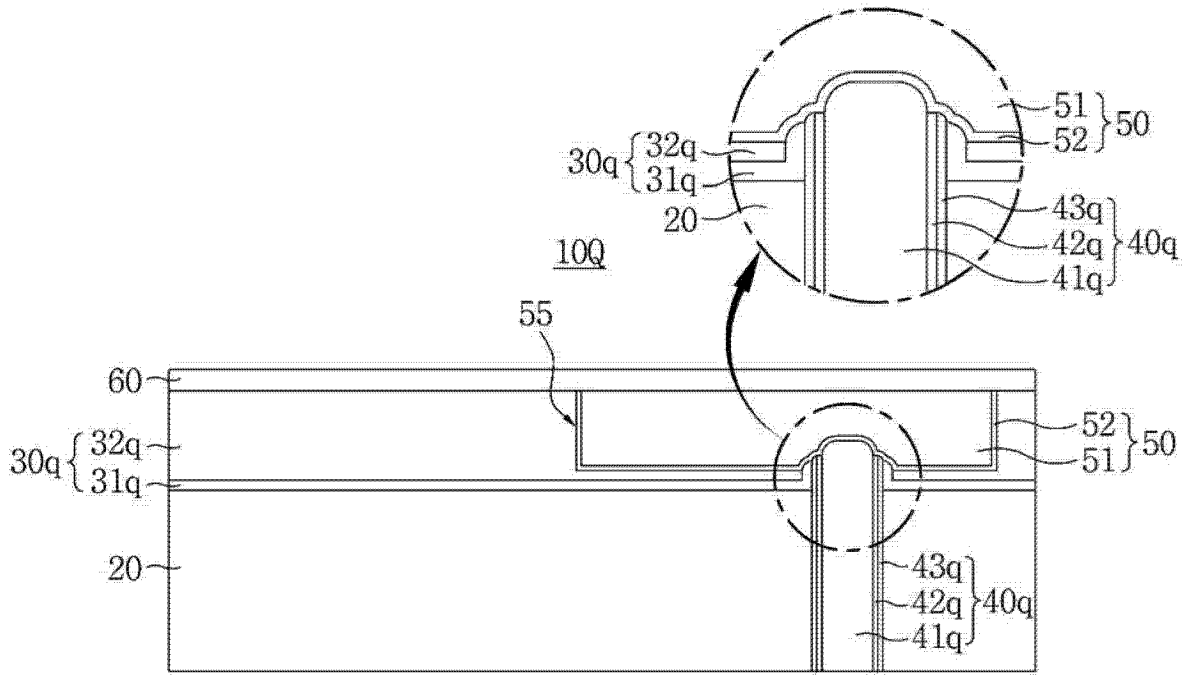


图 2Q

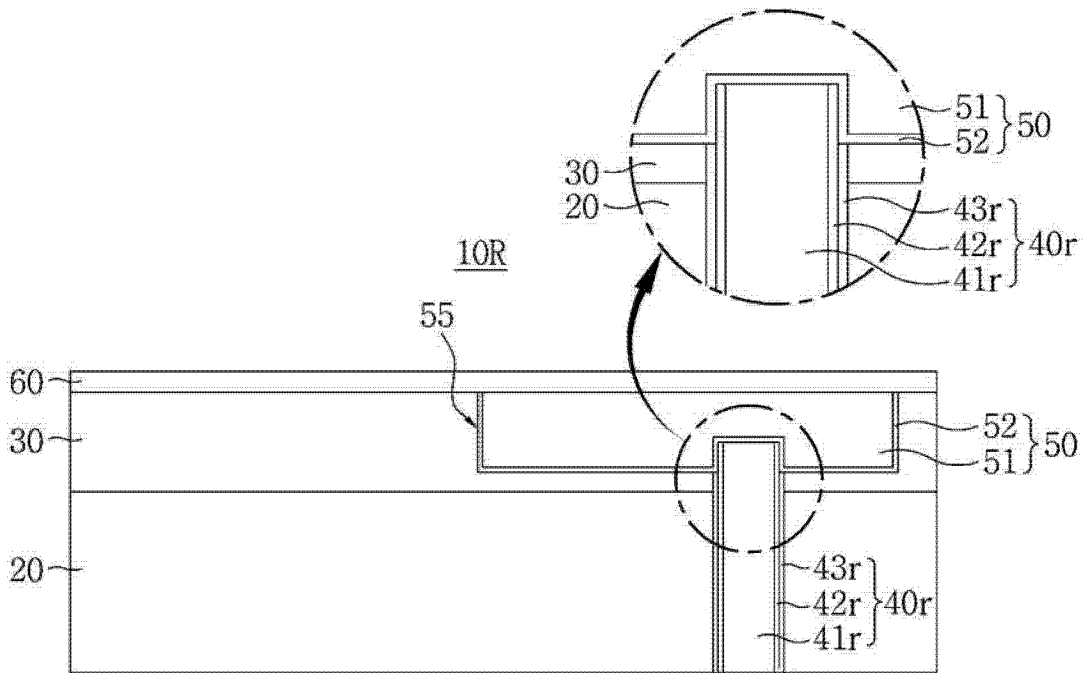


图 2R

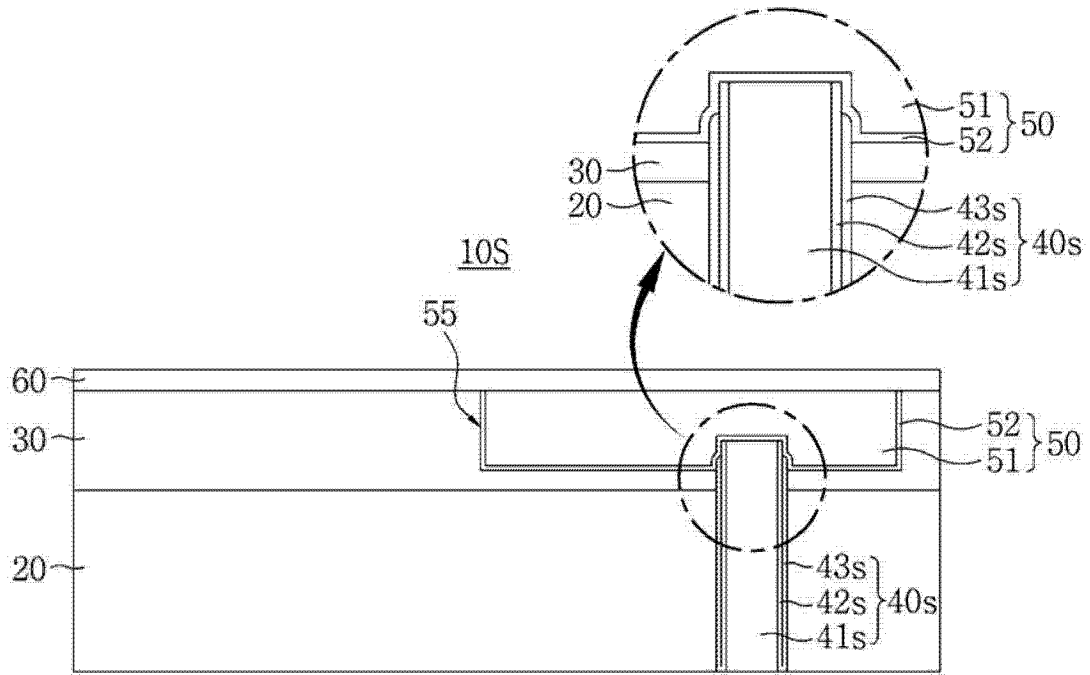


图 2S

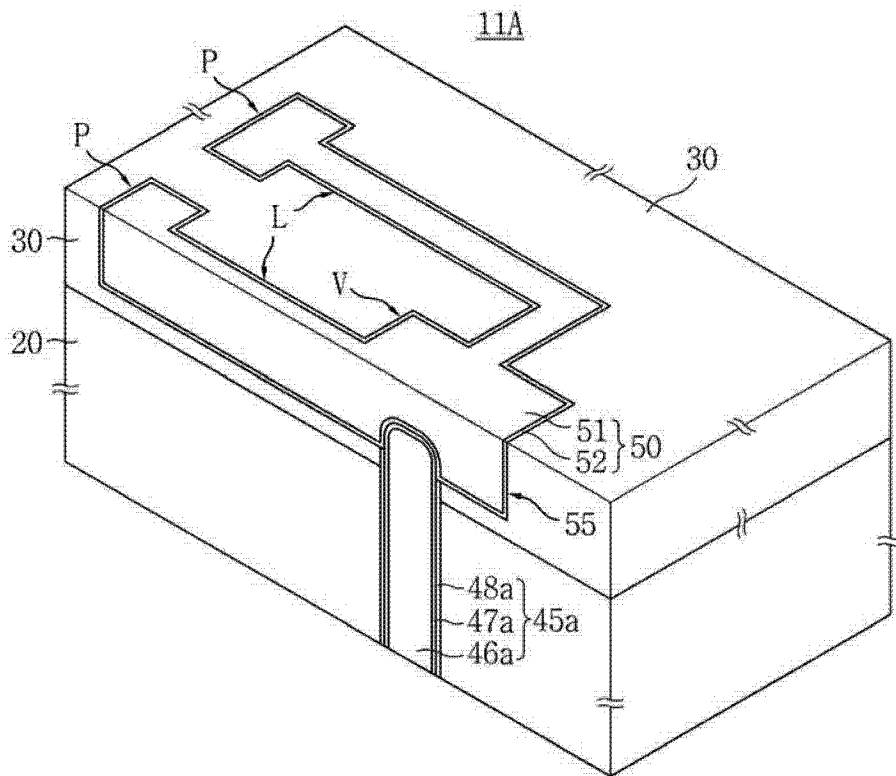


图 3A

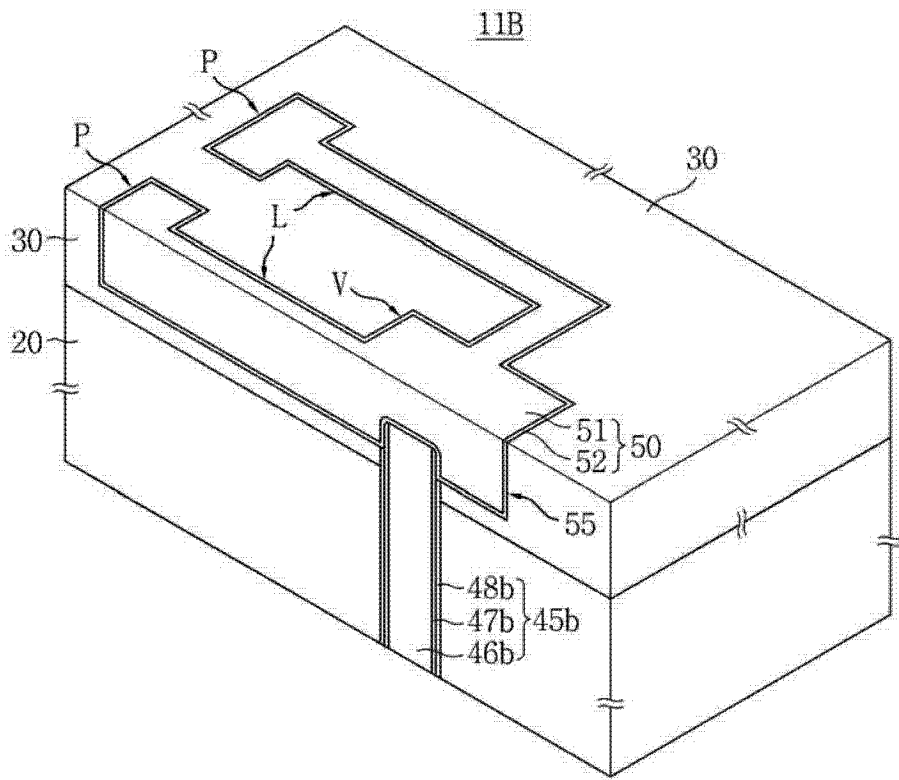


图 3B

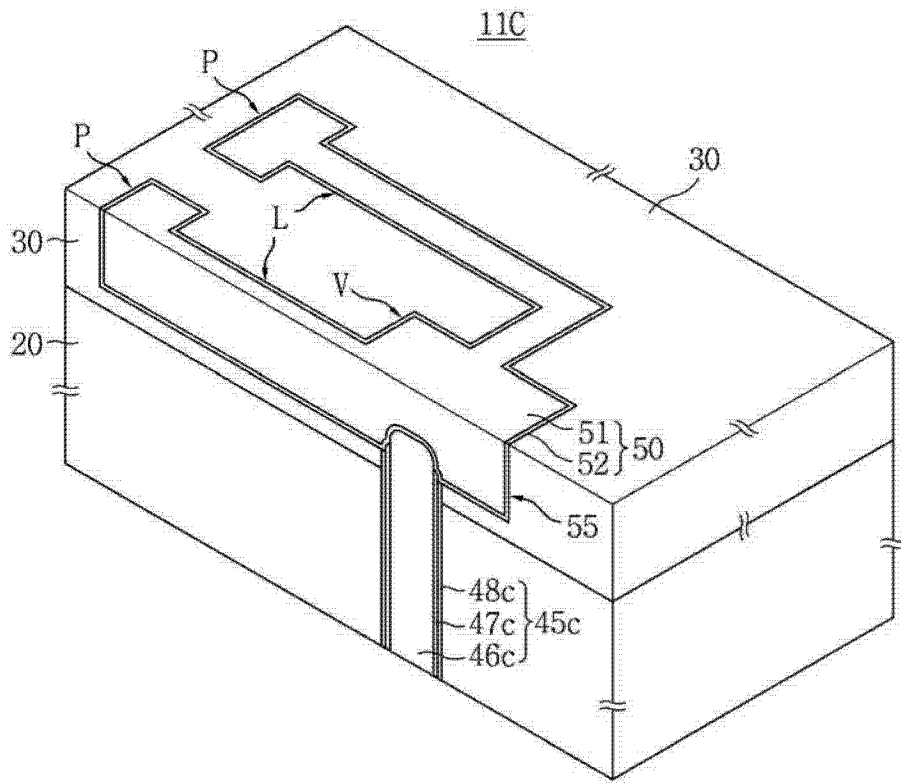


图 3C



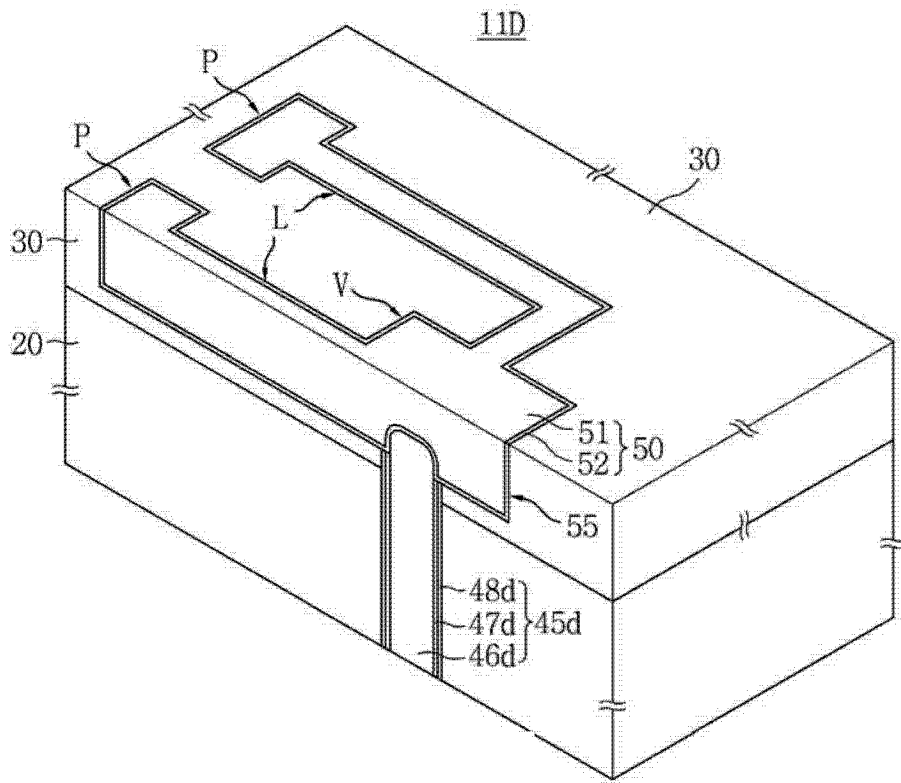


图 3D

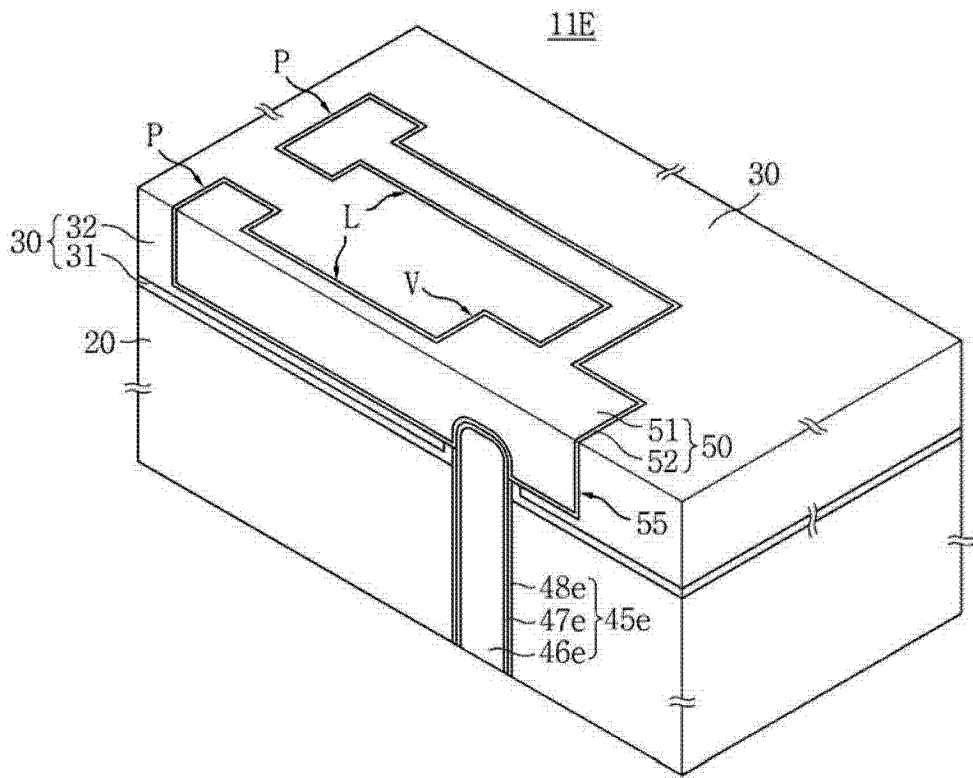


图 3E

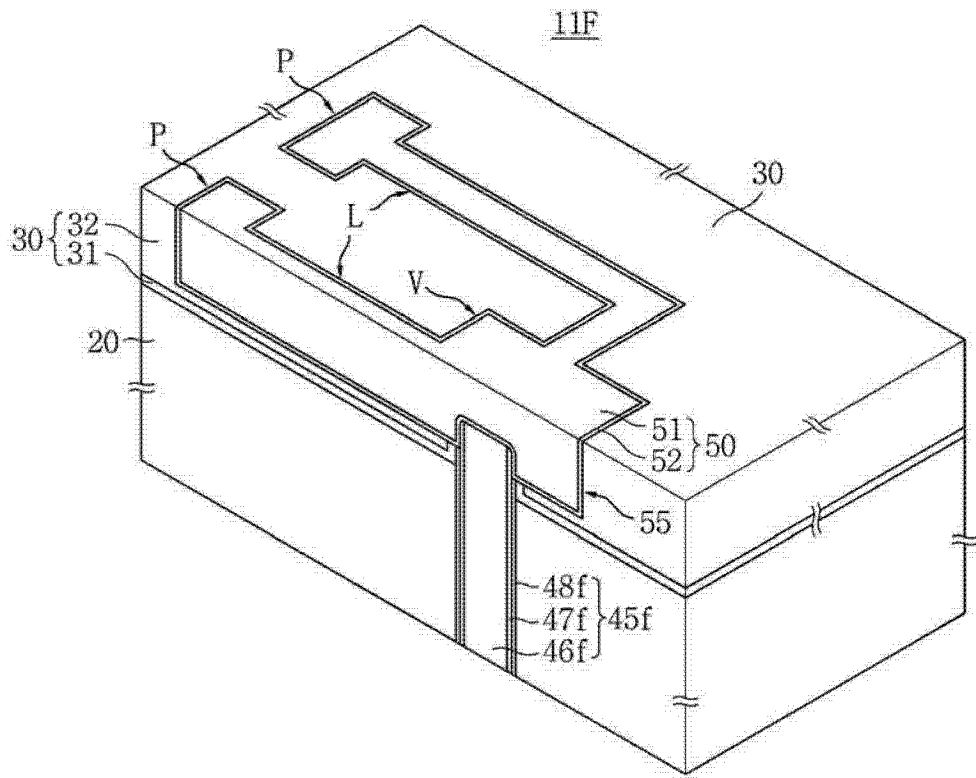


图 3F

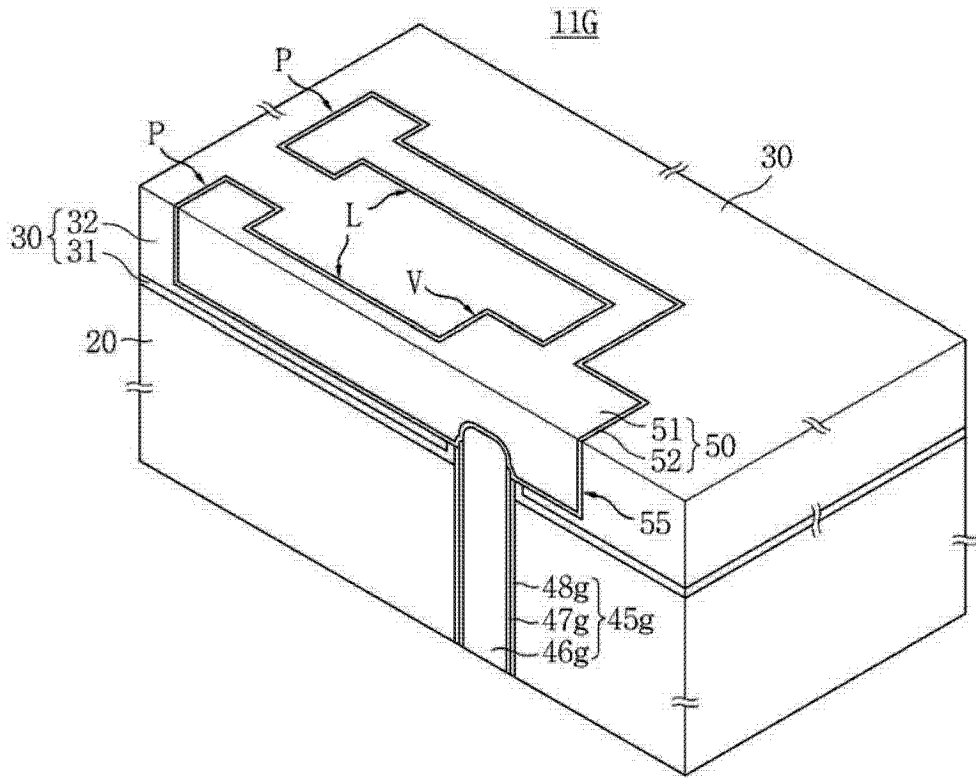


图 3G

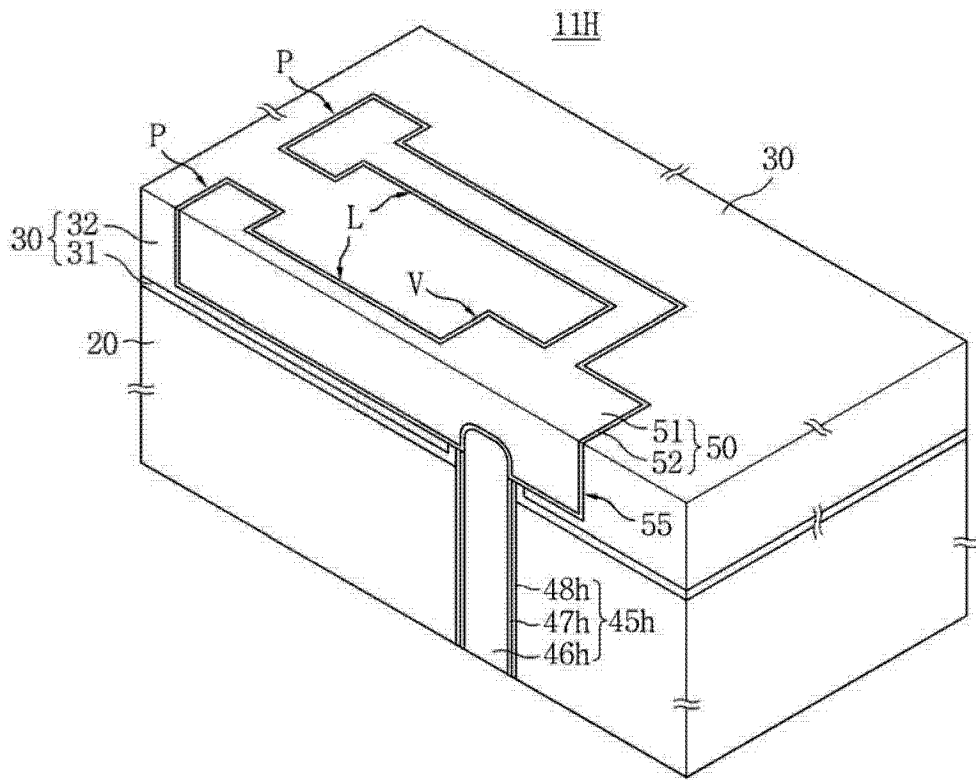


图 3H

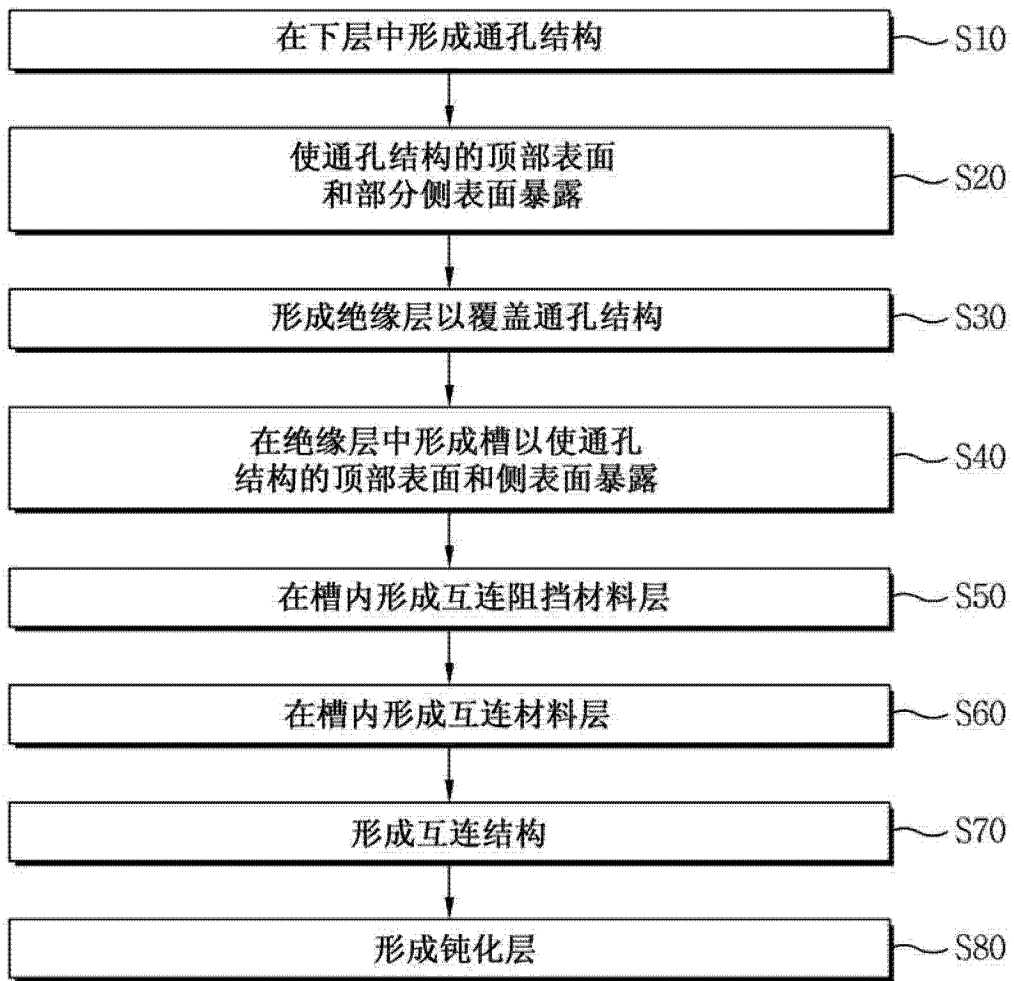


图 4A

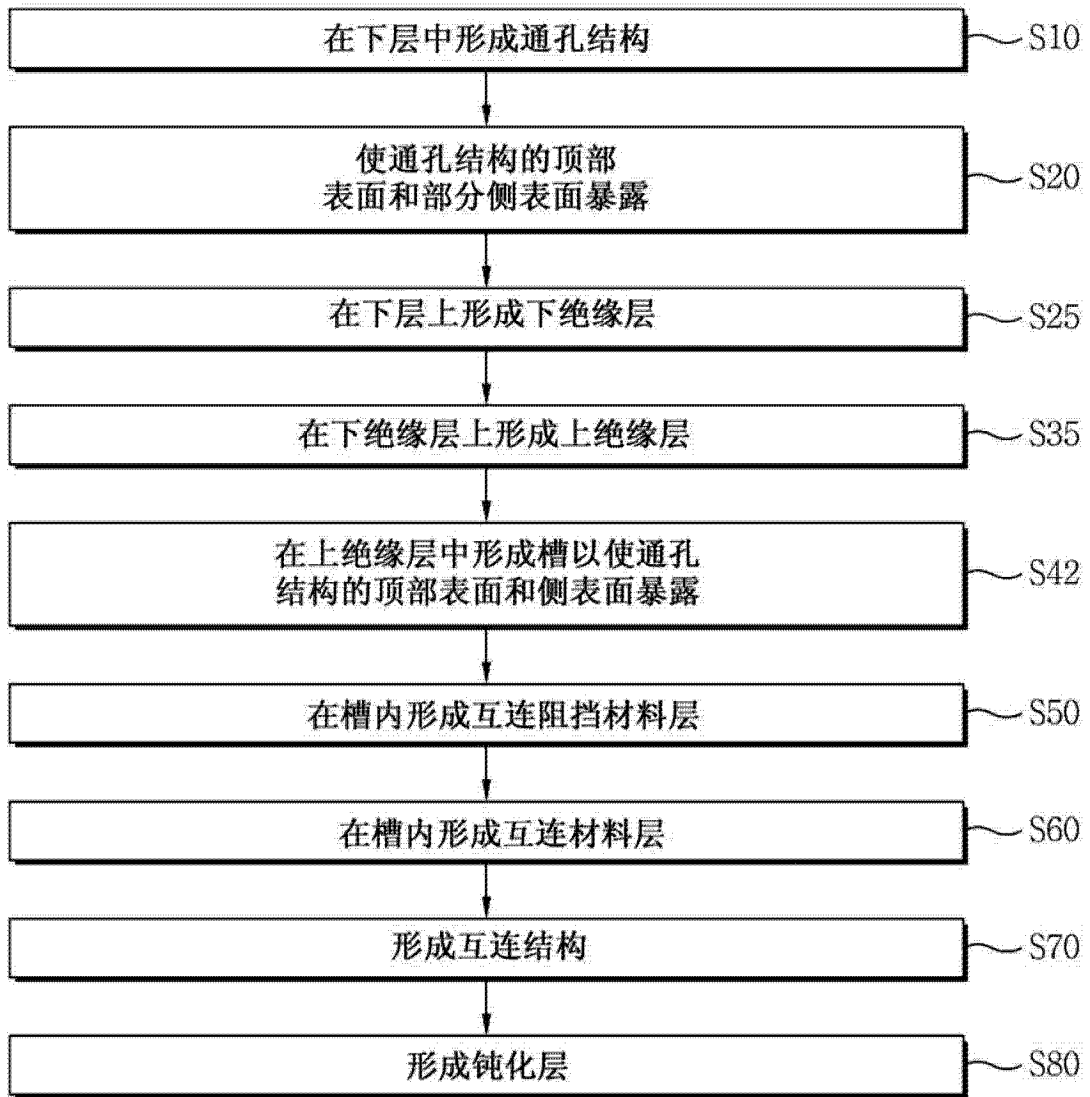


图 4B



图 5A

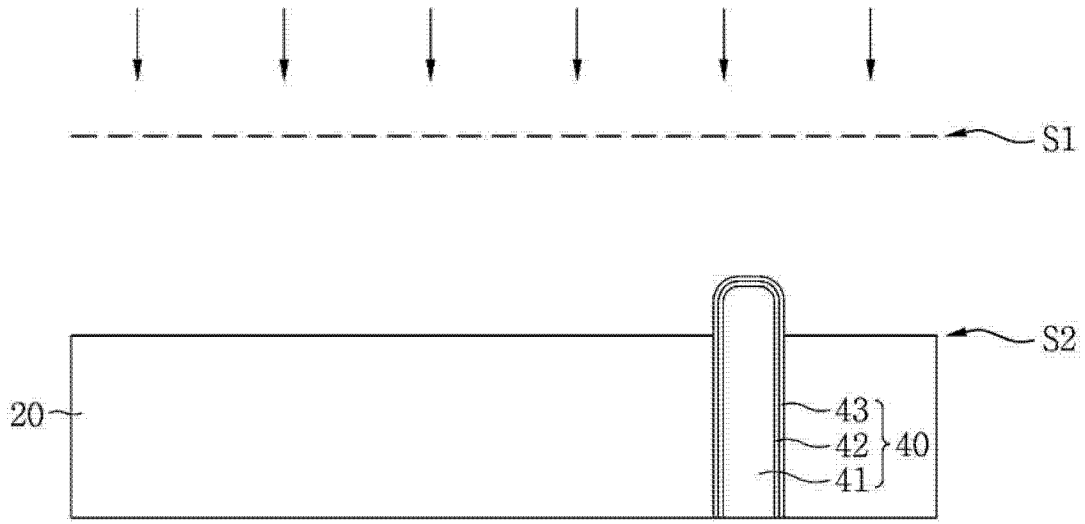


图 5B

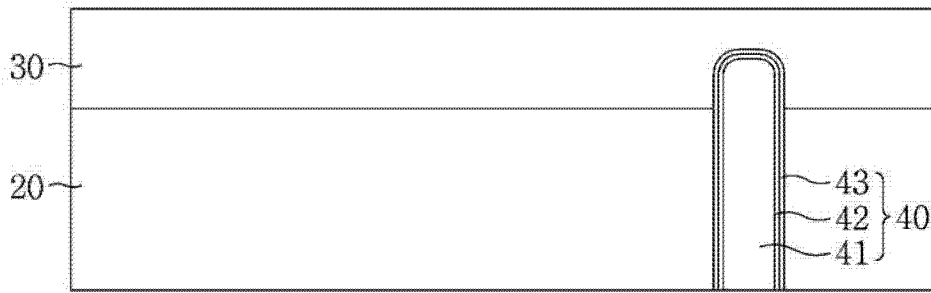


图 5C

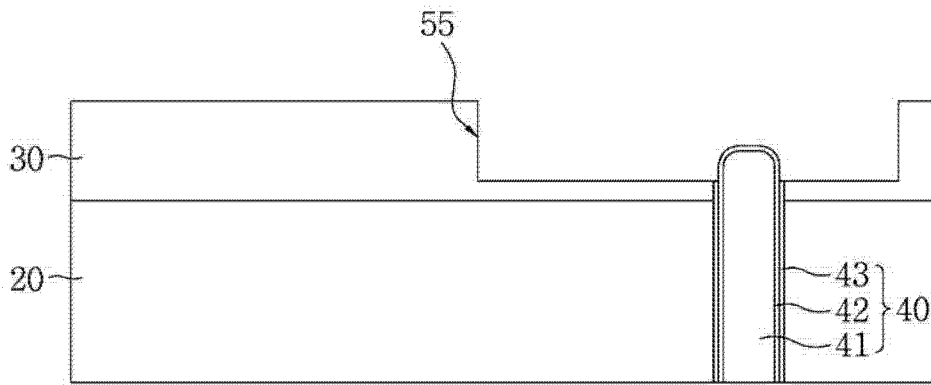


图 5D



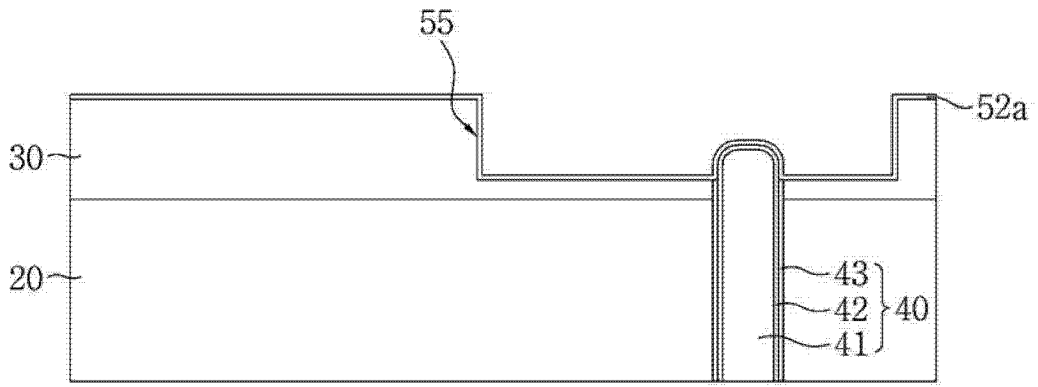


图 5E

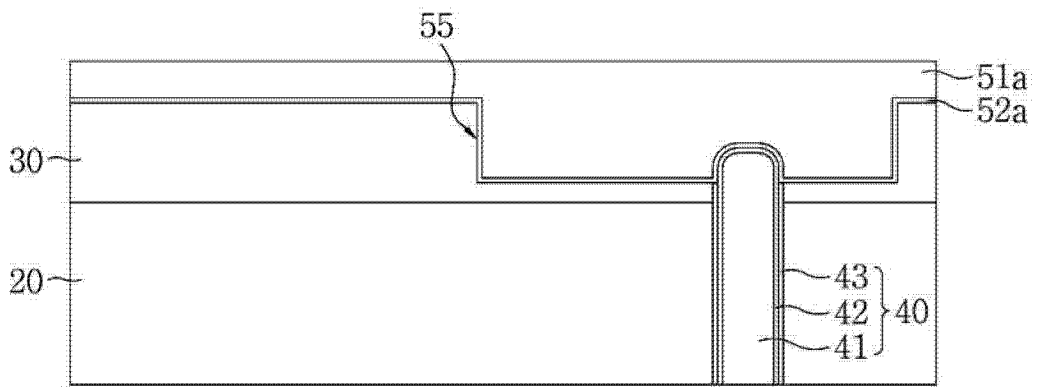


图 5F

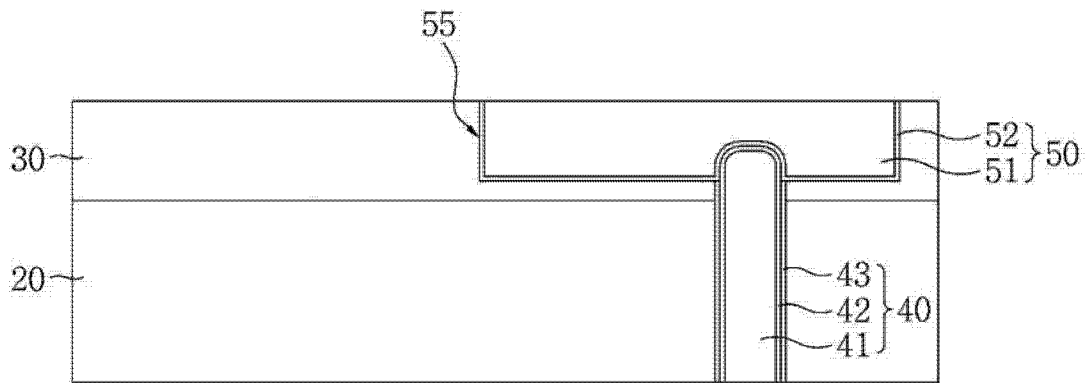


图 5G

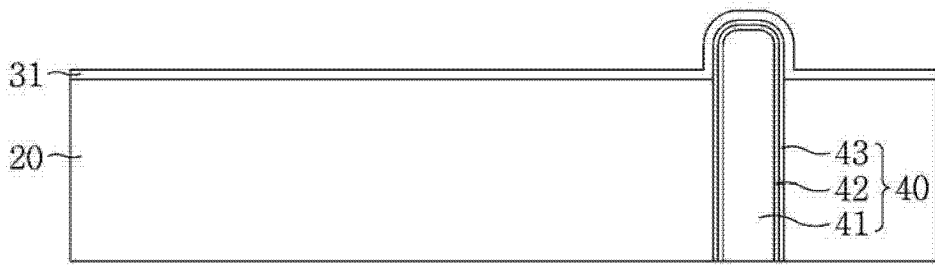


图 6A

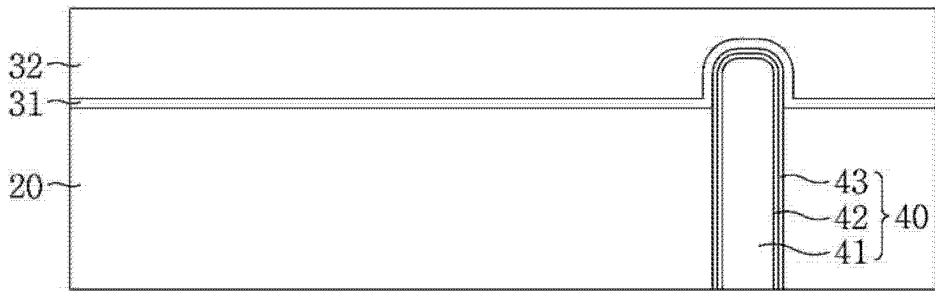


图 6B

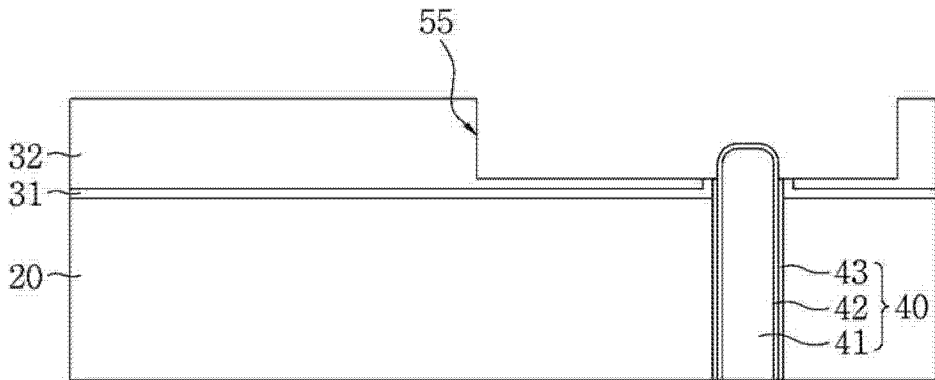


图 6C

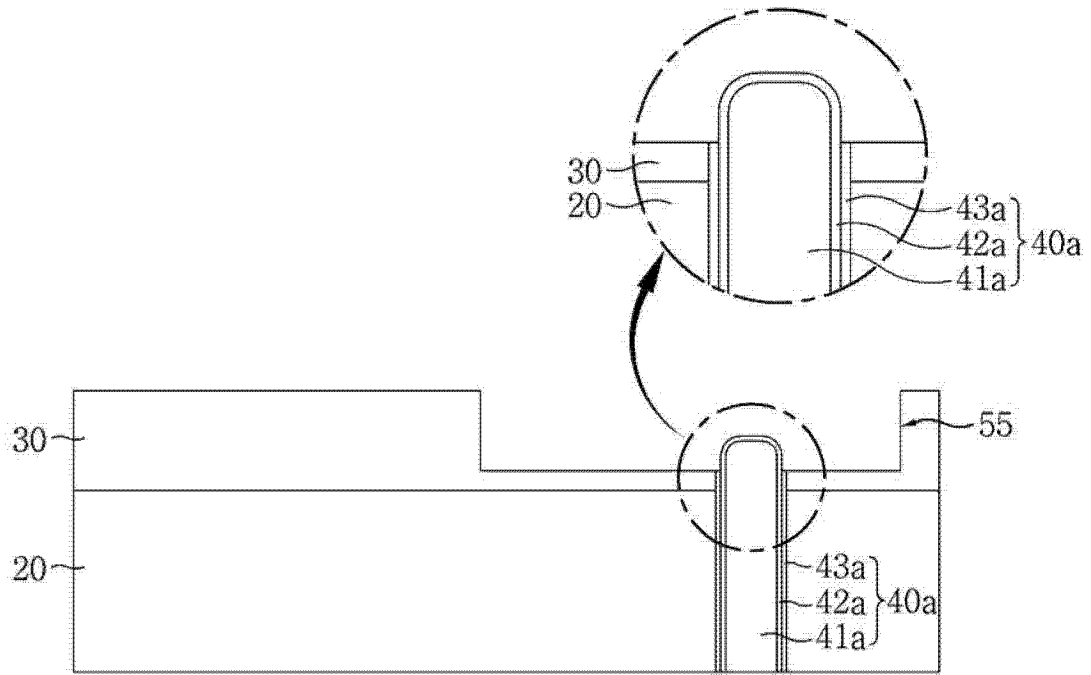


图 7A

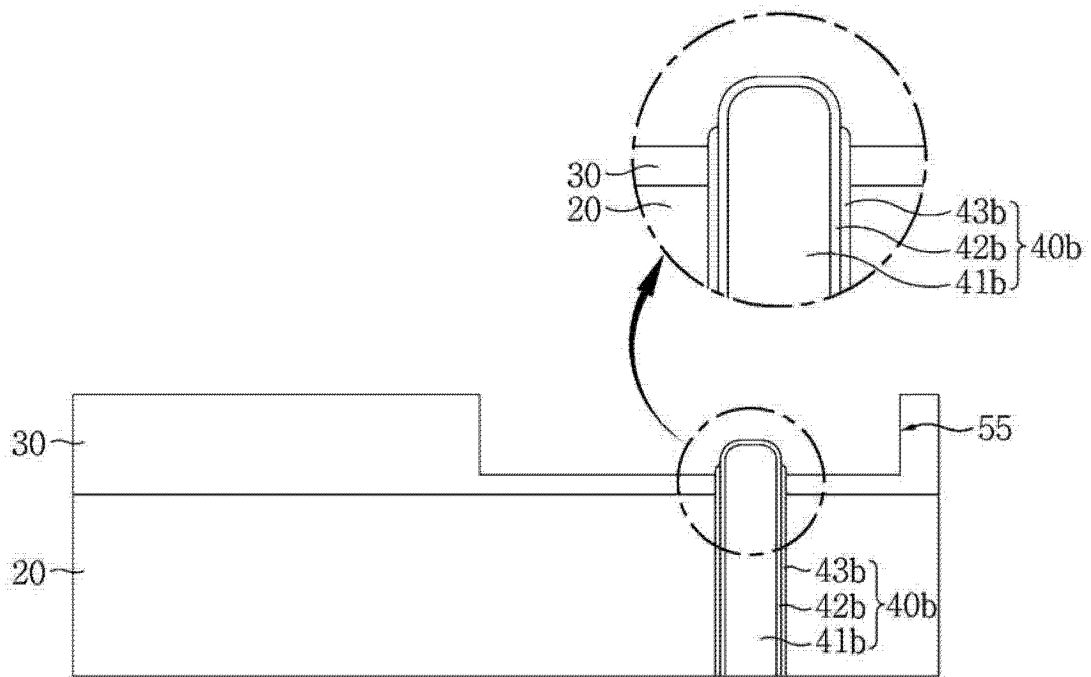


图 7B

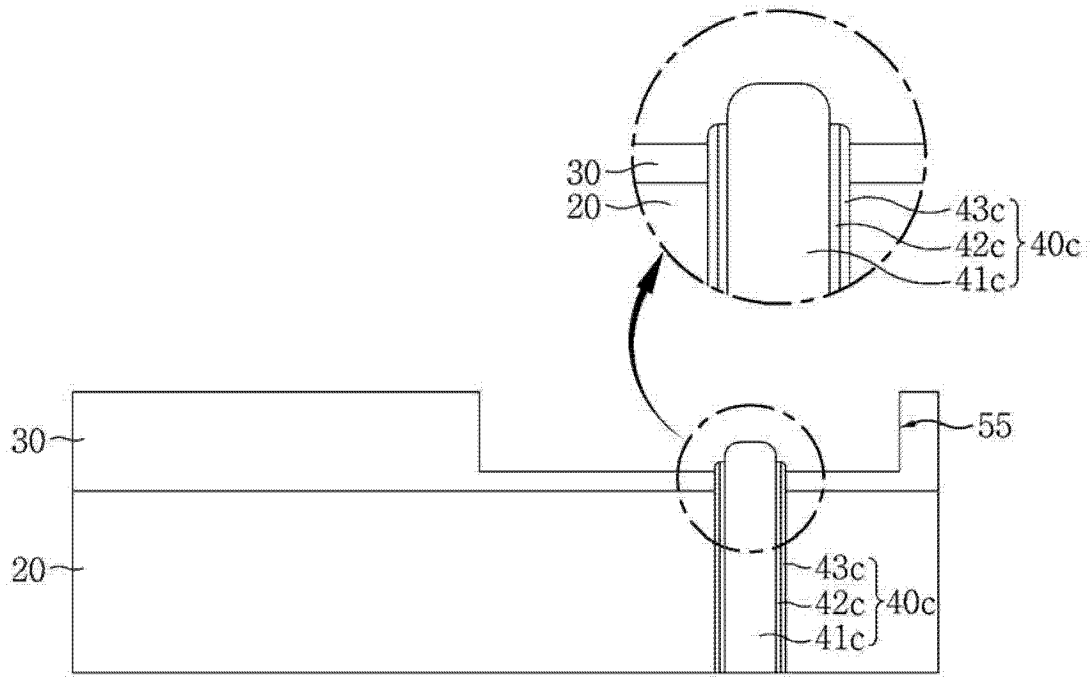


图 7C

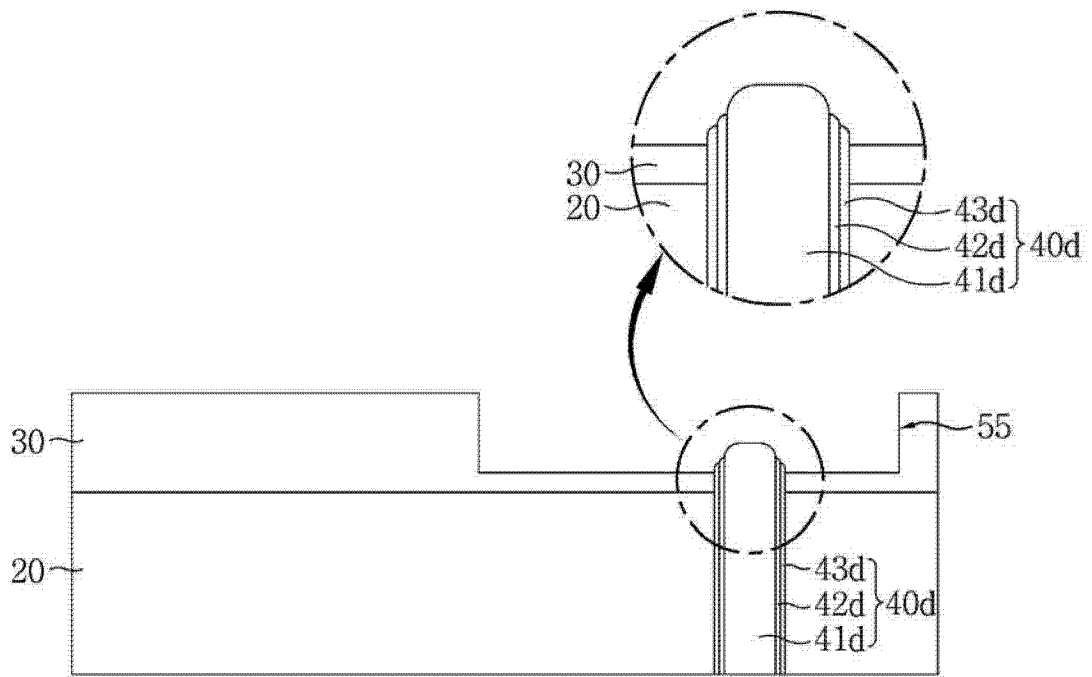


图 7D

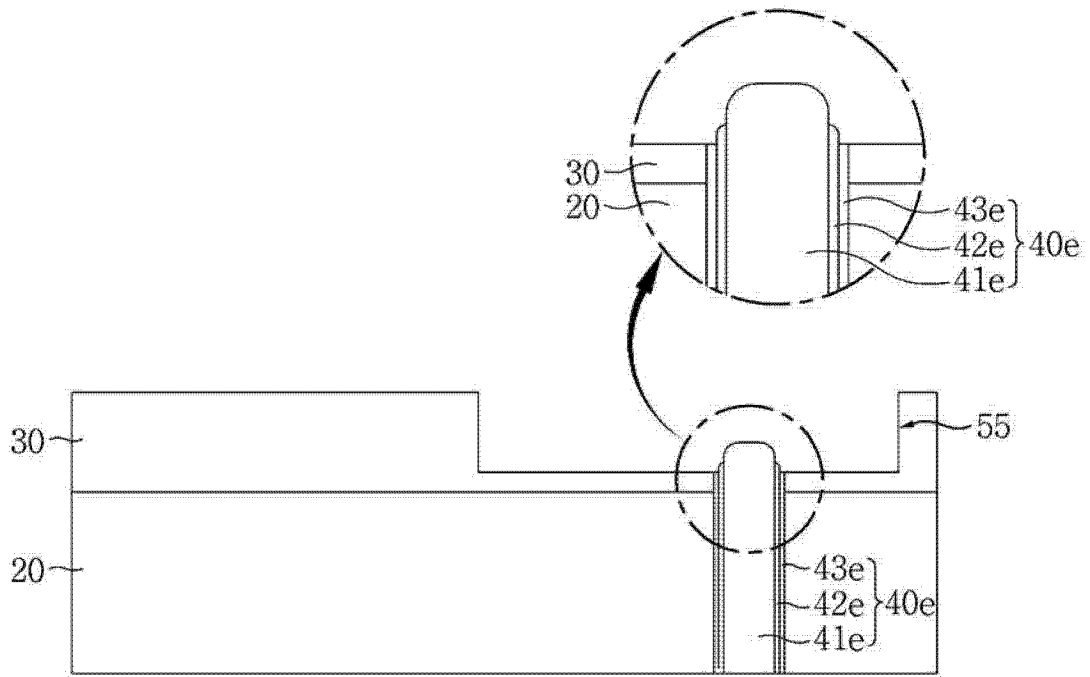


图 7E

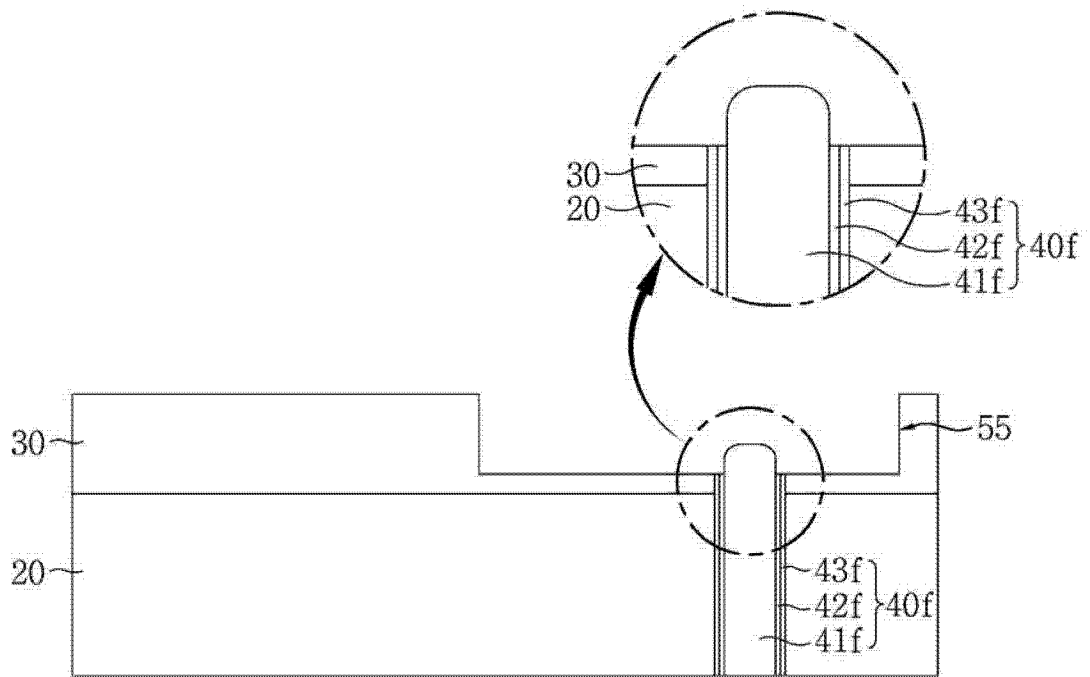


图 7F

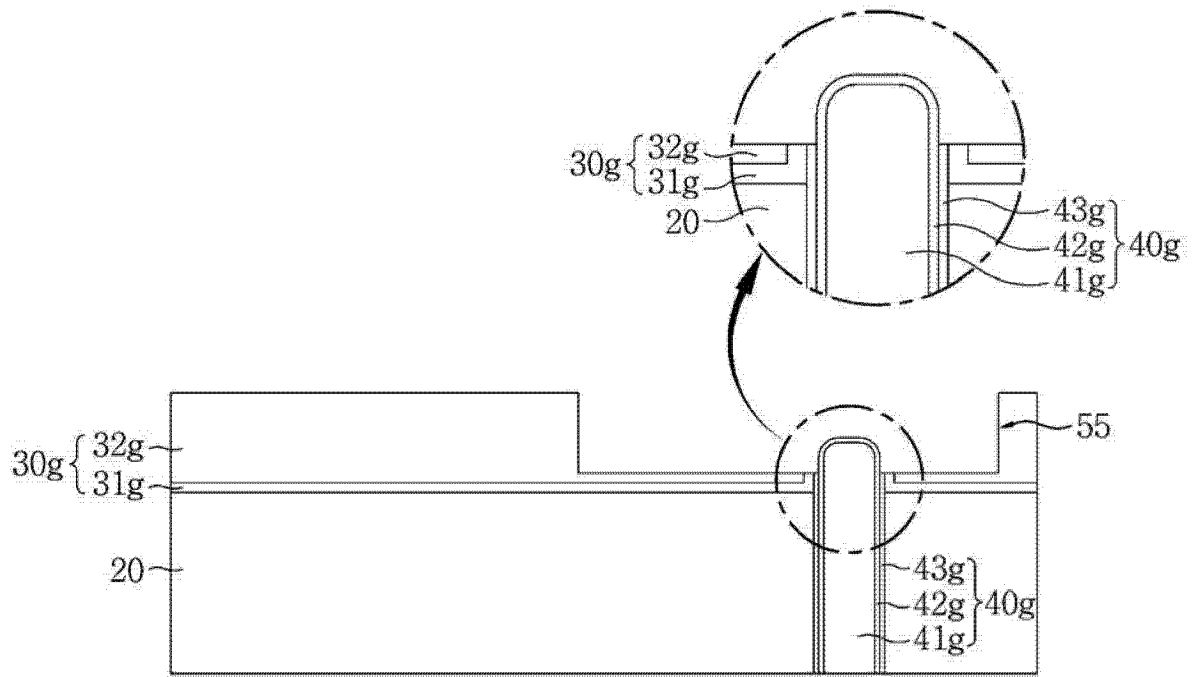


图 7G

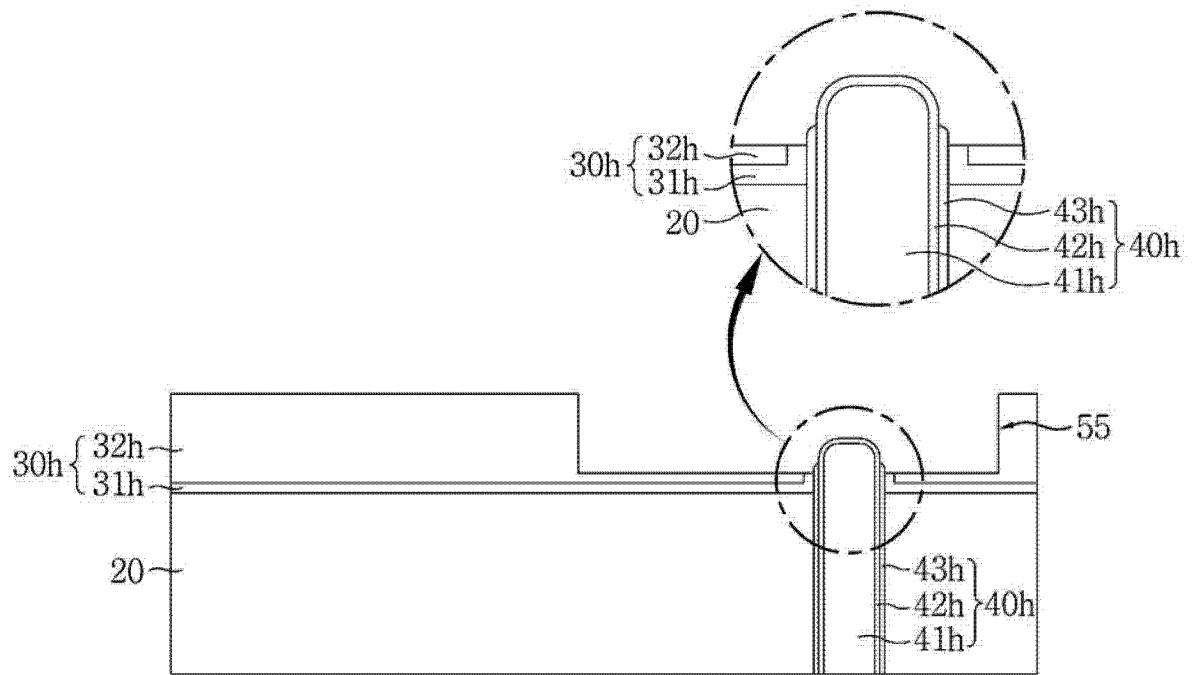


图 7H

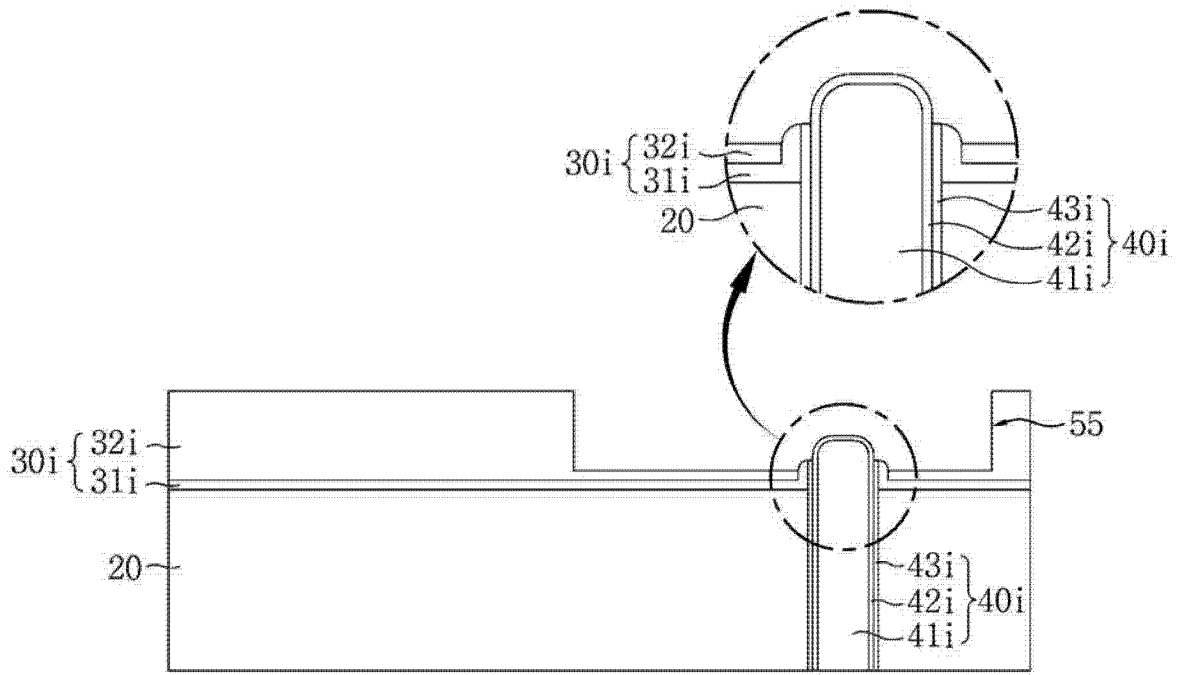


图 7I

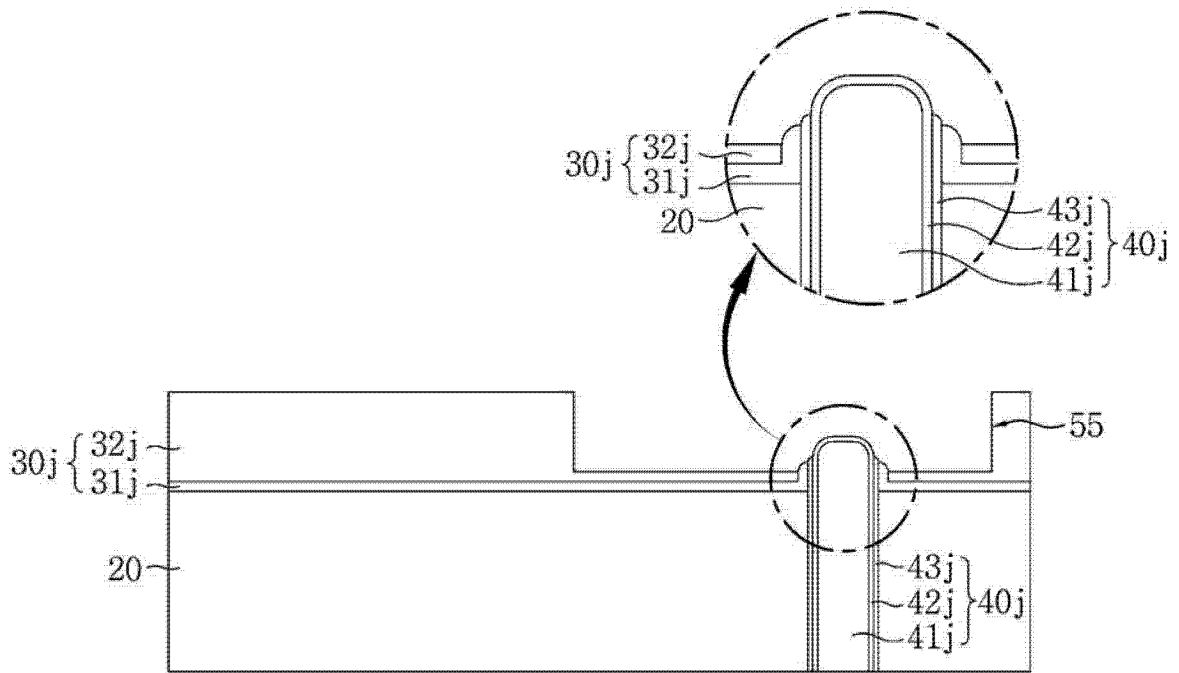


图 7J

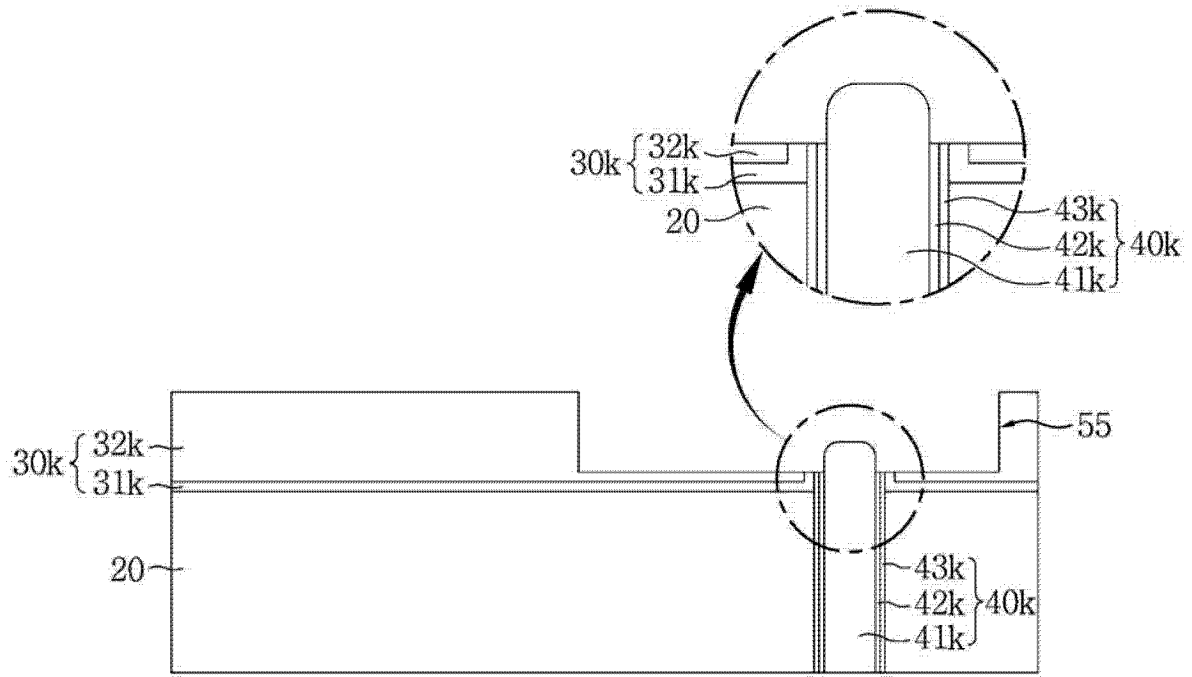


图 7K

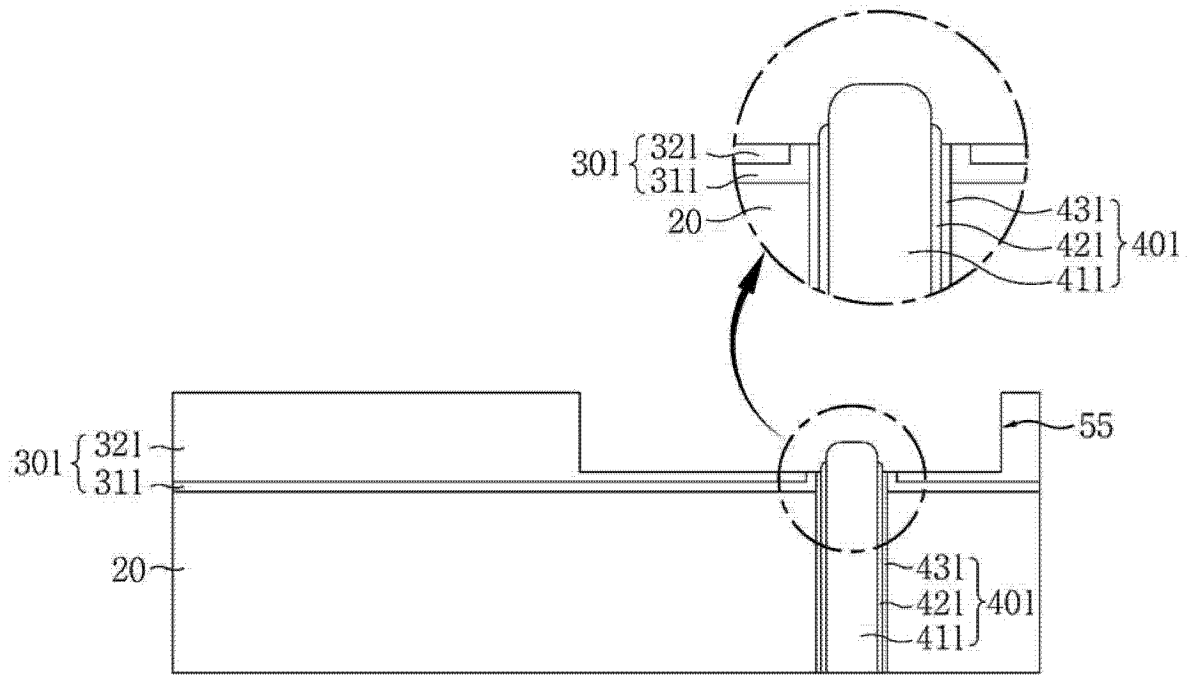


图 7L



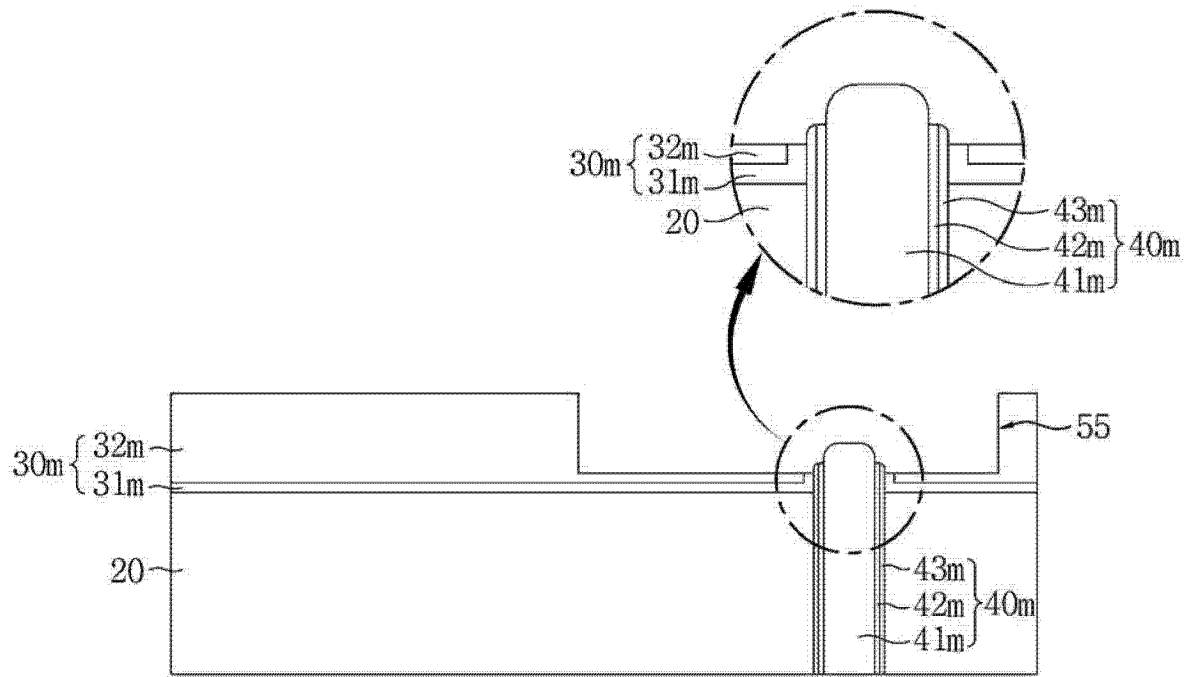


图 7M

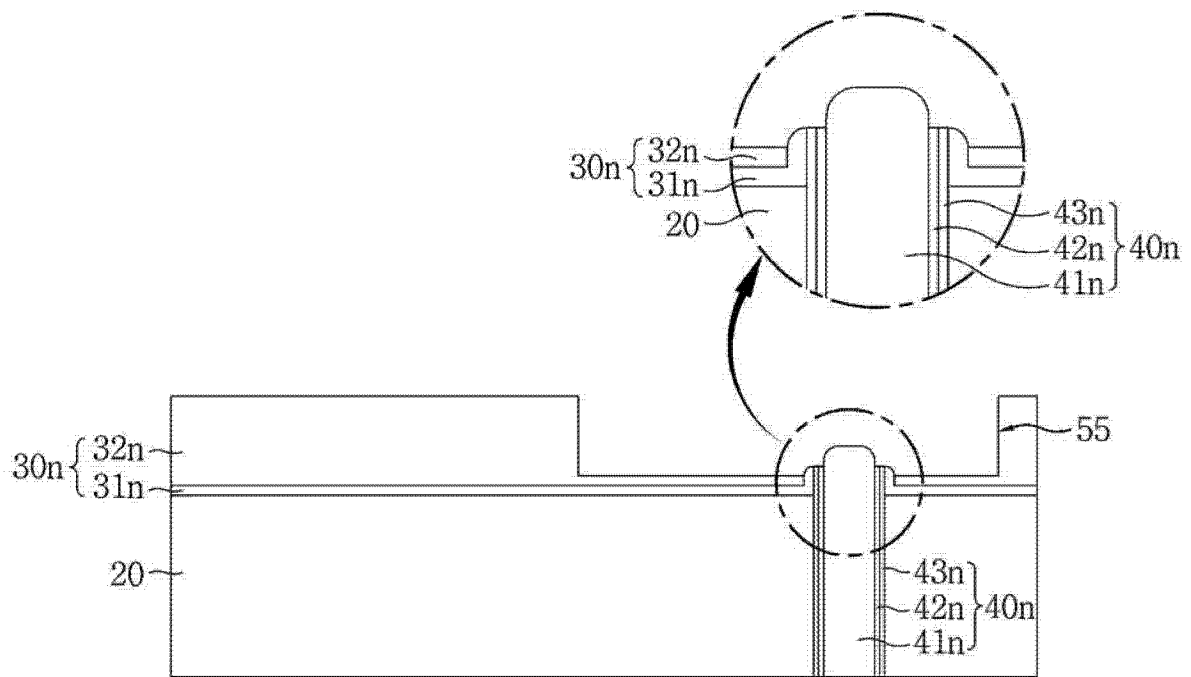


图 7N

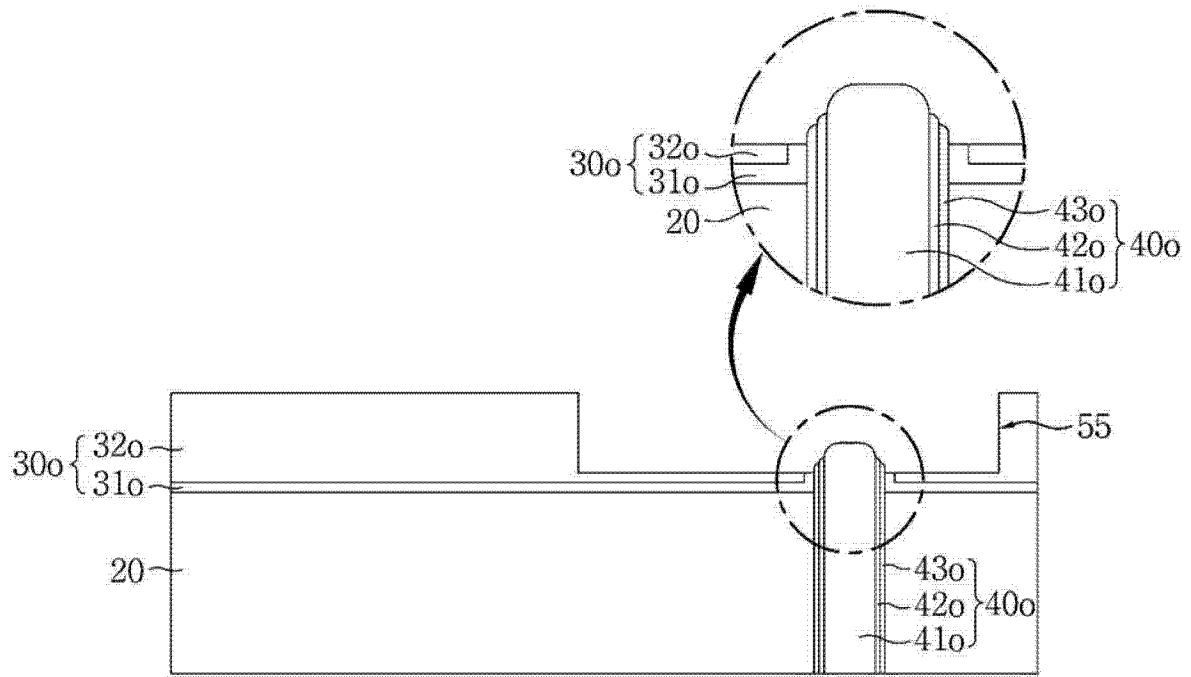


图 70

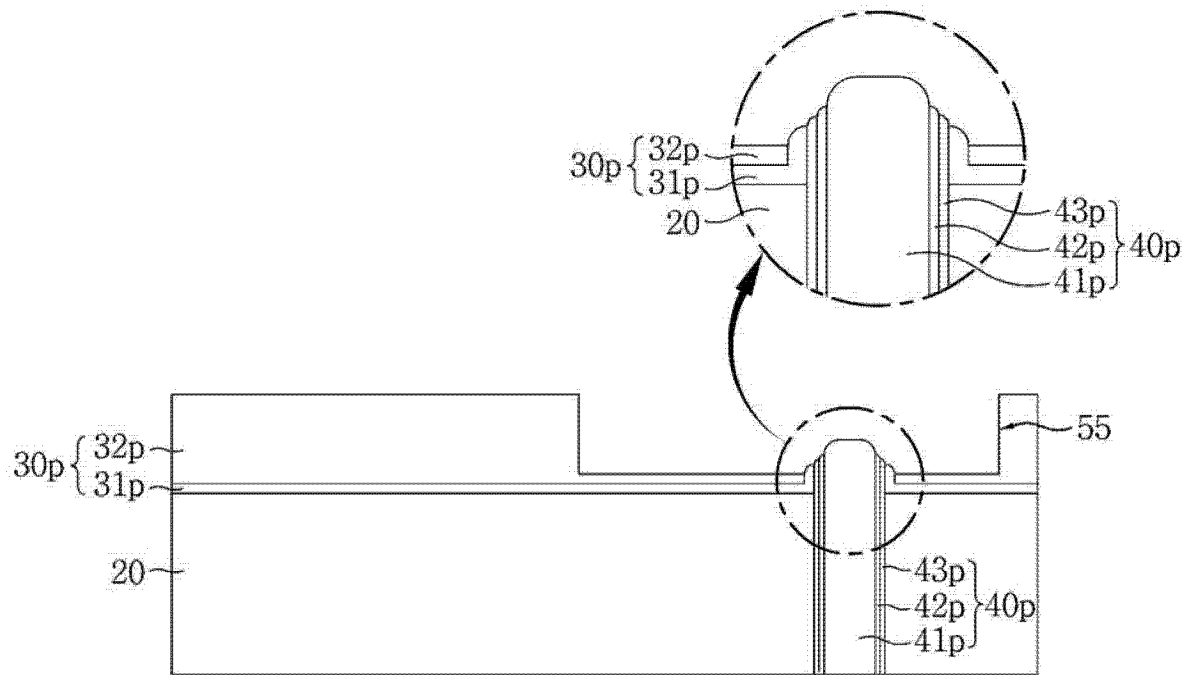


图 7P

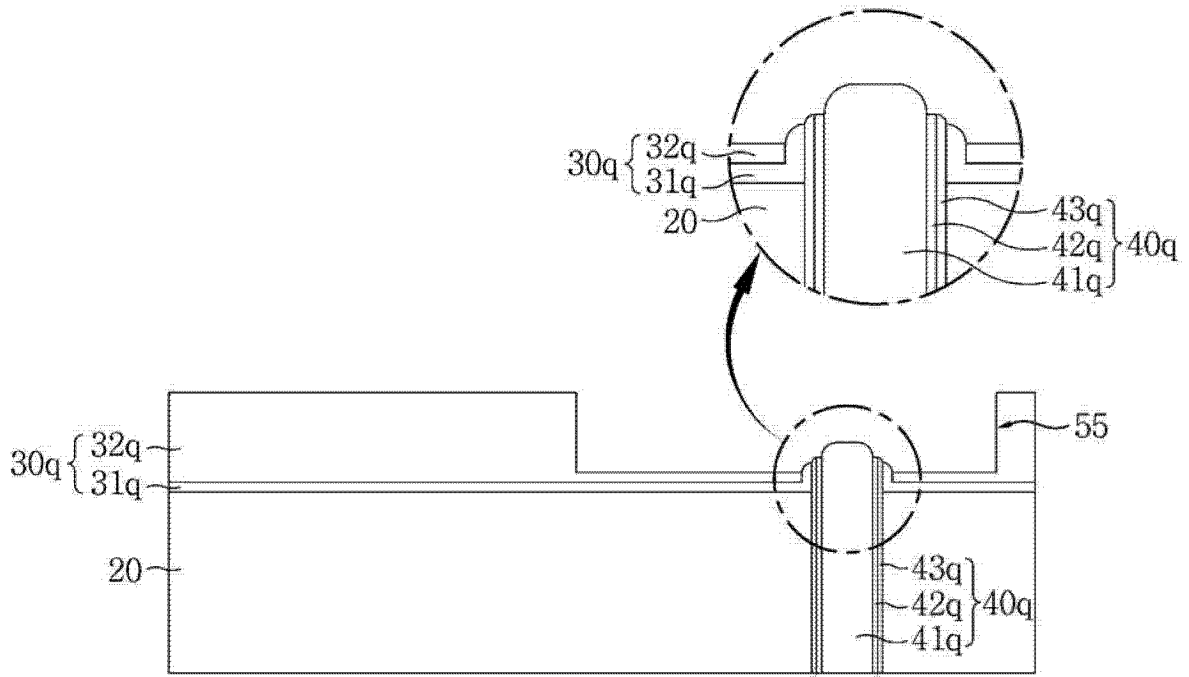


图 7Q

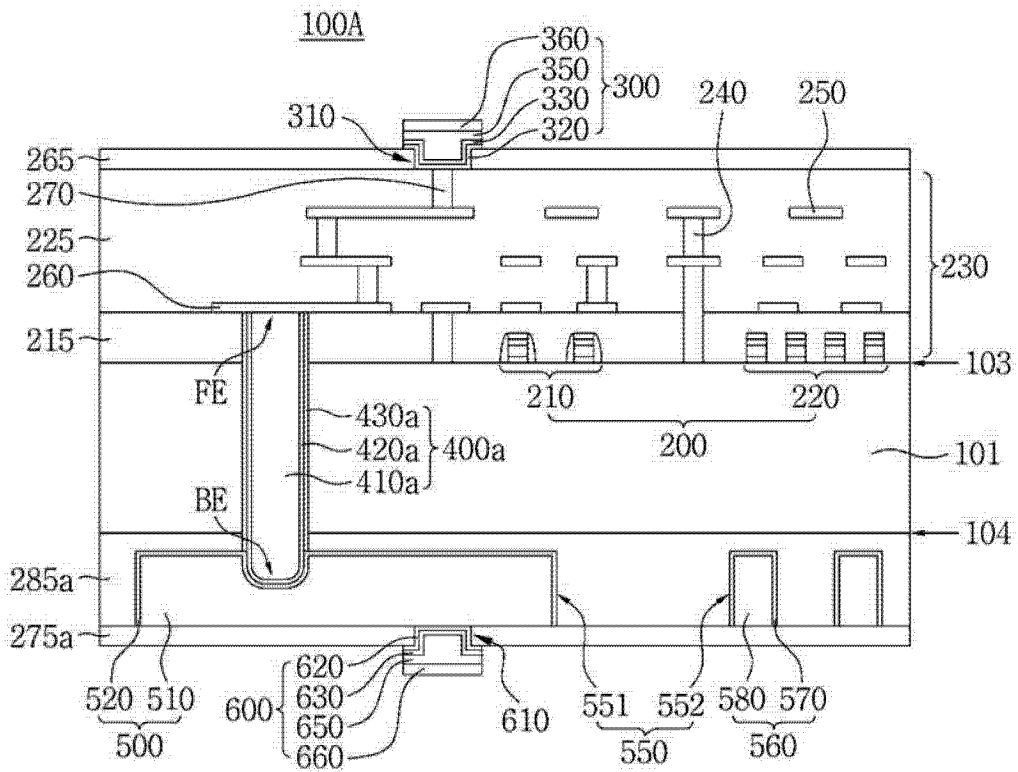


图 8A

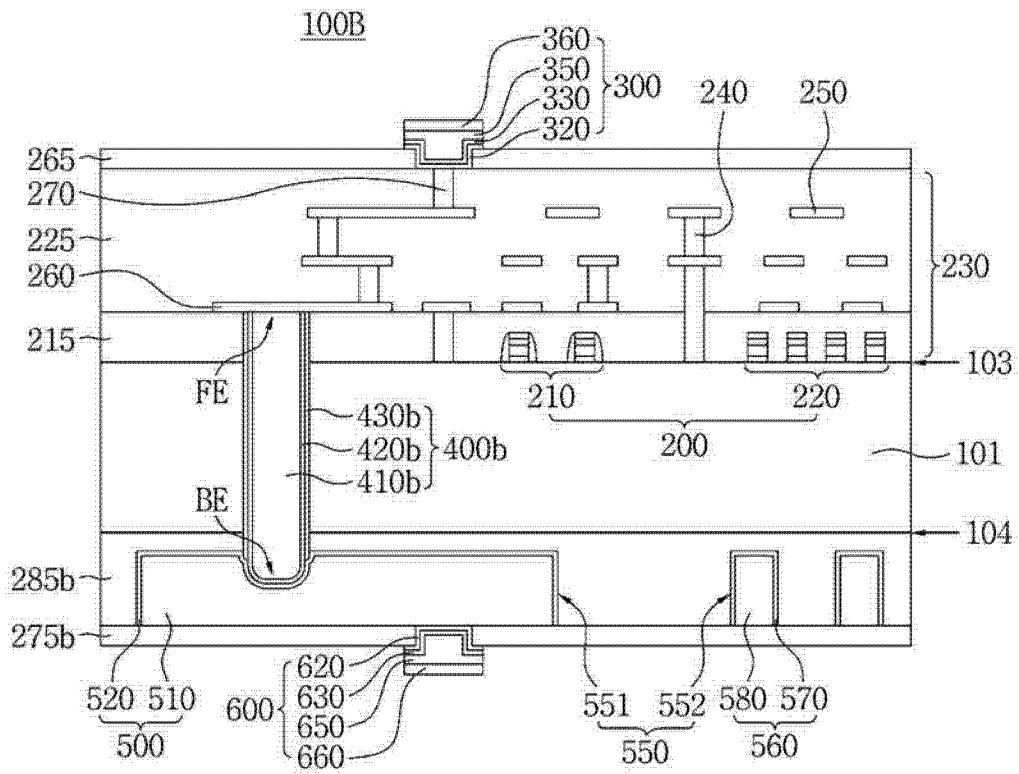


图 8B

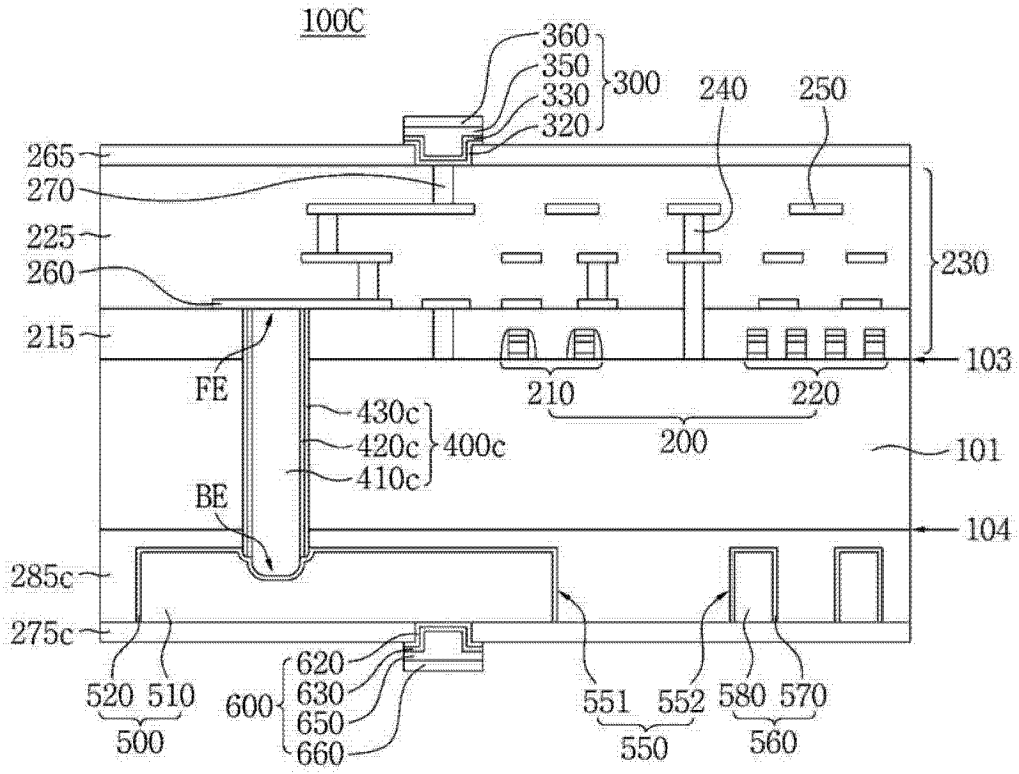


图 8C

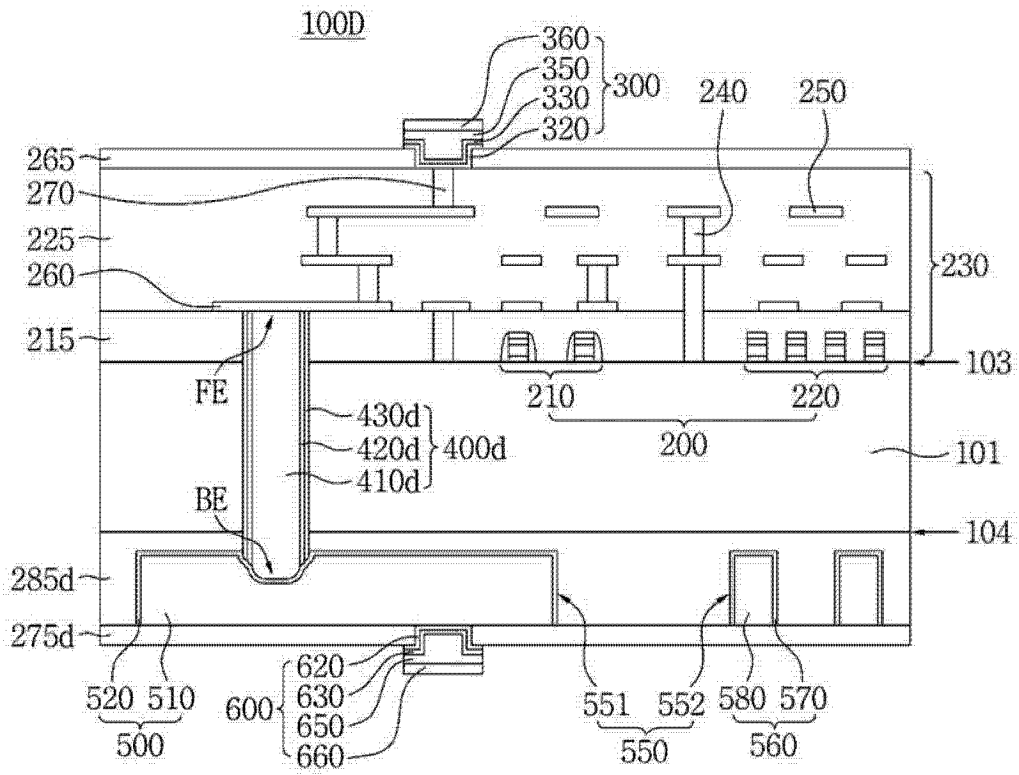


图 8D

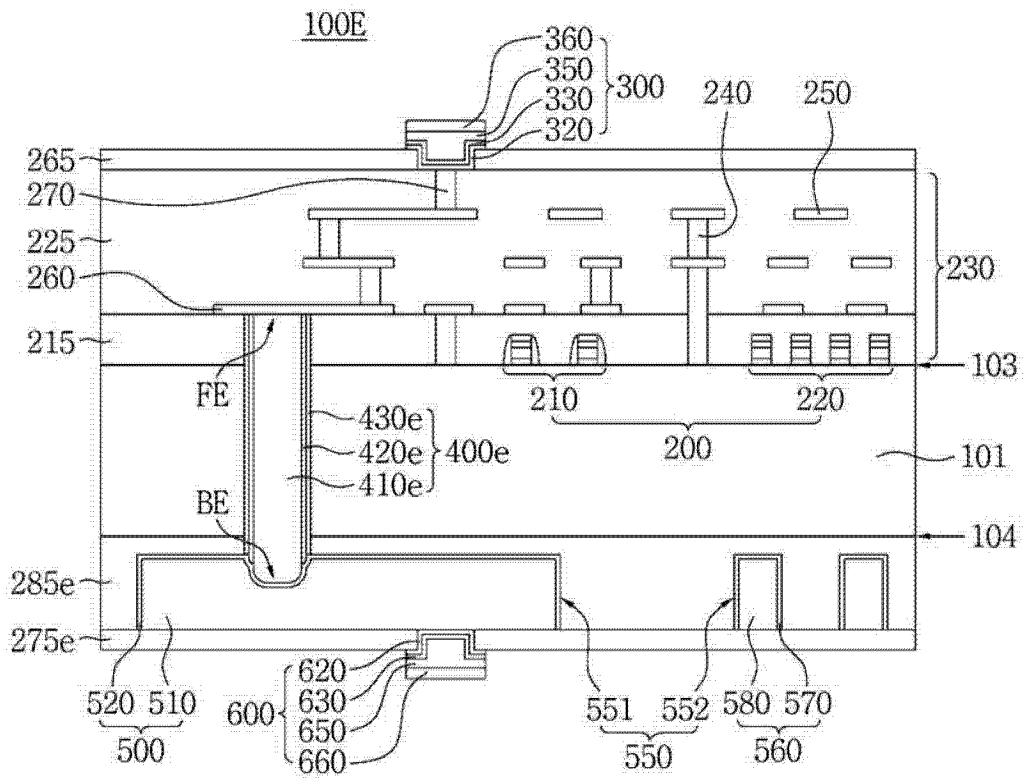


图 8E

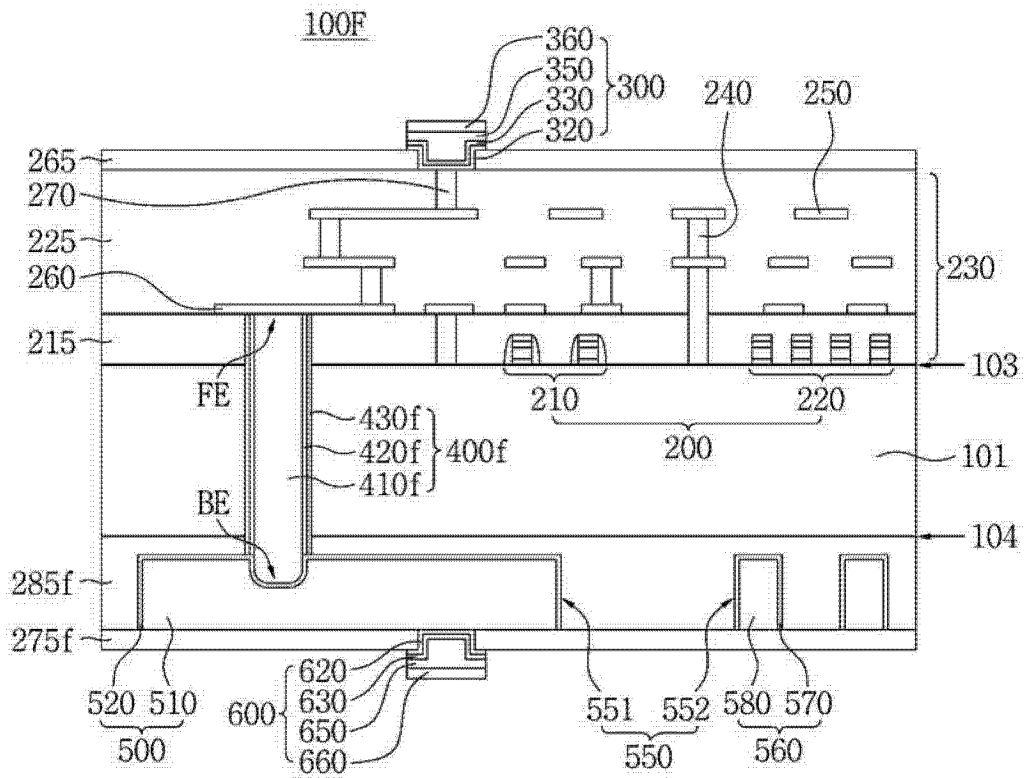


图 8F

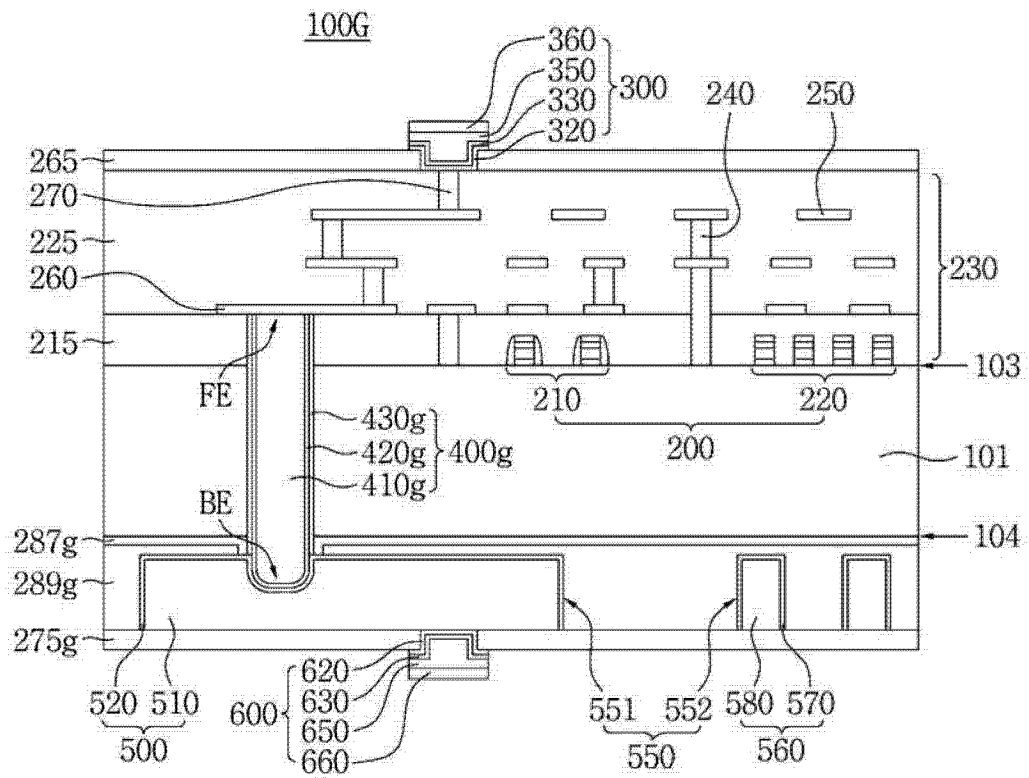


图 8G



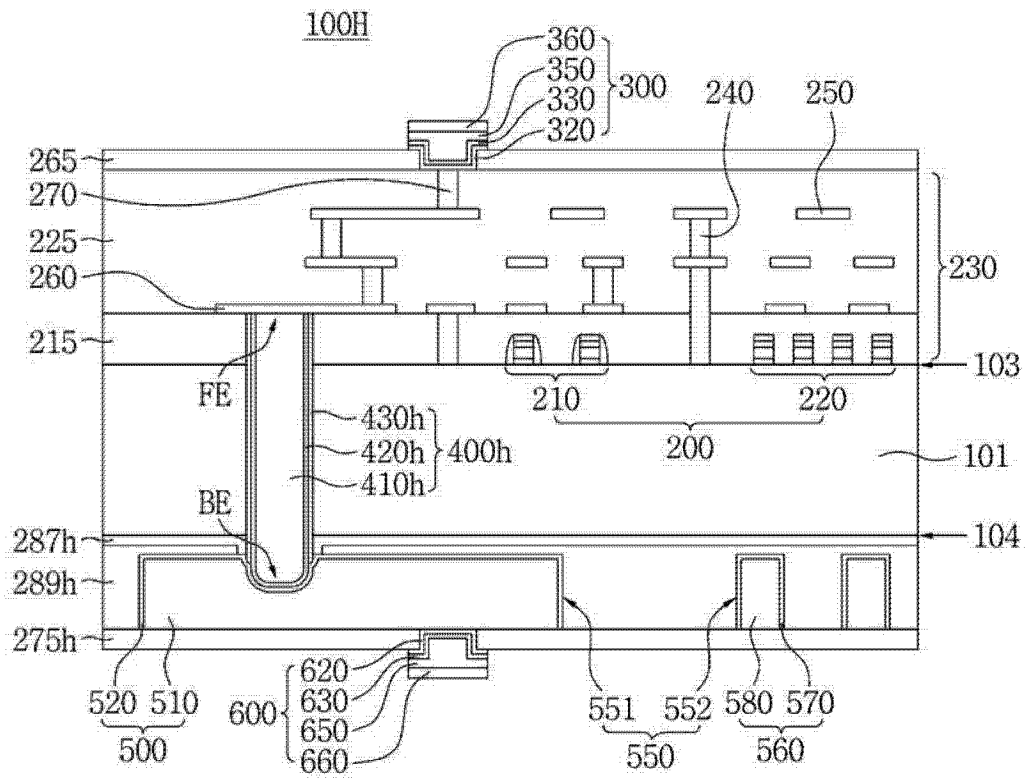


图 8H

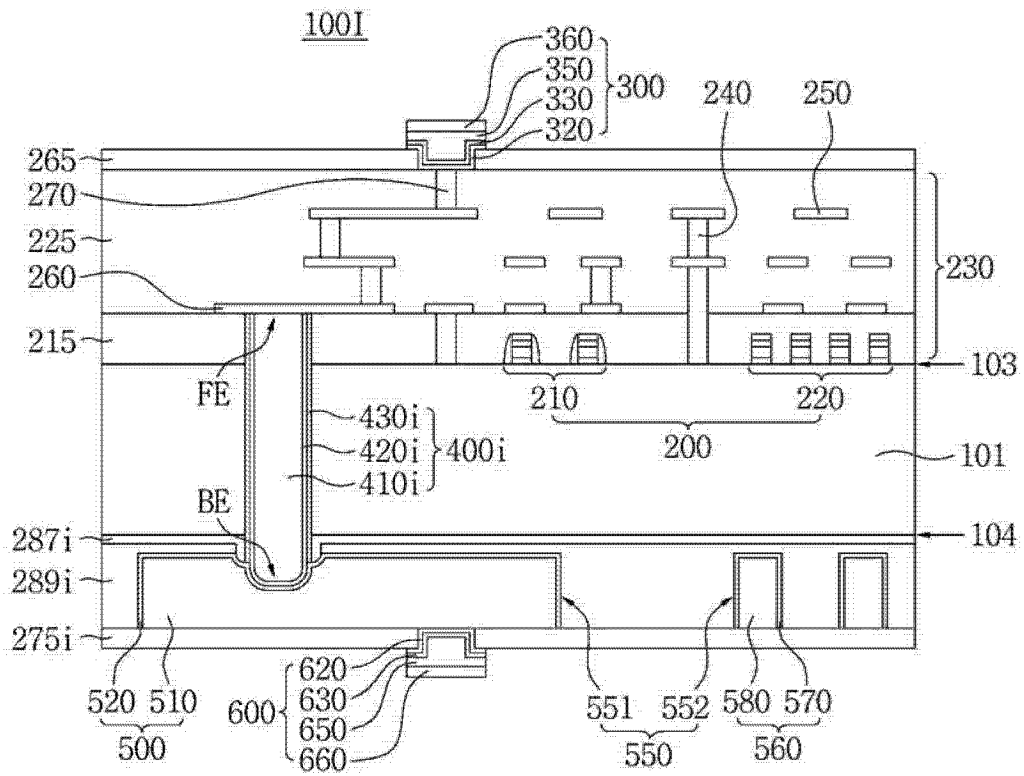


图 81

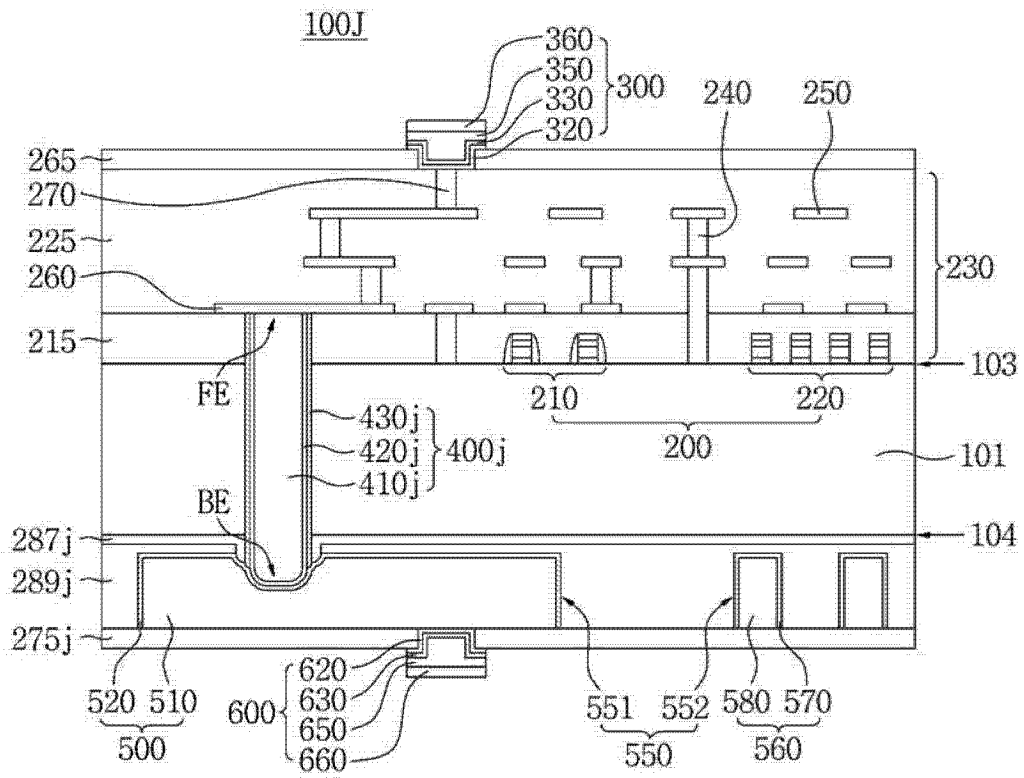


图 8J

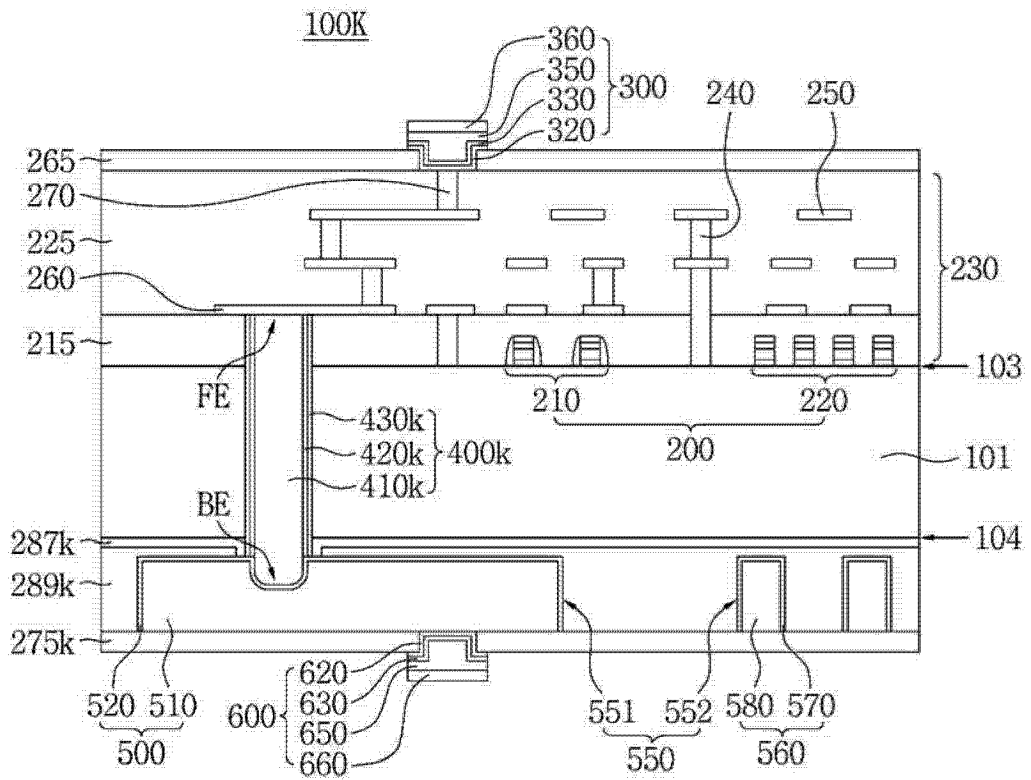


图 8K

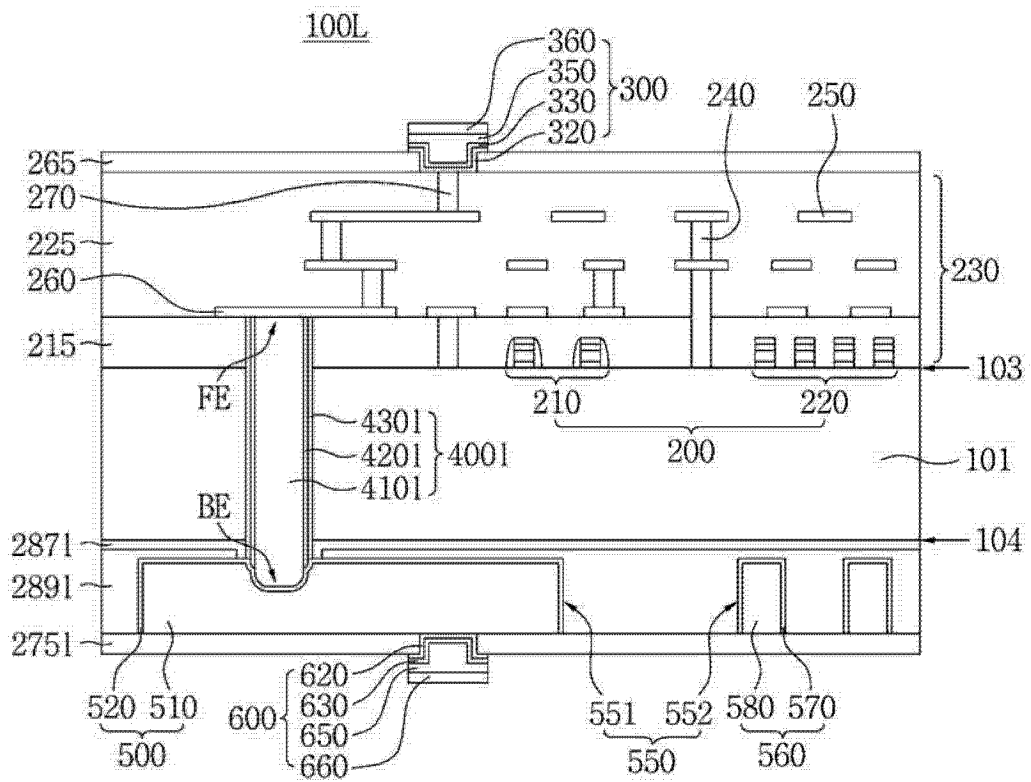


图 8L

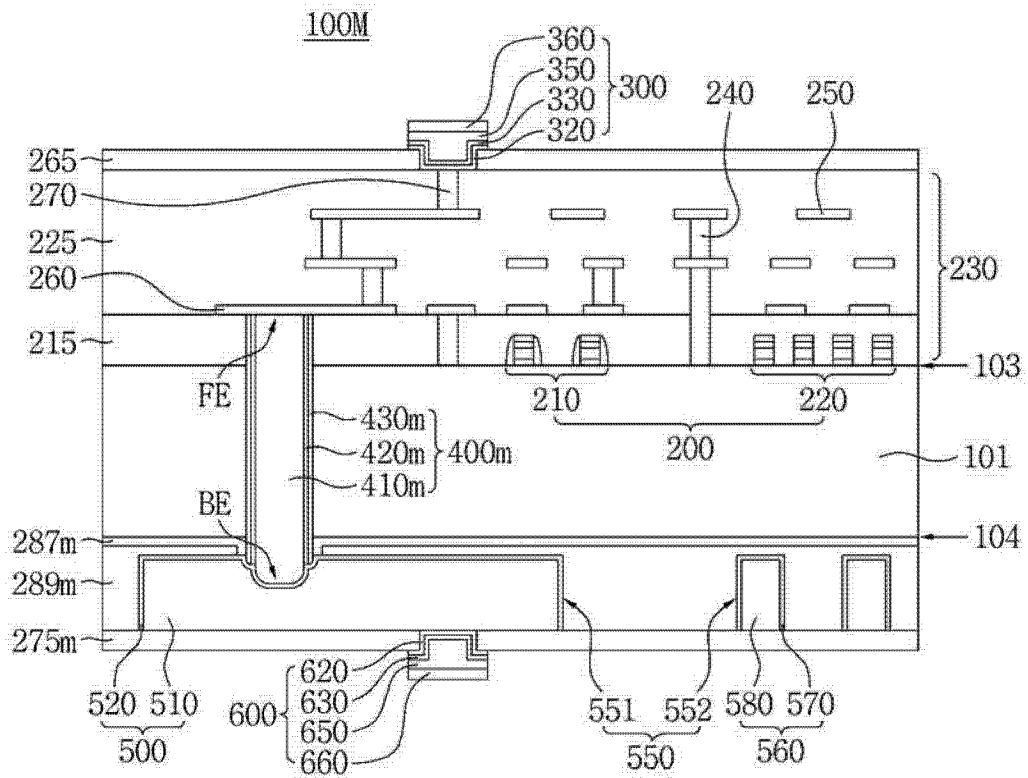


图 8M

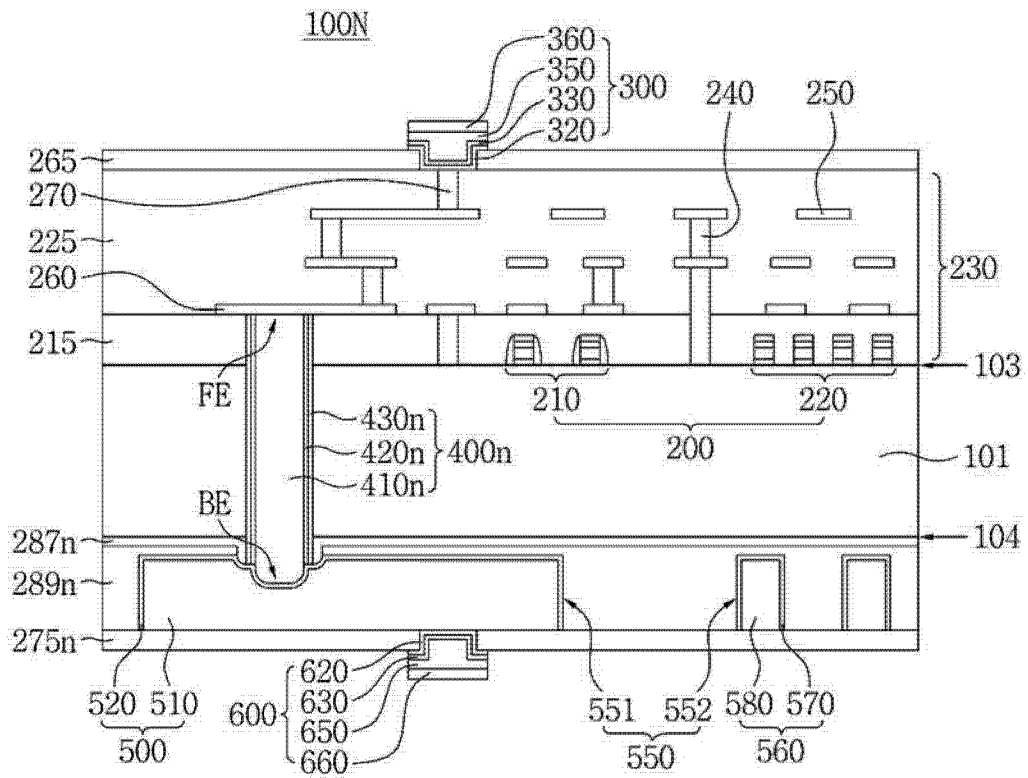


图 8N

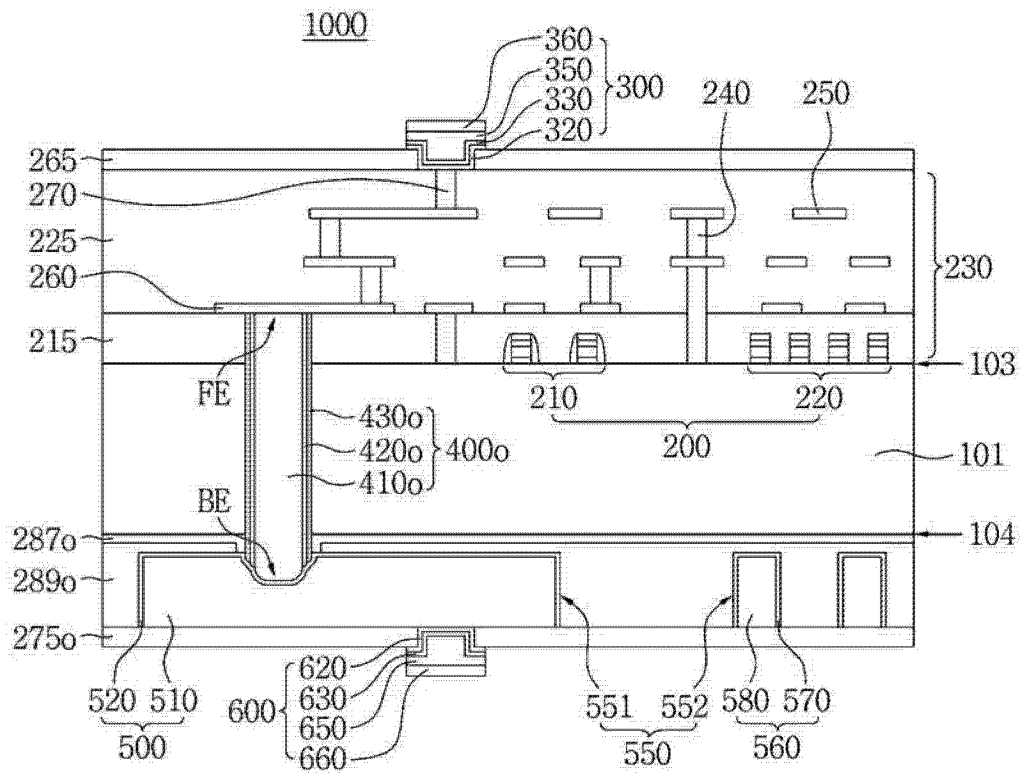


图 80



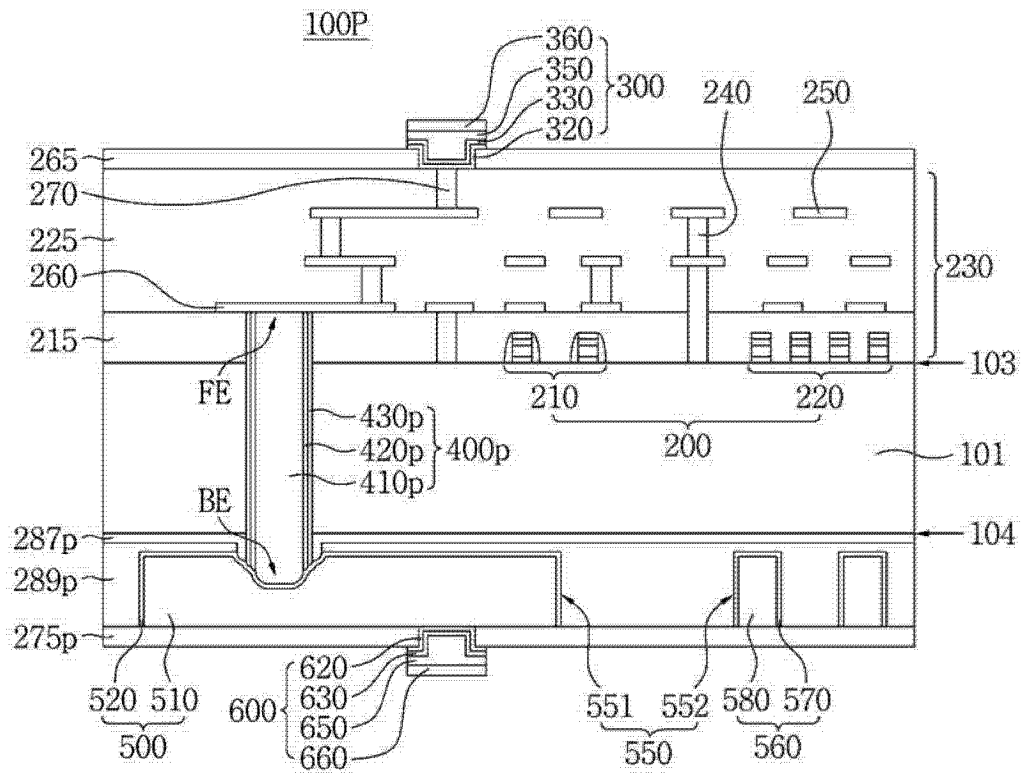


图 8P

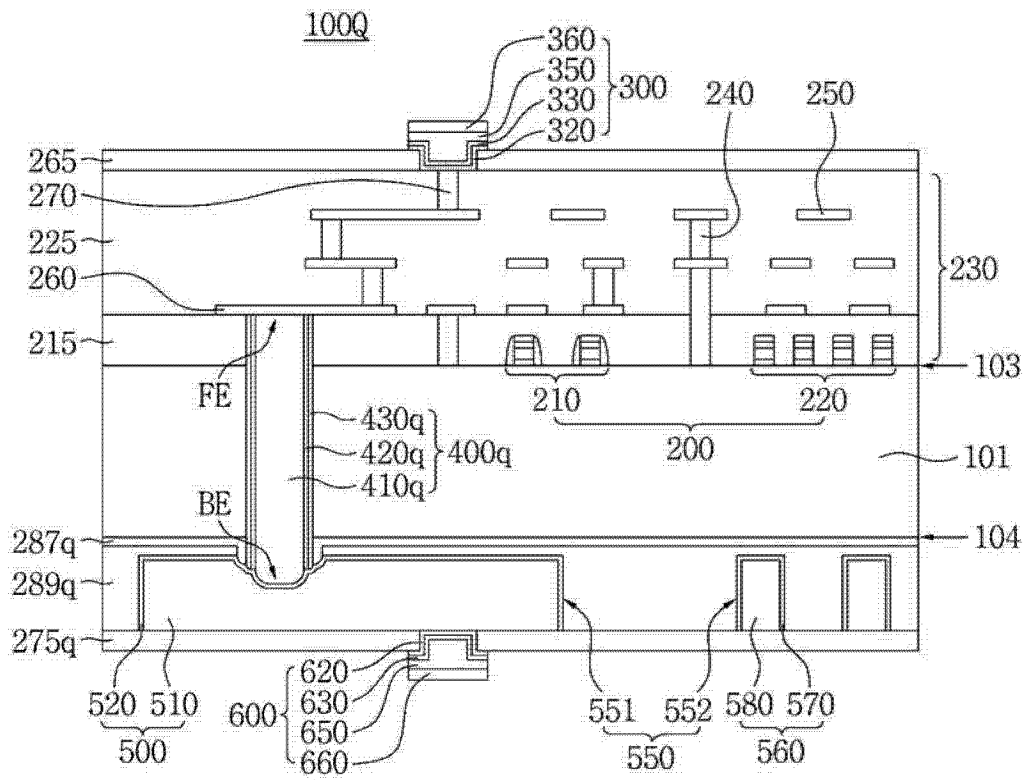


图 8Q

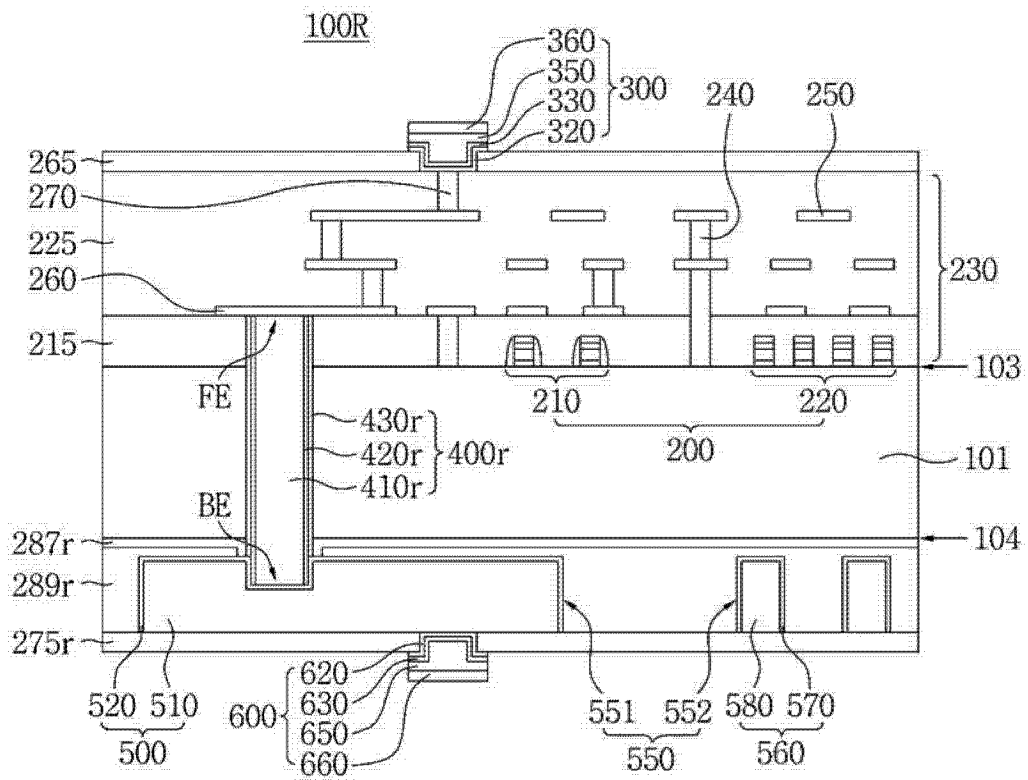


图 8R

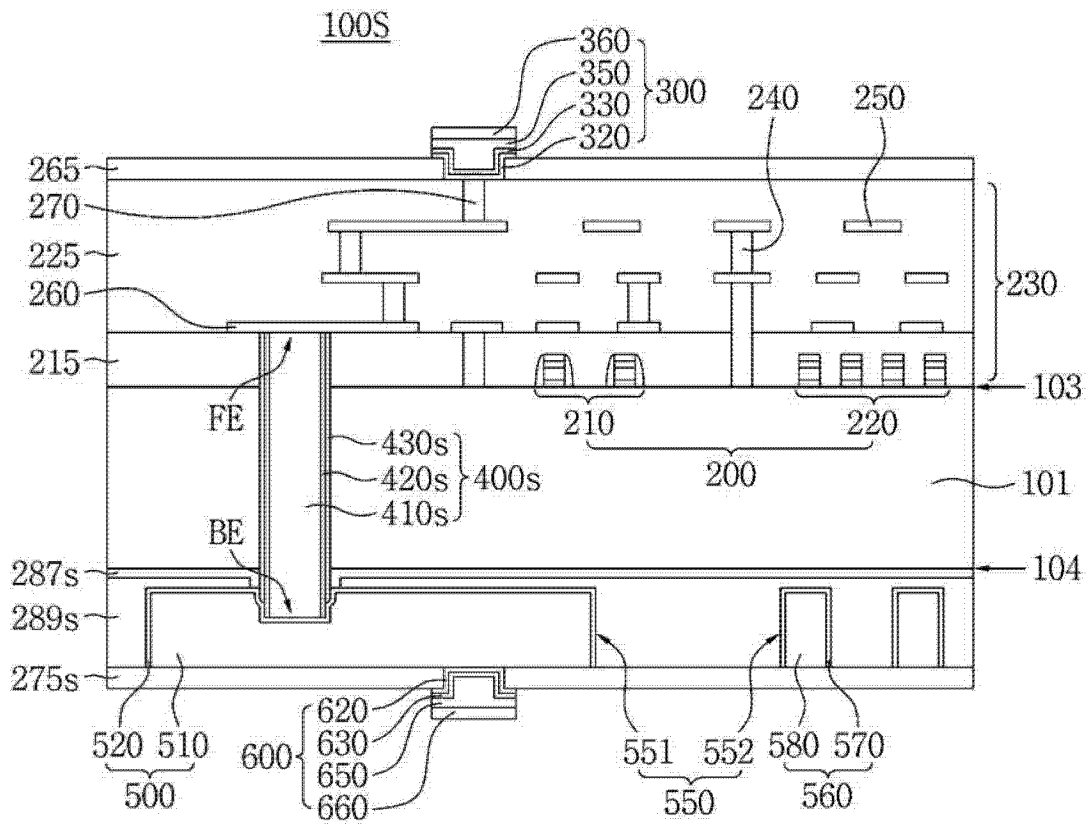


图 8S



图 9A

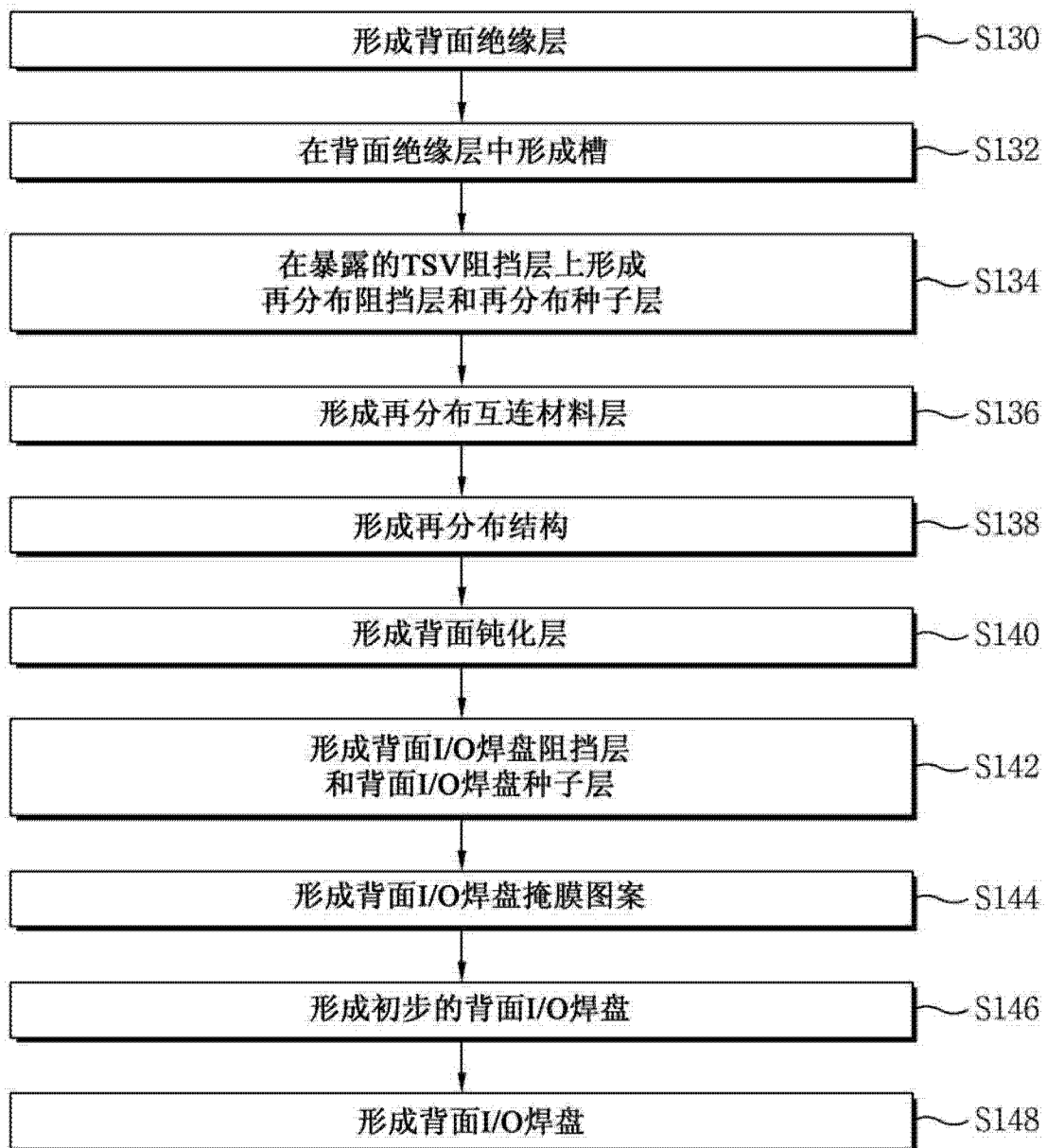


图 9B

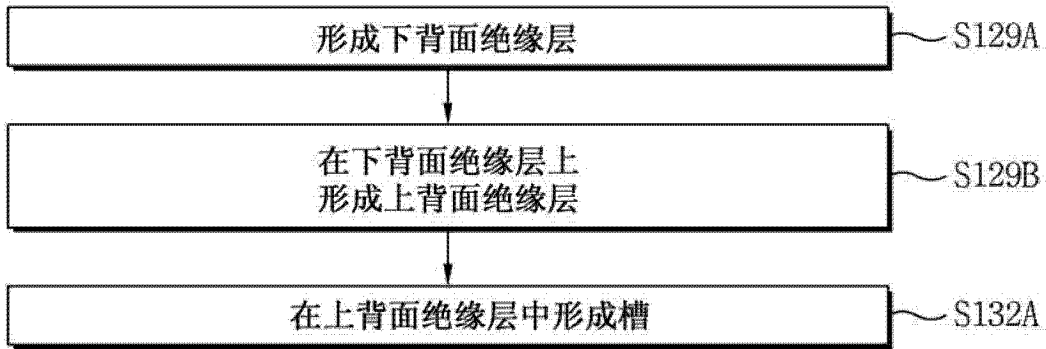


图 9C



图 9D

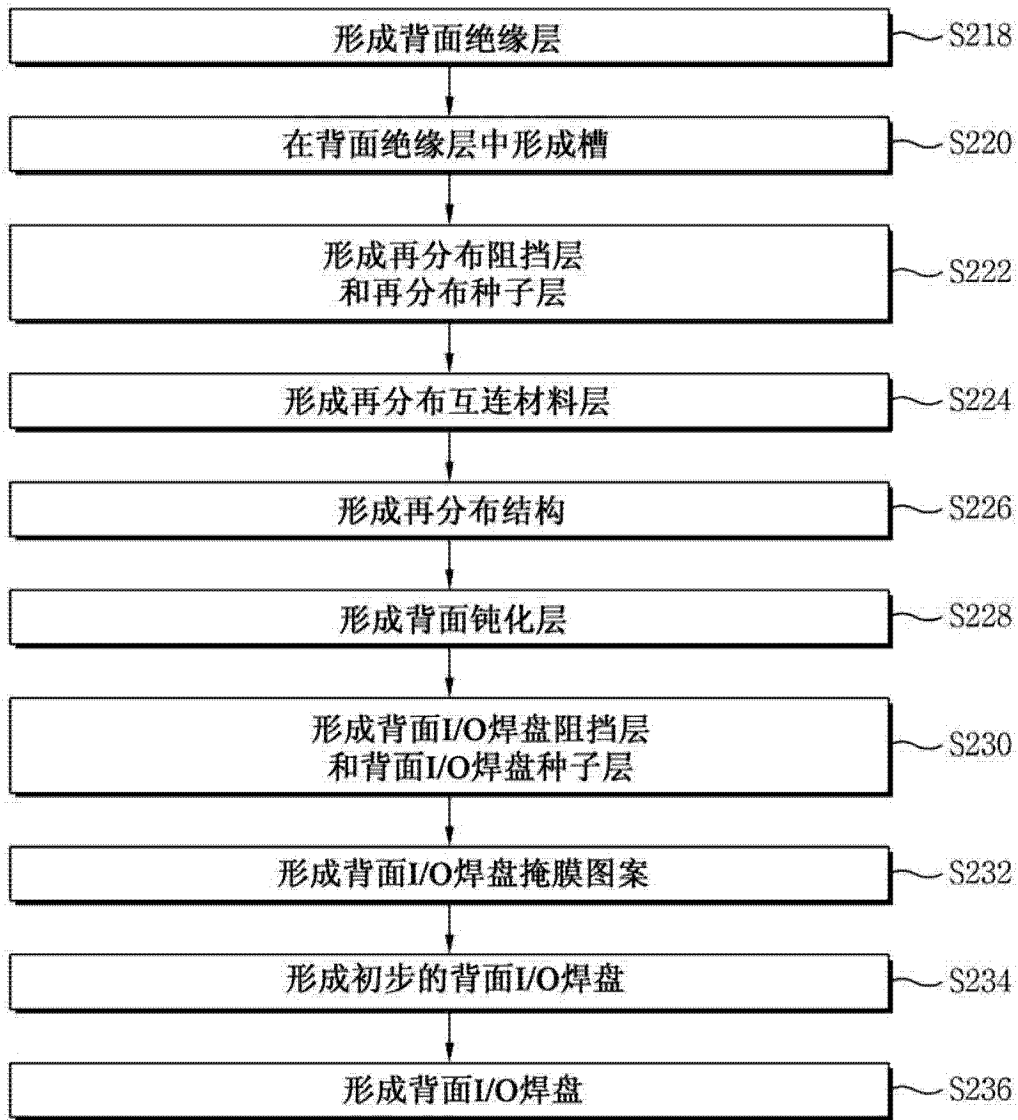


图 9E

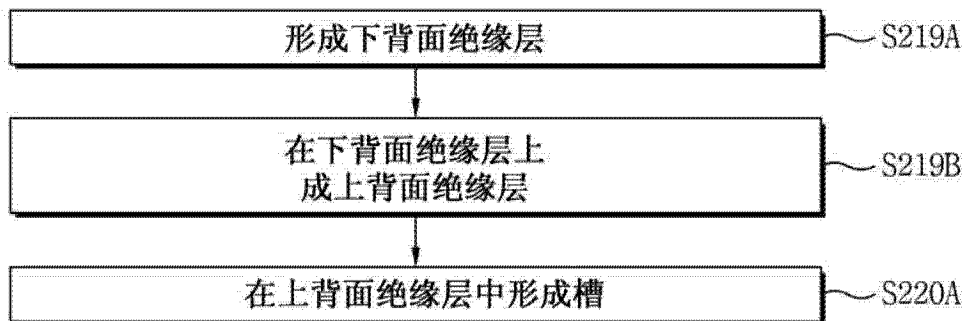


图 9F



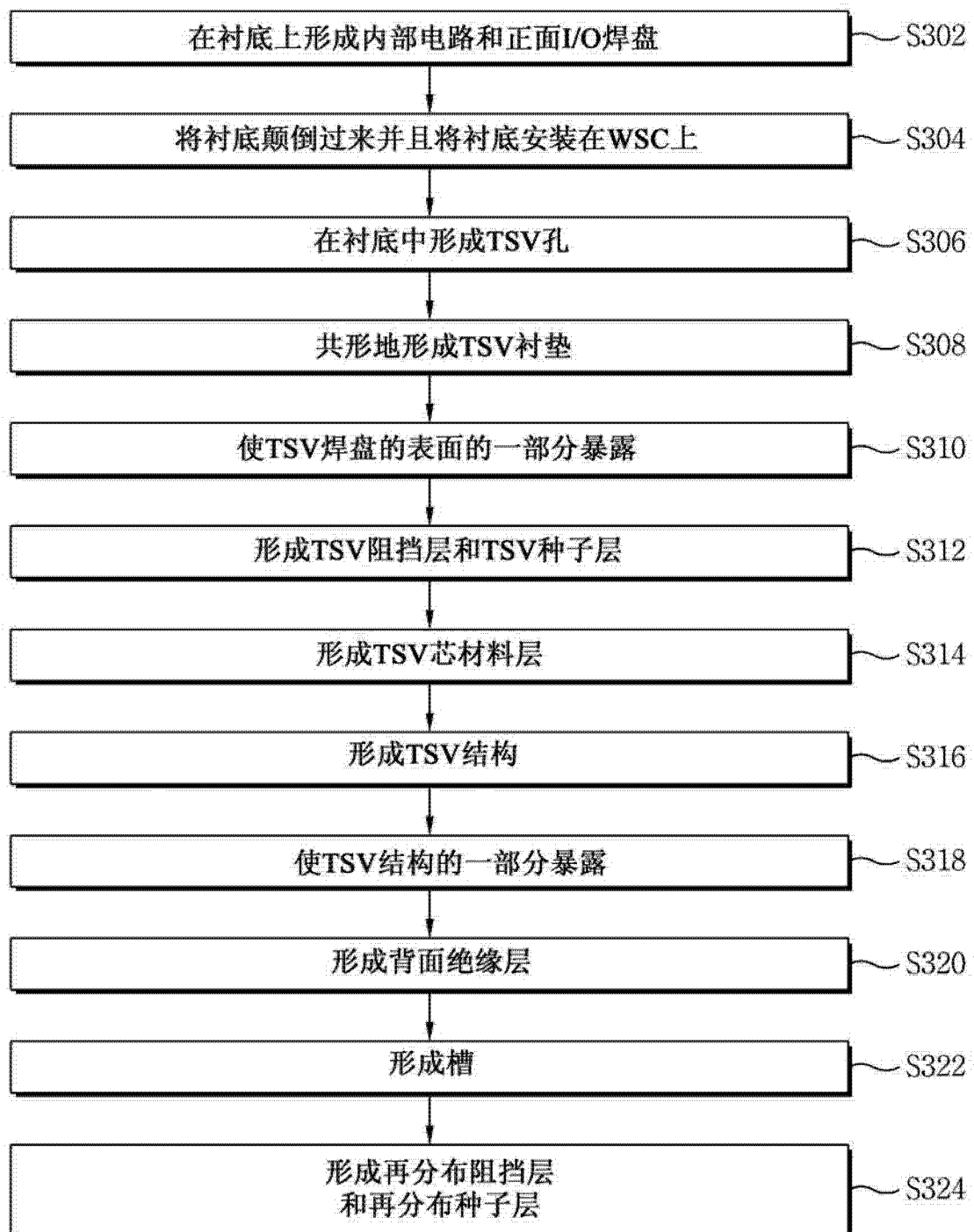


图 9G

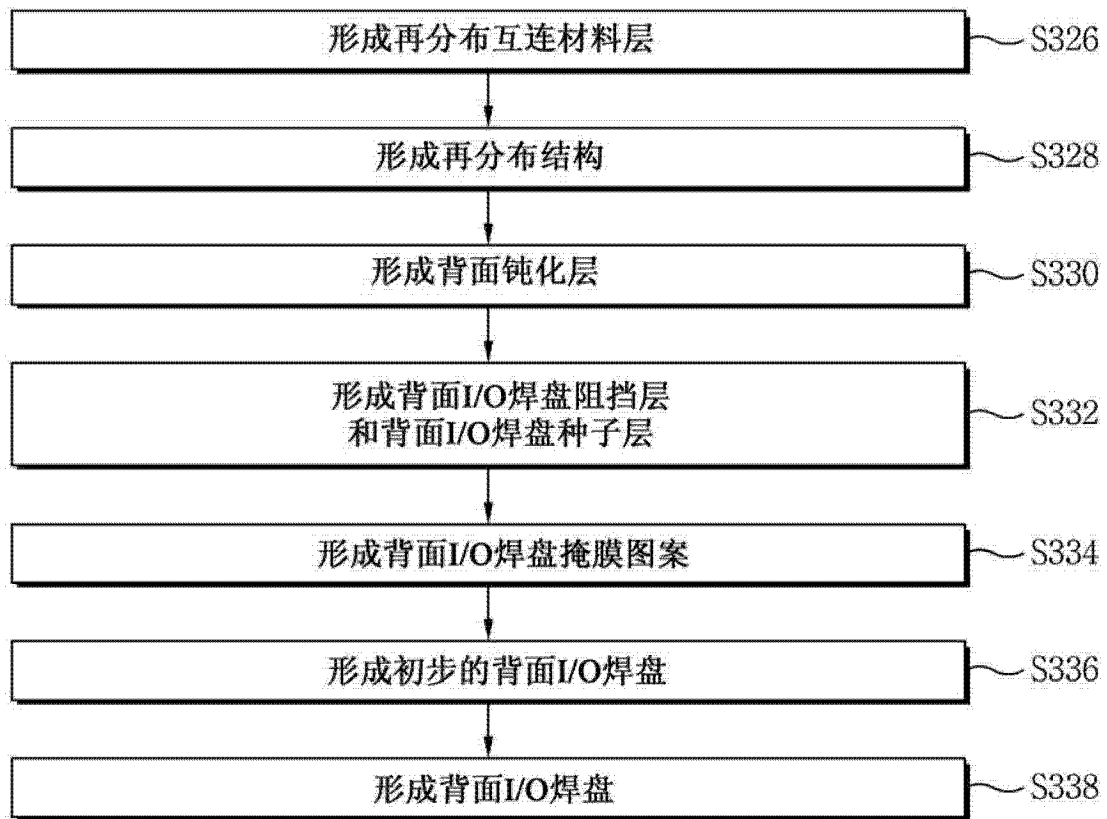


图 9H

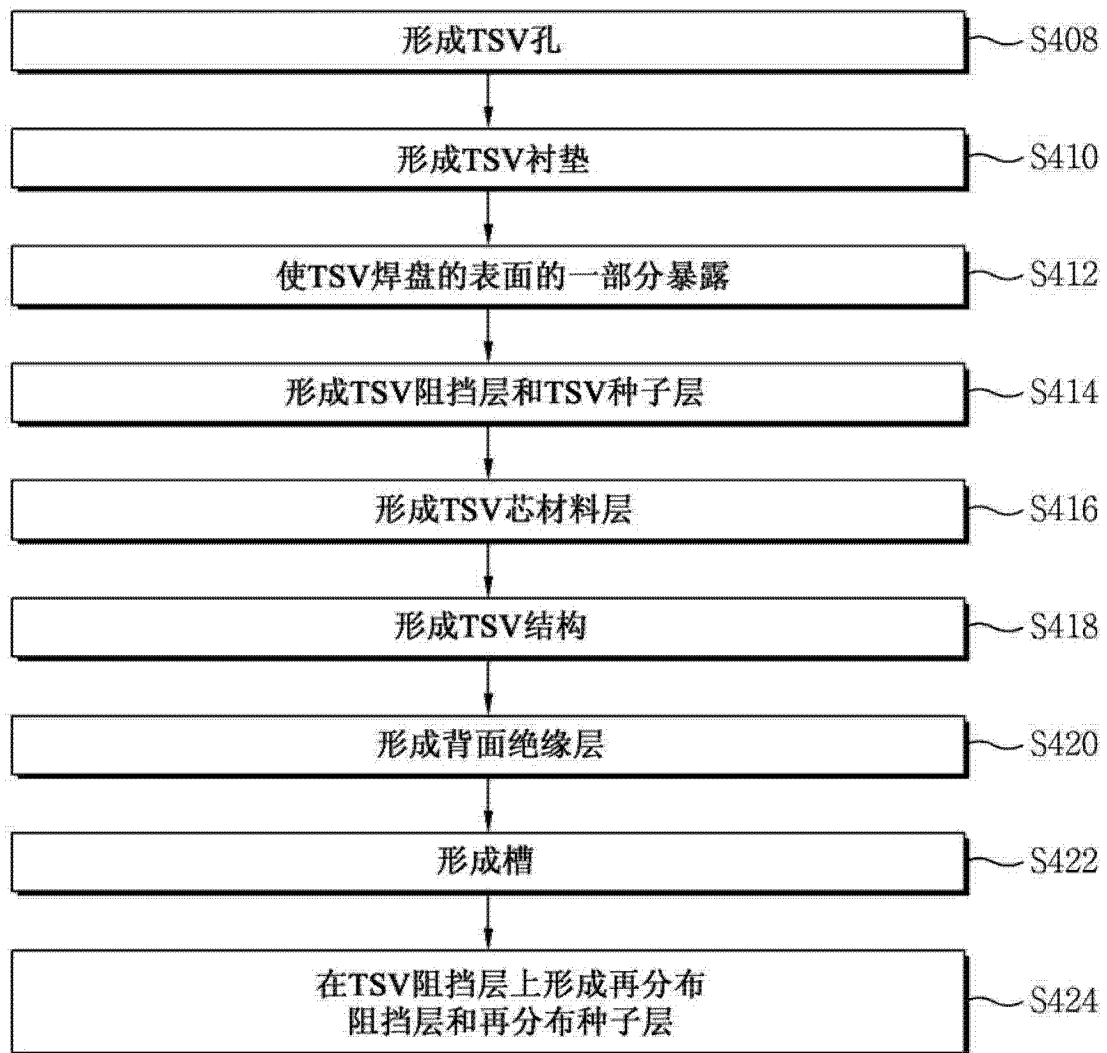


图 91

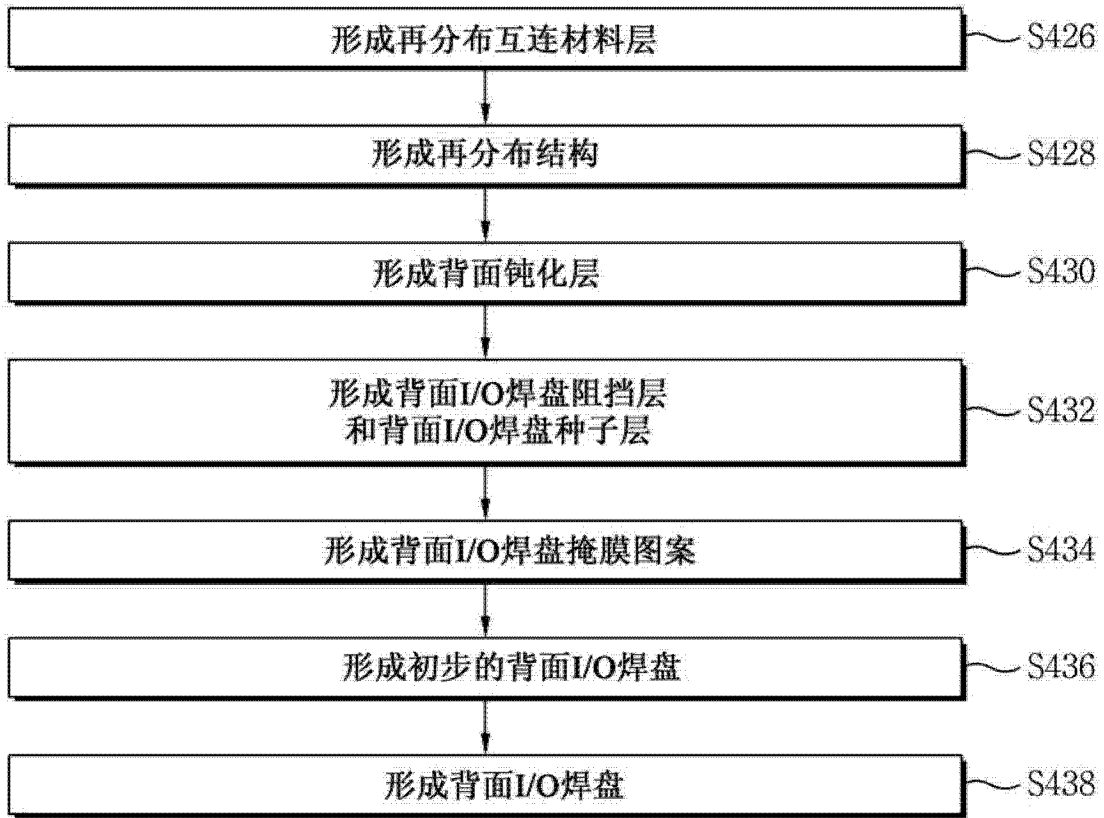


图 9J

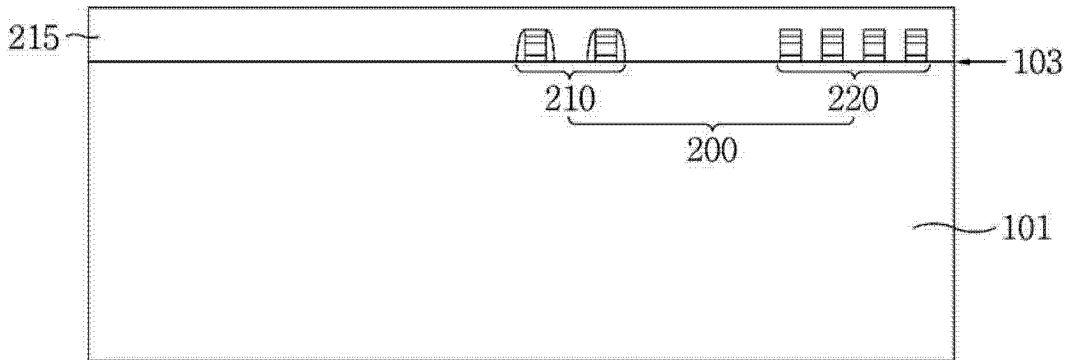


图 10A

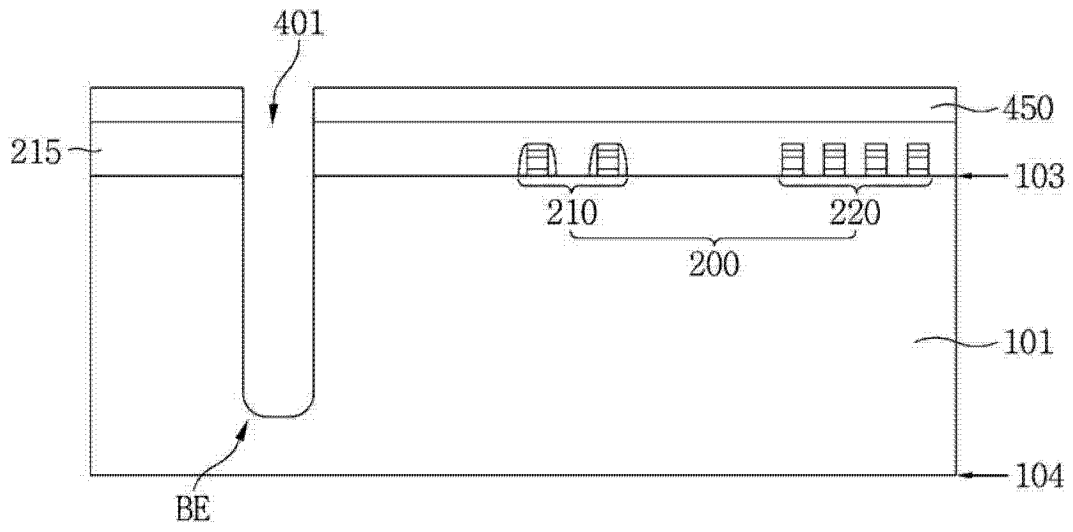


图 10B

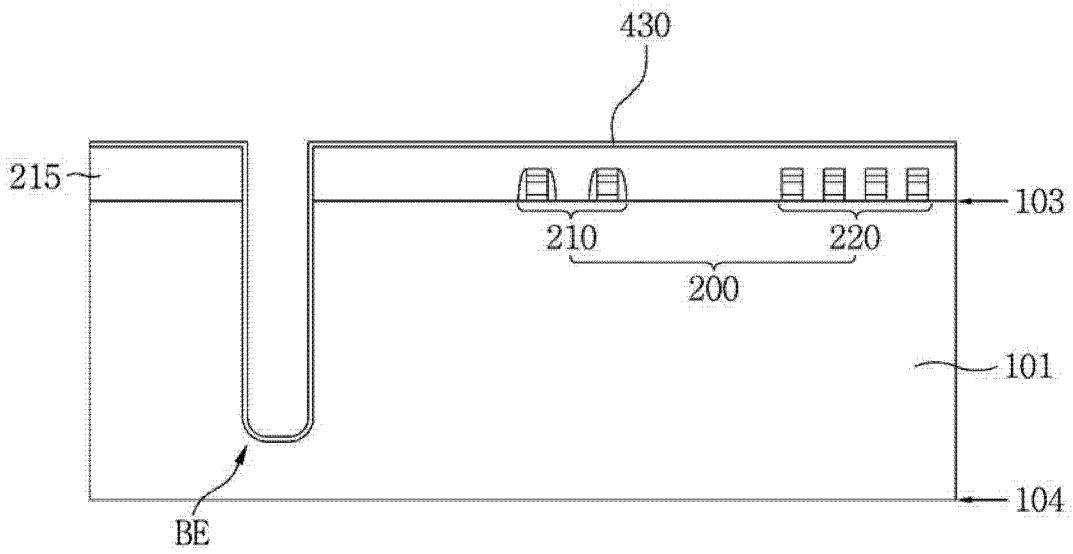


图 10C

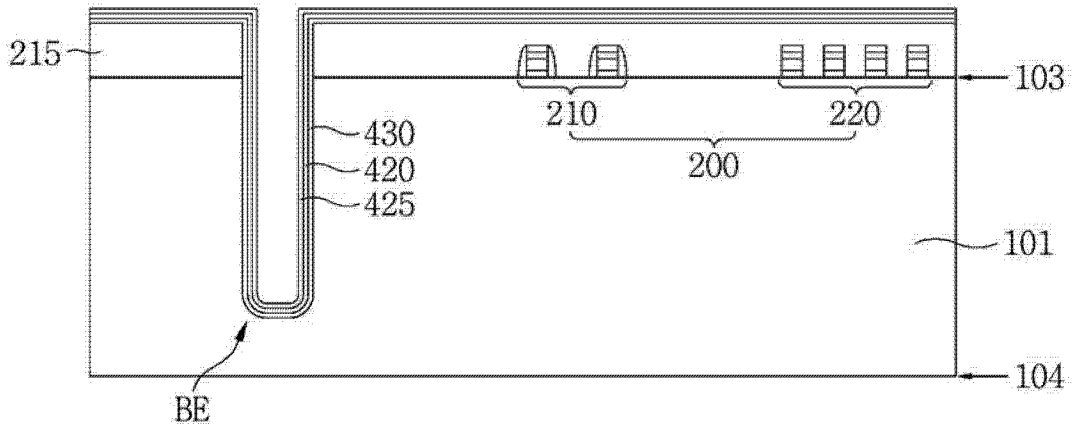


图 10D

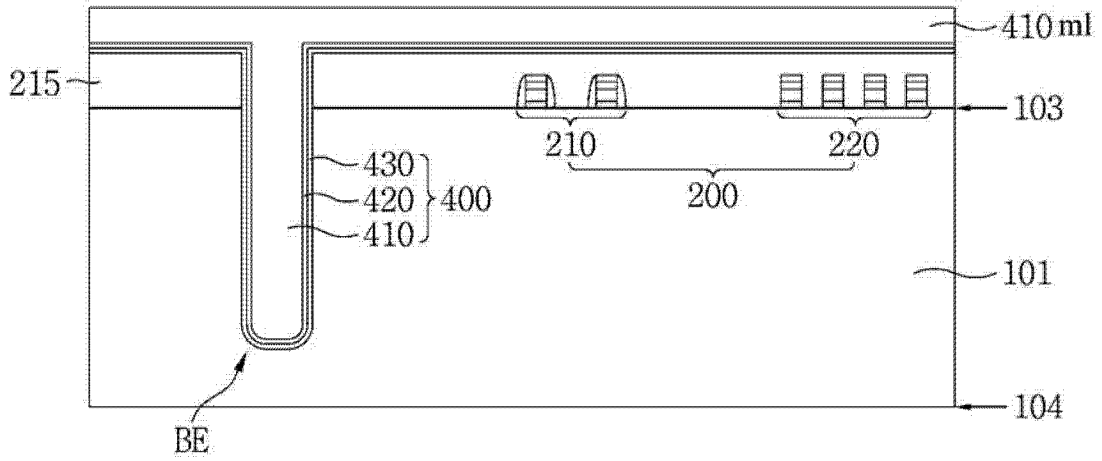


图 10E

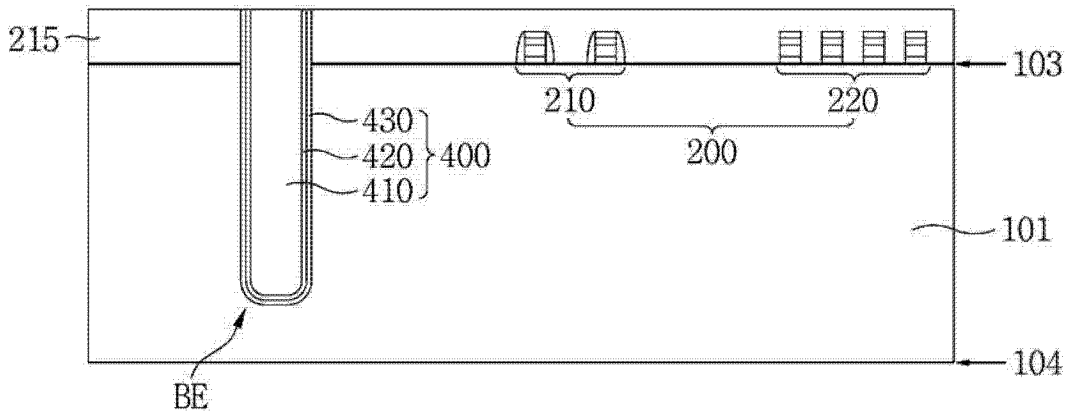


图 10F

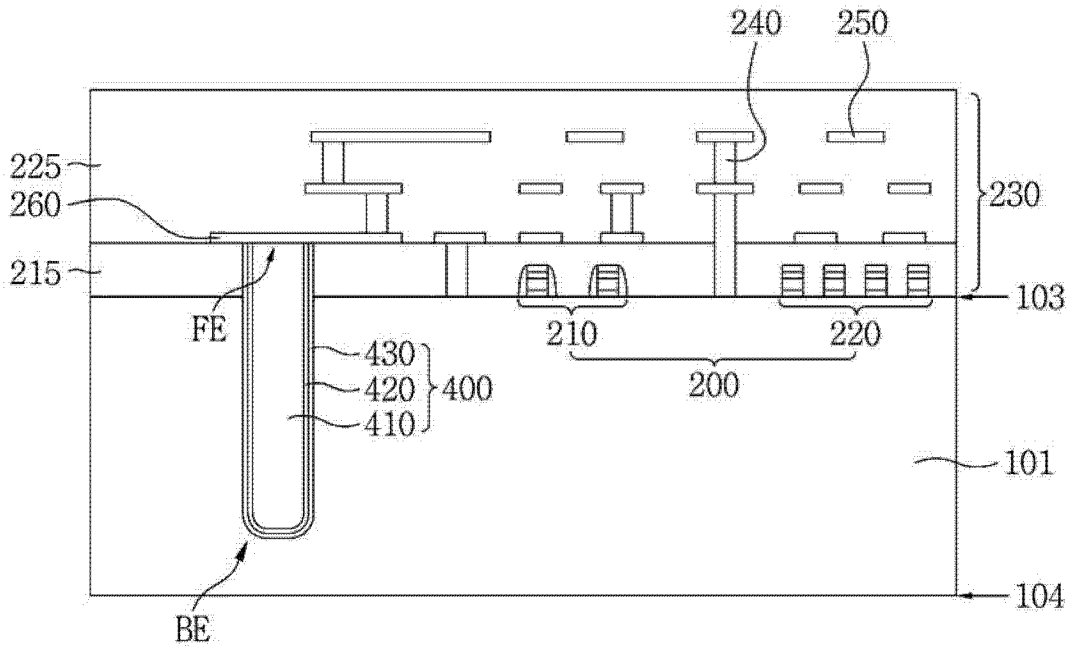


图 10G

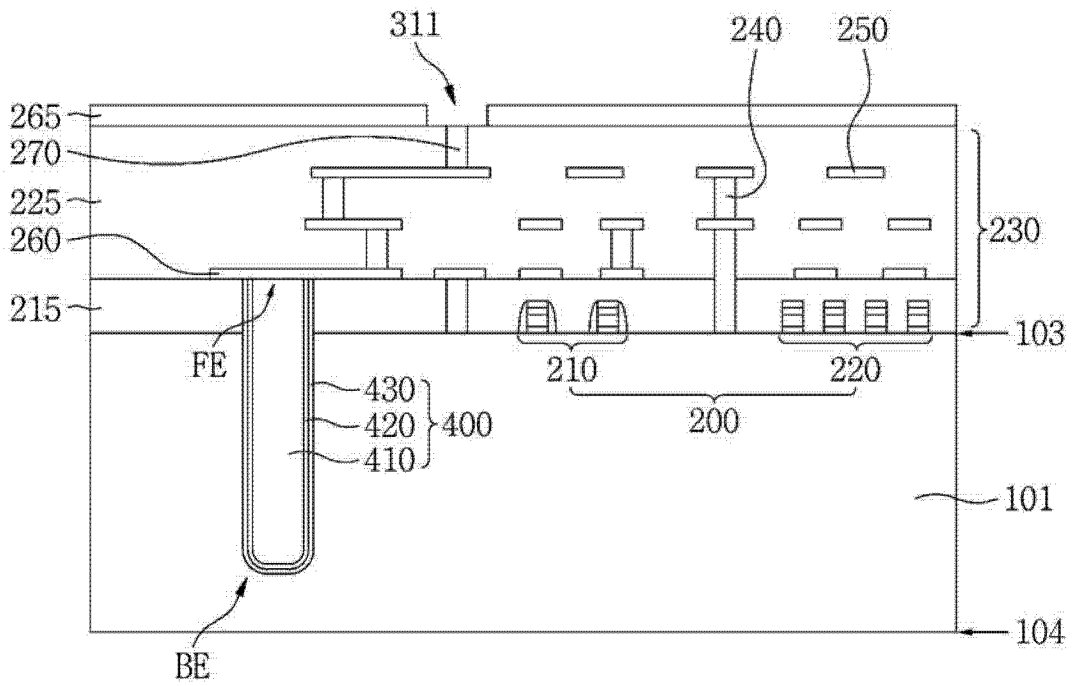


图 10H

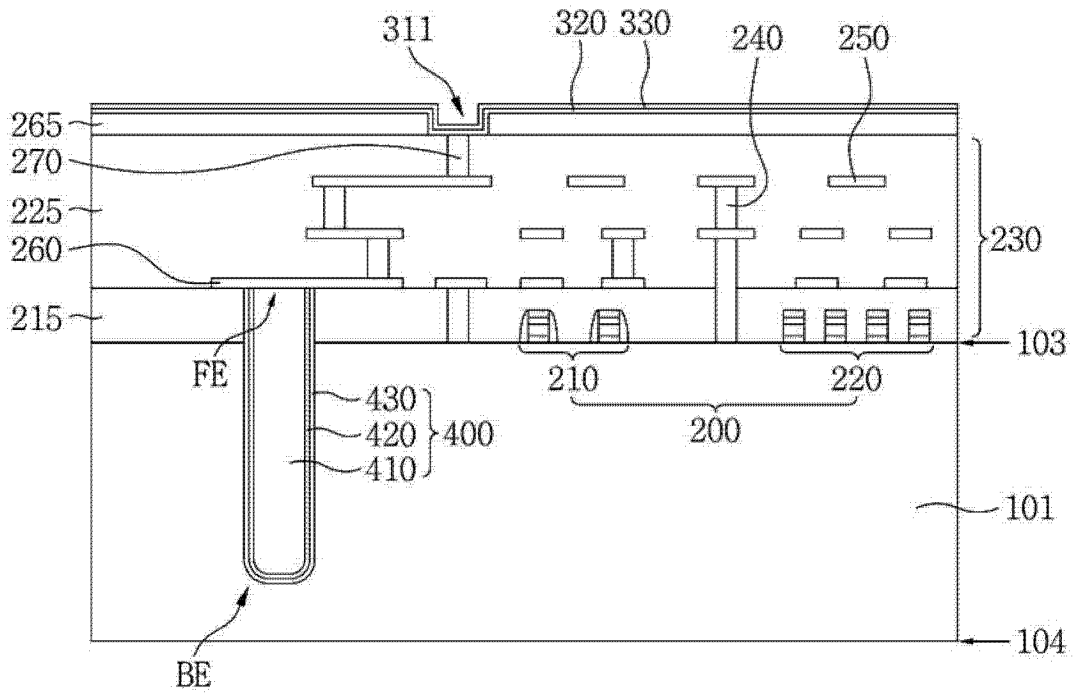


图 10I

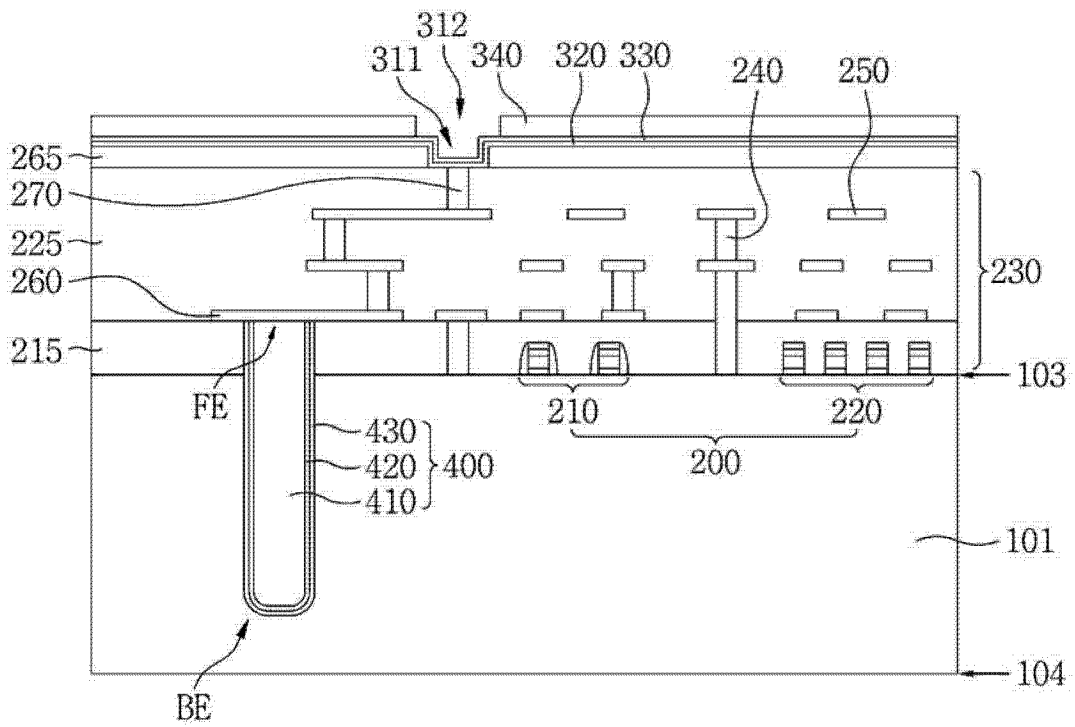


图 10J



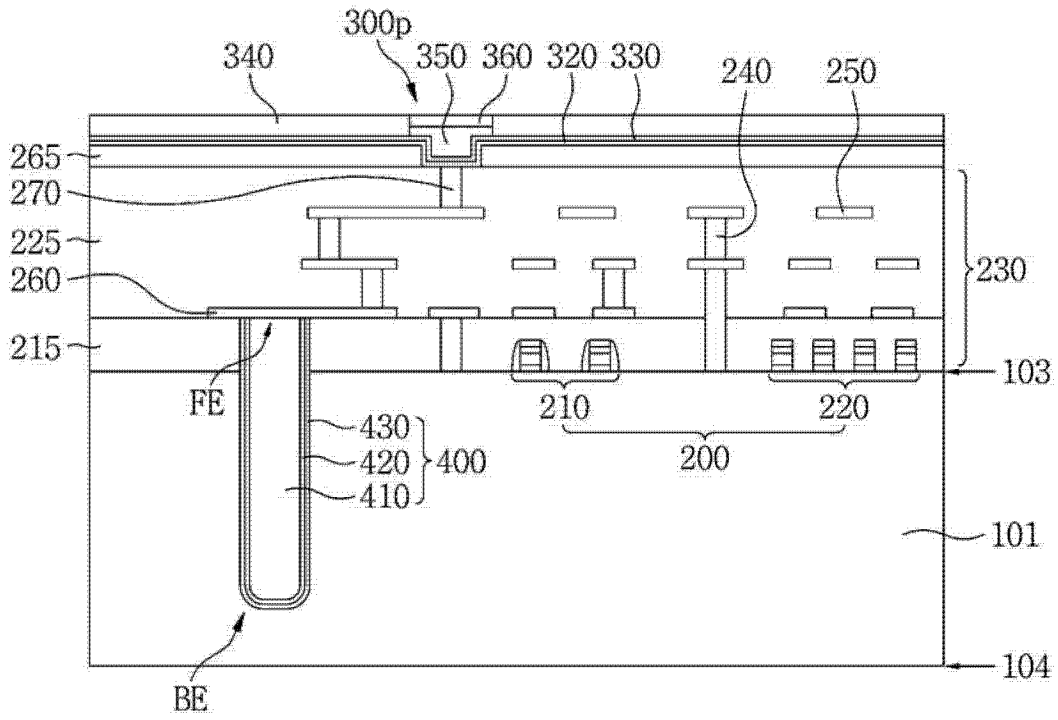


图 10K

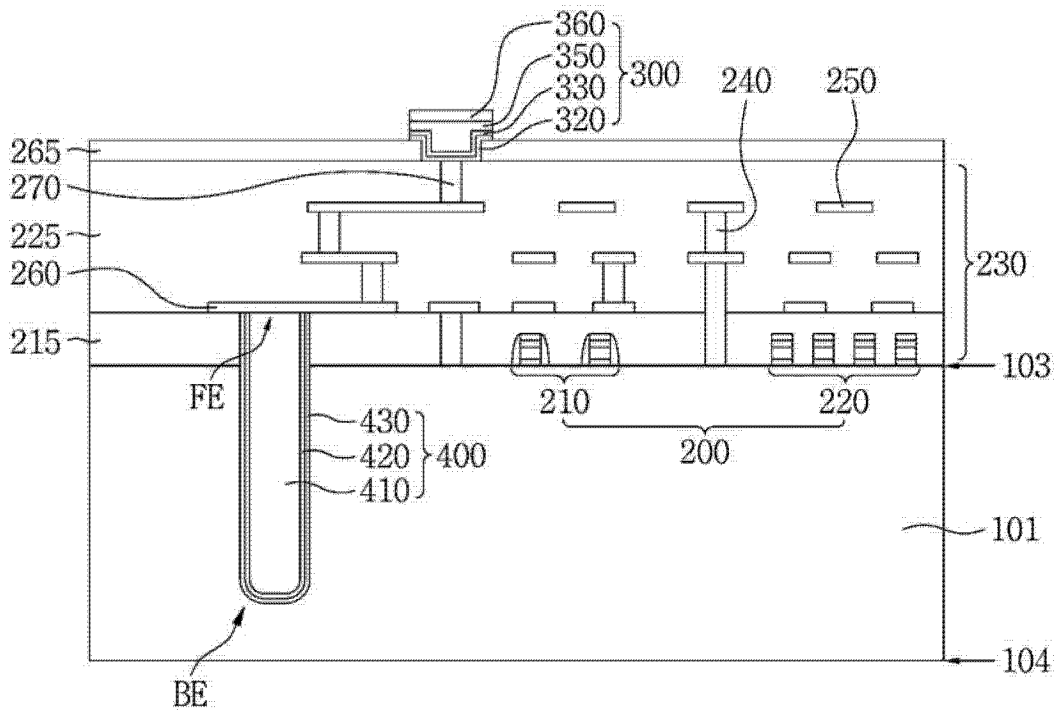


图 10L

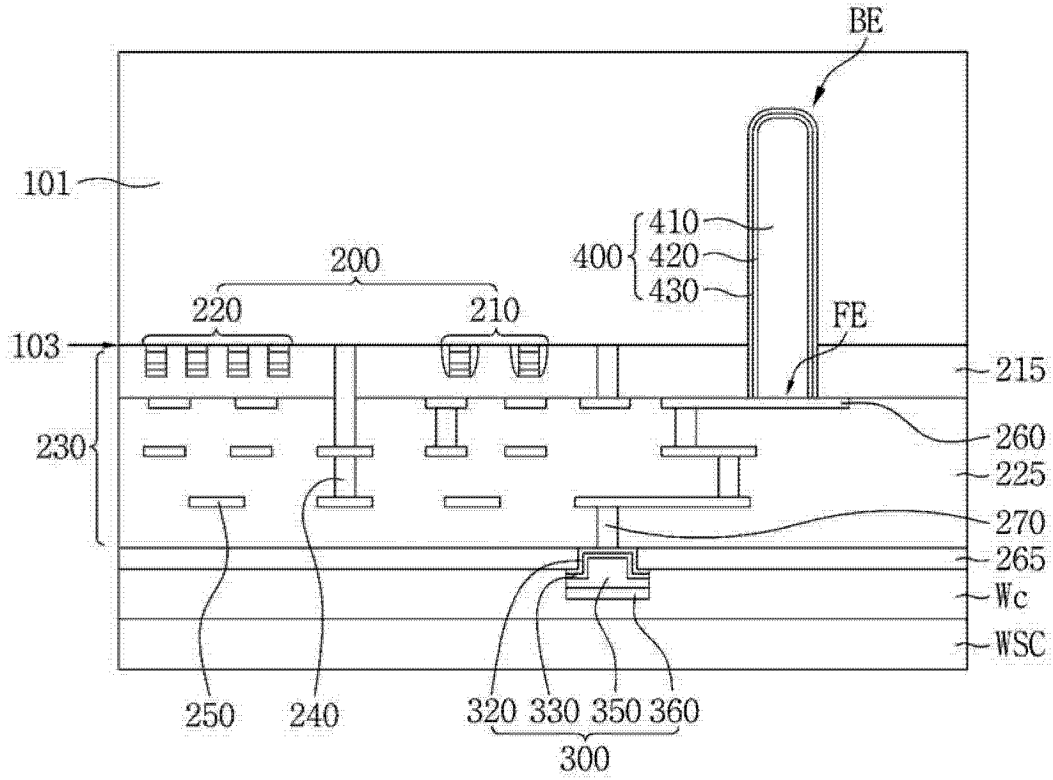


图 10M

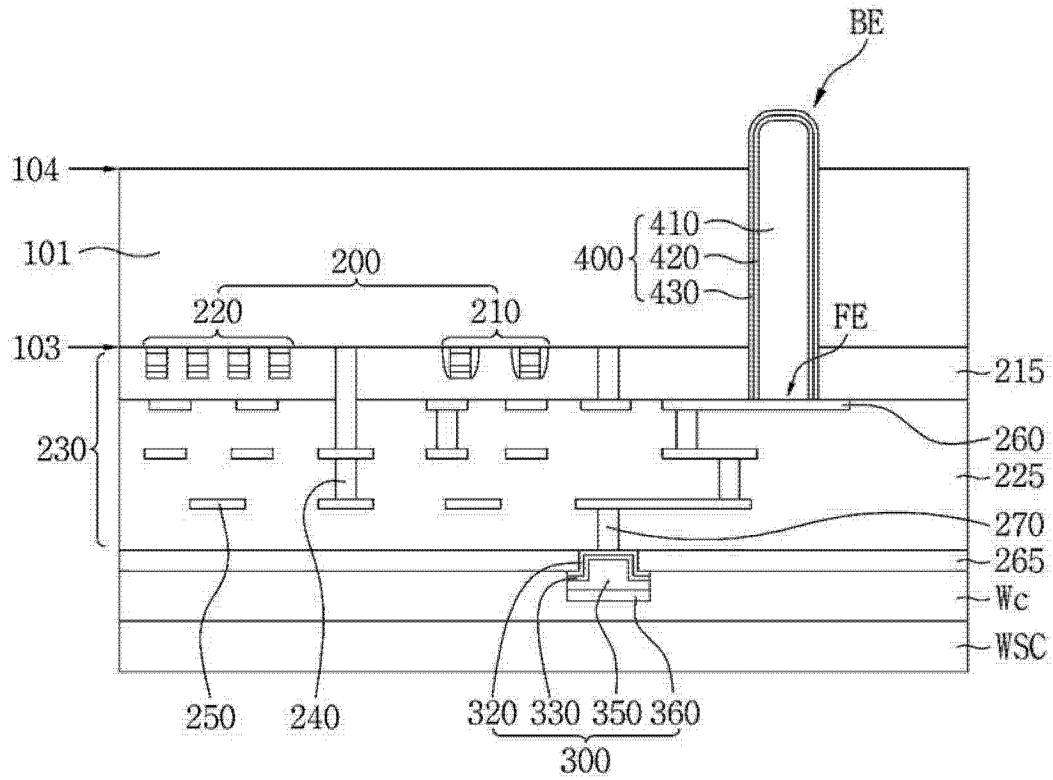


图 10N

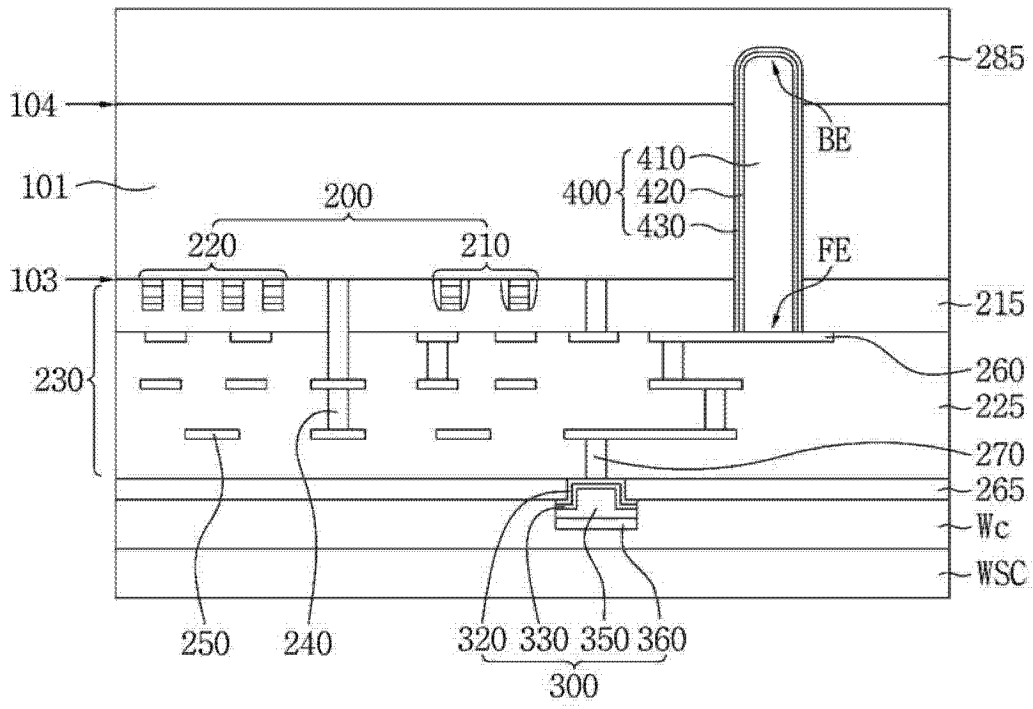


图 100

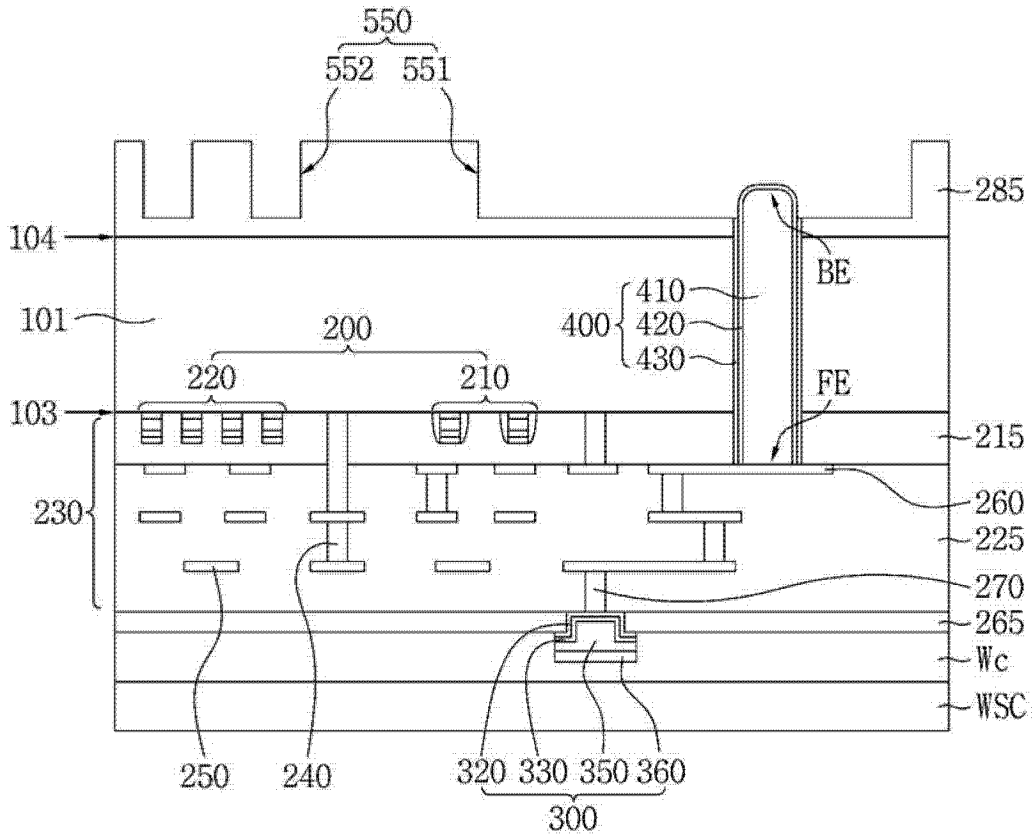


图 10P

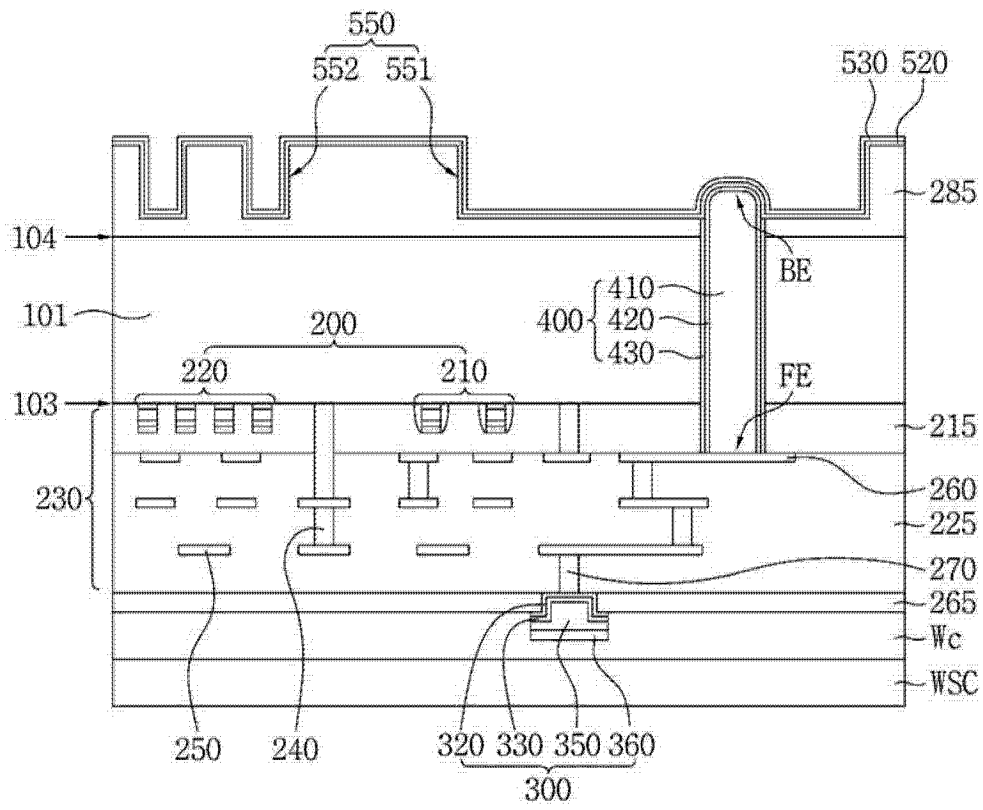


图 10Q

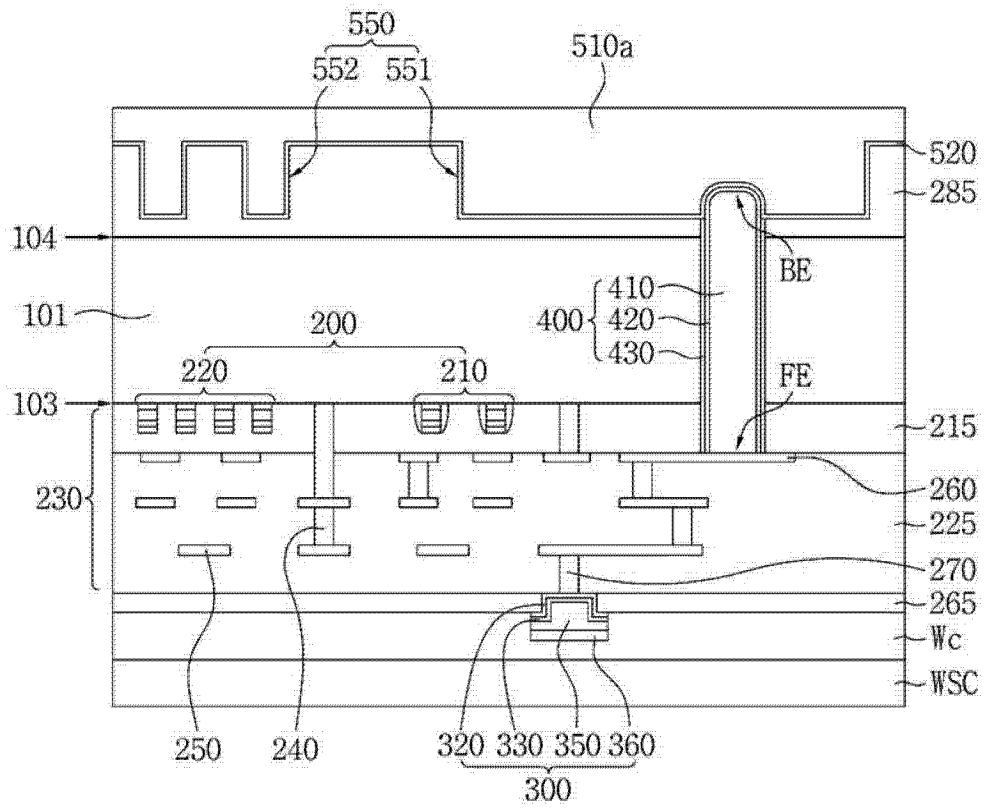


图 10R

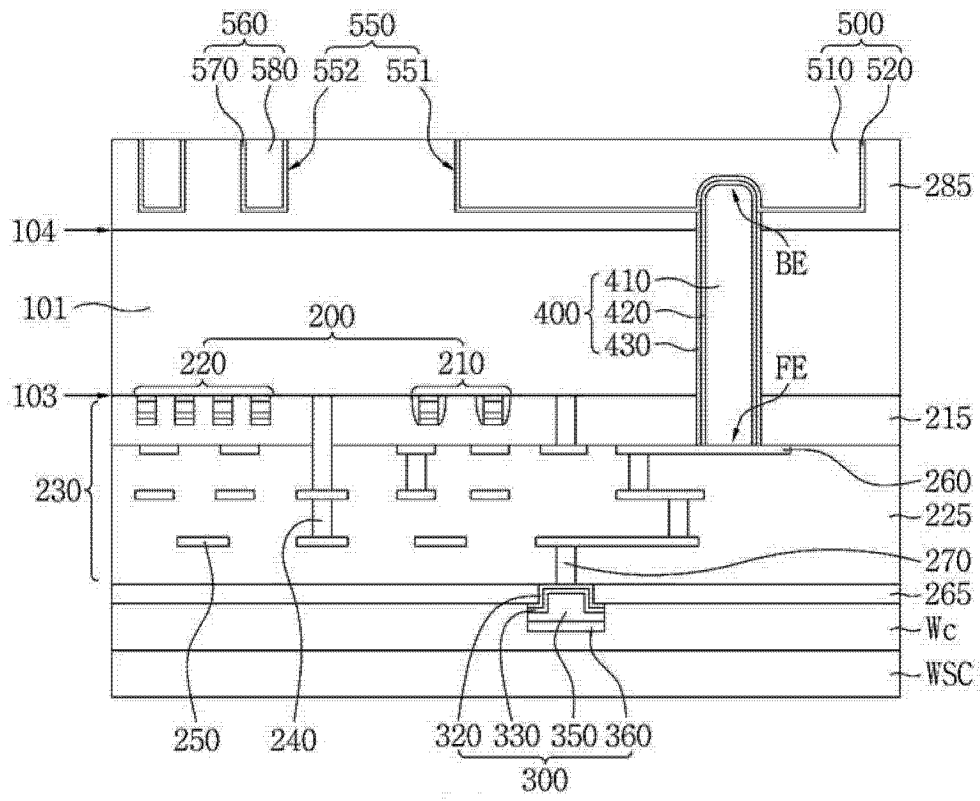


图 10S

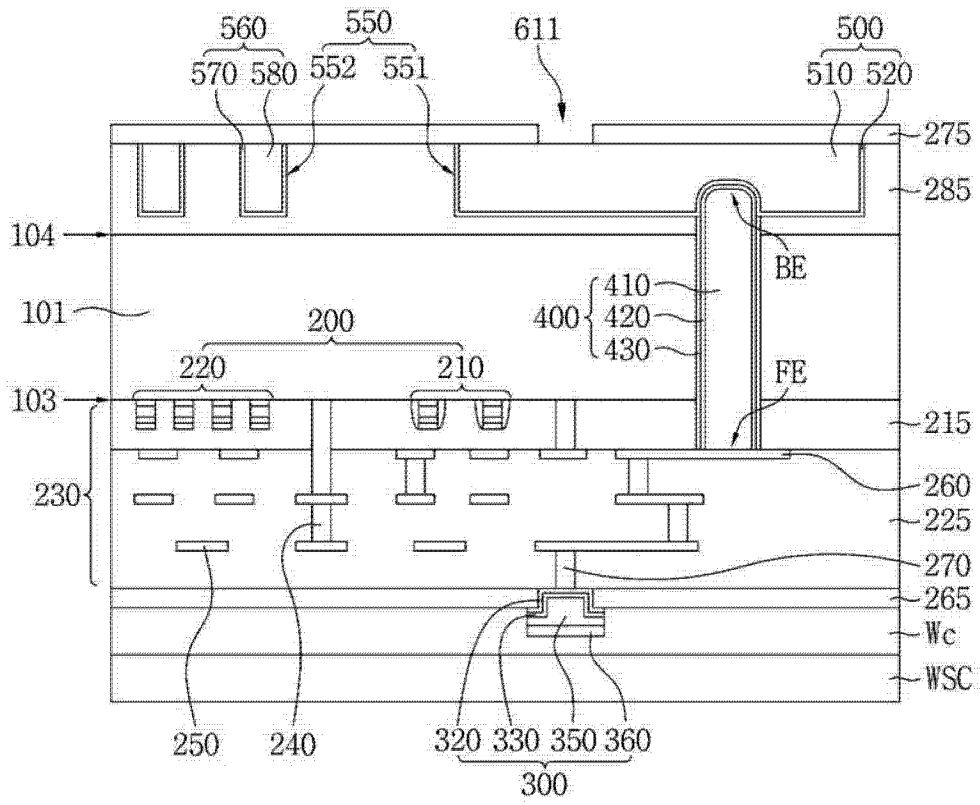


图 10T

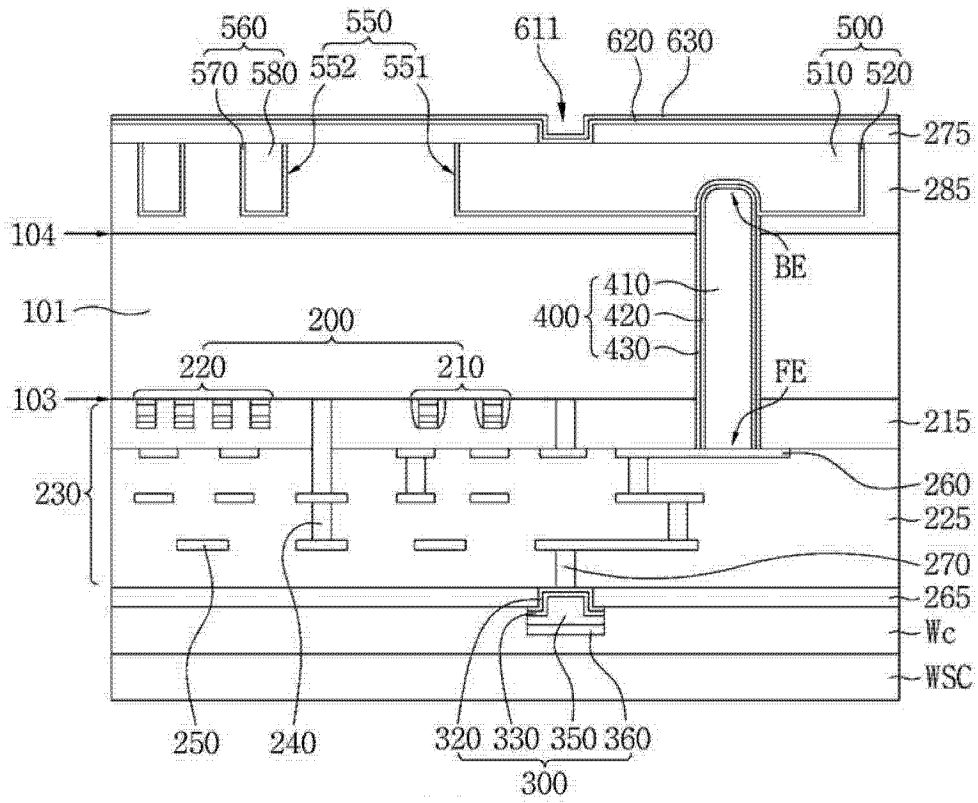


图 10U



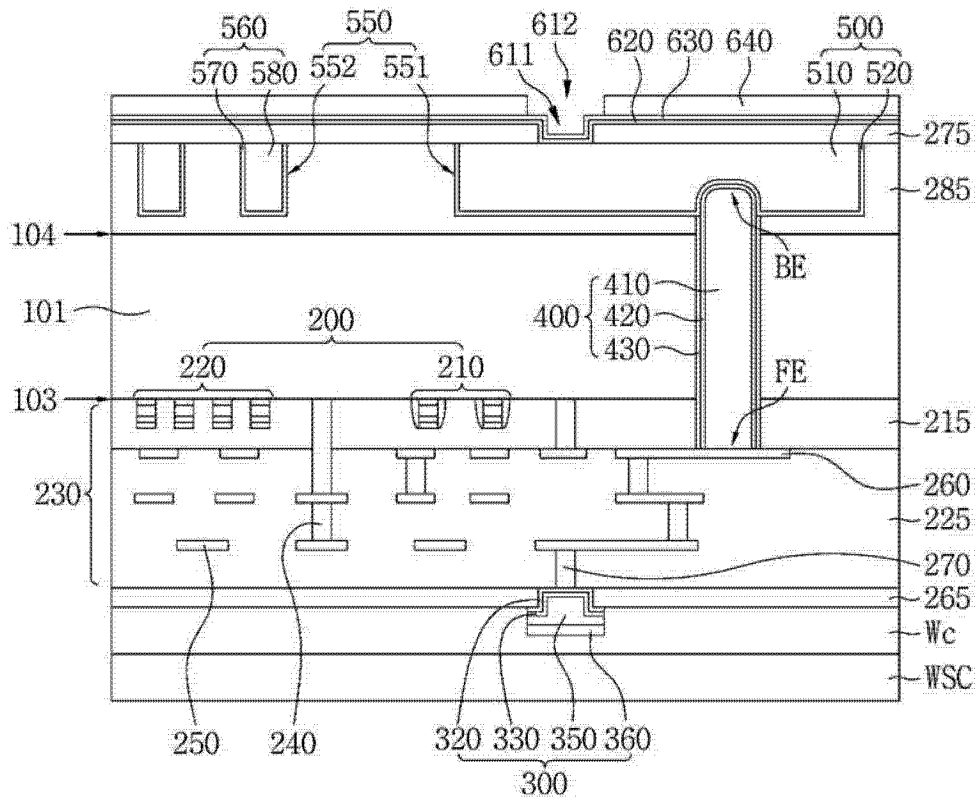


图 10V

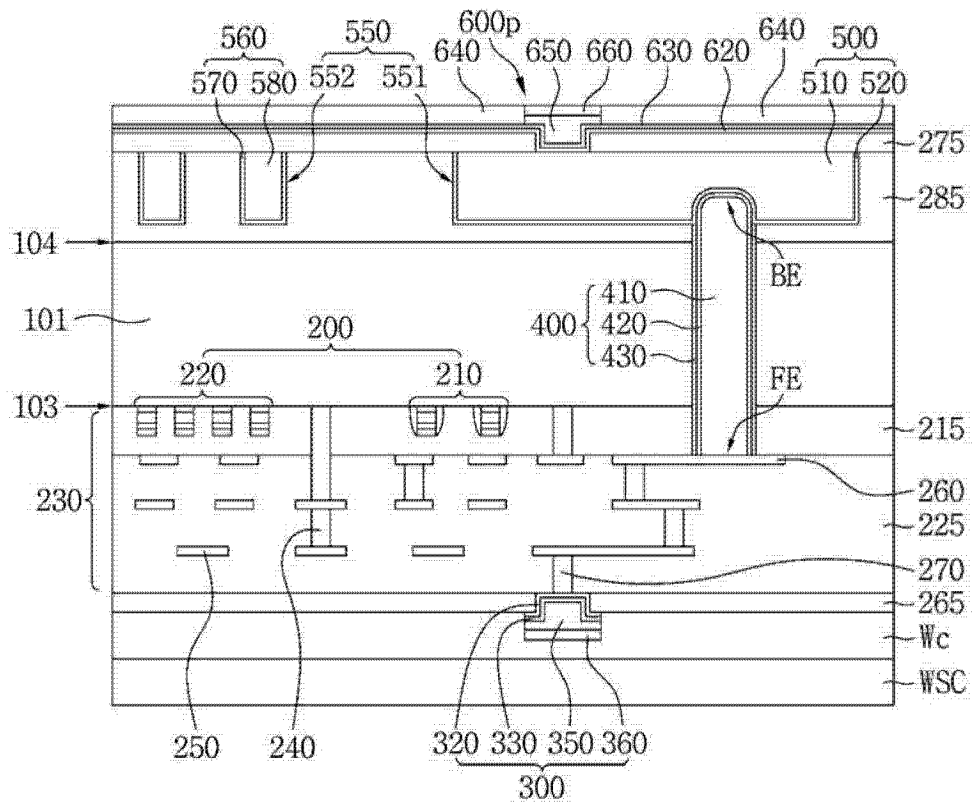


图 10W

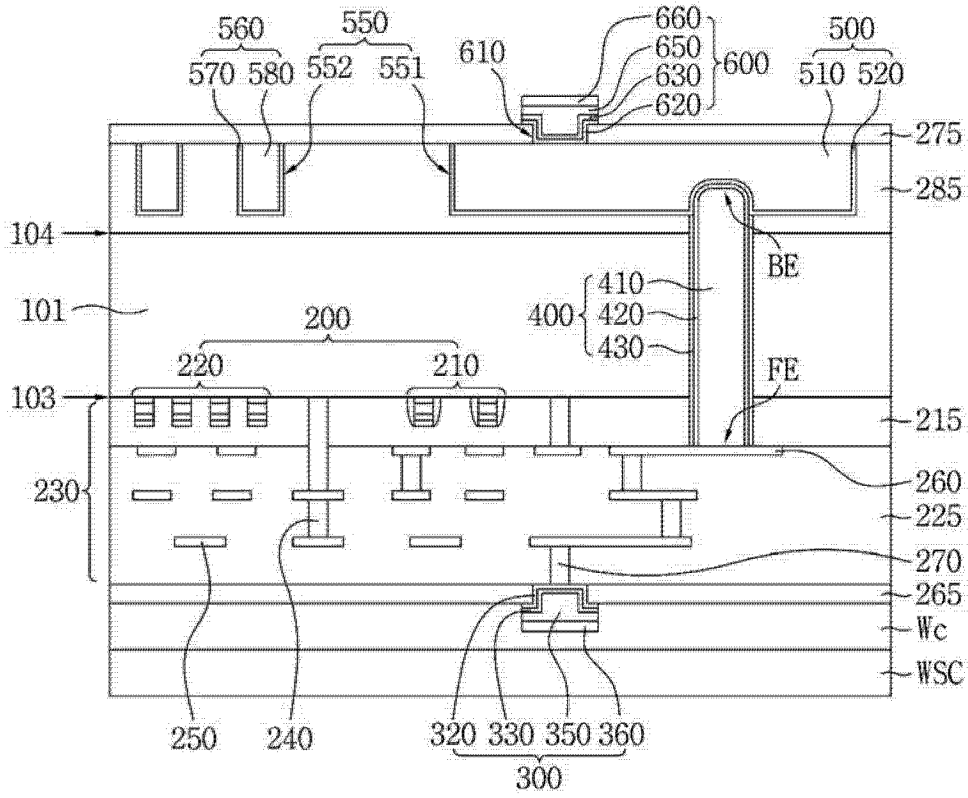


图 10X

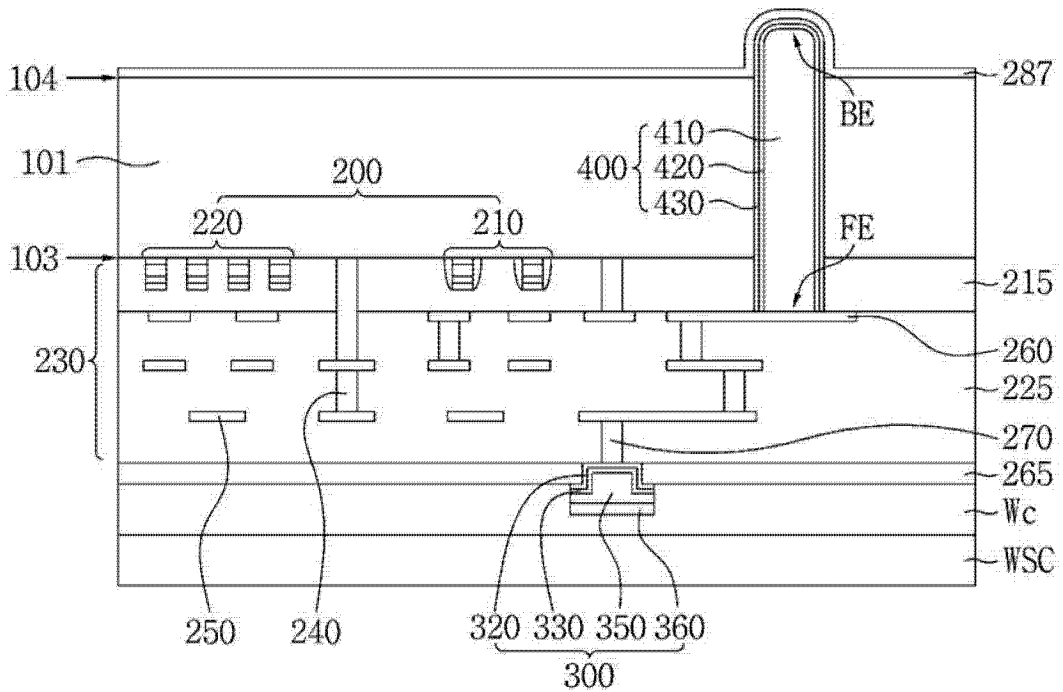


图 11A

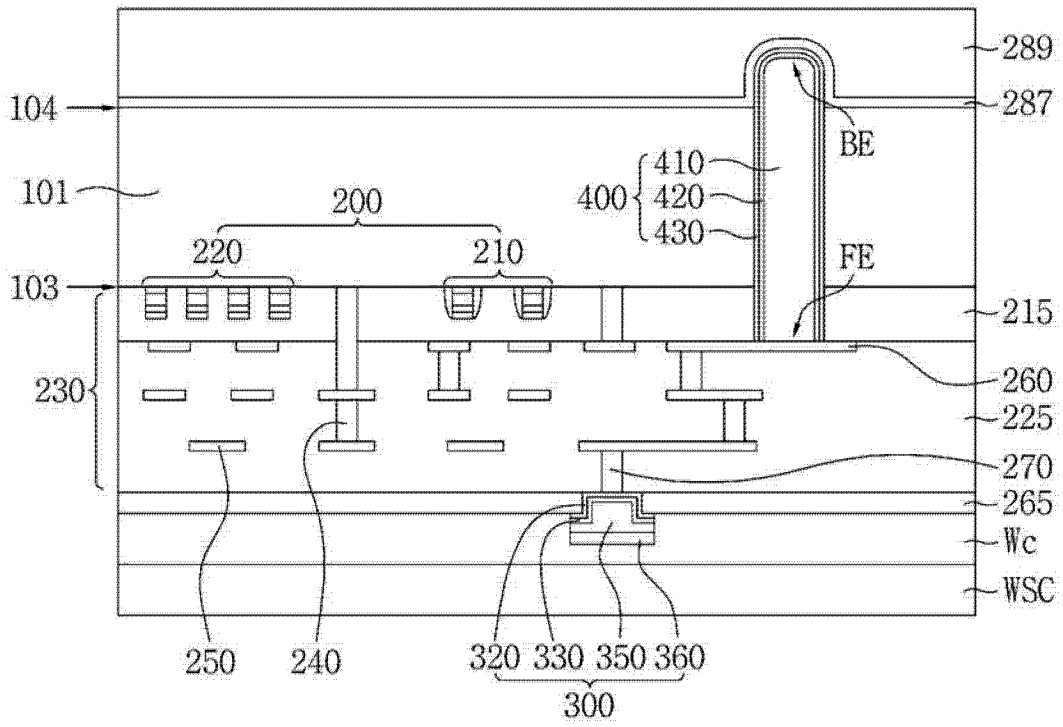


图 11B

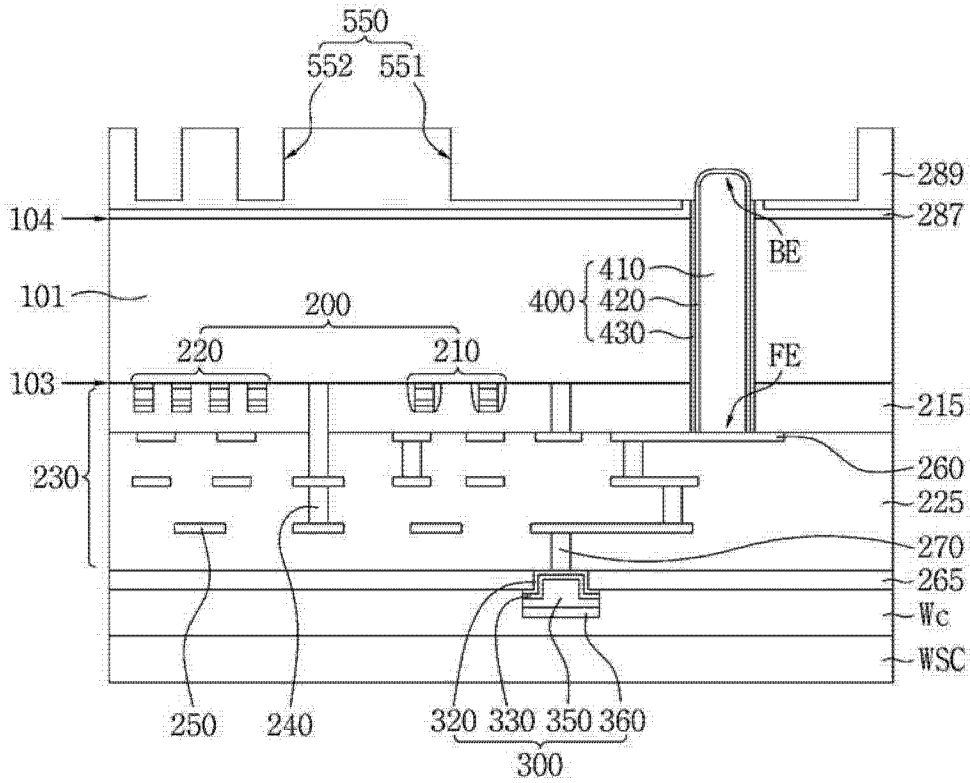


图 11C

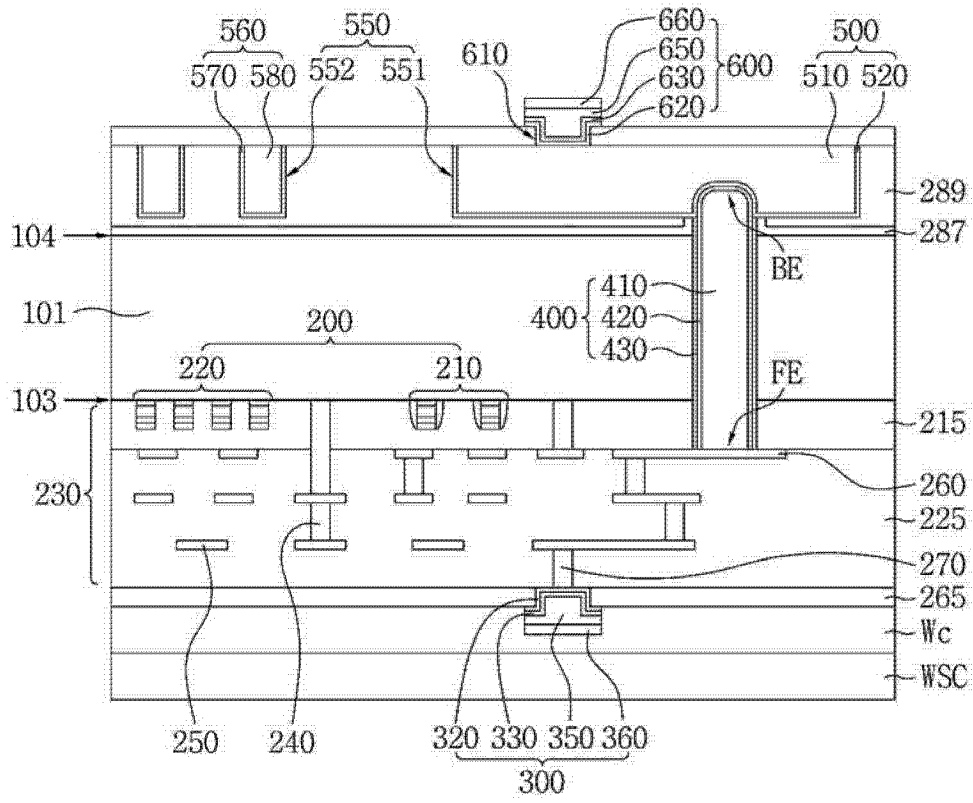


图 11D

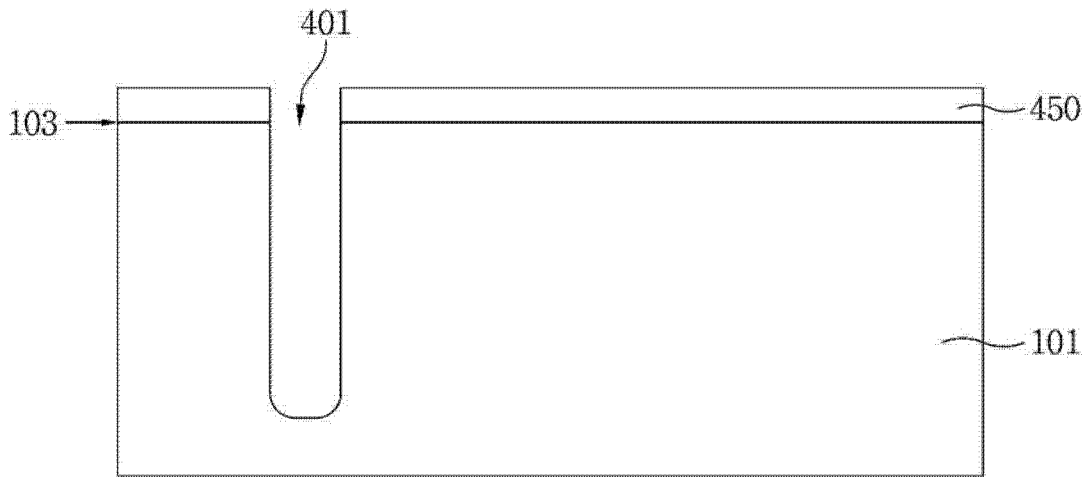


图 12A

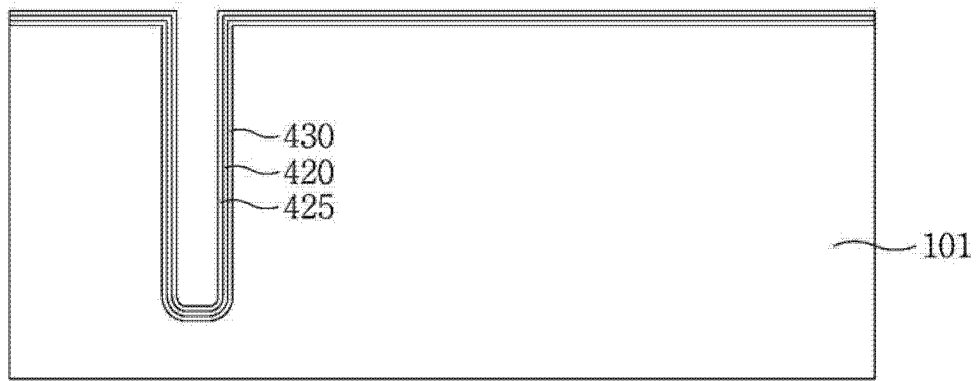


图 12B

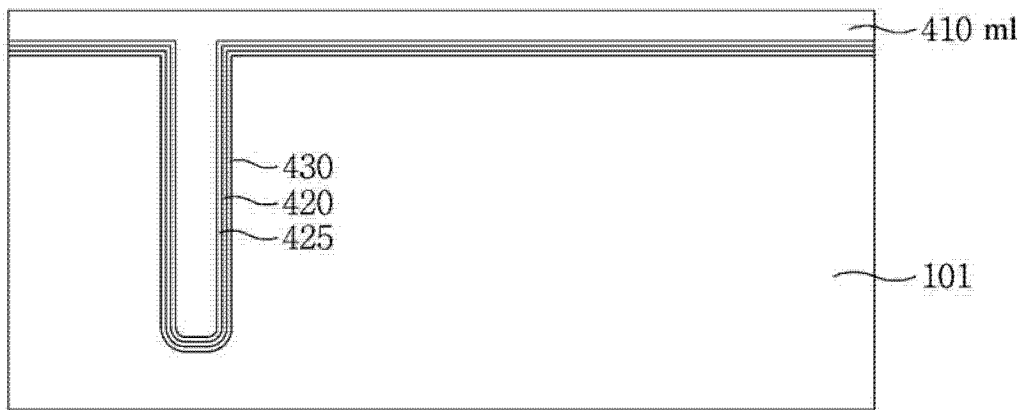


图 12C

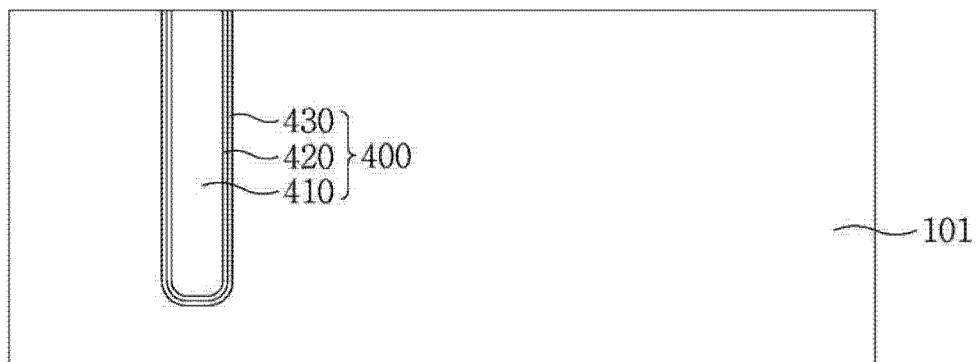


图 12D

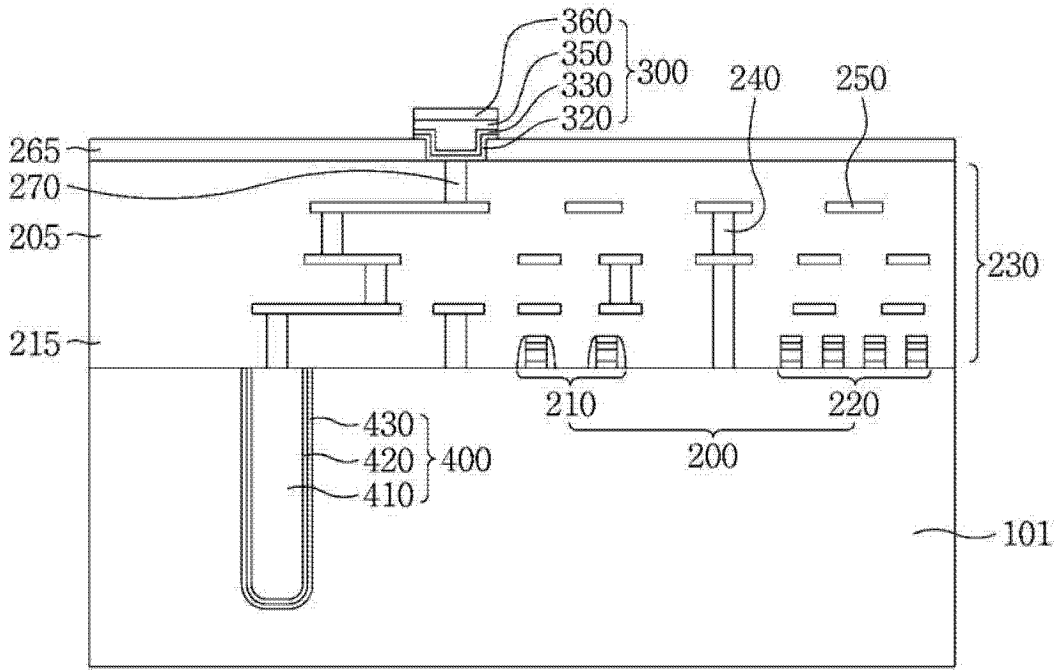


图 12E

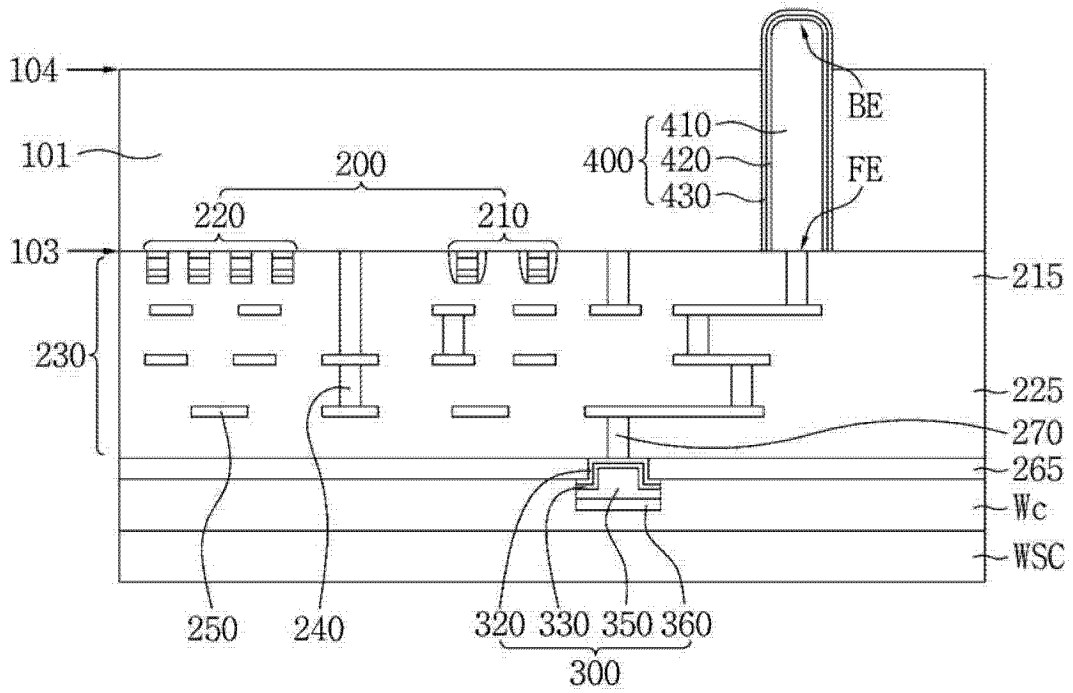


图 12F

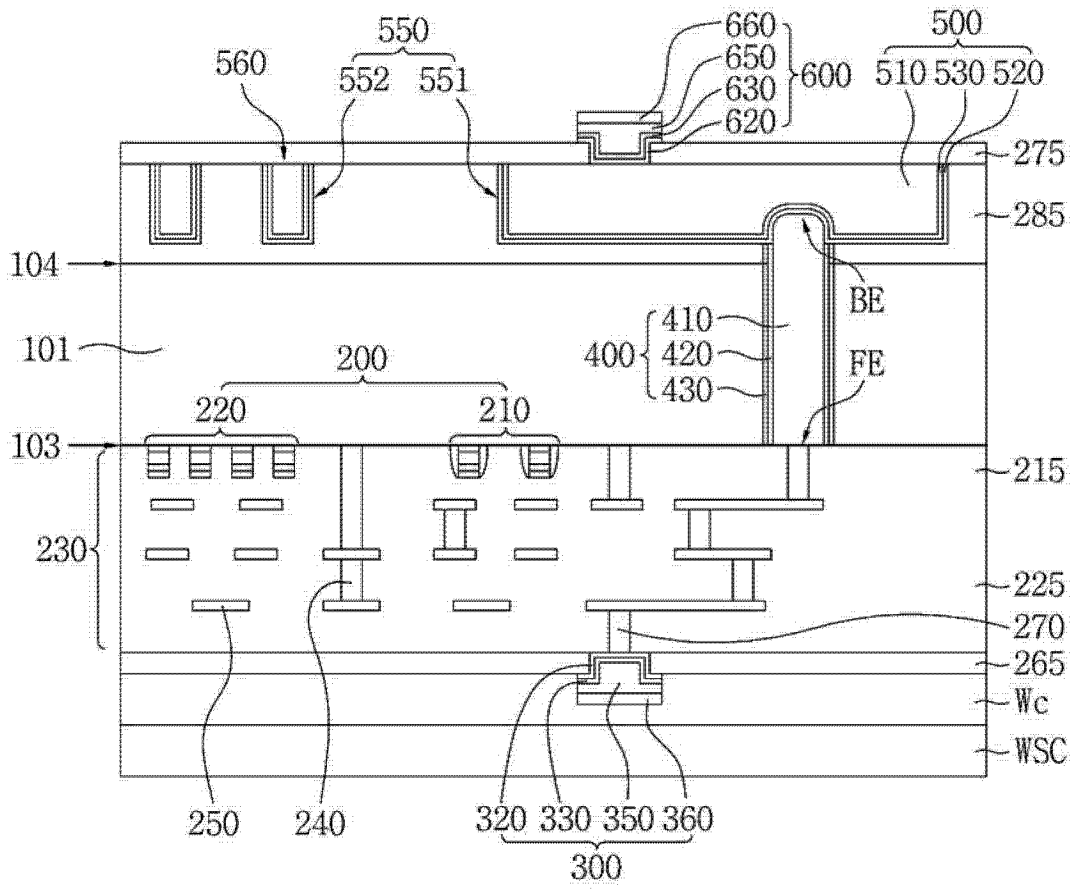


图 12G



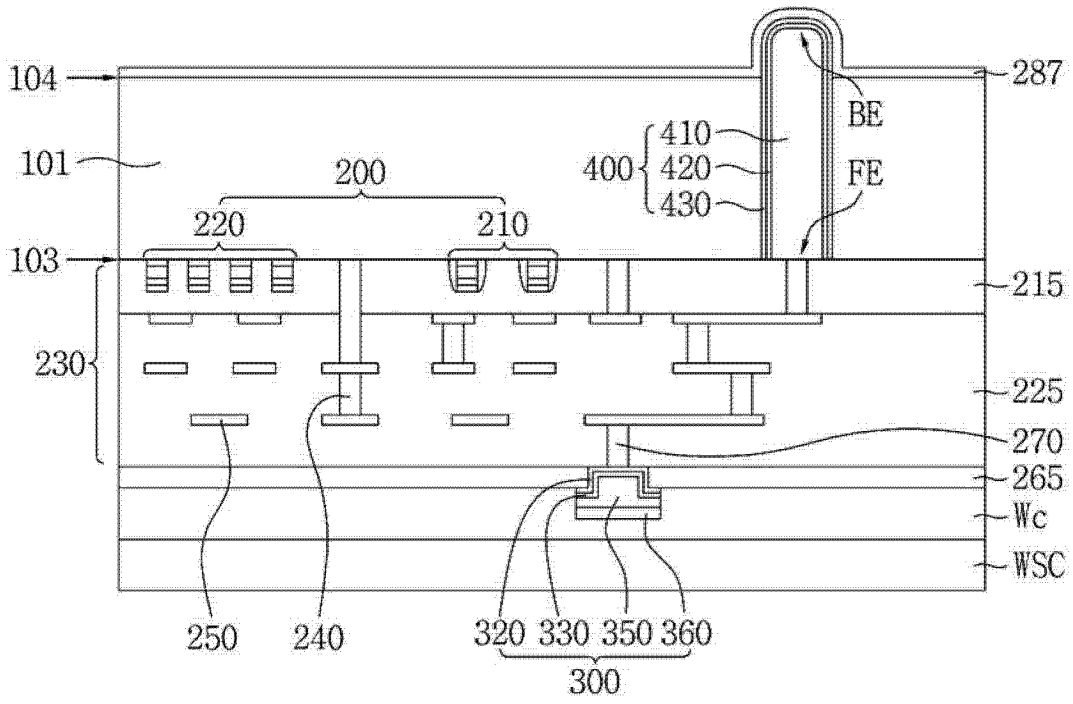


图 13A

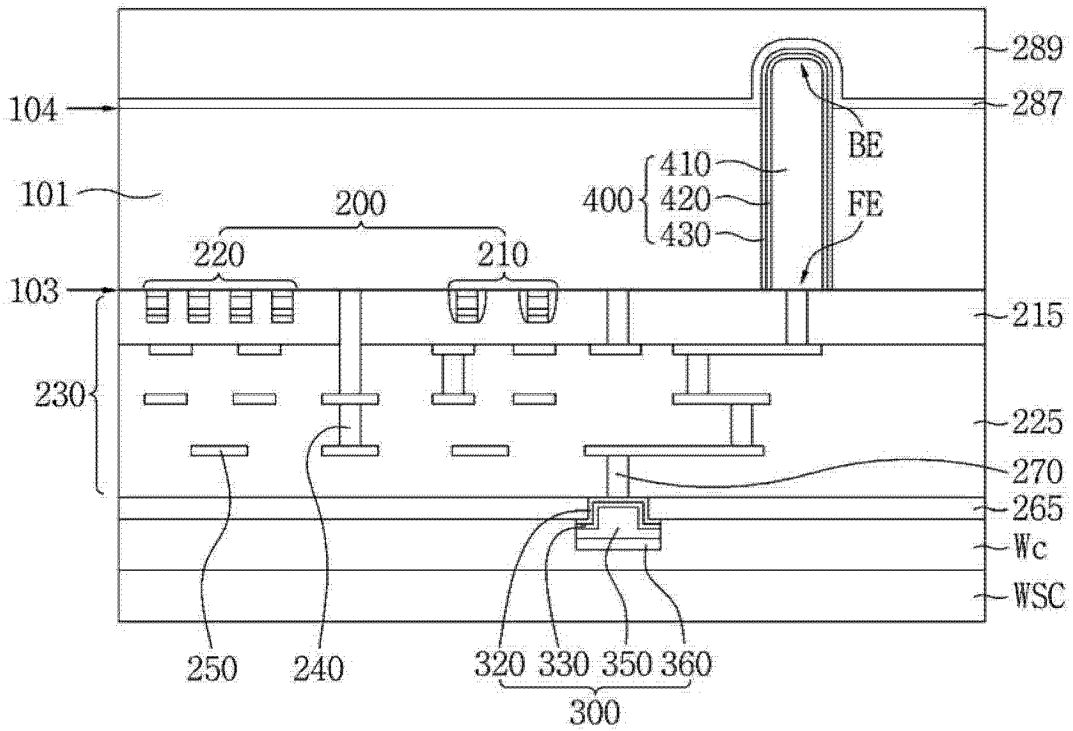


图 13B

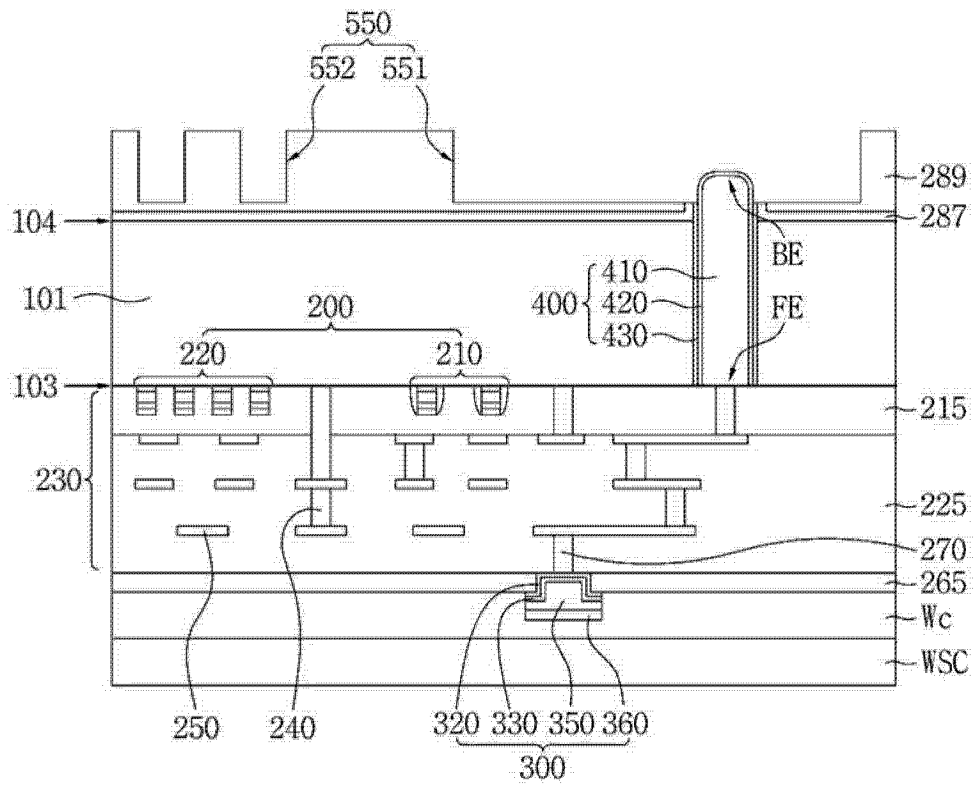


图 13C

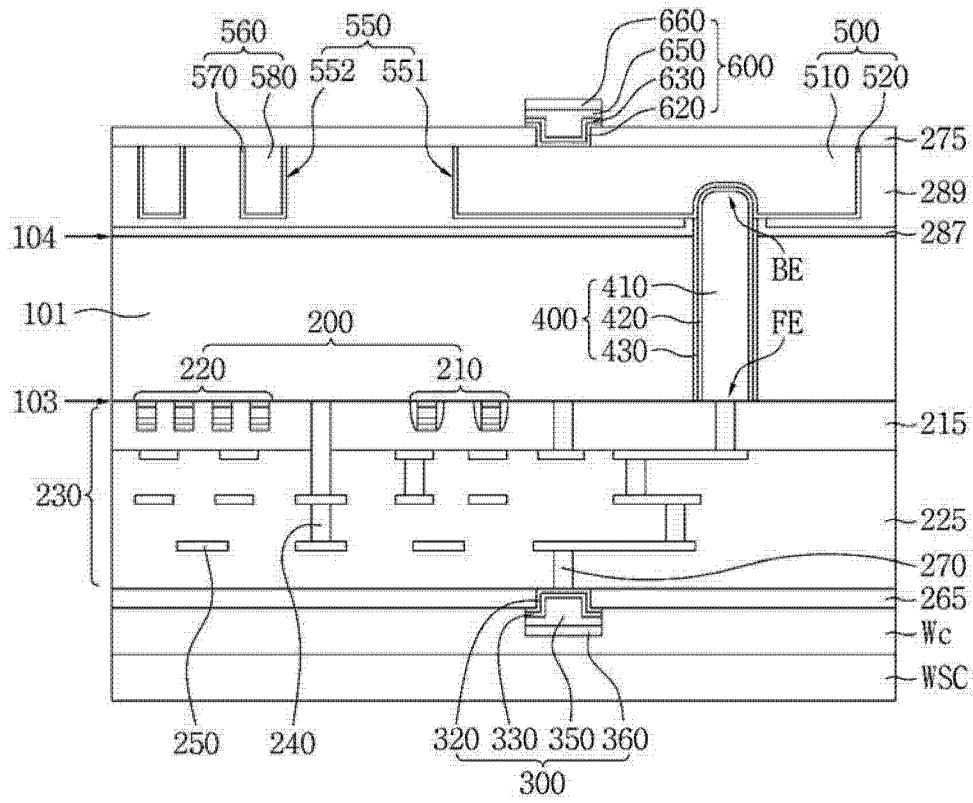


图 13D

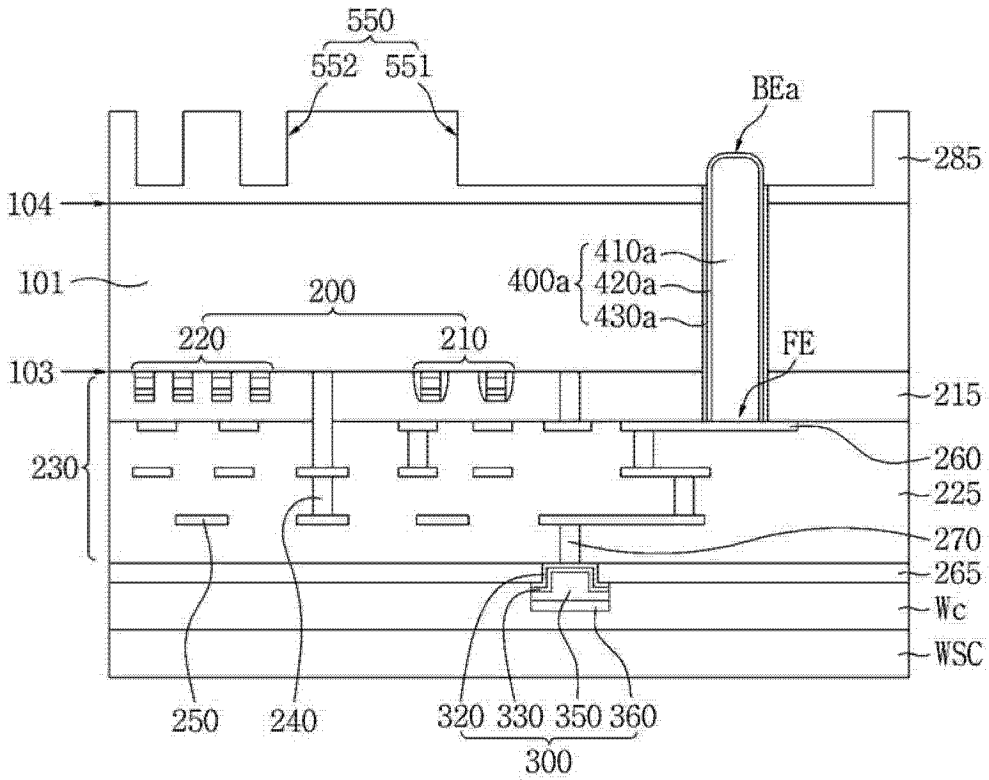


图 14A

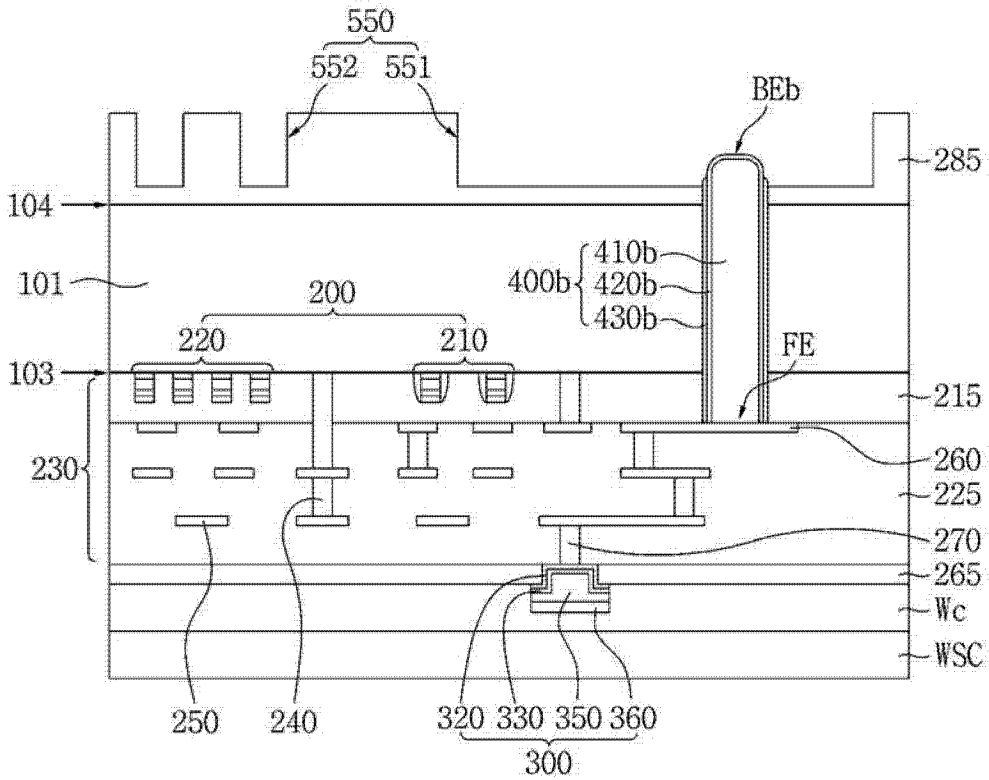


图 14B

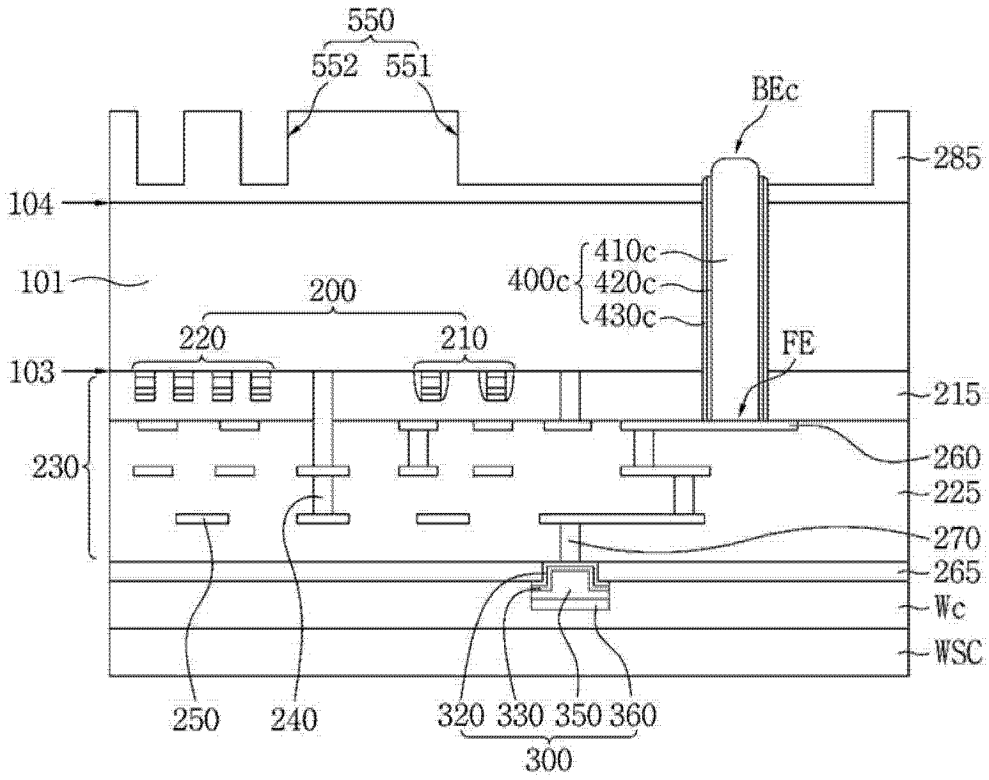


图 14C

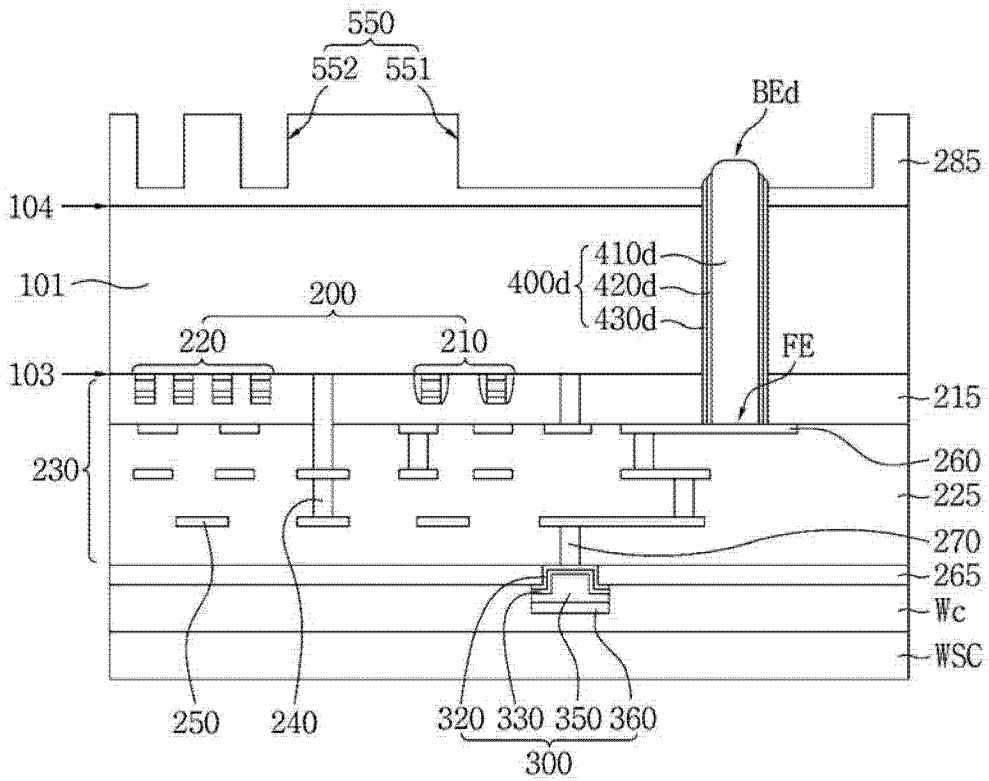


图 14D

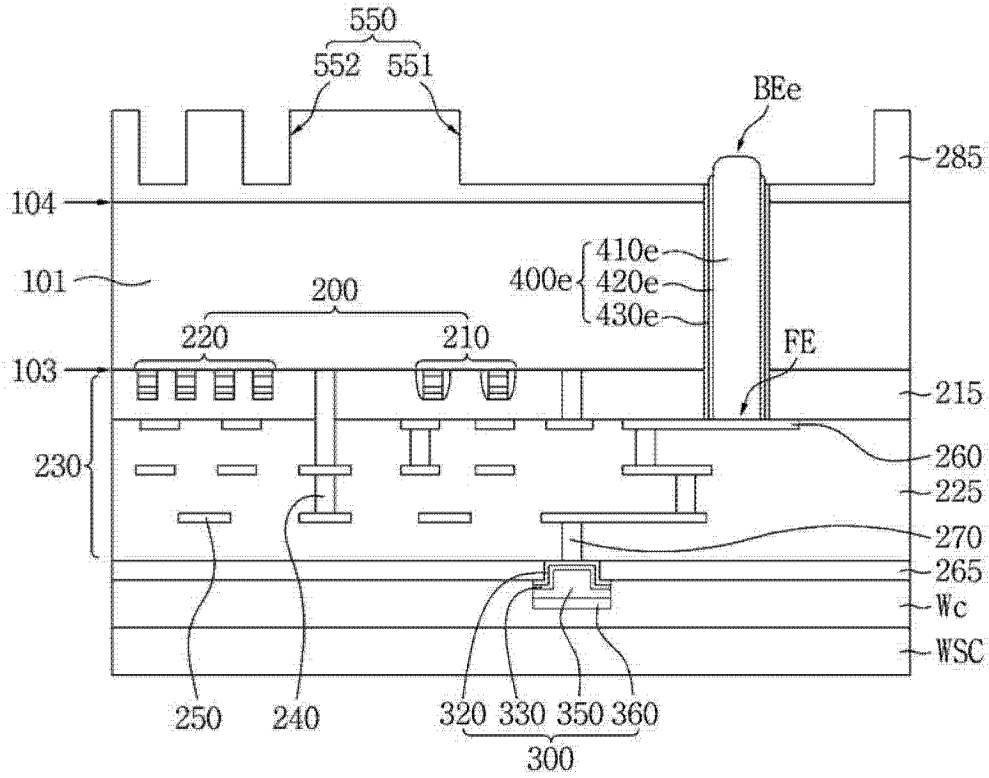


图 14E

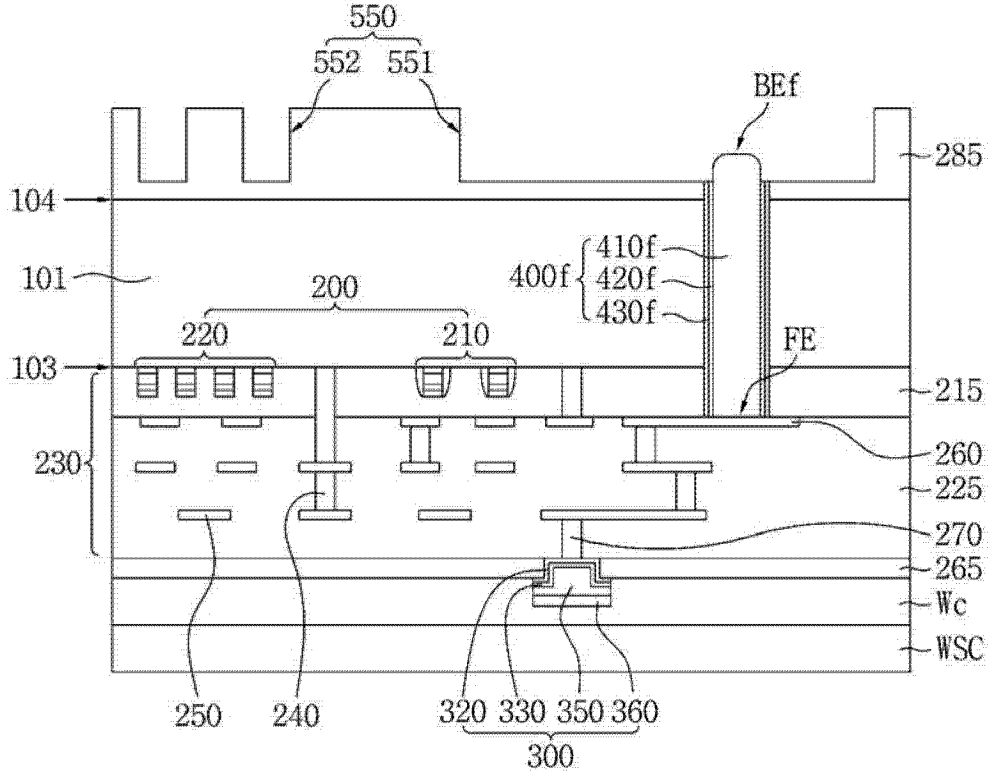


图 14F

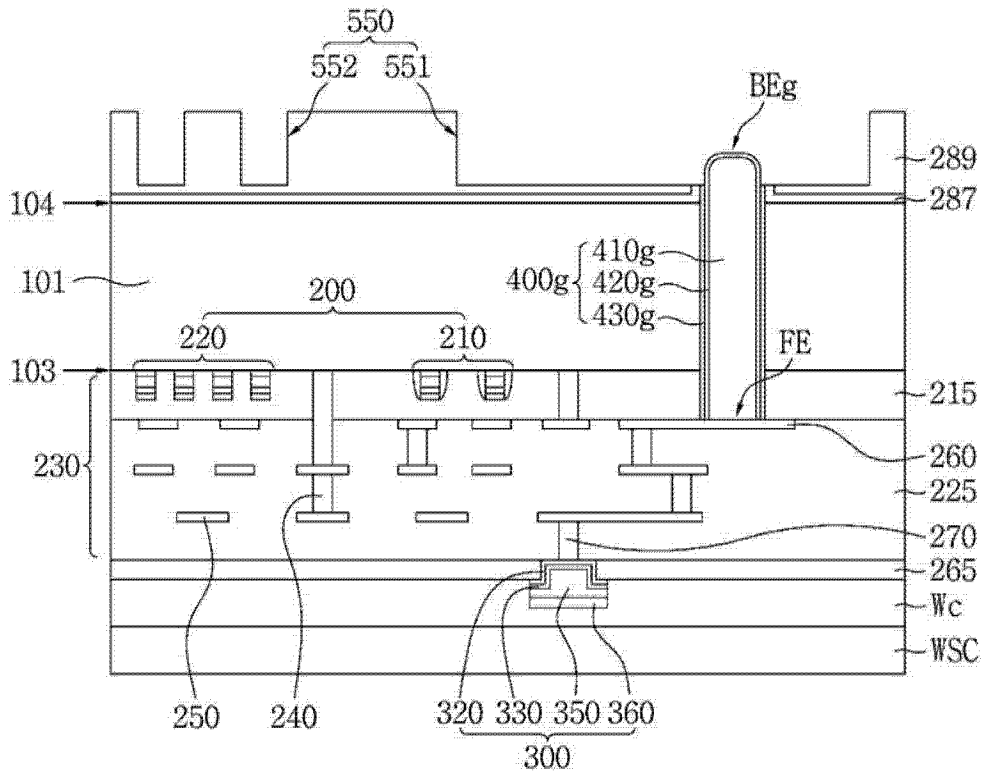


图 14G

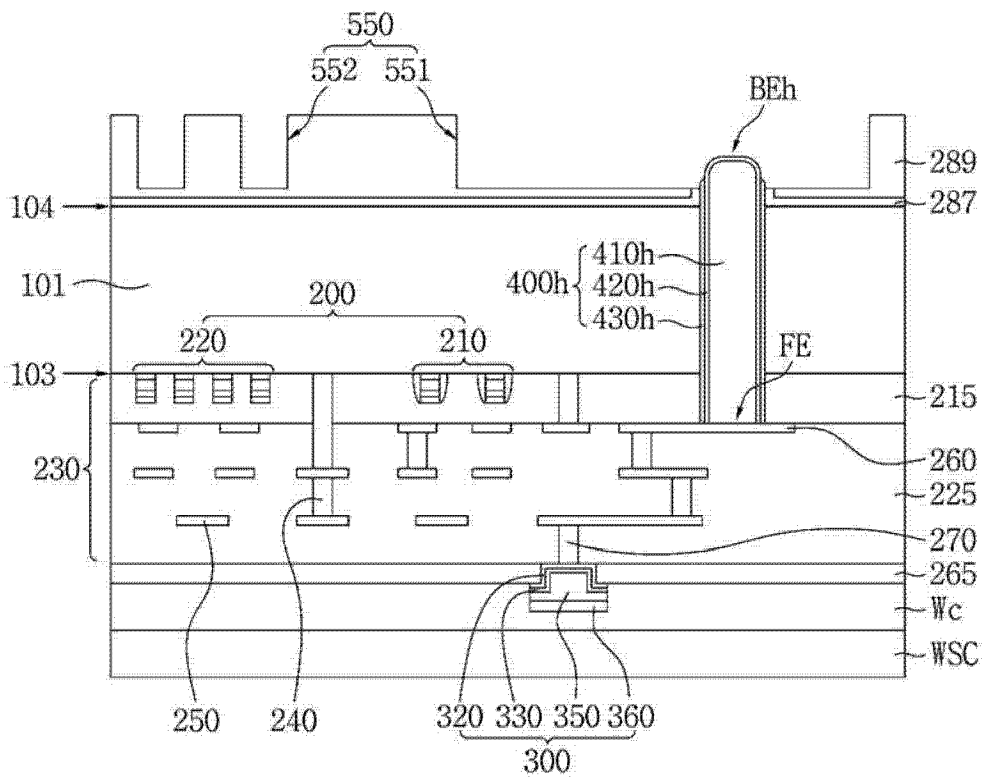


图 14H

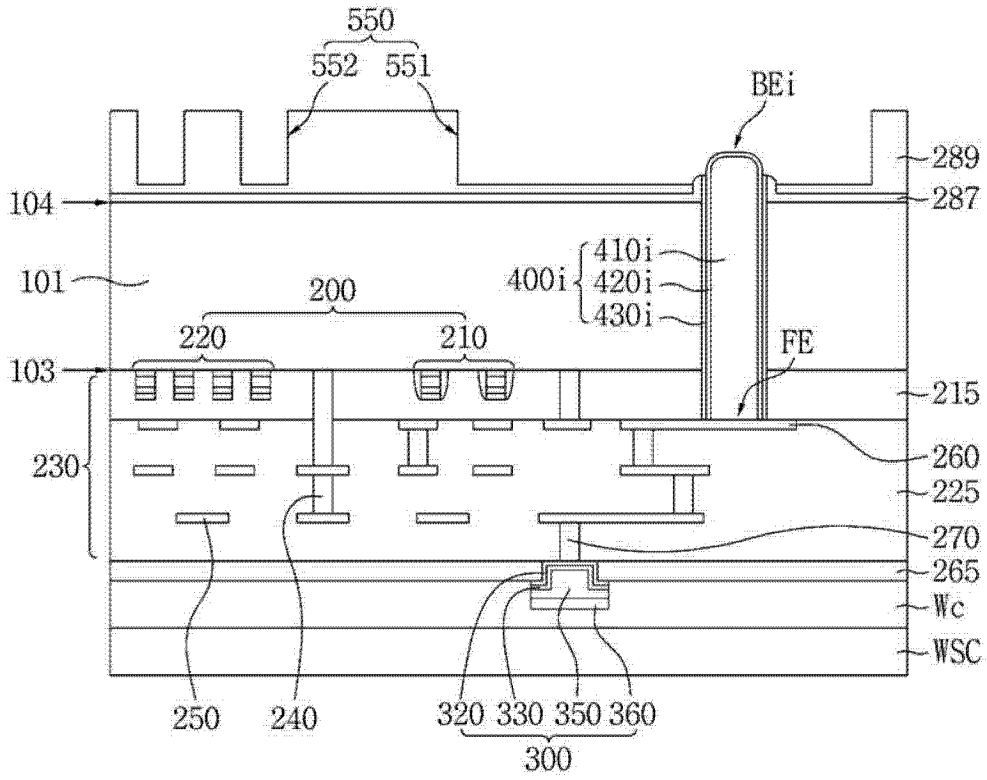


图 14I

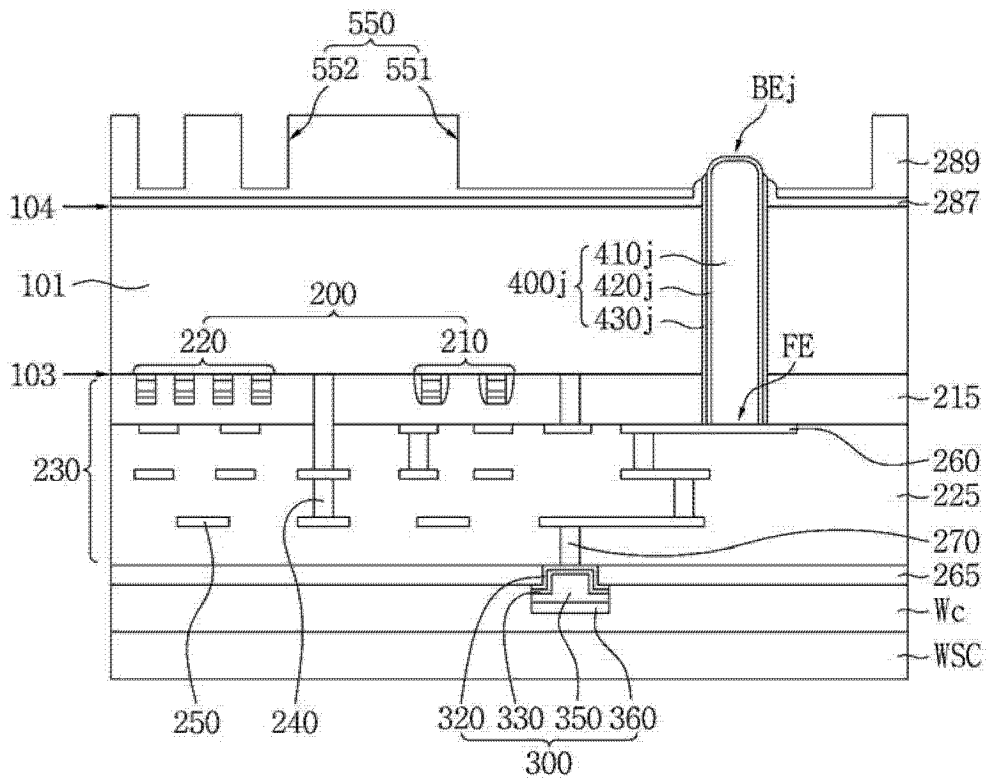


图 14J



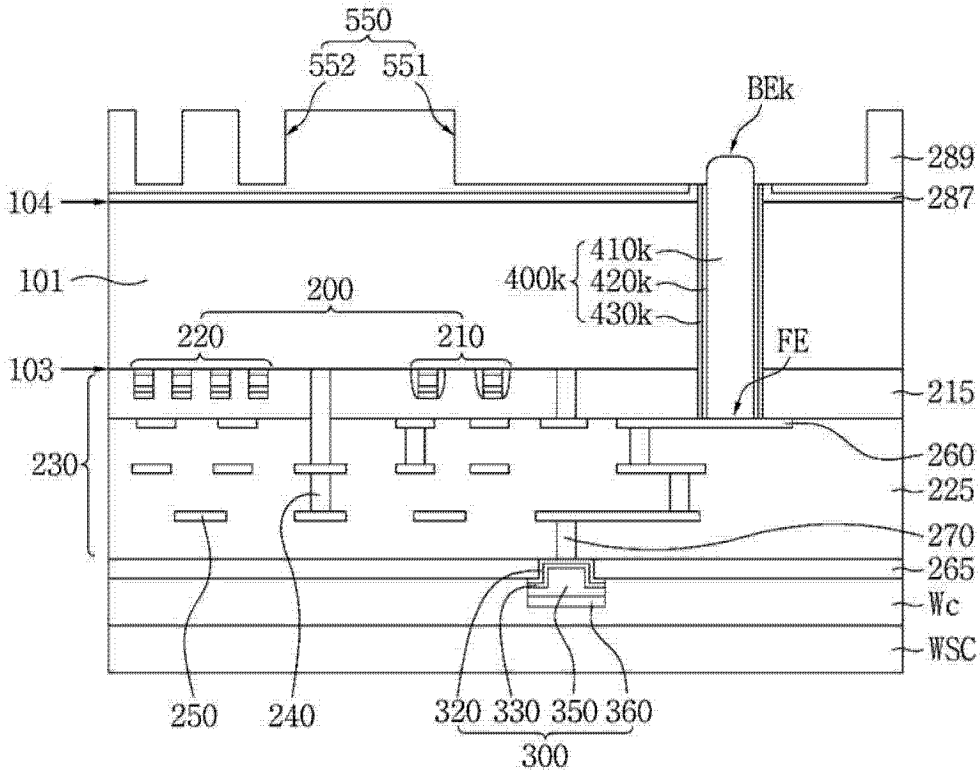


图 14K

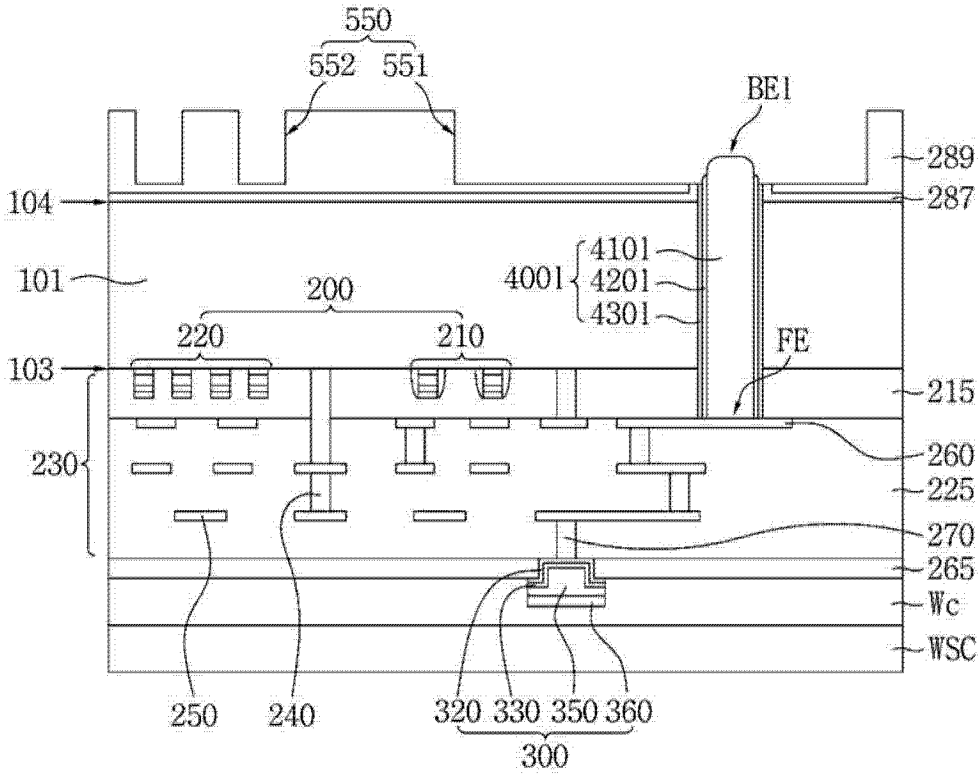


图 14L

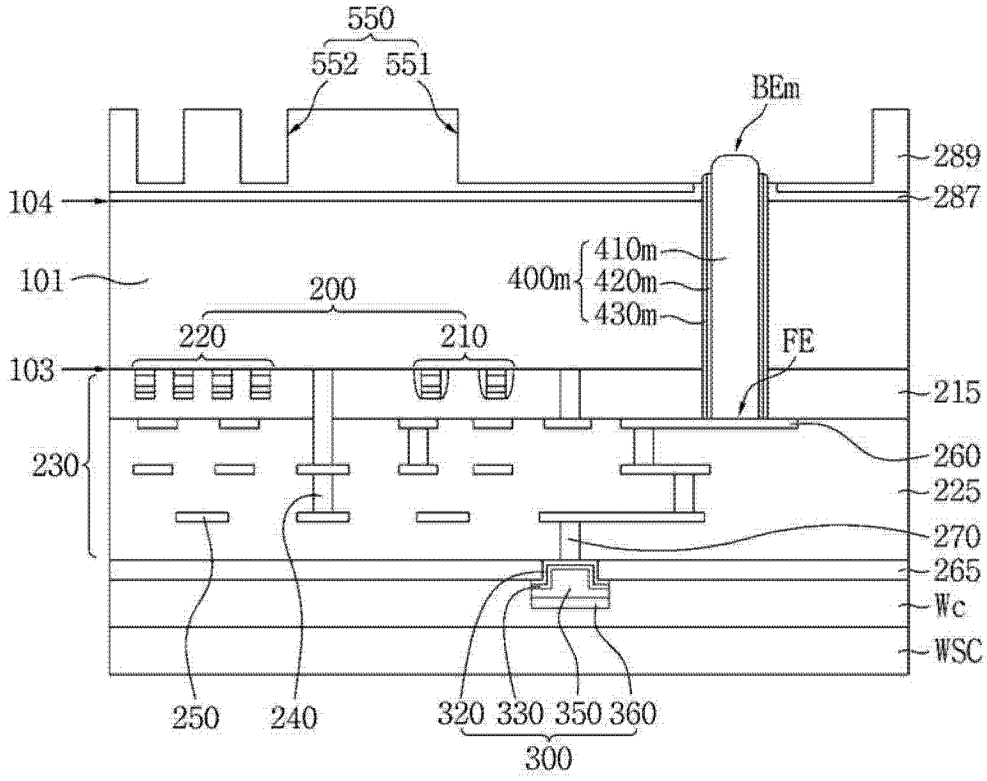


图 14M

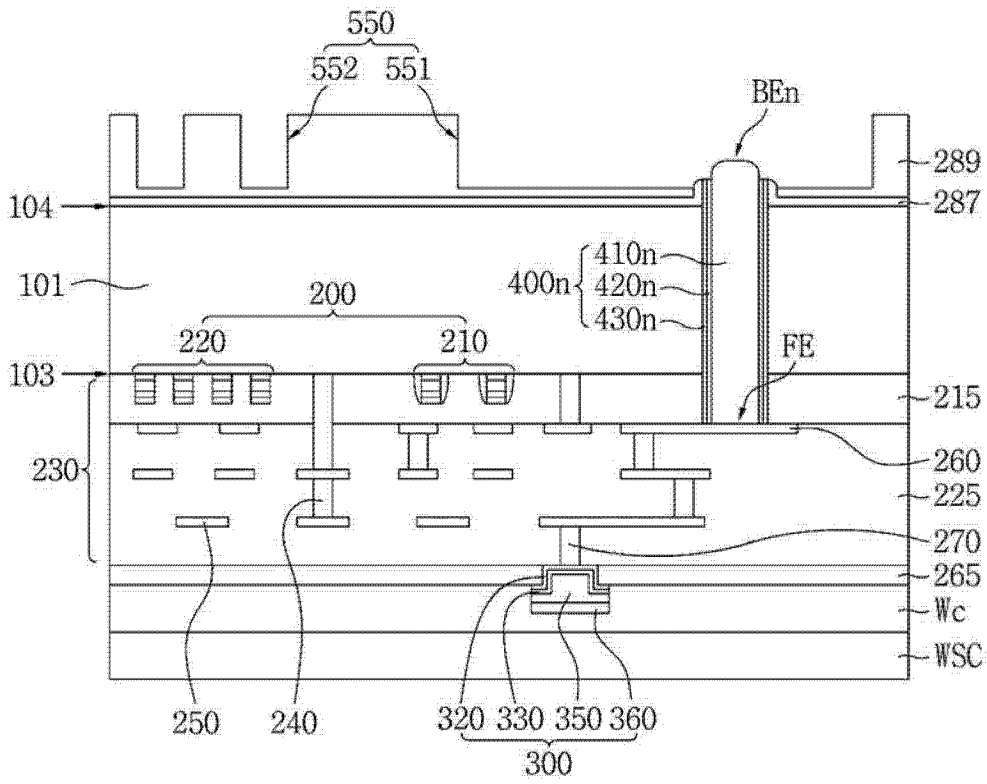


图 14N

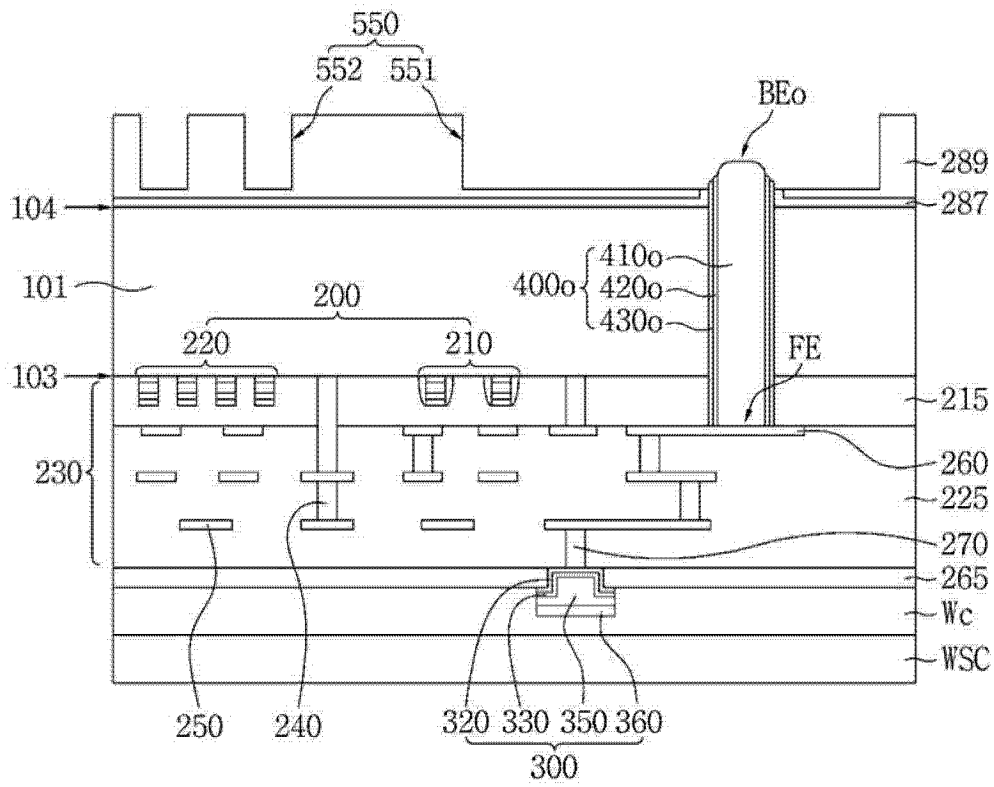


图 140

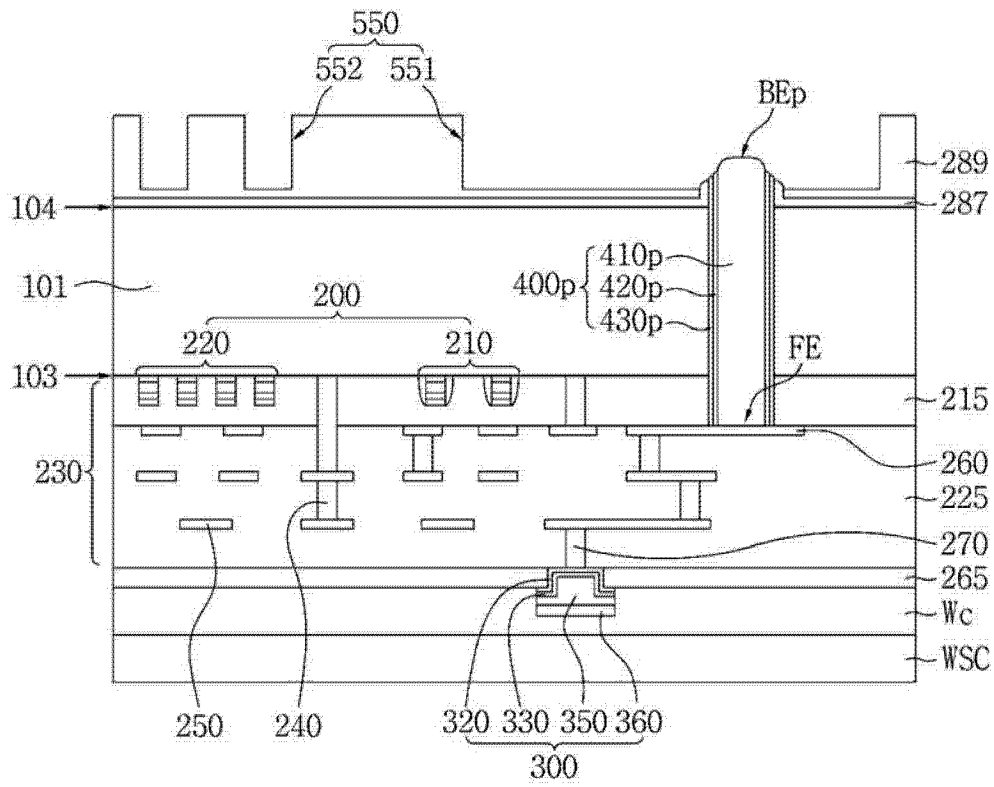


图 14P

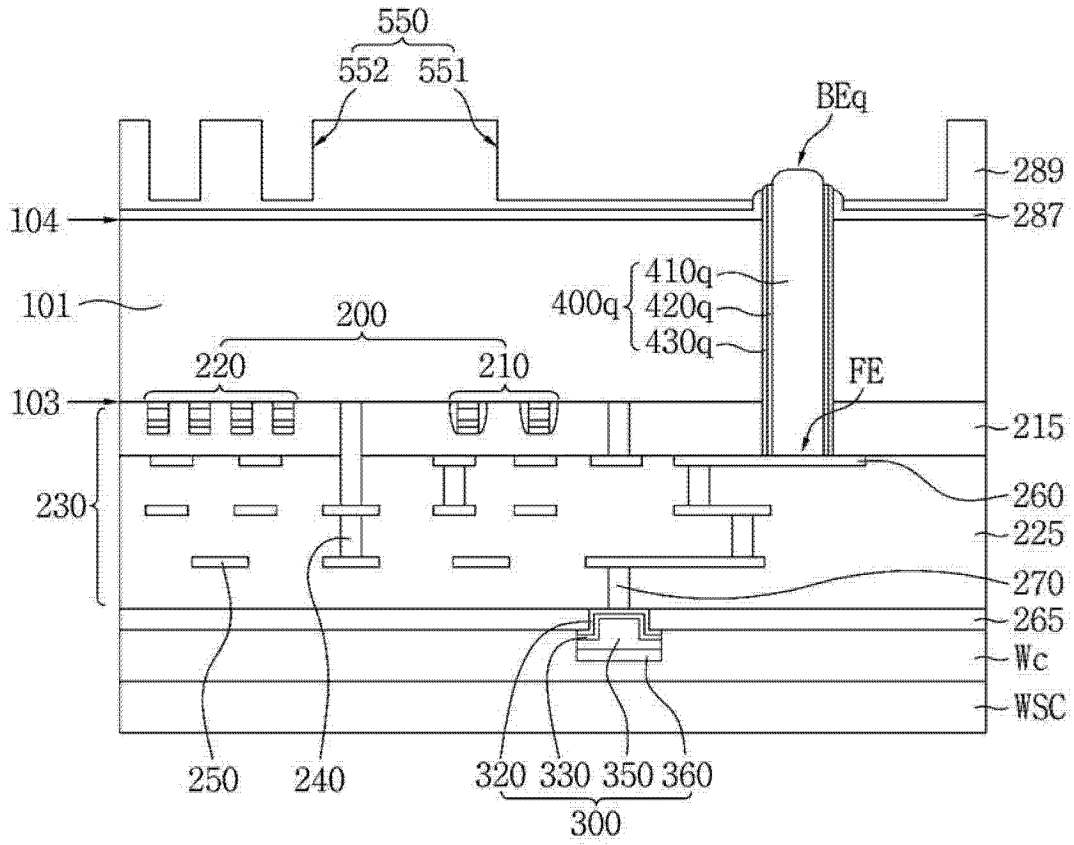


图 14Q

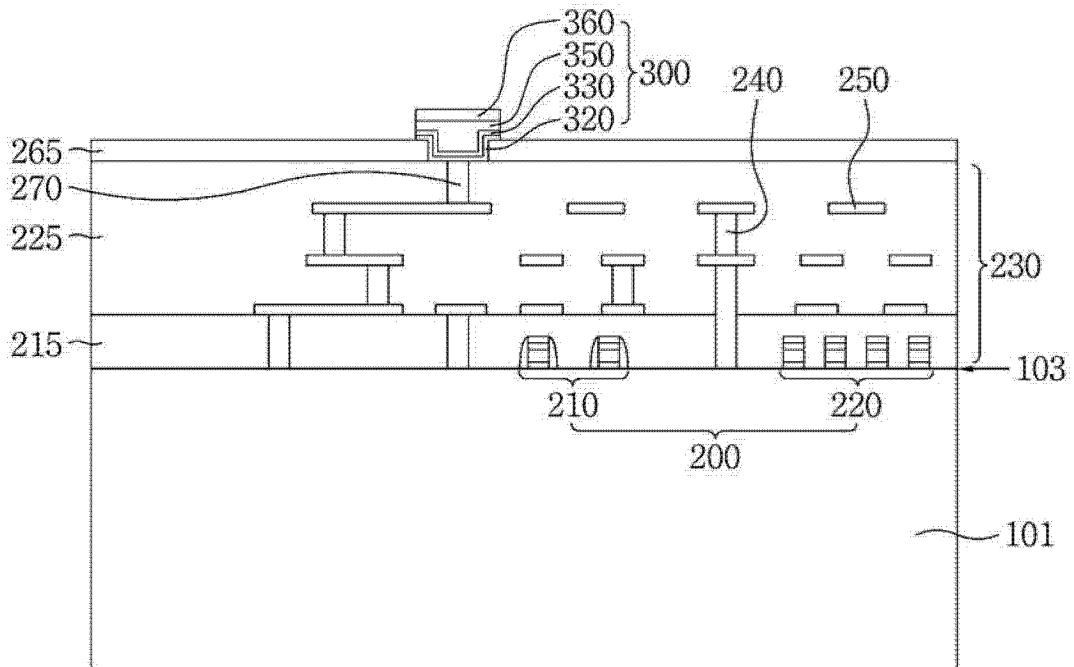


图 15A

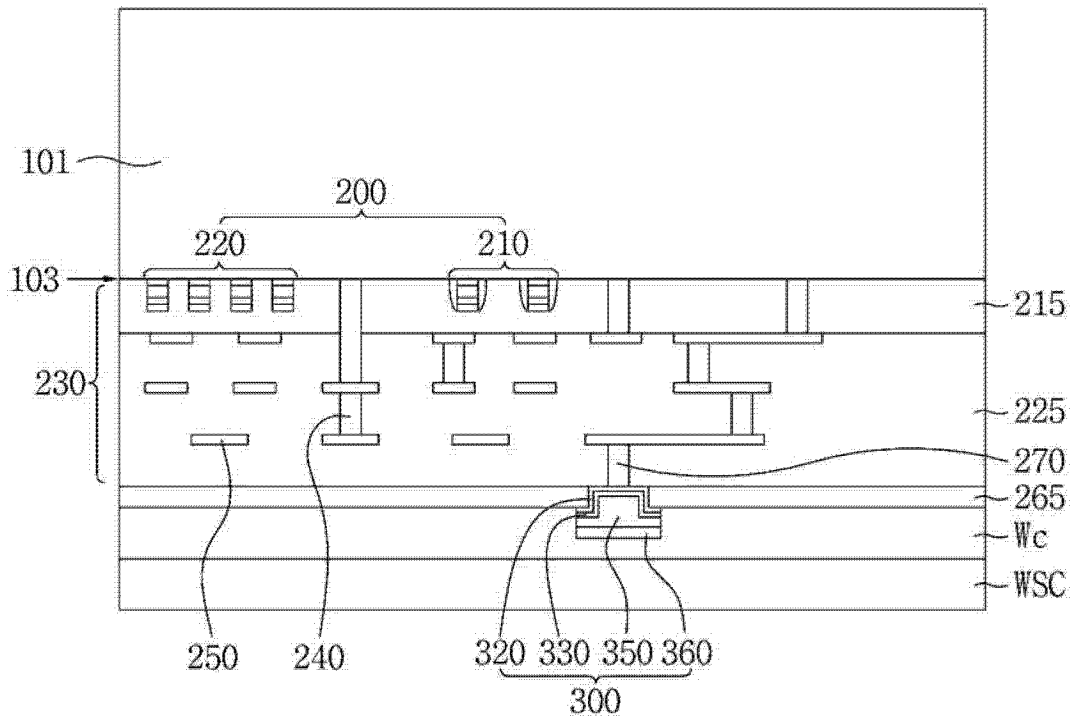


图 15B

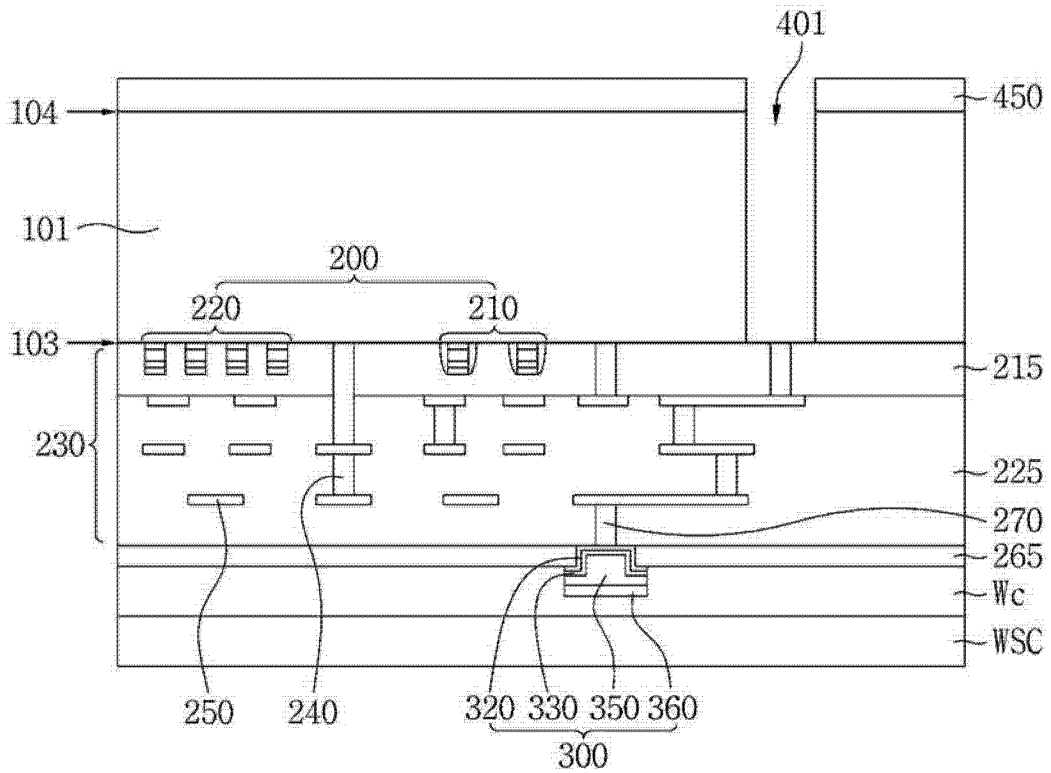


图 15C

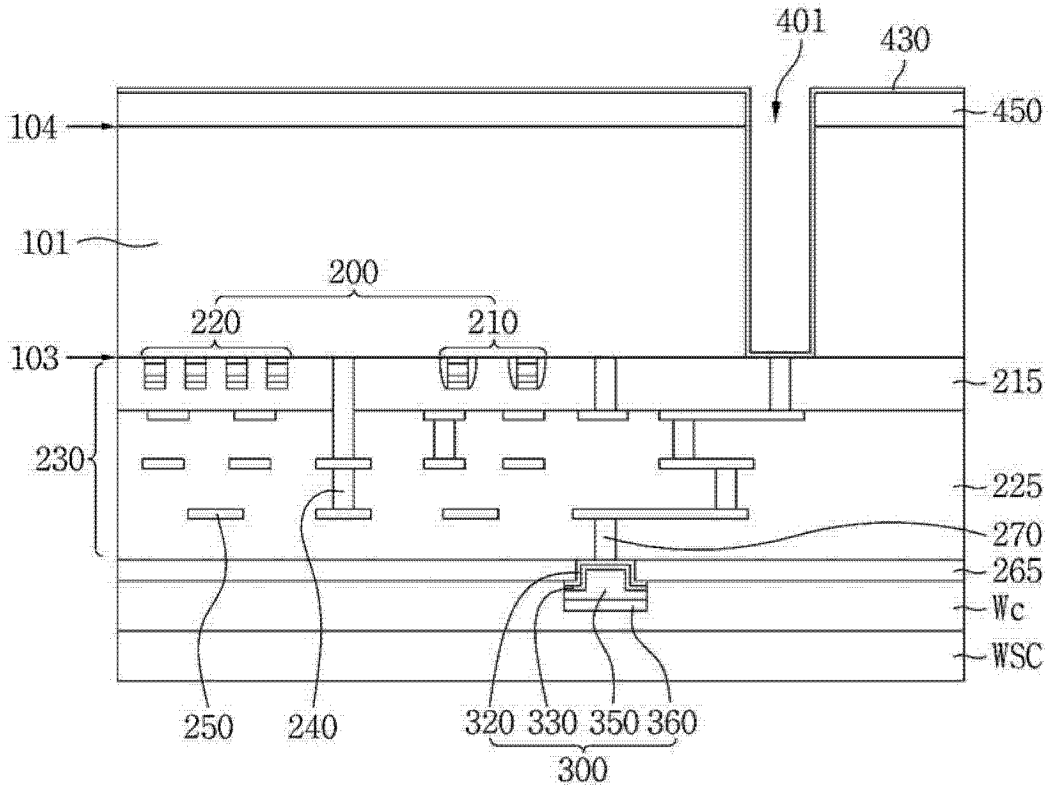


图 15D

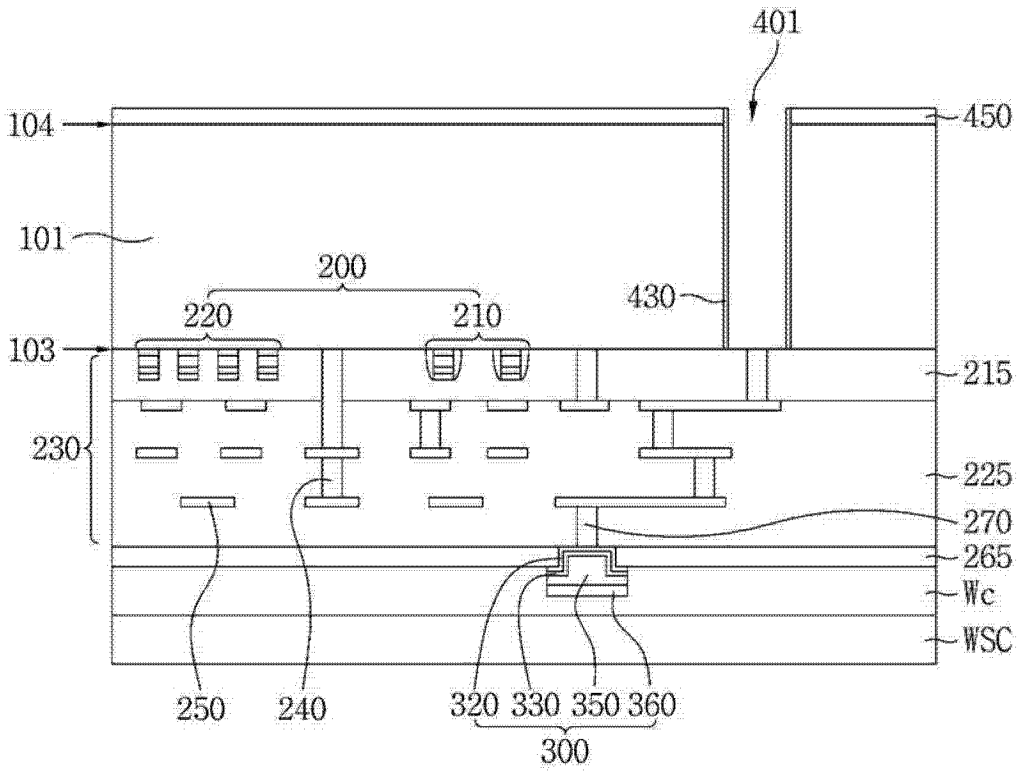


图 15E

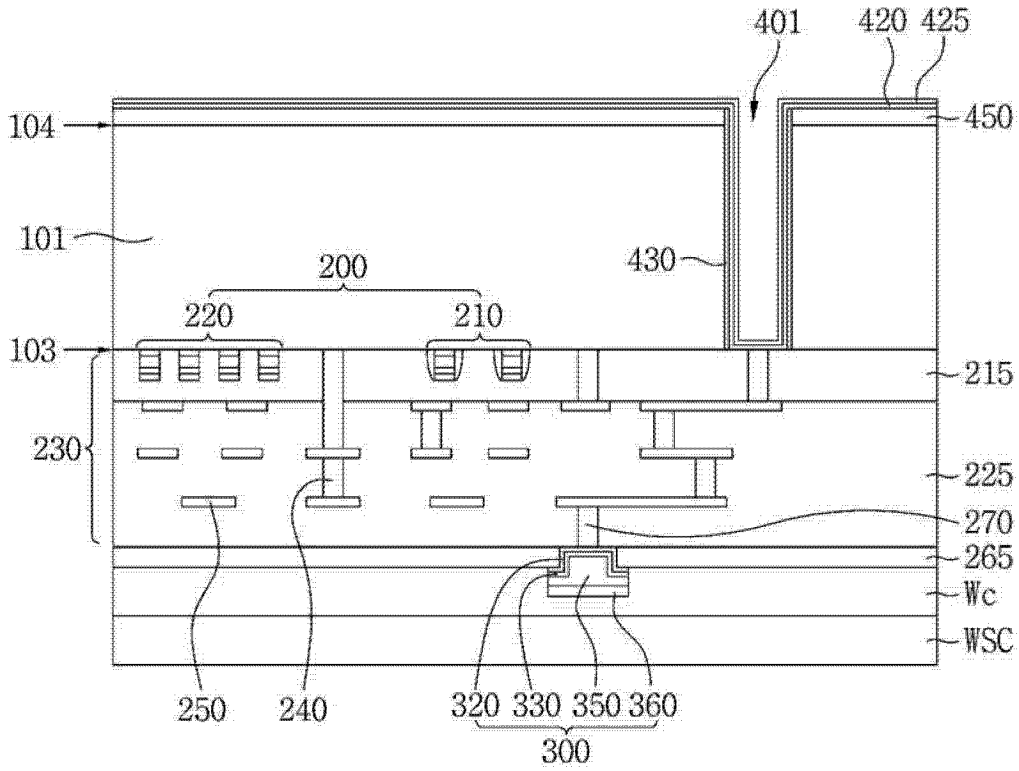


图 15F

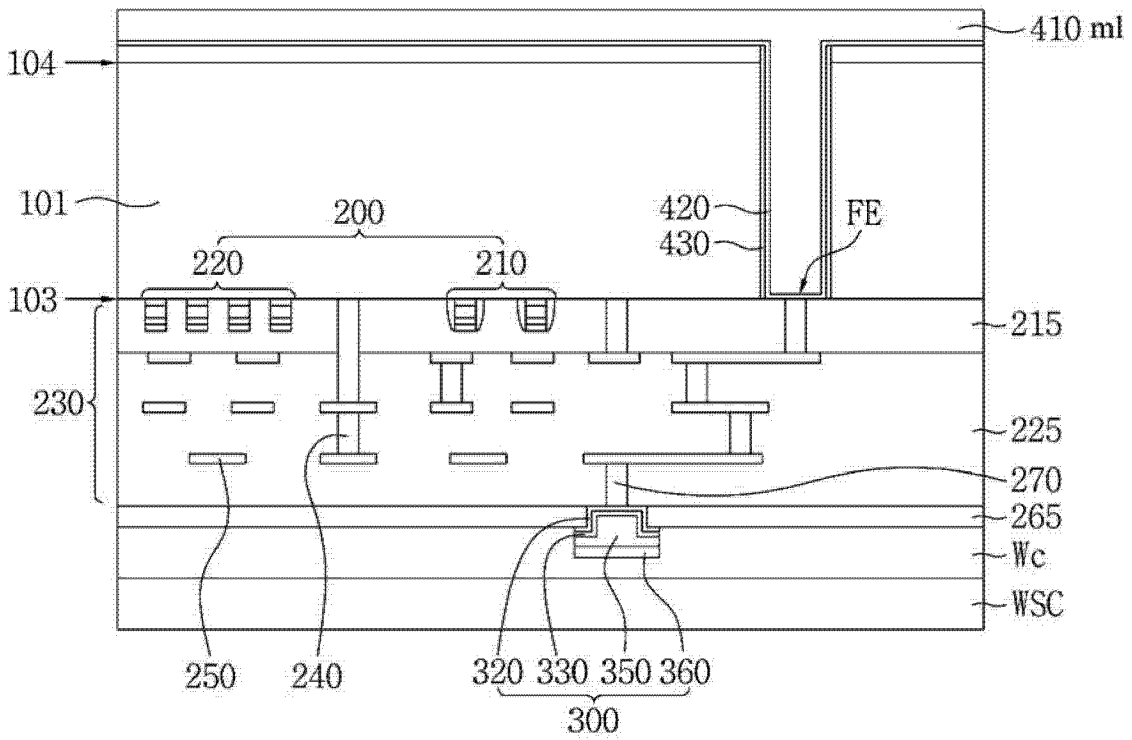


图 15G



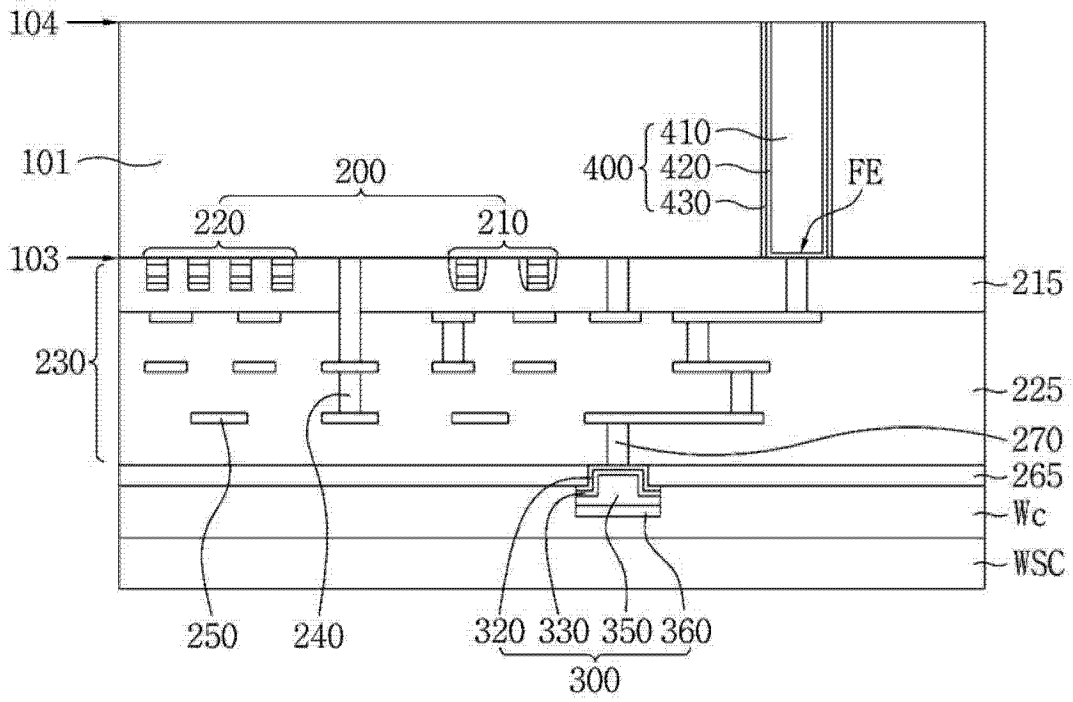


图 15H

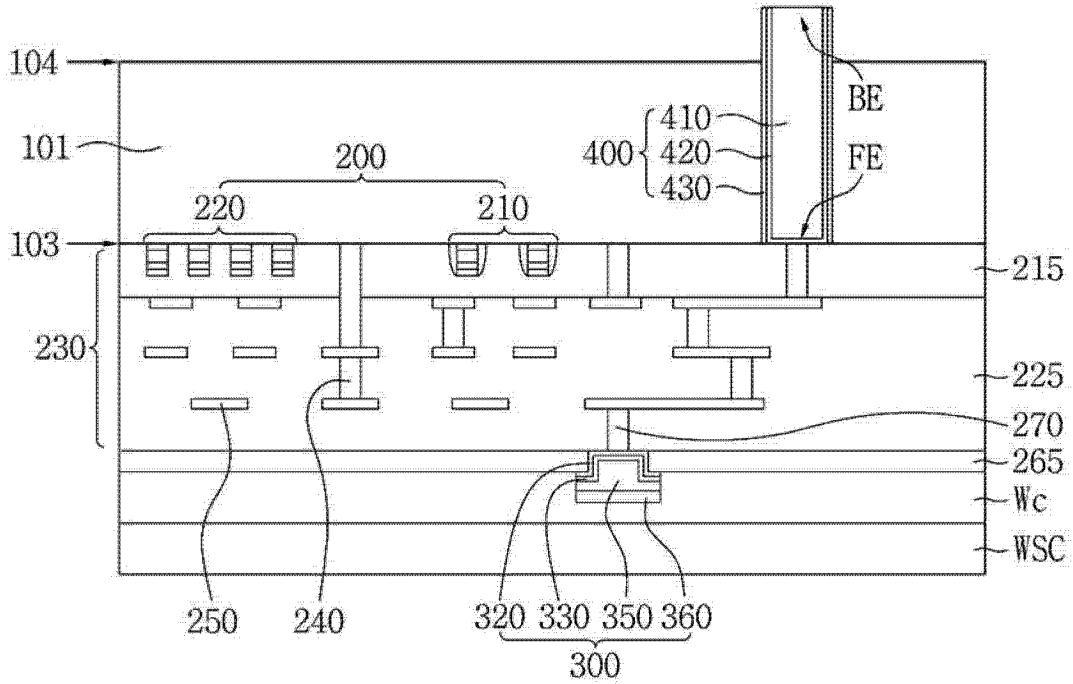


图 15I

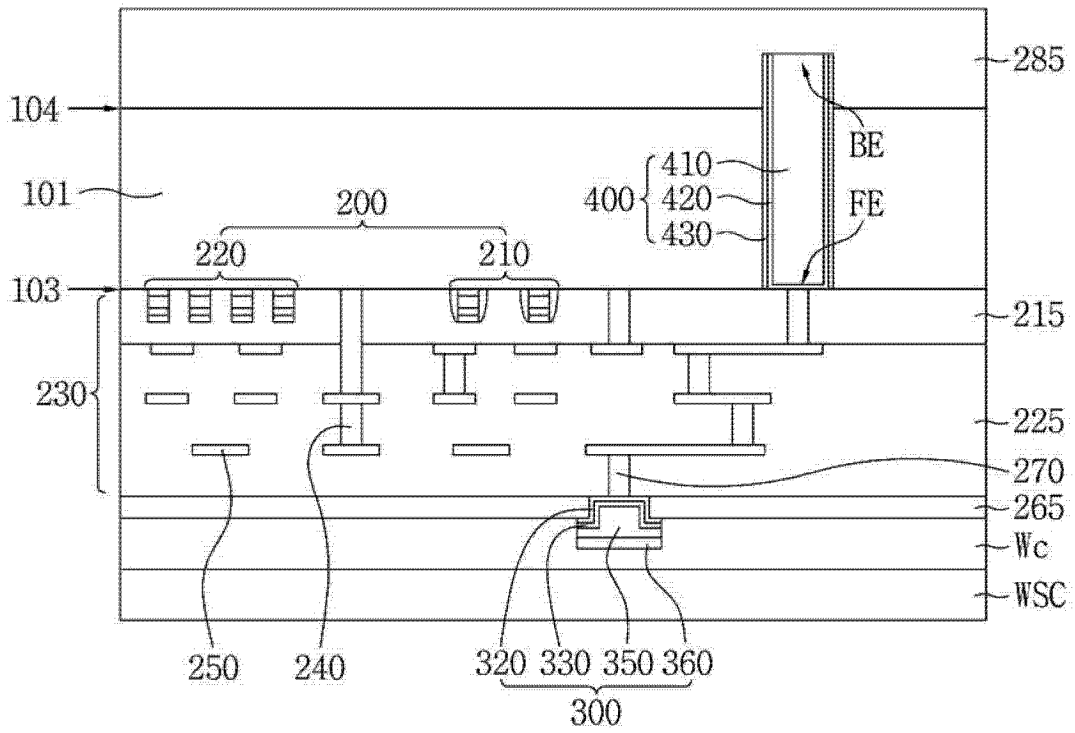


图 15J

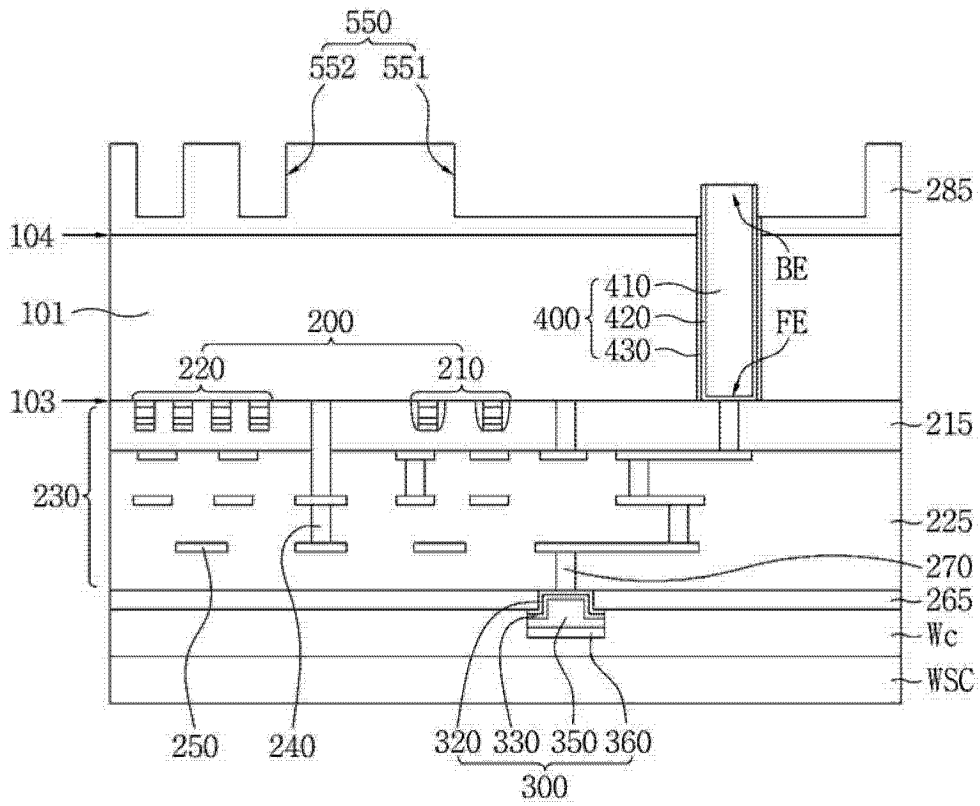


图 15K

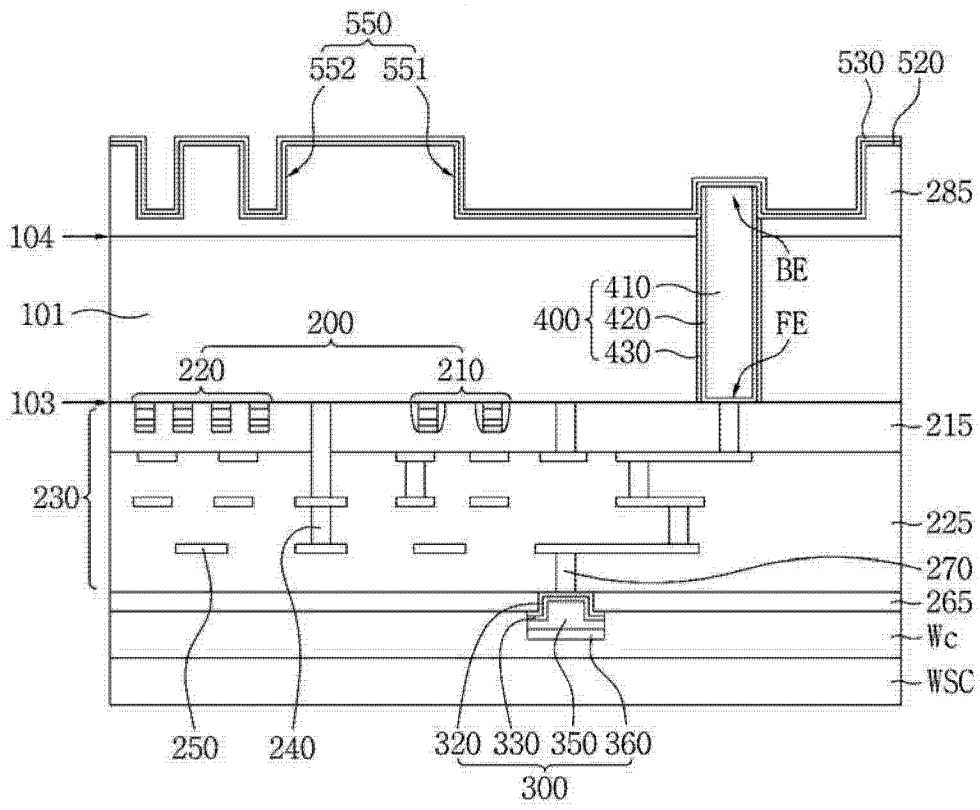


图 15L

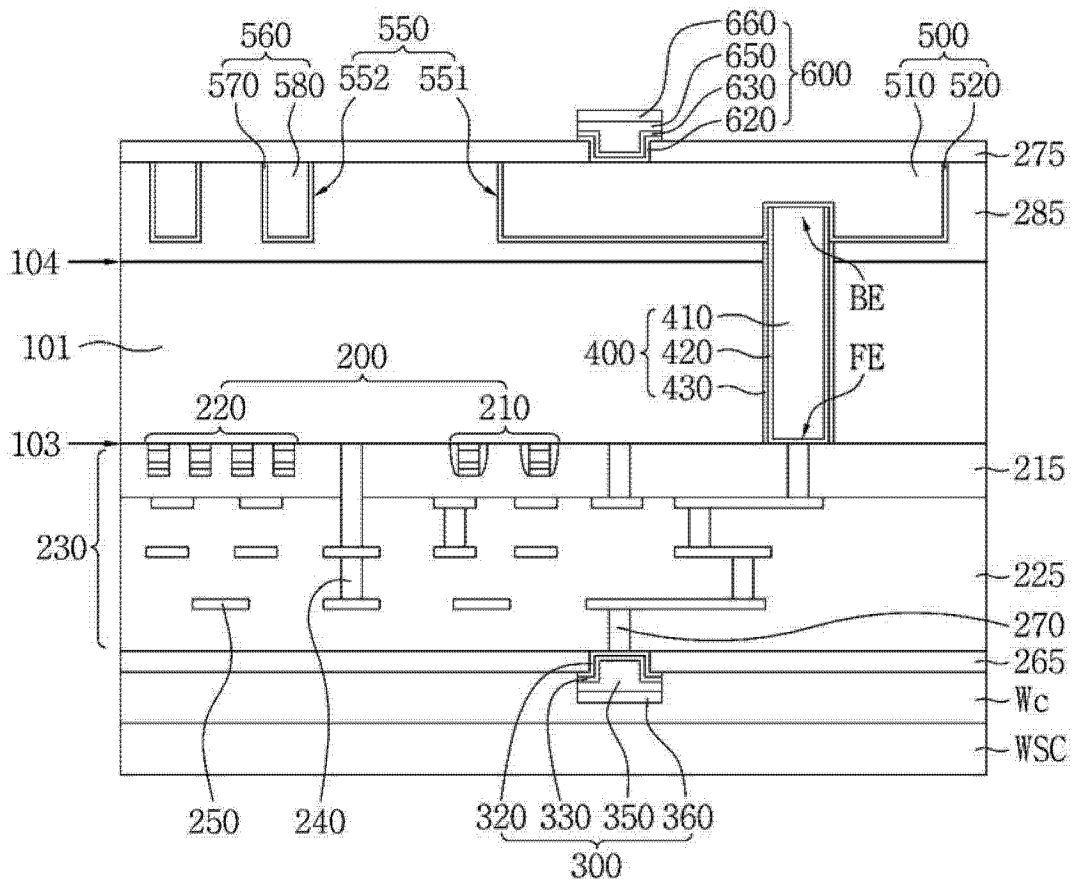


图 15M

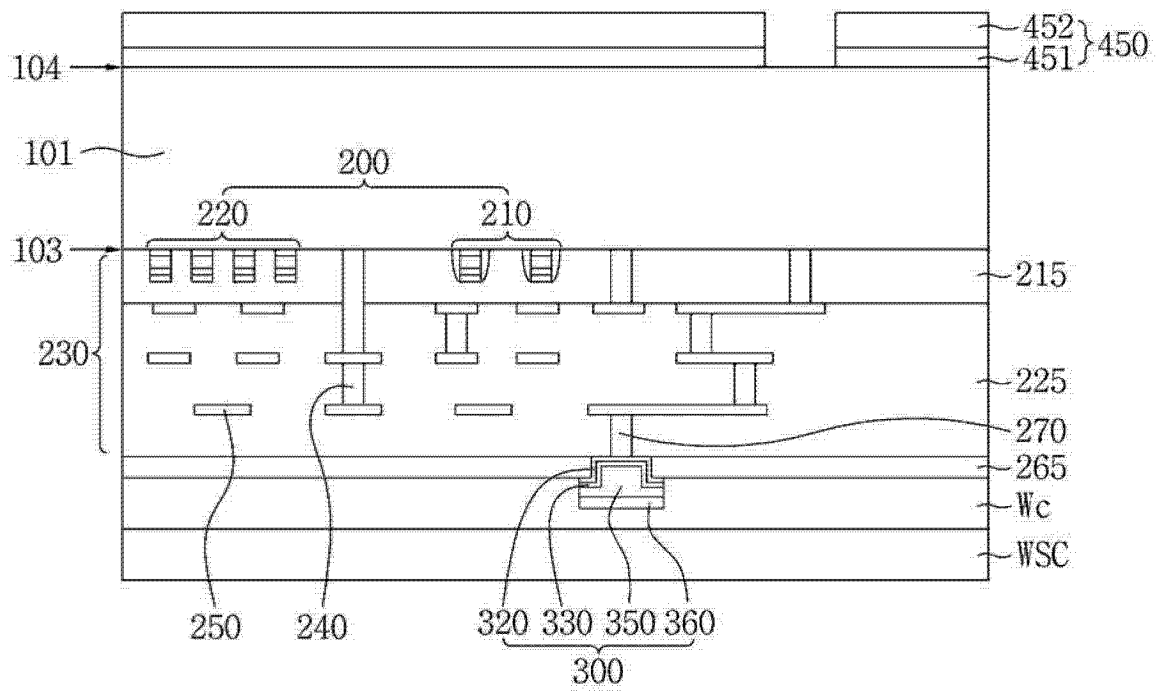


图 16A

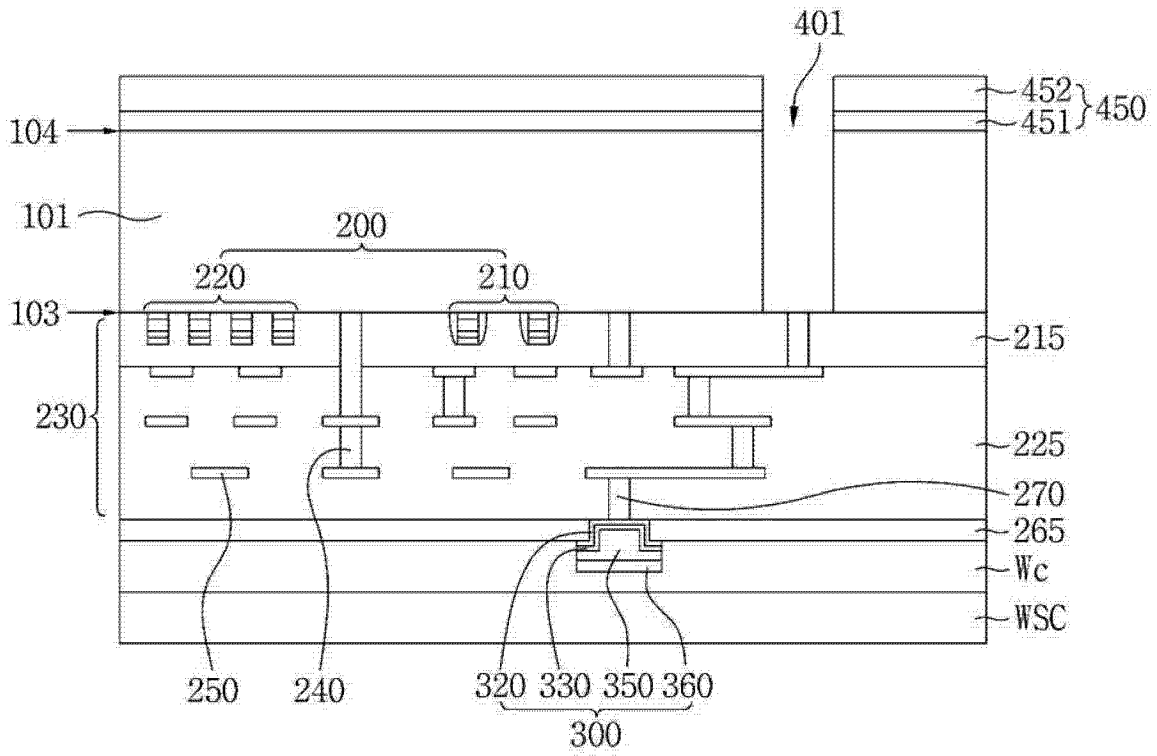


图 16B

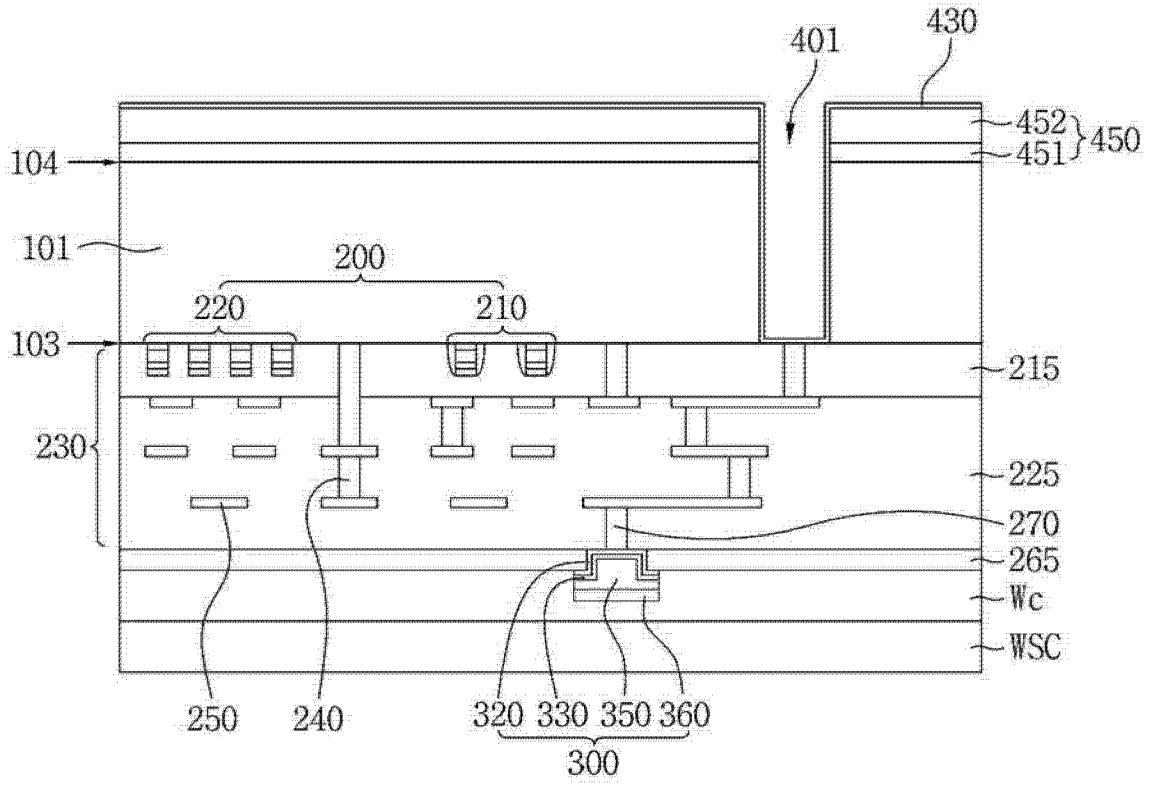


图 16C

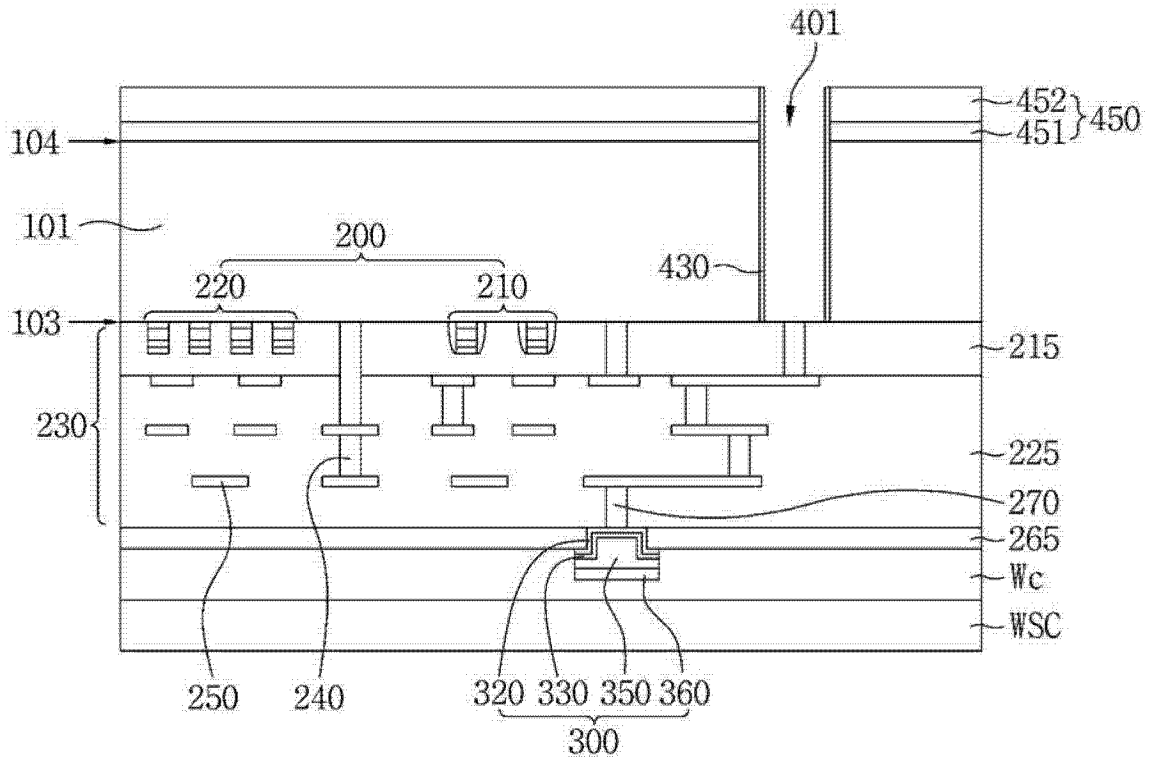


图 16D

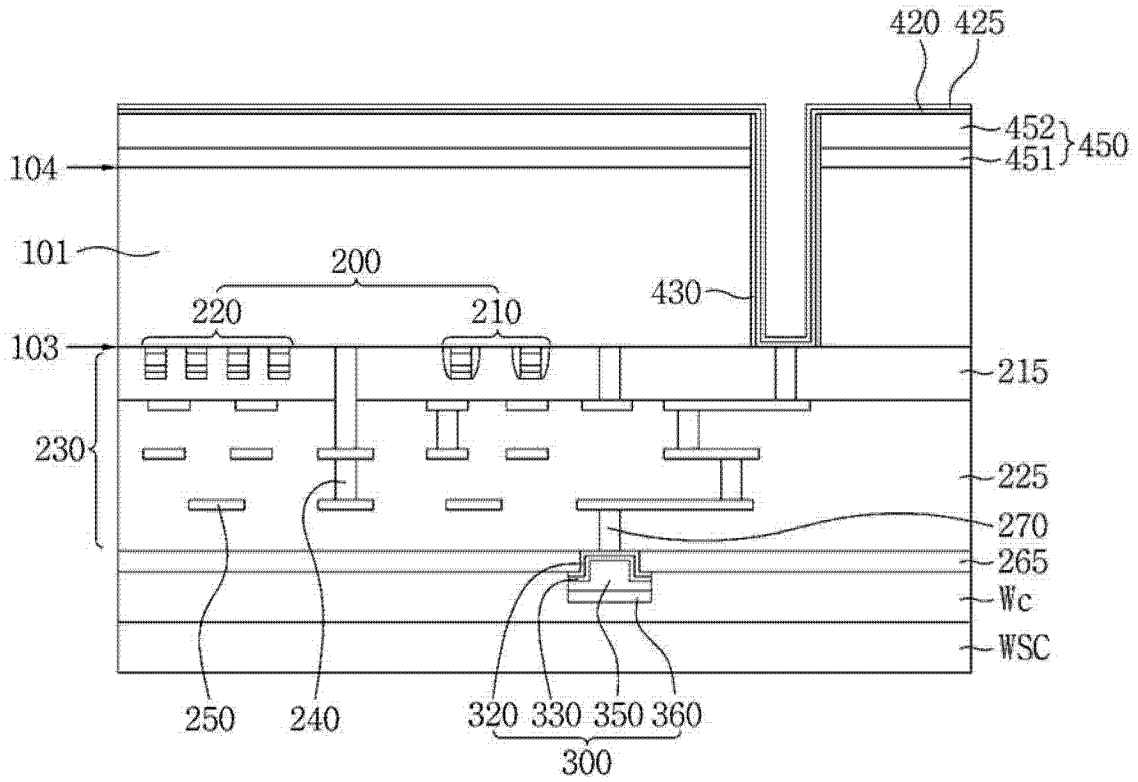


图 16E

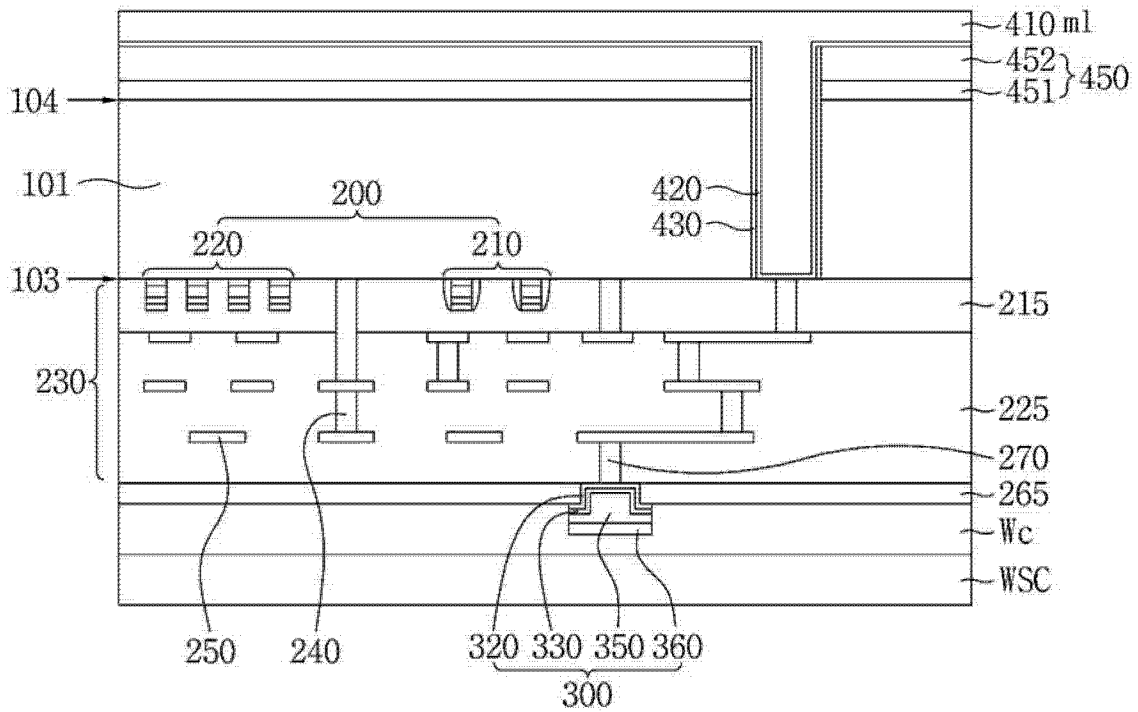


图 16F



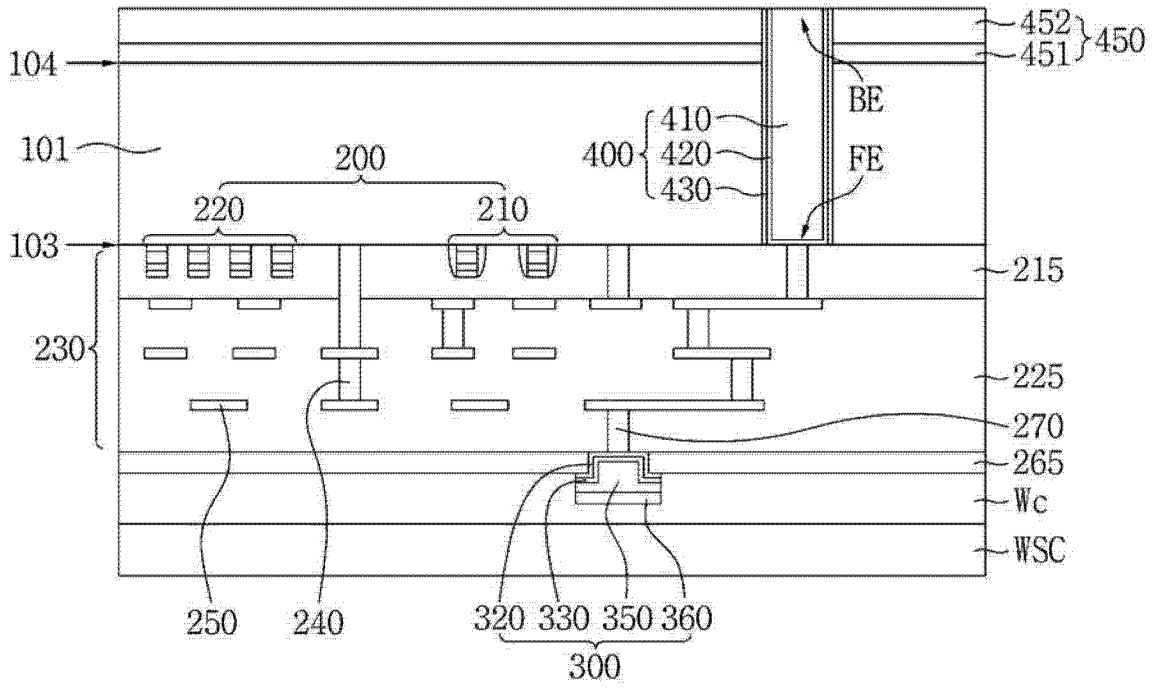


图 16G

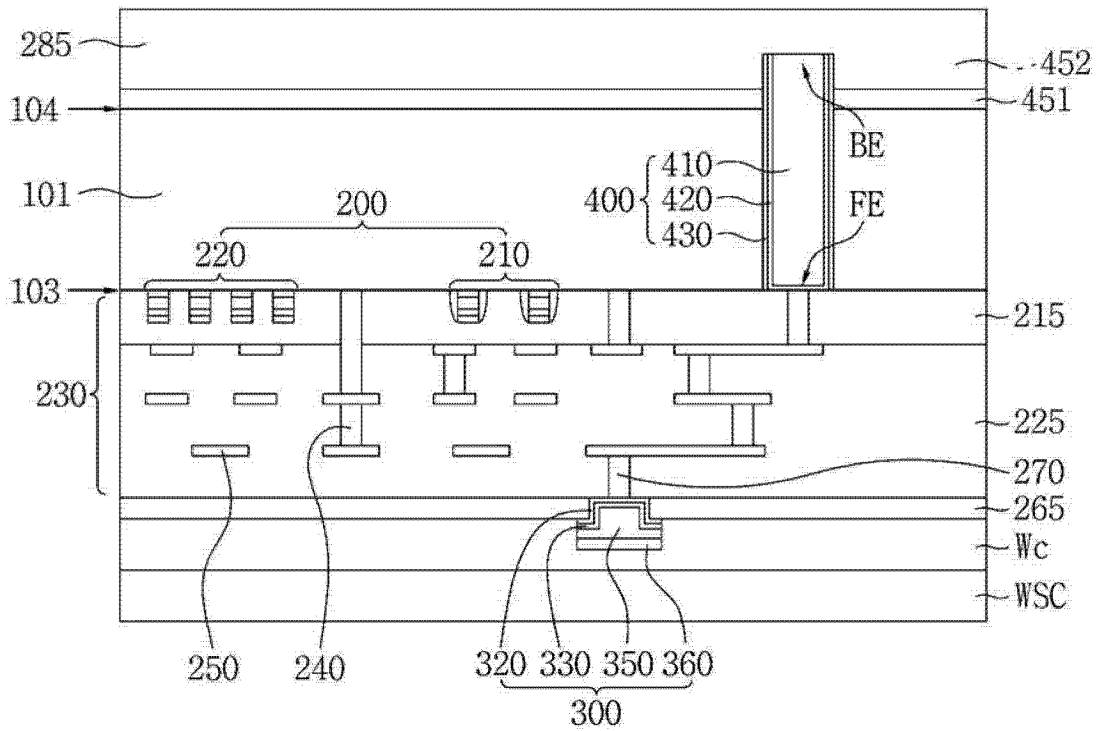


图 16H

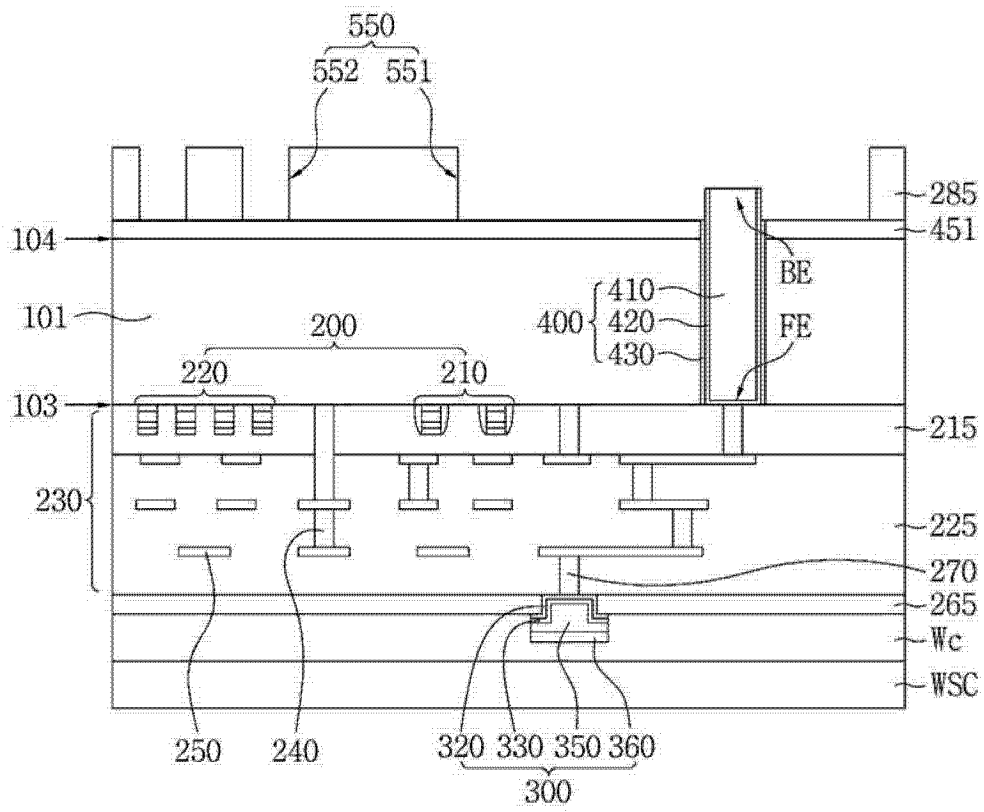


图 16I

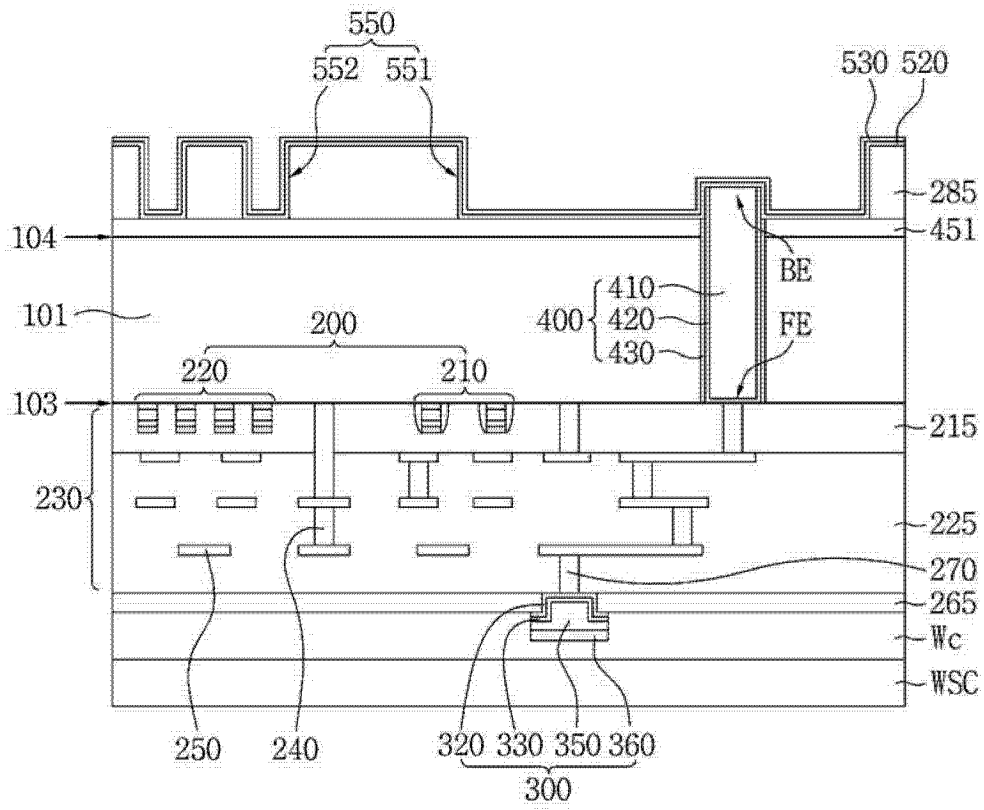


图 16J

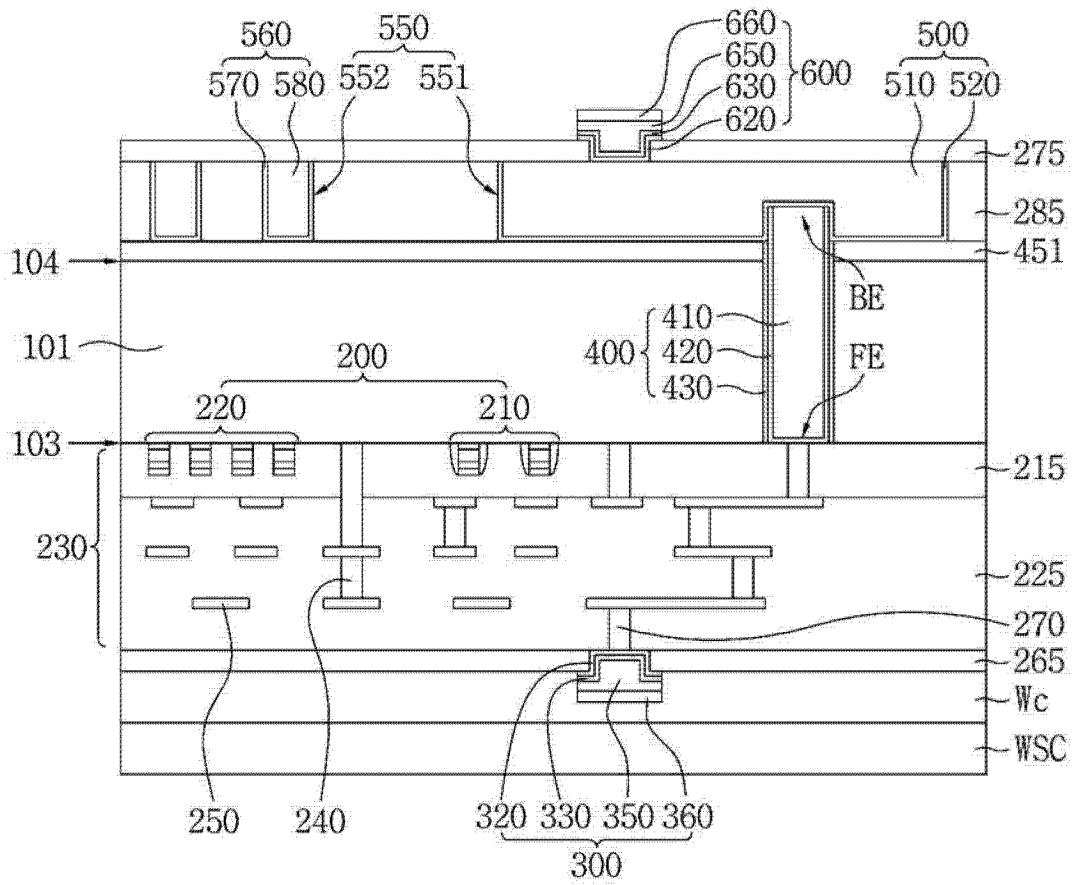


图 16K

1000A

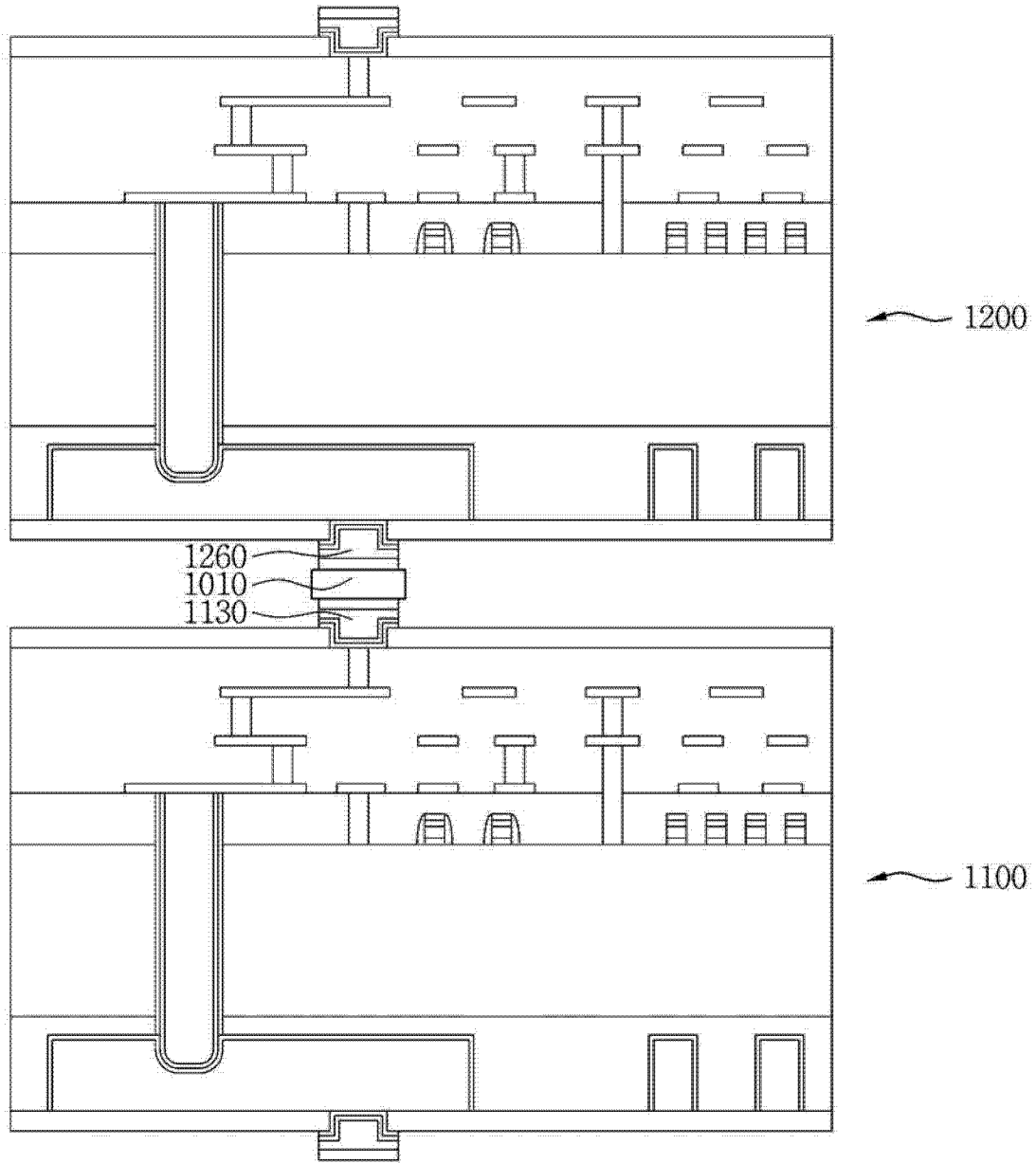


图 17A

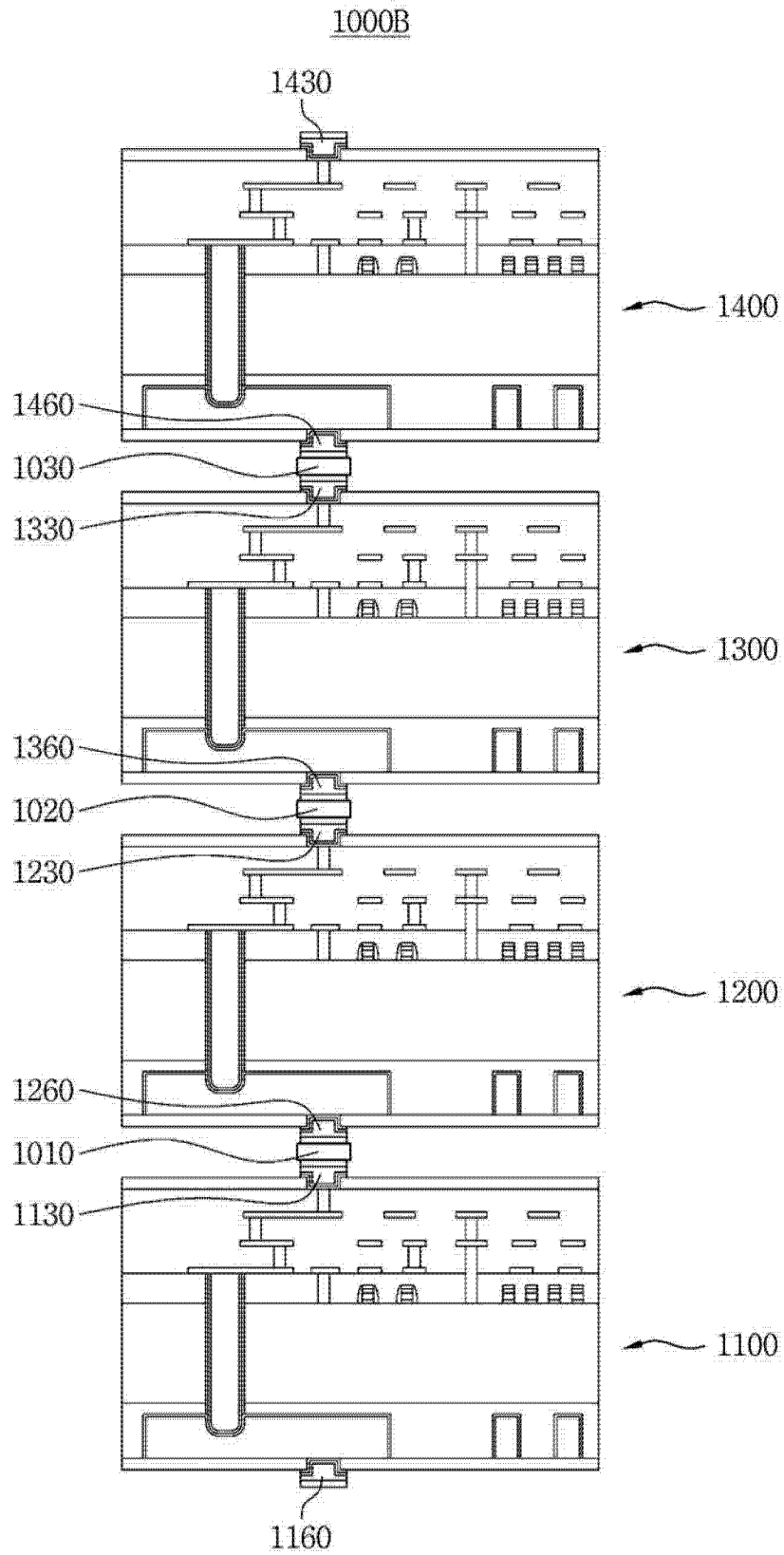


图 17B

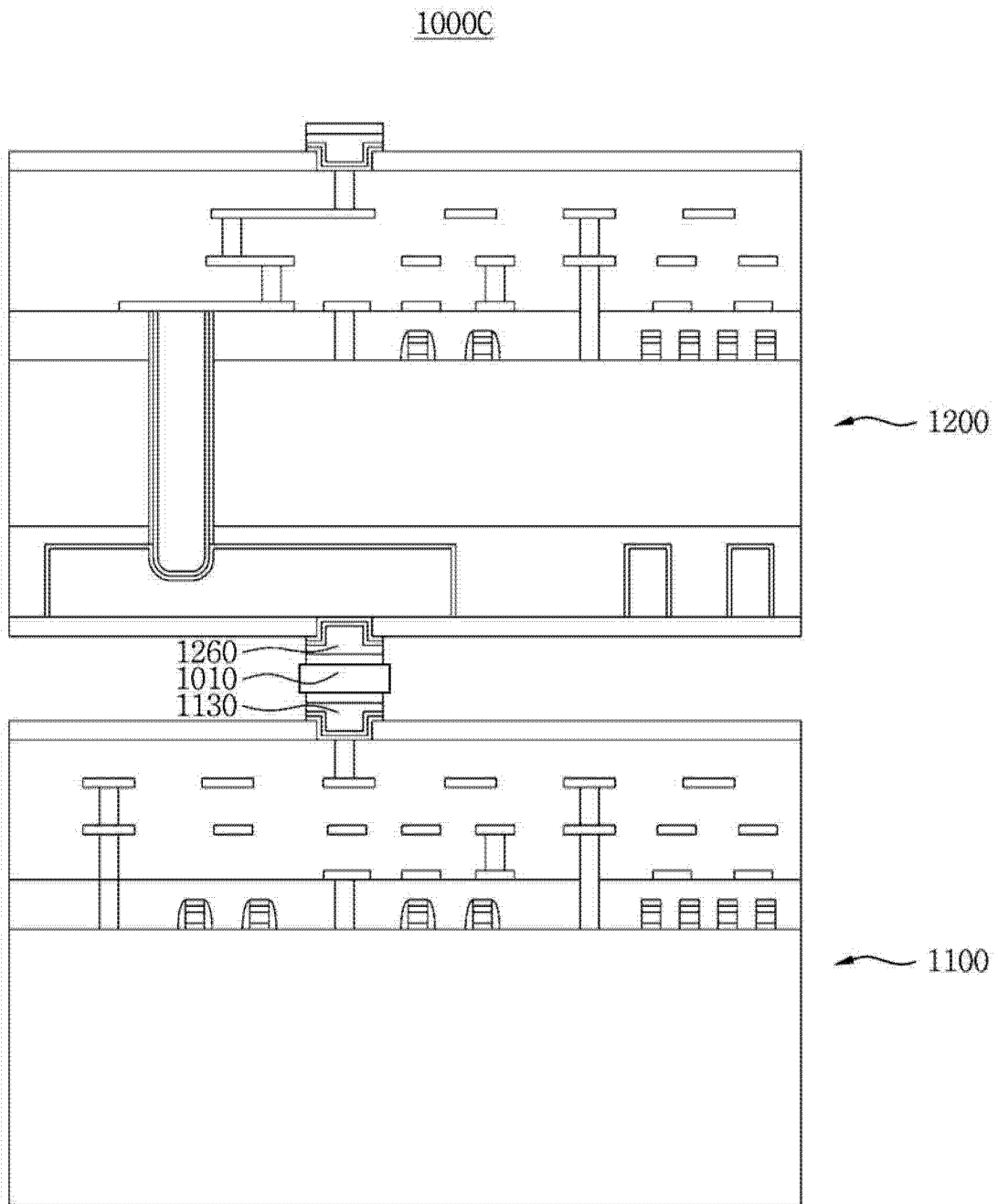


图 17C

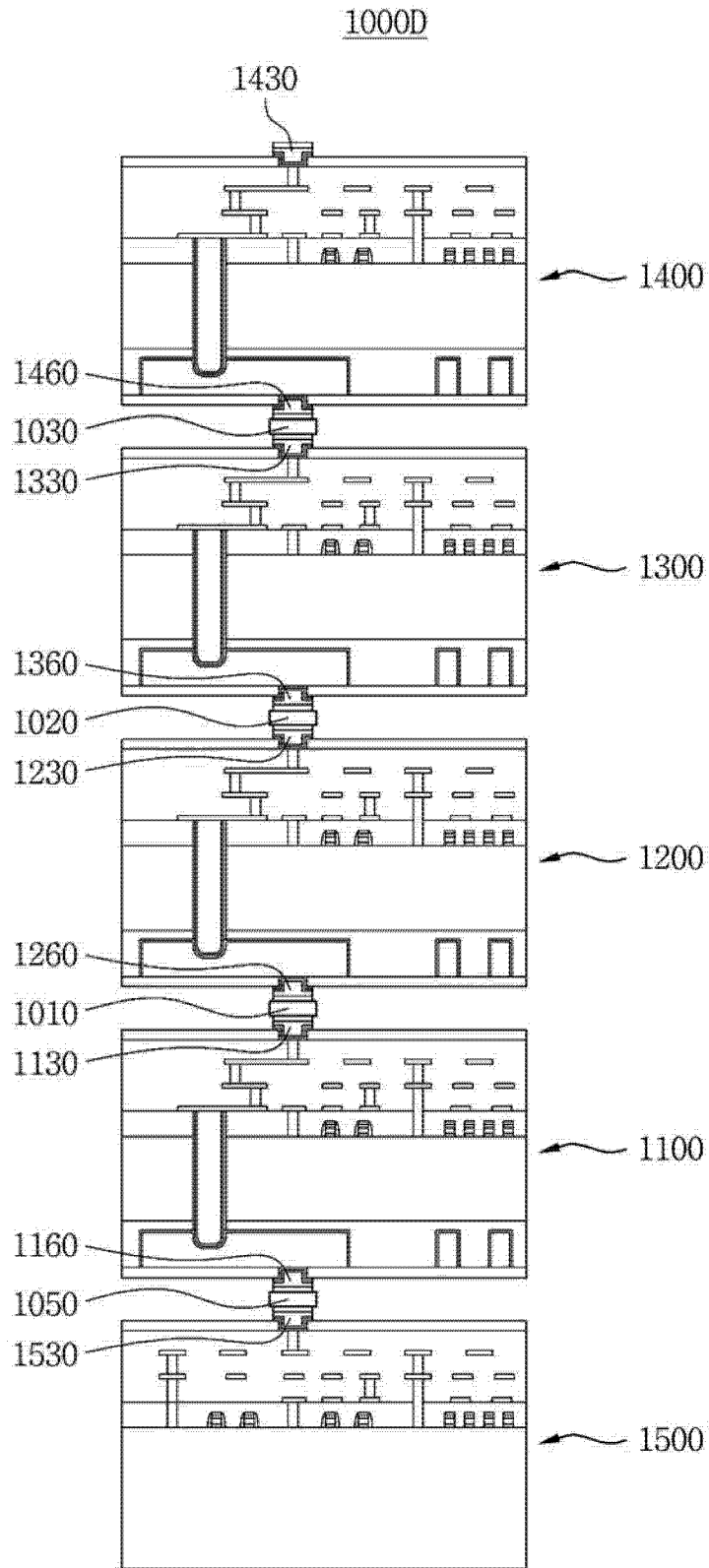


图 17D



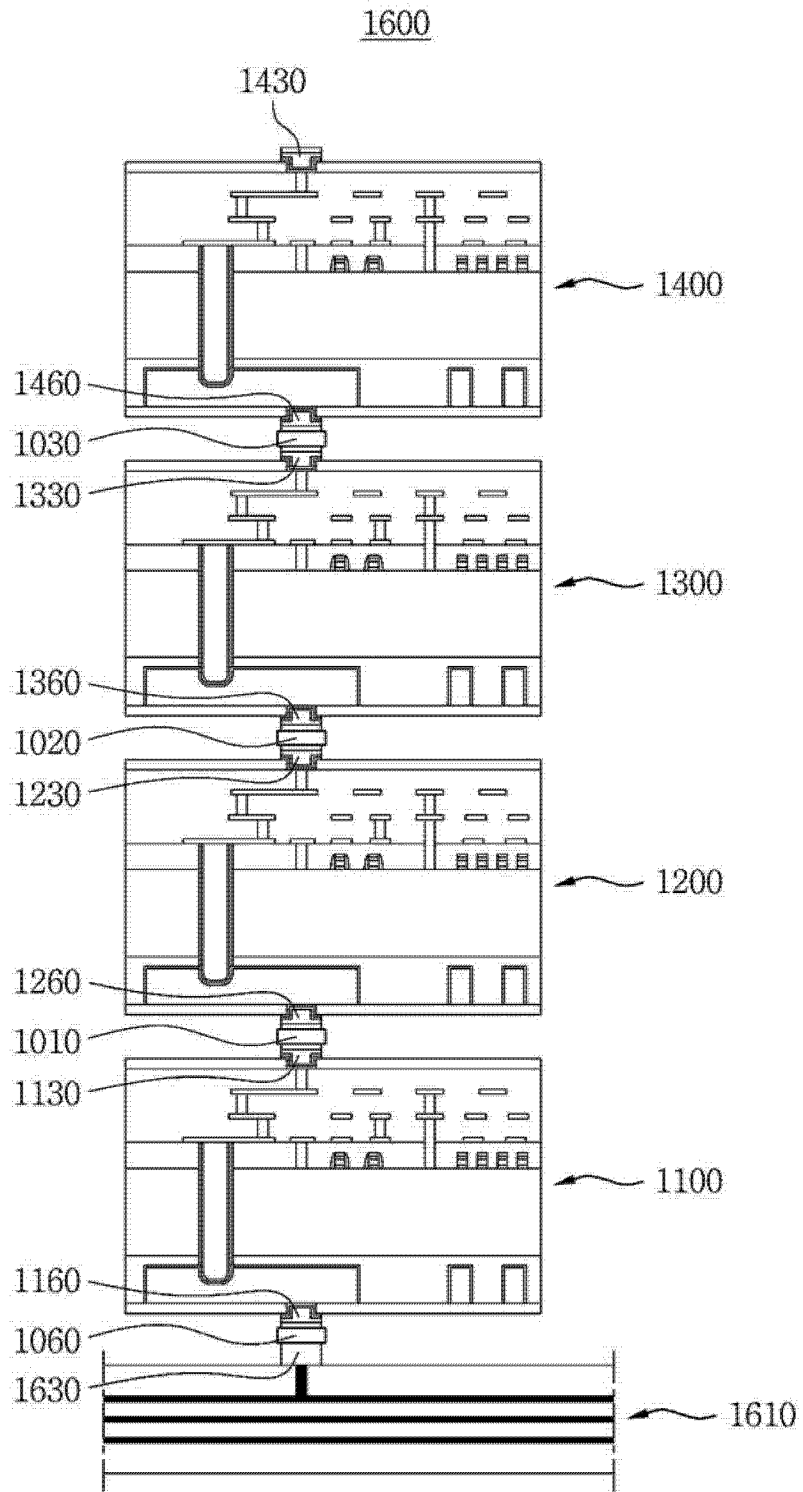


图 18

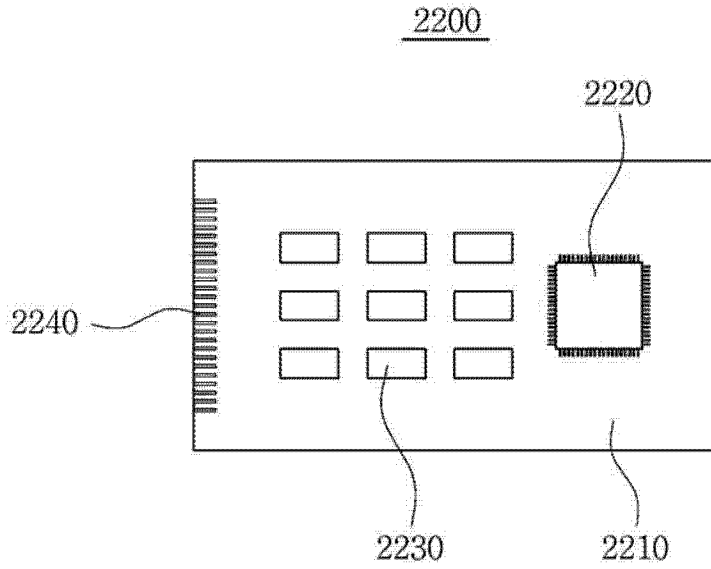


图 19

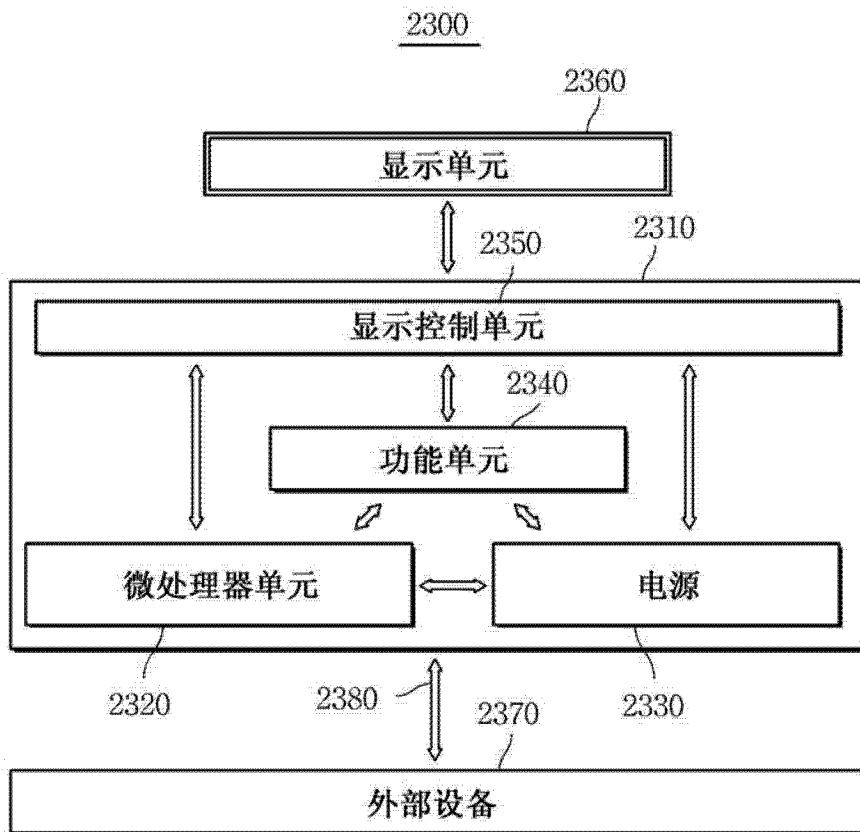


图 20

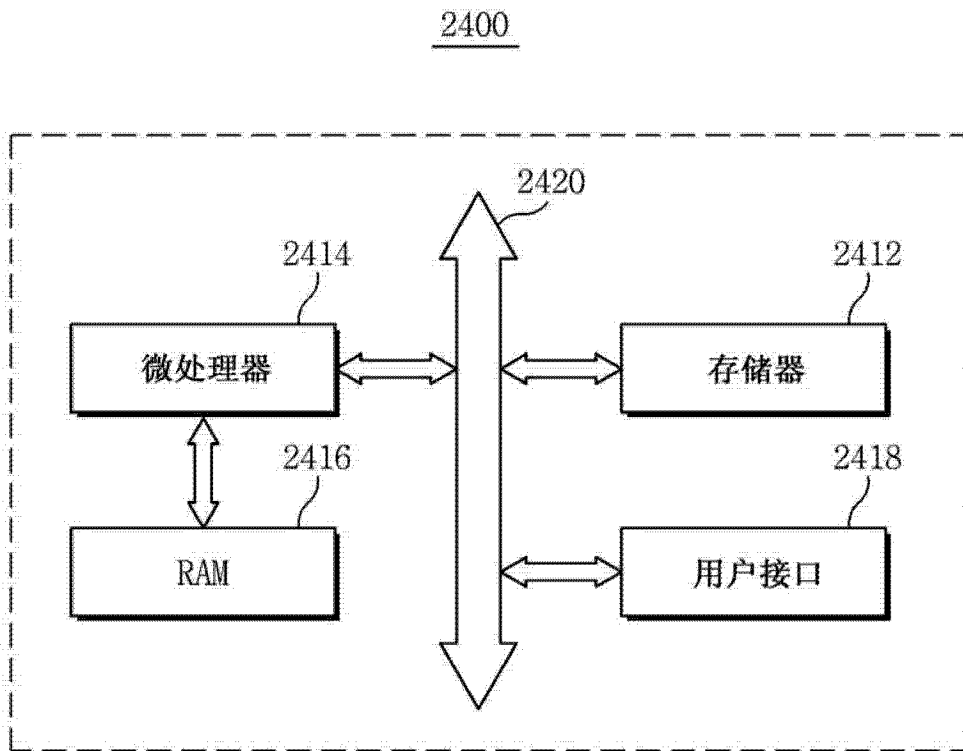


图 21

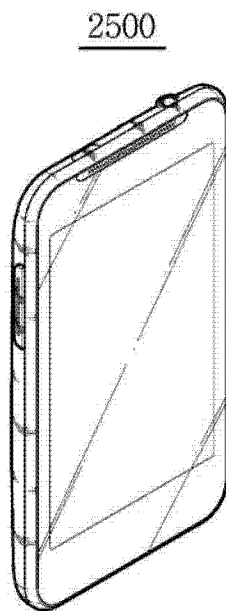


图 22