



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0051618
(43) 공개일자 2008년06월11일

(51) Int. Cl.

H01L 29/786 (2006.01)

(21) 출원번호 10-2006-0123078

(22) 출원일자 2006년12월06일

심사청구일자 2006년12월06일

(71) 출원인

삼성에스디아이 주식회사

경기 수원시 영통구 신동 575

(72) 발명자

정인영

경기 용인시 기흥구 공세동 삼성SDI중앙연구소

(74) 대리인

박상수

전체 청구항 수 : 총 18 항

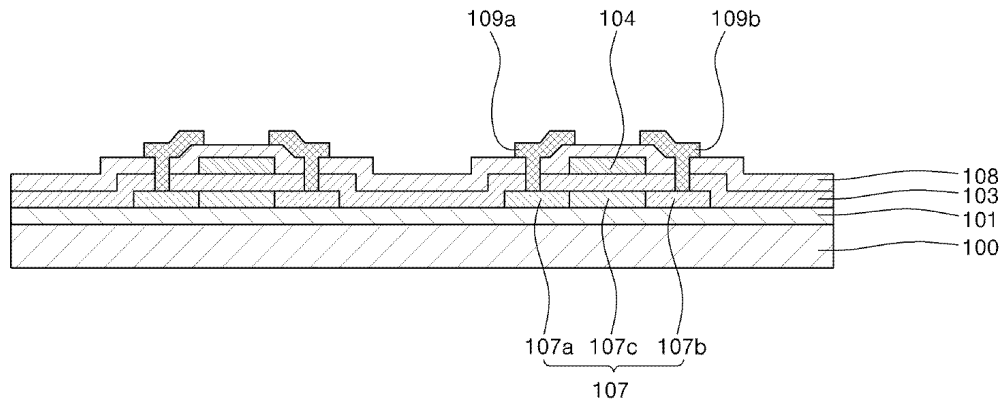
(54) 박막트랜지스터와 그 제조방법 및 이를 구비한 유기전계발광표시장치

(57) 요약

본 발명은 박막트랜지스터의 특성을 향상시킬 수 있는 박막트랜지스터와 그 제조방법 및 이를 구비한 유기전계발광표시장치에 관한 것이다.

본 발명은 기판; 상기 기판 상에 위치하며, 채널 영역 및 소스/드레인 영역을 포함하는 반도체층; 상기 반도체층 상에 위치하는 게이트 절연막; 상기 게이트 절연막 상에 위치하며, 상기 채널 영역에 대응되는 게이트 전극; 상기 게이트 전극 상에 위치하는 층간 절연막; 상기 반도체층의 소스/드레인 영역에 전기적으로 연결되는 소스/드레인 전극을 포함하며, 상기 채널 영역은 다결정 실리콘이고, 상기 소스/드레인 영역은 비정질 실리콘인 것을 특징으로 한다.

대표도



특허청구의 범위

청구항 1

기판;

상기 기판 상에 위치하며, 채널 영역 및 소스/드레인 영역을 포함하는 반도체층;

상기 반도체층 상에 위치하는 게이트 절연막;

상기 게이트 절연막 상에 위치하며, 상기 채널 영역에 대응되는 게이트 전극;

상기 게이트 전극 상에 위치하는 층간 절연막;

상기 반도체층의 소스/드레인 영역에 전기적으로 연결되는 소스/드레인 전극을 포함하며,

상기 채널 영역은 다결정 실리콘이고, 상기 소스/드레인 영역은 비정질 실리콘인 것을 특징으로 하는 박막트랜지스터.

청구항 2

제 1 항에 있어서,

상기 게이트 절연막은 800 내지 1500Å의 두께로 이루어진 것을 특징으로 하는 박막트랜지스터.

청구항 3

제 1 항에 있어서,

상기 게이트 절연막은 실리콘 산화막 또는 실리콘 질화막으로 이루어진 것을 특징으로 하는 박막트랜지스터.

청구항 4

제 1 항에 있어서,

상기 게이트 전극은 알루미늄(Al), 은(Ag), 티타늄(Ti), 텅스텐(W) 또는 몰리브덴(Mo)으로 이루어진 단일층 또는 이들의 다중층인 것을 특징으로 하는 박막트랜지스터.

청구항 5

제 1 항에 있어서,

상기 기판 상에 버퍼층을 더 포함하는 것을 특징으로 하는 박막트랜지스터.

청구항 6

기판을 제공하고,

상기 기판 상에 비정질 실리콘층을 형성하고,

상기 비정질 실리콘층을 패터닝하여 반도체층을 형성하고,

상기 기판 전면에 게이트 절연막을 형성하고,

상기 게이트 절연막 상에 상기 반도체층의 일정 영역과 대응되도록 게이트 전극을 형성하고,

상기 반도체층의 일정 영역을 게이트 전극의 저항열로 결정화하고,

상기 기판 전면에 층간 절연막을 형성하고,

상기 반도체층에 전기적으로 연결되는 소스/드레인 전극을 형성하는 것을 포함하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 7

제 6 항에 있어서,

상기 반도체층은 결정화된 영역을 채널 영역으로 형성하고 그 외의 비정질 실리콘층을 소스/드레인 영역으로 형성하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 8

제 6 항에 있어서,

상기 결정화 이후에,

상기 반도체층의 비정질 실리콘층 영역에 불순물을 주입하여 소스/드레인 영역을 형성하는 것을 더 포함하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 9

제 6 항에 있어서,

상기 줄열 방법은 상기 게이트 전극의 양 끝단 영역에 양극 및 음극을 연결하고 일정의 파워를 인가하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 10

제 6 항에 있어서,

상기 저항열은 700 내지 900℃의 온도임을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 11

제 6 항에 있어서,

상기 반도체층은 드라이버 회로 영역에 사용하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 12

제 6 항에 있어서,

상기 저항열은 인가된 파워에 선형적으로 비례함을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 13

제 6 항에 있어서,

상기 비정질 실리콘층을 형성하기 이전에 버퍼층을 더 형성하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 14

기관;

상기 기관 상에 위치하며, 다결정 실리콘인 채널 영역 및 비정질 실리콘인 소스/드레인 영역을 포함하는 반도체층;

상기 반도체층 상에 위치하는 게이트 절연막;

상기 게이트 절연막 상에 위치하며, 상기 채널 영역에 대응되는 게이트 전극;

상기 게이트 전극 상에 위치하는 층간 절연막;

상기 반도체층의 소스/드레인 영역에 전기적으로 연결되는 소스/드레인 전극;

상기 소스/드레인 전극에 전기적으로 연결된 제 1 전극 및

상기 제 1 전극 상에 위치한 유기막층 및 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광표시장치.

청구항 15

제 14 항에 있어서,

상기 게이트 절연막은 800 내지 1500Å의 두께로 이루어진 것을 특징으로 하는 유기전계발광표시장치.

청구항 16

제 14 항에 있어서,

상기 게이트 절연막은 실리콘 산화막 또는 실리콘 질화막으로 이루어진것을 특징으로 하는 유기전계발광표시장치.

청구항 17

제 14 항에 있어서,

상기 게이트 전극은 알루미늄(Al), 은(Ag), 티타늄(Ti), 텅스텐(W) 또는 몰리브덴(Mo)으로 이루어진 단일층 또는 이들의 다중층인 것을 특징으로 하는 유기전계발광표시장치.

청구항 18

제 14 항에 있어서,

상기 기관 상에 버퍼층을 더 포함하는 것을 특징으로 하는 유기전계발광표시장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 박막트랜지스터와 그 제조방법 및 이를 구비한 유기전계발광표시장치에 관한 것으로, 보다 자세하게는 증착 방법에 의해 박막트랜지스터를 제조하는데 있어서, 박막트랜지스터의 특성을 향상시킬 수 있는 박막트랜지스터와 그 제조방법 및 이를 구비한 유기전계발광표시장치에 관한 것이다.
- <14> 최근에 음극선관(cathode ray tube)과 같이 무겁고, 크기가 크다는 종래의 표시 소자의 단점을 해결하는 액정 표시 장치(liquid crystal display device), 유기전계발광표시장치(organic light emitting diode display device) 또는 PDP(plasma display panel) 등과 같은 평판형 표시 장치가 주목 받고 있다.
- <15> 상기와 같은 평판형 표시 장치에 이용되는 박막트랜지스터는 주어진 신호에 따라 고속으로 작동하는 특성 또는 기관 전체에 걸쳐 균일한 특성이 요구되어지는데, 이러한 박막트랜지스터의 특성을 만족시키기 위해서는 박막트랜지스터의 반도체층의 특성을 제어하는 것이 가장 중요하다.
- <16> 상기 반도체층은 비정질 실리콘을 폴리 실리콘으로 결정화하여 사용하는데, 이러한 방법으로는 고상 결정화법(Solid Phase Crystallization : SPC), 엑시머 레이저 결정화법(Eximer Laser Annealing : ELA), 금속 유도 결정화법(Metal Induced Crystallization : MIC) 및 금속 유도 측면 결정화법(Metal Induced Lateral Crystallization : MILC) 등이 있는데, 상기 고상 결정화법은 비정질 실리콘층을 박막트랜지스터 사용되는 디스플레이 소자의 기관을 형성하는 물질인 유리의 변형 온도인 약 700℃ 이하의 온도에서 수 시간 내지 수십 시간에 걸쳐 어닐링하는 방법이고, 엑시머 레이저 결정화법은 엑시머 레이저를 실리콘층에 주사하여 매우 짧은 시간 동안 국부적으로 높은 온도로 가열하여 결정화하는 방법이고, 금속 유도 결정화법은 니켈, 팔라듐, 금, 알루미늄 등의 금속을 비정질 실리콘층과 접촉시키거나 주입하여 상기 금속에 의해 비정질 실리콘층이 다결정 실리콘층으로 상변화가 유도되는 현상을 이용하는 방법이고, 금속 유도 측면 결정화법은 금속과 실리콘이 반응하여 생성된 실리사이드가 측면으로 계속하여 전파되면서 순차적으로 실리콘의 결정화를 유도하는 방법이다.
- <17> 그러나, 상기의 고상 결정화법은 기관을 고온에서 장시간 열처리함으로써, 기관에 손상이 가해지는 문제점이 있고, 상기 엑시머 레이저 결정화법은 레이저 설비가 고가일 뿐만 아니라, 많은 유지비가 소요된다는 문제점이 있고, 상기 금속 유도 결정화법 내지 금속 유도 측면 결정화법은 다결정 실리콘층으로 결정화하는데 너무 많은 시

간이 필요하다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<18> 따라서, 본 발명은 상기와 같은 종래 기술의 제반 단점과 문제점을 해결하기 위한 것으로, 줄열 결정화법에 의해 박막트랜지스터를 제조하는데 있어서, 박막트랜지스터의 특성을 향상시킬 수 있는 박막트랜지스터와 그 제조 방법 및 이를 구비한 유기전계발광표시장치를 제공함에 본 발명의 목적이 있다.

발명의 구성 및 작용

<19> 본 발명의 상기 목적은 기판; 상기 기판 상에 위치하며, 채널 영역 및 소스/드레인 영역을 포함하는 반도체층; 상기 반도체층 상에 위치하는 게이트 절연막; 상기 게이트 절연막 상에 위치하며, 상기 채널 영역에 대응되는 게이트 전극; 상기 게이트 전극 상에 위치하는 층간 절연막; 상기 반도체층의 소스/드레인 영역에 전기적으로 연결되는 소스/드레인 전극을 포함하며, 상기 채널 영역은 다결정 실리콘이고, 상기 소스/드레인 영역은 비정질 실리콘인 것을 특징으로 하는 박막트랜지스터에 의해 달성된다.

<20> 본 발명의 상기 목적은 기판을 제공하고, 상기 기판 상에 비정질 실리콘층을 형성하고, 상기 비정질 실리콘층을 패터닝하여 반도체층을 형성하고, 상기 기판 전면에서 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 상기 반도체층의 일정 영역과 대응되도록 게이트 전극을 형성하고, 상기 반도체층의 일정 영역을 게이트 전극의 저항 열로 결정화하고, 상기 기판 전면에서 층간 절연막을 형성하고, 상기 반도체층에 전기적으로 연결되는 소스/드레인 전극을 형성하는 것을 포함하는 것을 특징으로 하는 박막트랜지스터의 제조방법에 의해 달성된다.

<21> 또한, 본 발명의 상기 목적은 기판; 상기 기판 상에 위치하며, 다결정 실리콘인 채널 영역 및 비정질 실리콘인 소스/드레인 영역을 포함하는 반도체층; 상기 반도체층 상에 위치하는 게이트 절연막; 상기 게이트 절연막 상에 위치하며, 상기 채널 영역에 대응되는 게이트 전극; 상기 게이트 전극 상에 위치하는 층간 절연막; 상기 반도체층의 소스/드레인 영역에 전기적으로 연결되는 소스/드레인 전극; 상기 소스/드레인 전극에 전기적으로 연결된 제 1 전극 및 상기 제 1 전극 상에 위치한 유기막층 및 제 2 전극을 포함하는 것을 특징으로 하는 유기전계발광표시장치에 의해 달성된다.

<22> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다. 또한 도면들에 있어서, 층 및 영역의 길이, 두께 등은 편의를 위하여 과장되어 표현될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<23> 도 1a 및 도 1b는 본 발명의 실시 예에 따른 박막트랜지스터의 단면도이고, 도 1c는 도 1b의 평면도이고, 도 1d 및 도 1e는 본 발명의 실시 예에 따른 박막트랜지스터의 단면도이다.

<24> 도 1a를 참조하면, 절연 유리 또는 플라스틱과 같은 투명한 기판(100) 상에 버퍼층(101)을 형성한다. 상기 버퍼층(101)은 기판 하부에서 침투하는 수분 또는 불순물의 확산을 방지하거나 결정화 시 열의 전달 속도를 조절함으로써, 후속 공정에서 형성될 다결정 실리콘층의 결정화가 잘 이루어질 수 있도록 하는 역할을 하며, 실리콘 산화막, 실리콘 질화막 또는 이들의 다중층으로 이루어질 수 있다.

<25> 이어서, 상기 버퍼층(101) 상에 비정질 실리콘층(102)을 형성한다. 이때, 상기 비정질 실리콘층은 화학적 기상 증착법(Cheical Vapor Deposition) 또는 물리적 기상 증착법(Physical Vapor Deposition)을 이용할 수 있다. 또한, 상기 비정질 실리콘층을 형성할 때, 또는 형성한 후에 탈수소 처리하여 수소의 농도를 낮추는 공정을 진행할 수 있다.

<26> 이어, 상기 비정질 실리콘층(102)을 패터닝하여 반도체층(107)을 형성한다. 이때, 상기 반도체층(107)은 후속 결정화 공정 시, 게이트 전극 하부에 위치하게 되어 결정화 되는 다결정 실리콘층 영역을 채널 영역으로 사용하고, 그 이외의 비정질 실리콘층 영역은 추후 소스/드레인 영역이 될 수 있다. 따라서, 상기 반도체층(107)을 형성할 때, 소스/드레인이 될 영역의 마진을 생각하여 반도체층(107)을 형성한다.

<27> 이어서, 도 1b를 참조하면, 상기 기판(100) 전면에서 게이트 절연막(103)을 형성한다. 상기 게이트 절연막(103)은 후속 결정화 공정에서 비정질 실리콘층(102)의 표면을 보호하는 역할을 하고 열이 유출되는 것을 방지하는 역할을 할 수 있다.

<28> 이때, 상기 게이트 절연막(103)은 화학적기상 증착법(Cheical Vapor Deposition) 또는 물리적 기상 증착법

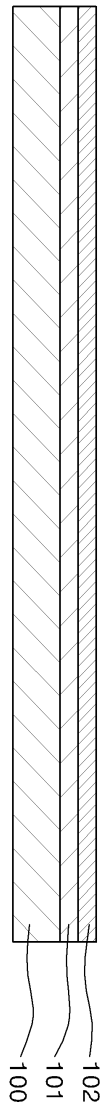
(Physical Vapor Deposition)을 이용하여 실리콘 산화막 또는 실리콘 질화막으로 형성될 수 있다.

- <29> 여기서, 상기 게이트 절연막(103)은 800 내지 1500Å의 두께로 형성되는 것이 바람직하다. 상기 게이트 절연막(103)의 두께는 이후 박막트랜지스터가 완성되었을 때 게이트 절연막으로의 바람직한 특성을 고려할 때 800Å 이상인 것이 바람직하지만, 후속 줄열 결정화 공정 시 저항열이 반도체층으로 전도되는 특성을 고려할 때 1500Å 이하인 것이 바람직하다.
- <30> 이어서, 상기 게이트 절연막(103) 상에 알루미늄(Al), 은(Ag), 티타늄(Ti), 텅스텐(W) 또는 몰리브덴(Mo)으로 이루어진 단일층 또는 이들의 다중층으로 게이트 전극용 금속층을 형성한다. 이어, 상기 게이트 전극용 금속층을 식각하여 게이트 전극(104)을 형성한다.
- <31> 상기 게이트 전극(104)은 인가된 파워에 의해 저항열(Joule Heating)을 발생하는 금속의 역할을 하게 된다. 따라서, 상기 게이트 전극(104)은 인가된 파워에 의해 저항열(즉, 상기 게이트 전극은 파워, 즉, 전기에 의해 열을 발생시키는 박막히터의 역할을 하게 된다.)을 발생시키게 되어 고온의 열을 발생시키게 되는데, 상기와 같이, 저항열 금속으로 적당한 저항을 갖고 고온에서도 산화되지 않으며, 열전도성이 우수한 금속을 사용하는 것이 바람직하다.
- <32> 이어서, 도 1b의 평면도인 도 1c를 참조하면, 상기 게이트 전극(104)의 양 끝단 영역에 소정의 파워를 인가시키기 위해 양극(105a) 및 음극(105b)을 형성하고 파워(W)를 인가할 수 있는 전원(106)과 연결한다. 이때, 상기 게이트 전극 패턴이 직사각형인 경우, 장축의 양쪽 가장자리를 가리키는 것이고, 상기 양극(105a) 또는 음극(105b)은 장축의 양쪽 가장자리 중 어느 한 곳에 형성된다.
- <33> 이어서, 상기 전원에 의해 공급된 파워가 양극(105a) 및 음극(105b)을 통해 상기 게이트 전극(104)에 주입되고, 상기 게이트 전극(104)에 주입된 파워는 게이트 전극(104)의 저항에 의해 저항열을 발생하게 된다. 특히, 상기 저항열은 상기 게이트 전극(104)에서 주로 발생한다.
- <34> 이때, 상기 발생하는 저항열은 인가되는 파워에 비례하게 되는데 상기 파워는 하기의 [수학식 1]과 같이 전압(V)과 전류(A)의 곱인 파워(W)에 비례하게 된다.
- <35> 저항열(Joule Heating) ∝ 파워(W) = 전압(V) × 전류(A)
- <36> 상기 파워의 인가에 의해 발생한 저항열은 게이트 전극(104)의 하부의 게이트 절연막(103)으로 전도되고, 상기 게이트 절연막(103)으로 전도된 저항열은 상기 게이트 절연막(103) 하부의 비정질 실리콘층(102)으로 전도되게 된다. 이때, 전도되는 저항열은 상기의 [수학식 1]에서 설명한 바와 같이 인가된 파워에 선형적으로 비례하게 된다.
- <37> 상기 전도된 저항열은 상기 비정질 실리콘층(102)을 가열하여 수 초 내지 수십 초 내에 비정질 실리콘층의 온도를 700 내지 900℃까지 상승시킬 수 있다. 이때, 온도가 상승한 게이트 전극(104) 하부에 위치한 비정질 실리콘층(102)은 다결정 실리콘층으로 결정화하게 된다. 이때, 상기 게이트 전극(104) 하부 이외에 형성된 비정질 실리콘층(102)은 결정화되지 않는다.
- <38> 도 2a 내지 도 2d는 결정화 시간에 따른 비정질 실리콘층의 결정화되는 모습을 나타내는 사진이다.
- <39> 본 발명의 일 실시 예에서는 상기 게이트 전극(104)의 선폭을 300μm로 형성하고, 전압을 175V로 인가하였다.
- <40> 먼저, 도 2a는 결정화 시간이 20초일 때, 결정화의 핵이 국부적으로 형성되면서 결정화의 초기 모습을 볼 수 있다. 이어, 도 2b는 결정화 시간이 40초일 때의 모습으로 결정화가 점차 진행되고 있는 것을 볼 수 있다. 다음, 도 2c는 결정화 시간이 60초일 때의 모습으로 40초 때보다 더 많이 결정화된 것을 볼 수 있다. 또한, 도 2d는 결정화 시간이 80초일 때의 모습으로 게이트 전극(104)의 하부에 비정질 실리콘층이 대부분 다결정화 된 것을 볼 수 있다. 그러나, 상기 도 2a 내지 도 2d에서 보는 바와 같이, 게이트 전극(104)이 형성되지 않은 영역의 비정질 실리콘층은 결정화되지 않은 것을 알 수 있다.
- <41> 즉, 상기 게이트 전극(104)이 형성된 영역 하부에 위치한 비정질 실리콘층은 추후 채널 영역으로 작용할 수 있기 때문에 상기 게이트 전극(104)을 형성하는 위치를 조절하여 원하는 부위에서 선택적으로 결정화할 수 있다. 이에 따라, 높은 이동도를 요구하는 드라이버 회로(driver IC) 영역을 결정화하여 시스템 온 글라스(System On Glass)를 구현할 수 있는 이점이 있다.
- <42> 또한, 짧은 시간 내에 결정화를 이룰 수 있기 때문에 유리 기판을 사용할 경우에 기판의 변형을 방지할 수 있는 이점이 있다.

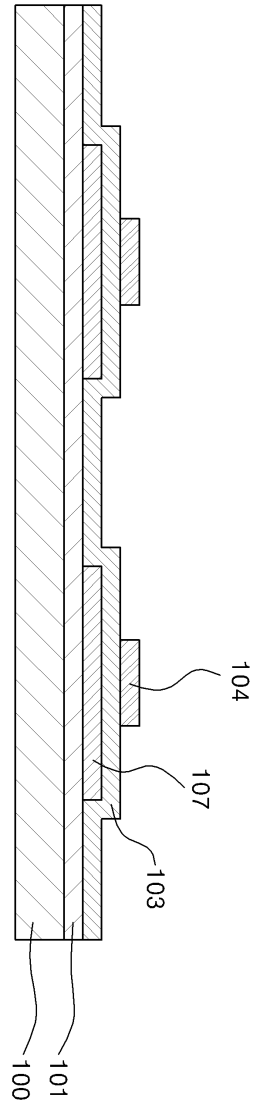
- <43> 다음, 도 3은 본 발명의 실시 예에 따라 결정화된 다결정 실리콘층을 나타낸 도면이다.
- <44> 도 3을 참조하면, 본 실시 예에 따라 증착 방법을 사용하여 결정화된 다결정 실리콘층은 약 40 μ m 정도의 매우 큰 그레인(grain)을 갖는 것을 알 수 있다. 따라서, 그레인 바운더리(Grain Boundary)가 적은 다결정 실리콘을 제조할 수 있고 이에 따라 박막트랜지스터의 특성을 우수하게 할 수 있는 이점이 있다.
- <45> 다음, 도 1d를 참조하면, 결정화 공정이 끝난 후에, 상기 기판(100) 전면에 상기 게이트 전극(104)을 마스크로 사용하여 도전형의 불순물 이온을 일정량 주입하여 소스/드레인 영역(107a,107b) 및 채널 영역(107c)을 형성한다. 이때, 상기 불순물 이온으로는 p형 불순물 또는 n형 불순물을 이용하여 박막트랜지스터를 형성할 수 있는데, 상기 p형 불순물은 붕소(B), 알루미늄(Al), 갈륨(Ga) 및 인듐(In)으로 이루어진 군에서 선택할 수 있고, 상기 n형 불순물은 인(P), 비소(As) 및 안티몬(Sb) 등으로 이루어진 군에서 선택할 수 있다.
- <46> 따라서, 이전 공정에서 게이트 전극(104) 하부에 위치한 반도체층 영역을 결정화하였으므로, 상기 게이트 전극 하부에 위치한 채널 영역(107c)은 다결정 실리콘이고, 그 외의 소스/드레인 영역(107a,107b)는 비정질 실리콘이 된다.
- <47> 이어서, 도 1e를 참조하면, 상기 게이트 절연막(103) 및 게이트 전극(104)을 포함하는 기판(100) 전면에 층간 절연막(108)을 형성한다.
- <48> 이어, 상기 층간 절연막(108) 및 게이트 절연막(103)의 일정 영역을 식각하여 콘택홀을 형성하고, 상기 콘택홀을 통해 상기 반도체층(107)의 소스/드레인 영역(107a,107b)에 전기적으로 연결되는 소스/드레인 전극(109a,109b)을 형성하여, 본 발명의 실시 예에 따른 박막트랜지스터를 완성한다.
- <49> 상기와 같이, 본 발명의 실시 예에 따른 박막트랜지스터는 원하는 부위에 선택적으로 비정질 실리콘을 다결정 실리콘으로 결정화할 수 있어 이에 따라, 높은 이동도를 요구하는 드라이버 회로(driver IC) 영역을 결정화하여 시스템 온 글라스(System On Glass)를 구현할 수 있는 이점이 있다.
- <50> 또한, 짧은 시간 내에 결정화를 이룰 수 있기 때문에 유리 기판을 사용할 경우에 기판의 변형을 방지할 수 있는 이점이 있다.
- <51> 또한, 그레인 바운더리(Grain Boundary)가 적은 다결정 실리콘을 제조할 수 있어 박막트랜지스터의 특성을 우수하게 할 수 있는 이점이 있다.
- <52> 이어서, 도 4는 본 발명의 실시 예에 따른 유기전계발광표시장치의 단면도이다.
- <53> 도 4를 참조하면, 상기 기판(100) 전면에 평탄화막(115)을 형성한다. 상기 평탄화막(115)은 유기막 또는 무기막으로 형성하거나 이들의 복합막으로 형성할 수 있다. 상기 평탄화막(115)을 무기막으로 형성하는 경우는 SOG(spin on glass)를 사용하여 형성하는 것이 바람직하고, 유기막으로 형성하는 경우 아크릴계 수지, 폴리이미드계 수지 또는 BCB(benzocyclobutene)을 사용하여 형성하는 것이 바람직하다.
- <54> 이때, 상기 평탄화막(115)을 식각하여 상기 소스/드레인 전극(109a, 109b) 중 어느 하나를 노출시키는 비어홀을 형성하고, 상기 소스/드레인 전극(109a, 109b) 중 어느 하나와 연결되는 제 1 전극(116)을 형성한다. 상기 제 1 전극(116)은 상기 비어홀의 바닥에 위치하여 상기 노출된 소스/드레인 전극(109a, 109b) 중 어느 하나에 접하고, 상기 평탄화막(115) 상으로 연장된다. 상기 제 1 전극(116)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide)를 사용할 수 있다.
- <55> 이어서, 상기 제 1 전극(116)을 포함한 기판(100) 전면에 화소정의막(117)을 형성하되, 상기 제 1 전극(116)이 위치한 비어홀을 충분히 채울 수 있을 정도의 두께로 형성한다. 상기 화소정의막(117)은 유기막 또는 무기막으로 형성할 수 있으나, 바람직하게는 유기막으로 형성한다. 더욱 바람직하게는 상기 화소정의막(117)은 BCB(benzocyclobutene), 아크릴계 고분자 및 폴리이미드로 이루어진 군에서 선택되는 하나이다. 상기 화소정의막(117)은 유동성(flowability)이 뛰어나므로 상기 기판 전체에 평탄하게 형성할 수 있다.
- <56> 이때, 상기 화소정의막(117)을 식각하여 상기 제 1 전극(116)을 노출시키는 개구부를 형성하고, 상기 개구부를 통해 노출된 제 1 전극(116) 상에 유기막층(118)을 형성한다. 상기 유기막층(118)은 적어도 발광층을 포함하며, 정공주입층, 정공수송층, 전자수송층 또는 전자주입층 중 어느 하나 이상의 층을 추가로 포함할 수 있다.
- <57> 이어서, 상기 기판(100) 전면에 제 2 전극(119)을 형성한다. 상기 제 2 전극(119)은 투과전극으로 투명하면서 일함수가 낮은 Mg, Ag, Al, Ca 및 이들의 합금으로 사용할 수 있다.

도면

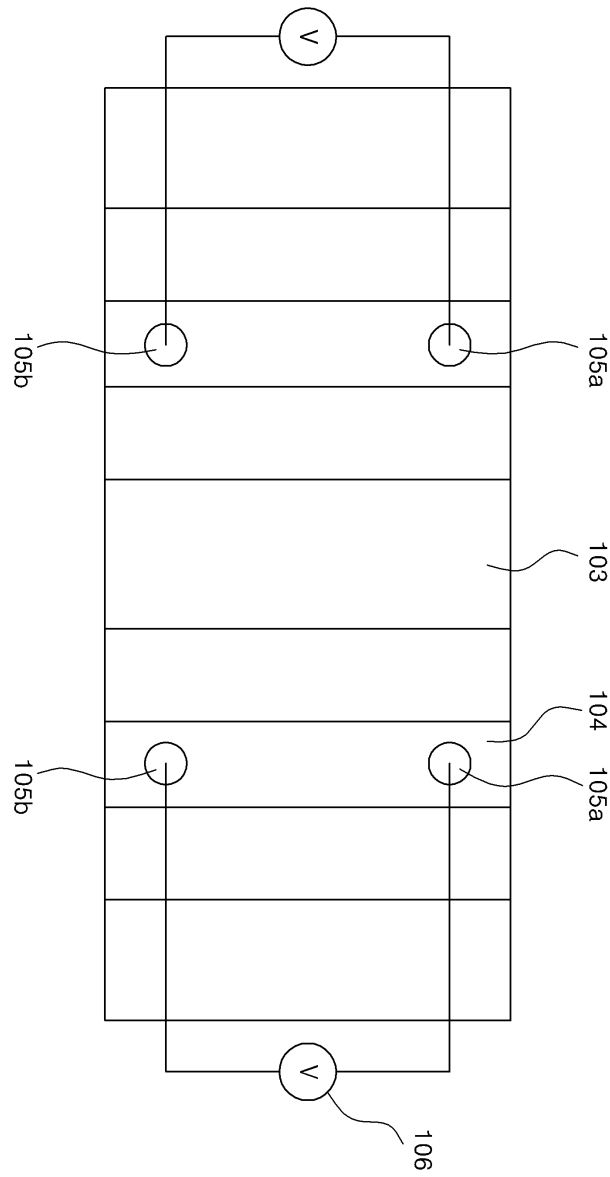
도면1a



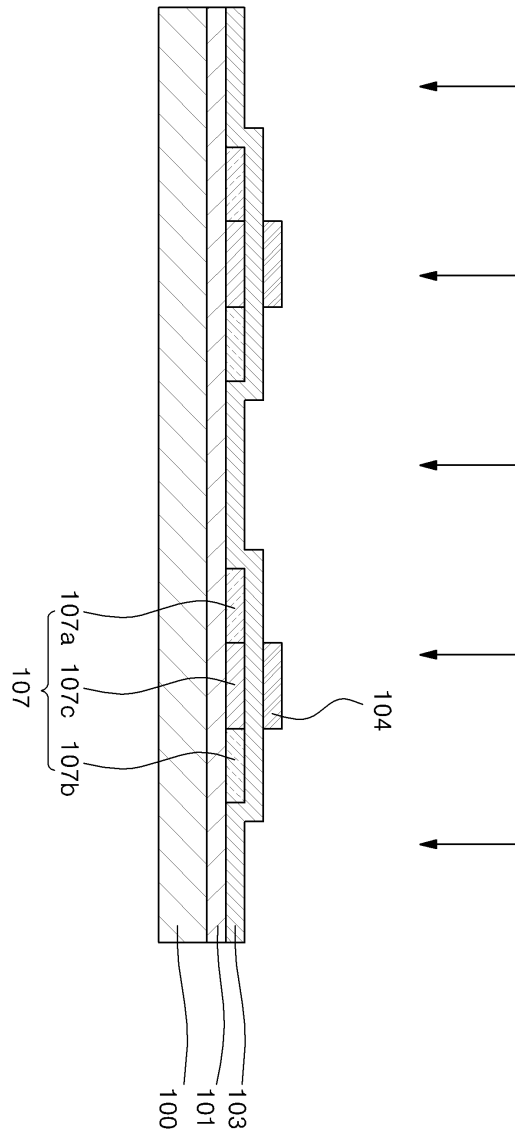
도면1b



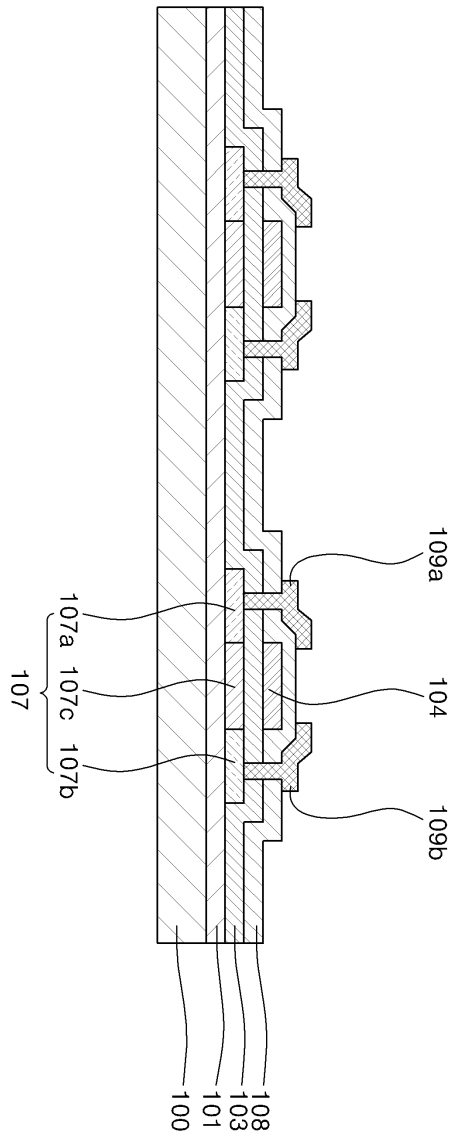
도면1c



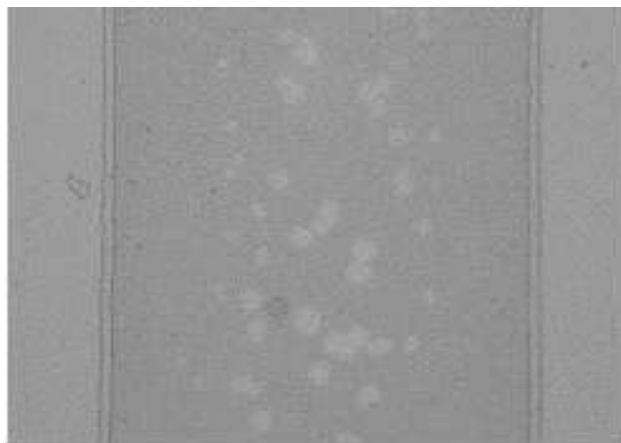
도면1d



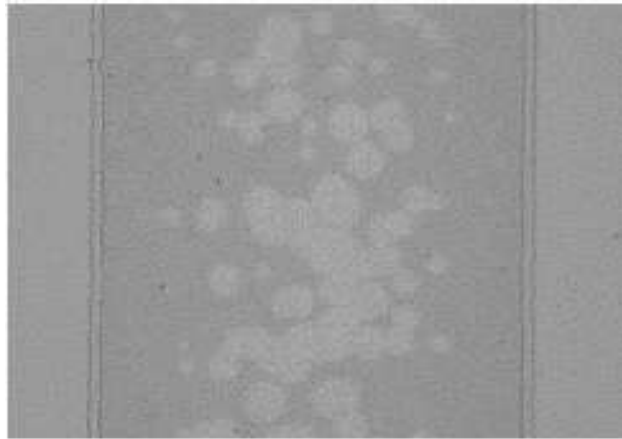
도면1e



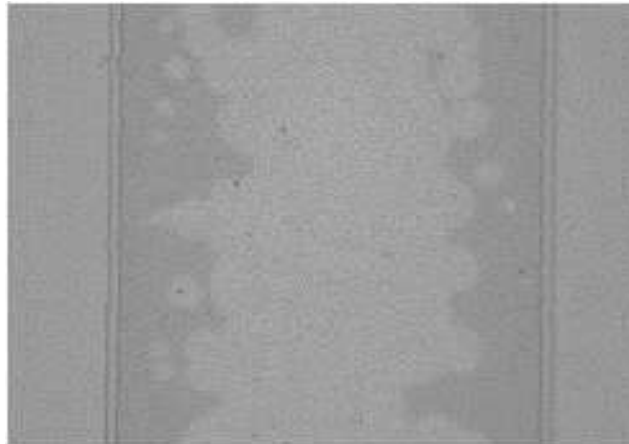
도면2a



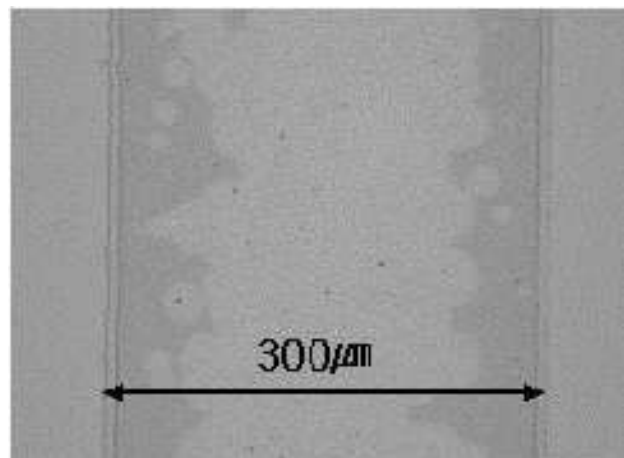
도면2b



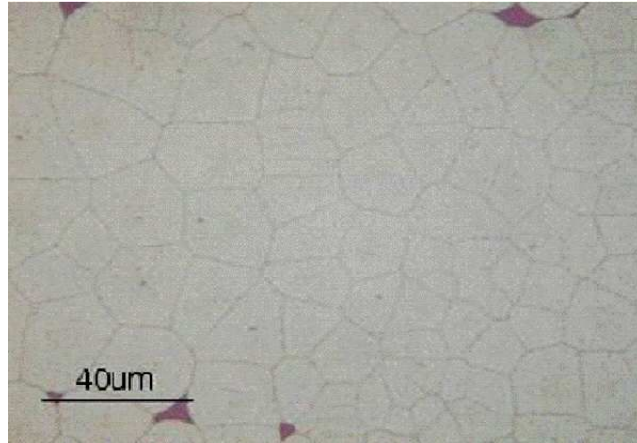
도면2c



도면2d



도면3



도면4

