

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H03M 1/36	(11) 공개번호 (43) 공개일자	특1996-0043540 1996년 12월 23일
---	------------------------	--------------------------------

(21) 출원번호	특1995-0011580
(22) 출원일자	1995년 05월 11일
(71) 출원인	삼성전자 주식회사 김광호
(72) 발명자	경기도 수원시 팔달구 매탄동 416번지 (우:440-370) 조율호 서울특별시 영등포구 당산동 1가 339번지 16동 4반 이영범 인천광역시 북구 산곡 3동 369-641번지 삼성빌라 3동 401호 김원호, 최현석
(74) 대리인	김원호, 최현석

심사청구 : 있음

(54) 순환구조형 다단 유사 병렬 아날로그/디지털 변환기

요약

이 발명은 순환구조형 다단 유사 병렬 아날로그/디지털 변환기(Recycling Multistep Analog-to-Digital Converter)에 관한 것으로서, 선택된 샘플 앤드 홀드 회로와, 멀티플라잉 디지털/아날로그 변환기와, 플래쉬 변환기와, 래치와, 이진 부호화 논리 회로와, 오차 보정 논리 회로로 구성되어, 고해상도를 제공하면서도 회로의 사이즈(Size)가 적고, 오차도 줄일 수 있는 순환구조형 다단 유사 병렬 아날로그/디지털 변환기에 관한 것이다.

대표도

도 3

명세서

[발명의 명칭]

순환구조형 다단 유사 병렬 아날로그/디지털 변환기

[도면의 간단한 설명]

제3도는 이 발명의 실시예에 따른 순환구조형 다단 유사 병렬 아날로그/디지털 변환기의 구성을 나타내는 블록도이다. 제4도는 이 발명의 실시예에 따른 순환구조형 3단 유사 병렬 아날로그/디지털 변환기의 구성을 나타내는 블록도이다.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

외부의 아날로그 입력과 피드백 입력중에서, 선택적으로 입력신호를 샘플링하여, 일정 시간동안 유지했다가 출력하는 선택적 샘플 앤드 홀드 회로와, 상기한 선택적 샘플 앤드 홀드 회로의 출력을 입력으로 받고, 디지털/아날로그 변환기 기능과 감산기능, 증폭기능을 동시에 수행하여 다시 상기한 선택적 샘플 앤드 홀드 회로로 출력하는 멀티플라잉 디지털/아날로그 변환기와, 원하는 해상도에 비례하는 수의 비교기를 갖고, 상기한 선택적 샘플 앤드 홀드 회로의 출력을 입력으로 받아서 디지털 신호로 변환하는 플래쉬 변환기와, 상기한 플래쉬 변환기에 포함되어 있으면 상기한 멀티플라잉 디지털/아날로그 변환기에서 사용할 수 있도록 신호를 일정시간 동안 유지하다가 상기한 멀티플라잉 디지털/아날로그 변환기에 출력하는 래치와, 상기한 래치에서 출력된 상기 플래쉬 변환기의 써모미터 코드 디지털 출력을 이진 부호로 바꾸어 출력하는 이진 부호화 논리 회로와, 상기한 이진 부호화 논리 회로의 출력을 입력으로 받고, 상기 플래쉬 변환기에서 생길 수 있는 오차를 보정하여 출력하는 오차 보정 논리 회로로 이루어지는 것을 특징으로 하는 순환구조형 다단 유사 병렬 아날로그/디지털 변환기.

청구항 2

제1항에 있어서, 상기한 멀티플라잉 디지털/아날로그 변환기는 상기한 샘플 앤드 홀드 회로의 아날로그

출력과 상기한 플래쉬 변환기 내부에 포함된 래치의 디지털 출력에 해당하는 아날로그 값과의 차이를 일정한 이득만큼 증폭시키는 것을 특징으로 하는 순환구조형 다단 유사 병렬 아날로그/디지털 변환기.

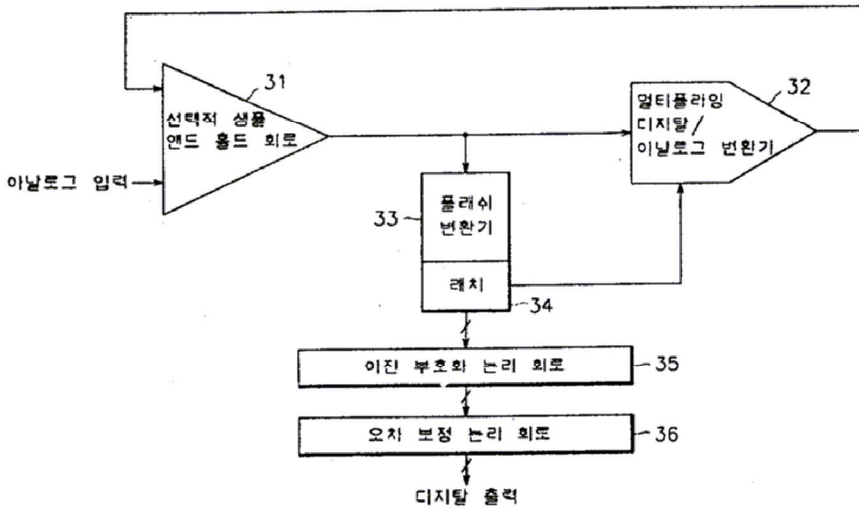
청구항 3

제1항에 있어서, 상기한 이진 부호화 논리 회로에서는 플래쉬 변환기의 써모메터 코드 출력을 이진 부호로 바꾸고 래치시키거나 시간 지연을 주어서, 다음번 순환기에서 하위비트를 생성할때까지 유지하는 것을 특징으로 하는 순환구조형 다단 유사 병렬 아날로그/디지털 변환기.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면3



도면4

