



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년01월28일
(11) 등록번호 10-0939146
(24) 등록일자 2010년01월20일

(51) Int. Cl.
G11C 16/02 (2006.01) G11C 16/10 (2006.01)
G11C 16/26 (2006.01)
(21) 출원번호 10-2007-0108820
(22) 출원일자 2007년10월29일
심사청구일자 2007년10월29일
(65) 공개번호 10-2008-0039270
(43) 공개일자 2008년05월07일
(30) 우선권주장
JP-P-2006-00294184 2006년10월30일 일본(JP)
(56) 선행기술조사문헌
KR1019970017685 A
JP2004110885 A
JP2006134487 A
JP06052695 A

(73) 특허권자
가부시끼가이샤 도시바
일본국 도쿄도 미나토구 시바우라 1쵸메 1방 1고
(72) 발명자
구도 야스오
일본 도쿄도 미나토구 시바우라 1쵸메 1-1 가부시
끼가이샤 도시바지적재산본부 내
(74) 대리인
박충범, 이중희, 장수길

전체 청구항 수 : 총 16 항

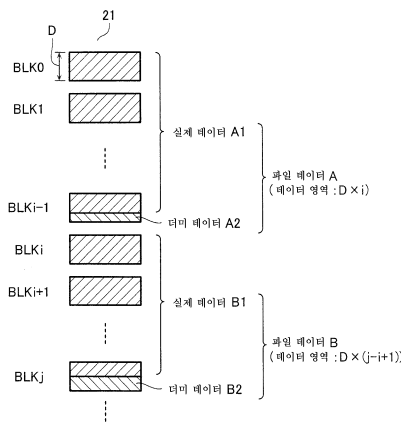
심사관 : 손윤식

(54) 비휘발성 반도체 메모리 시스템 및 그 데이터 기입 방법

(57) 요약

비휘발성 반도체 메모리 시스템은, 각각의 블록이 소거 유닛 역할을 하는 복수의 블록에 의해 규정되는 데이터 저장 영역을 갖는 비휘발성 반도체 메모리 디바이스, 및 이 비휘발성 반도체 메모리 디바이스의 판독/기입을 제어하도록 구성된 메모리 제어기를 포함하며, 비휘발성 반도체 메모리 디바이스는, 데이터 유닛이 블록 용량의 정수 배의 용량을 갖는 데이터 영역에 블록의 헤드 어드레스로부터 기입되는 식으로 기입 제어된다.

대표도 - 도4



특허청구의 범위

청구항 1

비휘발성 반도체 메모리 시스템으로서,

각각의 블록이 소거 유닛 역할을 하는 복수의 블록에 의해 규정되는 데이터 저장 영역을 갖는 비휘발성 반도체 메모리 디바이스; 및

상기 비휘발성 반도체 메모리 디바이스의 판독/기입을 제어하도록 구성된 메모리 제어기를 포함하며,

상기 비휘발성 반도체 메모리 디바이스는, 데이터 유닛이, 블록 용량의 정수 배의 용량을 가지며 상기 데이터 저장 영역 내에 포함되는 데이터 영역에 블록의 헤드 어드레스로부터 기입되는 식으로 기입 제어되는 비휘발성 반도체 메모리 시스템.

청구항 2

제1항에 있어서,

상기 데이터 유닛의 실제 데이터가 블록의 미기입 영역을 그대로 두고 상기 데이터 영역에 기입되며, 더미 데이터가 상기 미기입 영역에 내장(embed)되는 비휘발성 반도체 메모리 시스템.

청구항 3

제1항에 있어서,

상기 데이터 유닛의 실제 데이터가 블록의 미기입 영역을 그대로 두고 상기 데이터 영역에 기입되며, 상기 미기입 영역이 기입-금지 상태로 설정되는 비휘발성 반도체 메모리 시스템.

청구항 4

제2항에 있어서,

상기 실제 데이터는 상기 더미 데이터 앞에 기입되며, 상기 더미 데이터는 상기 메모리 시스템을 이용하는 호스트 디바이스의 지시에 따라 기입되는 비휘발성 반도체 메모리 시스템.

청구항 5

제2항에 있어서,

상기 실제 데이터는 상기 더미 데이터 앞에 기입되며, 상기 더미 데이터는 상기 메모리 제어기의 제어하에 자동 기입되는 비휘발성 반도체 메모리 시스템.

청구항 6

제3항에 있어서,

상기 기입-금지 상태는 상기 메모리 시스템을 이용하는 호스트 디바이스의 지시에 따라 설정되는 비휘발성 반도체 메모리 시스템.

청구항 7

제3항에 있어서,

상기 기입-금지 상태는 상기 메모리 제어기의 제어하에 자동 설정되는 비휘발성 반도체 메모리 시스템.

청구항 8

제2항에 있어서,

상기 미기입 영역은 상기 실제 데이터의 입력 이전에 사전 검출되며, 상기 더미 데이터는 상기 실제 데이터 앞에 기입되는 비휘발성 반도체 메모리 시스템.

청구항 9

제3항에 있어서,

상기 미기입 영역은 상기 실제 데이터의 입력 이전에 사전 검출되고 상기 기입-금지 상태로 설정되는 비휘발성 반도체 메모리 시스템.

청구항 10

제1항에 있어서,

상기 비휘발성 반도체 메모리 디바이스의 판독/기입 액세스 영역은, 데이터 전송 유닛이 섹터에 의해 규정되고, 호스트가 커맨드와 함께 섹터 카운트값과 섹터 어드레스 초기값을 입력하는 식으로 설정되는 비휘발성 반도체 메모리 시스템.

청구항 11

제1항에 있어서,

상기 메모리 시스템은 메모리 카드인 비휘발성 반도체 메모리 시스템.

청구항 12

데이터 저장 영역이 각기 소거 유닛 역할을 하는 복수의 블록으로 형성되는 비휘발성 반도체 메모리 시스템의 데이터 기입 방법으로서,

실제 데이터가 다른 블록의 미기입 영역을 그대로 두고 블록의 헤드 어드레스로부터 일정 영역에 내장되는 식으로 비휘발성 반도체 메모리의 상기 일정 영역에 데이터 유닛의 실제 데이터를 기입하는 단계; 및

상기 미기입 영역에 더미 데이터를 기입하여, 상기 실제 데이터와 상기 더미 데이터를 포함하는 데이터 유닛이, 블록 용량의 정수 배의 용량을 가지며 상기 데이터 저장 영역 내에 포함되는 데이터 영역을 차지하게 하는 단계를 포함하는 비휘발성 반도체 메모리 시스템의 데이터 기입 방법.

청구항 13

제12항에 있어서,

상기 실제 데이터는 상기 더미 데이터 앞에 기입되며, 상기 더미 데이터는 상기 메모리 시스템을 이용하는 호스트 디바이스의 지시에 따라 기입되는 비휘발성 반도체 메모리 시스템의 데이터 기입 방법.

청구항 14

제12항에 있어서,

상기 실제 데이터는 상기 더미 데이터 앞에 기입되며, 상기 더미 데이터는 상기 메모리 시스템에 포함되는 메모리 제어기의 제어하에 자동 기입되는 비휘발성 반도체 메모리 시스템의 데이터 기입 방법.

청구항 15

제12항에 있어서,

상기 미기입 영역은 상기 실제 데이터의 입력 이전에 사전 검출되며, 상기 더미 데이터는 상기 실제 데이터 앞에 기입되는 비휘발성 반도체 메모리 시스템의 데이터 기입 방법.

청구항 16

제12항에 있어서,

비휘발성 반도체 메모리의 판독/기입 액세스 영역은, 데이터 전송 유닛이 섹터에 의해 규정되고, 호스트가 커맨드와 함께 섹터 카운트값과 섹터 어드레스 초기값을 입력하는 식으로 설정되는 비휘발성 반도체 메모리 시스템의 데이터 기입 방법.

명세서

발명의 상세한 설명

기술분야

<1> 관련 출원에 대한 상호 참조

<2> 본 출원은 2006년 10월 30일에 출원된 일본 특허 출원 제2006-294184호에 기초한 것으로, 그 우선권을 주장하며, 상기 출원의 전체 내용은 본 명세서에 참조 결합되어 있다.

<3> 본 발명은 전반적으로 비휘발성 반도체 메모리 디바이스, 및 그 판독/기입을 제어하기 위한 제어기를 구비한 비휘발성 반도체 메모리 시스템에 관한 것이다.

배경 기술

<4> 전기적으로 재기입 가능한 비휘발성 반도체 메모리(EEPROM) 중의 하나로 NAND형 플래시 메모리가 알려져 있다. 이러한 NAND형 플래시 메모리는, 그 유닛 셀 영역이 NOR형 플래시 메모리의 유닛 셀 영역보다 작고, 그 용량이 증가하기 쉽다는 특성을 갖는다. 또한, 각 셀에 대한 판독/기입 속도가 NOR형 플래시 메모리보다도 느리지만, 데이터가 셀 어레이와 페이지 버퍼 간에 동시에 판독/기입되는 셀 범위(즉, 물리적 페이지 길이)를 증가시켜, 실질적으로는 고속으로 판독/기입을 실행할 수 있다.

<5> NAND형 플래시 메모리는, 이러한 특성을 효과적으로 이용함으로써, 파일 메모리, 메모리 카드 등의 여러 기록 매체에 이용되고 있다.

발명의 내용

해결 하고자하는 과제

<6> 이러한 NAND형 플래시 메모리에서는, 워드 라인 방향으로 배열된 한 세트의 NAND 셀 유닛이 데이터 소거 유닛 역할을 하는 블록으로 규정되어 있다. 데이터를 블록에 재기입하기 위해서는, 이 블록을 일괄적으로 소거한 후에 데이터를 기입하는 것이 필요하다.

<7> 그러나, 재기입될 데이터 파일 영역의 헤드 어드레스가 블록의 중간에 위치하고, 재기입되지 않을 다른 데이터 파일이 동일한 블록에 기입되는 상황이 흔히 발생한다. 따라서, 이러한 블록을 일괄 소거하기 위해서는, 재기입되지 않을 "다른 데이터 파일"을 여분의 블록에 저장하는 복사-기입 동작을 행하는 것이 필요하다(예를 들어, JP-P2006-040264A를 참고하기 바란다).

과제 해결수단

<8> 본 발명의 일 측면에 따르면, 각각의 블록이 소거 유닛 역할을 하는 복수의 블록에 의해 규정되는 데이터 저장 영역을 갖는 비휘발성 반도체 메모리 디바이스, 및 이 비휘발성 반도체 메모리 디바이스의 판독/기입을 제어하도록 구성된 메모리 제어기를 포함하며, 비휘발성 반도체 메모리 디바이스는, 데이터 유닛이 블록 용량의 정수 배의 용량을 갖는 데이터 영역에 블록의 헤드 어드레스로부터 기입되는 식으로 기입 제어되는 비휘발성 반도체 메모리 시스템이 제공된다.

<9> 본 발명의 다른 측면에 따르면, 데이터 저장 영역이 각기 소거 유닛 역할을 하는 복수의 블록으로 형성되고, 실제 데이터가 다른 블록의 미기입 영역을 그대로 두고 블록의 헤드 어드레스로부터 일정 영역에 내장되는 식으로 비휘발성 반도체 메모리의 일정 영역에 데이터 유닛의 실제 데이터를 기입하는 단계, 및 미기입 영역에 더미 데이터를 기입하여, 실제 데이터와 더미 데이터를 포함하는 데이터 유닛이 블록 용량의 정수 배의 용량을 갖는 데이터 영역을 차지하게 하는 단계를 포함하는 비휘발성 반도체 메모리 시스템의 데이터 기입 방법이 제공된다.

발명의 실시를 위한 구체적인 내용

<10> 이제, 첨부된 도면을 참조하여 본 발명의 실시예들에 대해 설명한다.

<11> 도 1은 본 발명의 일 실시예에 따른 비휘발성 반도체 메모리 시스템(20)의 구성을 나타내고 있다. 이 메모리 시스템(20)은 메모리 모듈(예컨대, 메모리 카드)을 구성하는 NAND형 플래시 메모리 칩(21) 및 메모리 제어기(그

관독/기입을 제어함)를 구비한다.

- <12> 플래시 메모리 칩(21)은, 도 1에 도시된 바와 같이, 예를 들어 칩 1과 칩 2의 2개 칩의 복수 칩으로 흔히 형성될 수 있다. 하지만, 복수 칩이 포함되더라도, 하나의 메모리 제어기(22)가 이들 복수 칩을 제어한다. 설치된 메모리 칩 전체는 로직 어드레스에 기초해 하나의 로직 메모리로서 제어될 것이다.
- <13> 즉, 호스트 디바이스는 물리적 블록 어드레스(PBA)가 아닌 로직 블록 어드레스(LBA)에 기초해 플래시 메모리에 액세스한다. 따라서, 이하에서는 이 플래시 메모리 시스템(20)을 LBA-NAND 메모리라고 지칭한다.
- <14> 메모리 제어기(22)는, 메모리 칩(21)과의 데이터 전송을 담당하는 NAND 플래시 인터페이스(23), 호스트 디바이스와의 데이터 전송을 담당하는 호스트 인터페이스(25), 관독/기입 데이터 등을 일시 저장하는 버퍼 RAM, 데이터 전송을 제어하는 MPU(24), 및 NAND형 플래시 메모리(21)에서 예를 들어 펌웨어(FW)의 관독/기입을 시퀀스 제어하는데 이용되는 하드웨어 시퀀서(27)를 포함하는 온-칩 제어기이다.
- <15> 메모리 제어기(22)에 필요한 펌웨어(FW)는 플래시 메모리 칩(21)으로부터 자동 관독되어 파워 온 직후 자동 실행되는 초기 셋업 모드에서 버퍼 RAM(데이터 레지스터)으로 전송된다. 이러한 데이터 관독 제어는 메모리 제어기(22)의 하드웨어 시퀀서(27)에 의해 행해질 것이다.
- <16> 본 실시예에 따른 LBA-NAND 메모리 시스템에 있어, 메모리 칩(21)과 메모리 제어기(22)가 반드시 서로 독립된 칩으로 형성될 필요가 없다는 점에 유의하기 바란다. 도 2는, 도 1에 도시되어 있는 메모리 칩(21)과 메모리 제어기(22)가 완벽히 조화를 이루어 형성된 LBA-NAND 메모리(20)의 기능 블록을 나타내고 있고, 도 3은 메모리 코어부의 셀 어레이 배열을 나타내고 있다.
- <17> 메모리 셀 어레이(1)는, 도 3에 도시된 바와 같이, 그 내부에 배열되어 있는 NAND 셀 유닛(NAND 스트링)(NU)으로 형성되고, NAND 셀 유닛 각각은 복수의 전기적으로 재기입 가능한 비휘발성 메모리 셀 M0-M31(즉, 이 경우에는 32개의 메모리 셀)(직렬로 접속됨)로 형성된다.
- <18> NAND 셀 유닛(NU)의 한쪽 단부는 선택 게이트 트랜지스터(S1)를 통해 비트 라인(BLe 또는 BLo)에 결합되고, 다른 쪽 단부는 다른 선택 게이트 트랜지스터(S2)를 통해 셀 소스 라인(CELSRC)에 결합된다. 메모리 셀(M0-M31)의 제어 게이트는 제각기 워드 라인(WL0-WL31)에 결합되고, 선택 게이트 트랜지스터(S1 및 S2)의 게이트는 제각기 선택 게이트 라인(SGD 및 SGS)에 결합된다.
- <19> 워드 라인 방향으로 배열된 한 세트의 NAND 셀 유닛이 최소의 데이터 소거 유닛 역할을 하는 블록을 구성한다. 도 3에 도시된 바와 같이, 비트 라인 방향으로 복수 개의 블록이 배열되어 있다.
- <20> 셀 데이터를 관독 및 기입하는 역할을 하는 감지 증폭기가 비트 라인(BLe 및 BLo)의 한쪽 단부에 배치되고, 워드 라인과 선택 게이트 라인을 선택적으로 구동시키는 역할을 하는 로우 디코더(2)가 워드 라인의 한쪽 단부에 배치된다. 도 3에서는, 인접하는 짝수 비트 라인(BLe)과 홀수 비트 라인(BLo)이 비트 라인 선택 회로를 통해 감지 증폭기 회로(3)의 감지 증폭기(SA)에 선택적으로 결합되어 있는 예를 볼 수 있다.
- <21> 커맨드, 어드레스와 데이터는 I/O 제어 회로(13)를 통해 입력되고, 칩 인에이블 신호(/CE), 기입 인에이블 신호(/WE), 관독 인에이블 신호(/RE) 및 그 밖의 외부 제어 신호는 로직 제어 회로(14)에 입력되어 타이밍 제어 신호 역할을 한다. 이러한 입력 커맨드는 커맨드 레지스터(8)에서 디코딩될 것이다.
- <22> 제어 회로(6)는 데이터 전송을 제어하고, 기입/소거/관독의 시퀀스 제어를 실행하도록 구성된다. 상태 레지스터(11)는 LBA-NAND 메모리(20)의 Ready/Busy 상태를 Ready/Busy 터미널로 출력하도록 배치되어 있다. 상태 레지스터(11) 이외의 다른 상태 레지스터(12)가 배치되어 일정한 I/O 포트를 통해 메모리(20)의 어느 일정한 상태(Pass/Fail, Ready/Busy 등)를 호스트 디바이스에 통보한다.
- <23> 입력 어드레스는 어드레스 레지스터(5)를 통해 (프리-로우 디코더(2a) 및 메인 로우 디코더(2b)를 포함하는) 로우 디코더(2)와 컬럼 디코더(4)에 전송된다. 입력 기입 데이터는 I/O 제어 회로(13)를 통해 (감지 증폭기(3a) 및 데이터 레지스터(3b)를 포함하는) 감지 증폭기 회로(3)에 로딩되고, 관독 데이터는 제어 회로(6)와 I/O 제어 회로(13)를 통해 외부로 출력된다.
- <24> 동작 모드에 필요한 여러 고전압을 생성하기 위해, 고전압 생성 회로(10)가 배치된다. 이 고전압 생성 회로(10)는 제어기(6)로부터 제공되는 지시에 따라 고전압을 생성한다.
- <25> 본 실시예에 따른 LBA-NAND 플래시 메모리 시스템에서는, 기입될 데이터 유닛이 블록 용량(즉, 블록 사이즈 D)의 정수 배의 데이터 영역을 차지하게 항상 제어되며, 그 헤드 어드레스가 블록의 헤드 어드레스이다. 이제,

이러한 기입 영역 제어에 대해 설명한다.

- <26> 도 4는 본 실시예에 따른 플래시 메모리의 데이터 기입 상황을 나타내고 있다. 파일 데이터(A)는 예를 들어 실제 데이터(A1)와 더미 데이터(A2)로 형성된다. 실제 데이터(A1)는 플래시 메모리에서 블록(BLK0)의 헤드 어드레스로부터 블록(BLK_{i-1})의 중간 위치로 기입되고, 더미 데이터(A2)는 블록(BLK_{i-1})의 나머지 영역(즉, 부분 페이지 영역(fractional page area))에 내장(embed)된다. 즉, 하나의 블록 용량이 도 4에 도시된 블록 사이즈 D에 의해 규정된다고 하면, 파일 데이터(A)는 D×i의 데이터 영역을 차지하게 기입된다.
- <27> 그 결과, 순차 기입되는 파일 데이터(B)로서, 그 실제 데이터(B1)가 블록(BLK_i)의 헤드 어드레스로부터 블록(BLK_j)의 중간 위치로 기입될 수 있다. 블록(BLK_j)의 나머지의 부분 페이지에는 파일 데이터(A)에서와 같이 더미 데이터(B2)가 내장될 것이다.
- <28> 한편, 전술한 더미 데이터가 이용되는 방법은 파일 데이터의 유형에 따라 결정된다. 일례로, 다음의 2가지 경우, 즉 CASE1과 CASE2에 대해 상세히 설명한다.
- <29> CASE1 : 이 경우는, 파일 데이터가 음악 데이터, 영화 데이터 등으로부터 선택된 데이터이고, 호스트 디바이스(또는 시스템)가 데이터 사이즈를 선택적으로 결정할 수 있는 경우이다. 기록 데이터의 최종 어드레스가 블록의 최종 어드레스에 도달하지 못했다면, 호스트 시스템은 더미 데이터를 전송 및 기록하여 블록을 완전히 채운다. 예를 들어, 기록 데이터의 히스토리 정보 데이터가 더미 데이터로 이용될 수도 있다. 이와 달리, 나머지 영역을 비워두고, 블록의 최종 어드레스에서 "END OF FILE" 표시 등의 정보만을 기록하여, 나머지 영역이 유효 영역으로 취급되게 하는 것(즉, 미기입 영역이 기입-금지 영역으로 설정되는 것)이 허용될 수 있다. 또한, 영화 데이터 기록의 경우에는, 중지 버튼의 동작 후 기입되는 수 초간의 데이터가 더미 데이터로서 기입될 수도 있다.
- <30> CASE2 : 이 경우는, 파일 데이터가 퍼스널 컴퓨터(PC) 상의 파일에 기입되는 경우와 같이 데이터 사이즈를 변화시키기 어려운 경우이다. 이 경우에는, 호스트 시스템이 파일 데이터의 최종 어드레스로부터 블록의 최종 어드레스로의 나머지 어드레스 공간을 계산하고, 이 나머지 어드레스 공간에 더미 데이터를 기입한다. 이 경우, 기입된 데이터에 링크된 일종의 텍스트 데이터, 임시 임의의 데이터 등이 더미 데이터로 이용될 수 있다. 이 더미 데이터는 PC상에서 "유효 데이터"로 등록될 것이다. 이와 달리, 임의의 실제 파일 데이터를 나머지 어드레스 공간에 기입하지 않고 나머지 어드레스 공간을 PC상의 "유효 데이터 영역"으로 등록하는 것이 효과적이다. 상세히 말하면, 나머지 어드레스 공간이 호스트 시스템이나 불량 클러스터에 의해 이용되는 영역으로 간주될 수 있다는 것이다.
- <31> 전술한 바와 같이, 판독 데이터, 및 필요하다면 실제 데이터에 첨부된 더미 데이터를 포함하는 모든 데이터 유닛은 블록 용량의 정수 배의 데이터 영역을 차지하게 블록의 헤드 어드레스로부터 항상 기입된다. 이러한 기입 제어 방안에 따르면, 상이한 파일들이 하나의 블록에 기입되는 상황이 발생되지 않는다. 따라서, 불필요한 파일 데이터를 소거하기 위해, 소거되지 않을 다른 파일 데이터를 저장하는 복사-기입 동작을 실행하지 않고서도 일괄적인 블록 소거를 행할 수 있다. 이에 따라, 호스트 디바이스의 고성능을 유지할 수 있다.
- <32> 하나의 데이터 유닛에서의 실제 데이터가 후술하는 바와 같이 섹터 카운트 값과 섹터 어드레스(초기값) 입력을 갖는 기입 시퀀스에 따라 기입될 데이터라는 점에 유의하기 바란다.
- <33> 더미 데이터(A2 및 B2)의 영역에는, 이러한 더미 데이터를 내장시키지 않고, 빈 채의 기입-금지 영역으로 설정하는 것이 효과적이다. 이러한 기입-금지 영역은, 이에 대응되는 기입-금지 어드레스(적어도 그 헤드 어드레스)를 저장하기 위한 보호 레지스터를 배치하는 식으로 설정될 수 있다. 또한, 더미 데이터 기입 또는 기입-금지 영역 설정은 메모리 시스템을 이용하는 호스트 디바이스의 지시에 따라 행해질 수도 있다. 이와 달리, 플래시 메모리 시스템(20)에서의 메모리 제어기(22)가 실제 데이터 기입 후의 더미 데이터 기입 또는 기입-금지 영역 설정을 자동으로 실행하는 것도 효과적이다.
- <34> 본 실시예에 따른 LBA-NAND 메모리에서는, 하나의 섹터(예컨대, 512바이트)가 데이터 판독/기입을 위한 데이터 전송 유닛의 역할을 하고, SSFDC(Solid State Floppy Disk Card) 포맷이 데이터 전송 포맷으로 이용된다. 섹터 카운트 방안의 이용을 통해, 커맨드가 한번 내려지면, 복수 섹터에 대한 데이터 판독/기입을 지속할 수 있다.
- <35> 예컨대, N개 섹터의 데이터를 기입하기 위해, 호스트는 기입 커맨드, 섹터 카운트 번호(예를 들어, 제1 섹터 카운트(1바이트) 및 제2 섹터 카운트(1바이트)), 로직 섹터 어드레스(초기값), N개 섹터의 기입 데이터 및 기입-개시 커맨드를 순차 입력한다. 이 커맨드 시퀀스에 따라, 메모리 제어기가 N개 섹터의 데이터 기입을 연속적으로

로 실행한다.

- <36> 이러한 기입 방안에서는, 호스트가 플래시 메모리의 물리적 어드레스를 제어하지 않는다. 따라서, 블록의 헤드 어드레스로부터 플래시 메모리에 파일 데이터를 기입하기 위해서는, 호스트가 플래시 메모리의 여분의 영역에서 블록의 헤드 어드레스를 입수하는 것이 필요하다.
- <37> 도 5는 본 실시예에 따른 메모리 제어기(22)의 개략적인 기입 시퀀스를 나타내고 있다. 정규의 기입 시퀀스에 앞서, 호스트의 지시에 따라, 기입-개시 어드레스를 검색하는 것과 같은 사전 프로세스가 실행된다(단계 S1). 예컨대, 도 6에 도시된 바와 같이, 기입-개시 어드레스를 입수하기 위한 호스트의 커맨드 시퀀스로서, CMD(1바이트)/제1 섹터 카운트(1바이트)/제2 섹터 카운트(1바이트)/섹터 어드레스(3바이트)/CMD(1바이트) 등과 같은 기본 커맨드 구조가 정규 판독 모드에서 이용될 것이다.
- <38> 상세히 말하면, 기입 커맨드(CMD1)가 입력되고, 이어서 특정 커맨드(CMD2(1바이트))와 더미 데이터(1바이트)가 정규 입력될 제1 및 제2 섹터 카운트 대신에 입력된 후, 기입 섹터 어드레스(3바이트)와 실행 커맨드(CMD3(1바이트))가 연속 입력된다.
- <39> 특정 커맨드(CMD2)와 실행 커맨드(CMD3)에 응답해, LBA-NAND 메모리의 제어기(22)는 입력 로직 섹터 어드레스(초기값)에 대응하는 물리적 기입-개시 어드레스를 검색한다. 이를 확인하기 위해, 호스트는 입력 섹터 어드레스에 대응하는 기입-개시 어드레스를 "복귀 어드레스 값"으로서 입수한다.
- <40> 도 6에는, 전술한 기입-개시 어드레스를 입수하기 위한 커맨드 시퀀스의 2가지 예, 즉 EX.1과 EX.2가 도시되어 있다.
- <41> 기입-개시 어드레스를 입수하기 위한 사전 프로세스에 이어, 호스트는, 도 7에 도시된 바와 같이, 기입 데이터 유닛의 중단 어드레스를 통보하는 추가 커맨드를 내린다. 메모리 제어기(22)는 이를 수신(단계 S2)한 후 데이터 기입을 실행한다(단계 S3).
- <42> 이때, 도 8에 도시된 것과 같은 호스트의 특정 기입 시퀀스가 표시될 것이다. 플래시 메모리가 사전 프로세스의 커맨드 시퀀스를 통해 기입-개시 어드레스를 입수하였기 때문에, 섹터 어드레스 기입 커맨드를 내릴 필요가 없다. 따라서, 특정 기입 커맨드 <82h>에 이어, 제1 섹터 카운트(L-레벨측 카운트)(SC-L) 및 제2 섹터 카운트(H-레벨측 카운트)(SC-H)가 입력되고, 더미 데이터가 섹터 어드레스 대신에 입력되고, 필요한 양의 기입 데이터가 입력되며, 기입-개시 커맨드 <10h>가 입력된다. 그 결과, LBA-NAND 메모리는 지시된 로직 어드레스에 부합되는 블록의 헤드 어드레스로부터 N개 섹터의 데이터 기입을 실행한다.
- <43> 도 7은 중단 어드레스가 기입 데이터 전송에 앞서 통보되는 경우를 나타내고, 도 8은 기입 데이터 전송이 중단 어드레스 통보에 앞서는 경우를 나타내고 있다는 점에 유의하기 바란다.
- <44> 기입 후, 통보된 중단 어드레스가 블록 중단 어드레스와 동일한지 여부에 대해 판정된다(단계 S4). 동일하다면, 이 기입 시퀀스는 종료된다. 동일하지 않다면, 더미 데이터가 데이터 기입 영역의 최종 블록에서의 나머지 영역(부분 페이지)에 기입된다(단계 S5).
- <45> 상세히 말하면, 단계 S4에서의 "아니오"라는 판정을 수신할 때, 호스트는 부분 페이지에 대응하는 데이터량을 계산하고, 계산된 데이터량에 의해 규정되는 더미 데이터, 섹터 어드레스(중단 어드레스 +1) 및 섹터 카운트를 입력하며, 정규 섹터 기입 뿐만 아니라 더미 데이터 기입도 실행한다. 즉, 메모리 제어기(22)는 통보된 중단 어드레스 +1에 대응하는 물리적 어드레스가 기입-개시 어드레스 역할을 하는 조건하에서 블록의 부분 페이지에의 더미 데이터 기입을 실행한다.
- <46> 그 결과, LBA-NAND 메모리에서는, 블록의 헤드 어드레스로부터 개시할 때 연속하는 빈 영역이 항상 규정된다.
- <47> 전술한 바와 같이 특정 더미 데이터 기입을 실행하지 않고서 부분 페이지 영역을 빈 그대로 기입-금지 영역으로 설정할 수 있다는 점에 유의하기 바란다. 또한, 플래시 메모리 시스템(20)의 메모리 제어기가 호스트 디바이스의 지시 없이도 더미 데이터 기입 또는 기입-금지 영역 설정을 자동 실행하는 방안을 이용하는 것도 가능하다.
- <48> 전술한 실시예에서는, 도 4에 도시된 바와 같이, 실제 데이터(A1 및 B1)가 대응 블록의 헤드 어드레스로부터 기입되고, 더미 데이터(A2 및 B2)가 나머지 대응 블록에서의 부분 페이지 영역에 기입된다. 반면에, 도 9에 도시된 바와 같이, 대응 블록의 헤드 어드레스 영역으로부터 더미 데이터(A2 및 B2)를 기입하고, 실제 데이터(A1 및 B1)를 제각기 연속 기입하여, 파일 데이터(A 및 B) 각각이 블록 사이즈 D의 정수 배의 영역을 차지하는 것이 허용된다.

<49> 도 9에 도시되어 있는 방안을 달성하기 위해서는, 예를 들어, 호스트가 블록 사이즈 D를 사전에 알고, 부분 페이지 영역에 내장될 더미 데이터와 기입될 실제 데이터량으로 블록 점유 상태를 사전에 계산하는 것이 필요하다. 이러한 조건하에서, 전술한 실시예에서와 유사하게, 도 8에 도시되어 있는 기입 시퀀스와 기본적으로 동일한 기입 시퀀스에 따라 블록의 헤드 어드레스로부터 데이터 기입이 행해진다. 이 경우, 도 8에 도시되어 있는 기입 데이터로서, 더미 데이터와 실제 데이터가 더미 데이터, 실제 데이터 순으로 전송될 것이다. 블록의 헤드 어드레스를 입수하기 위한 사전 프로세싱이 필요하다는 것은 전술한 실시예에서와 동일하다. 한편, 도 7 및 도 8을 참조하여 설명한 바와 같은 중단 어드레스 통보는 불필요하다.

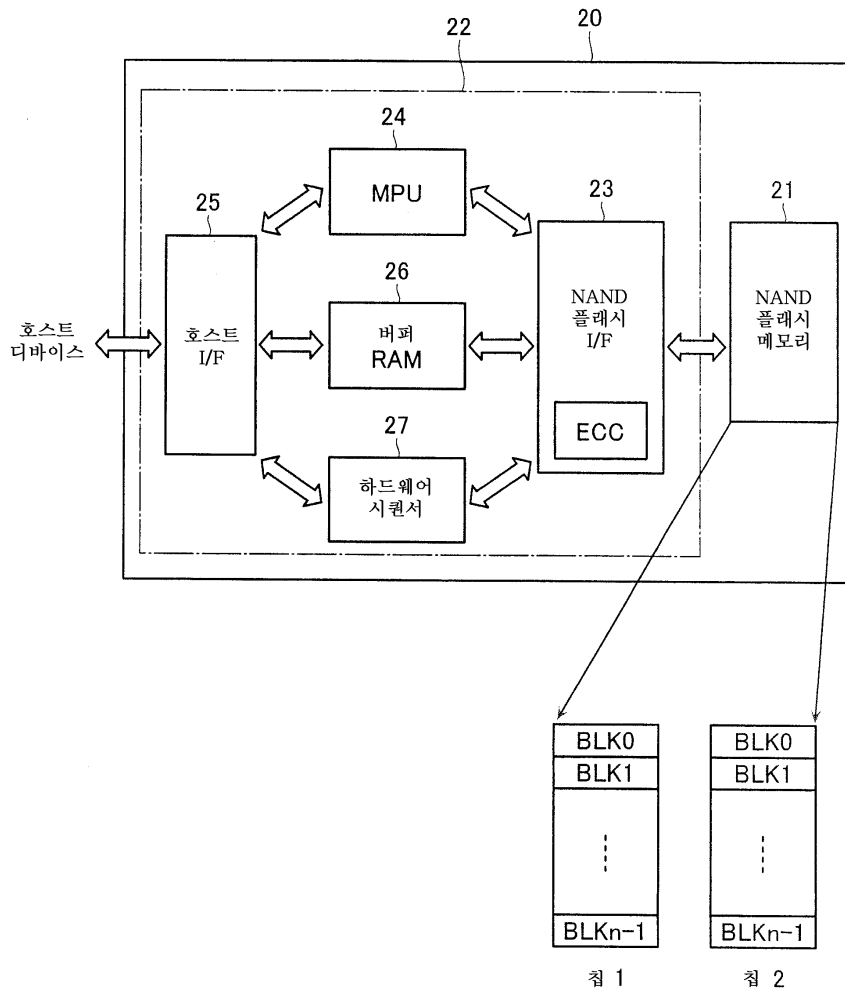
<50> 본 발명은 전술한 실시예에 국한되지는 않는다. 당업자들이라면, 본 발명의 사상, 범주 및 가르침을 벗어나지 않고서 방식과 세부 사항을 다양하게 변경할 수 있다는 점을 알 것이다.

도면의 간단한 설명

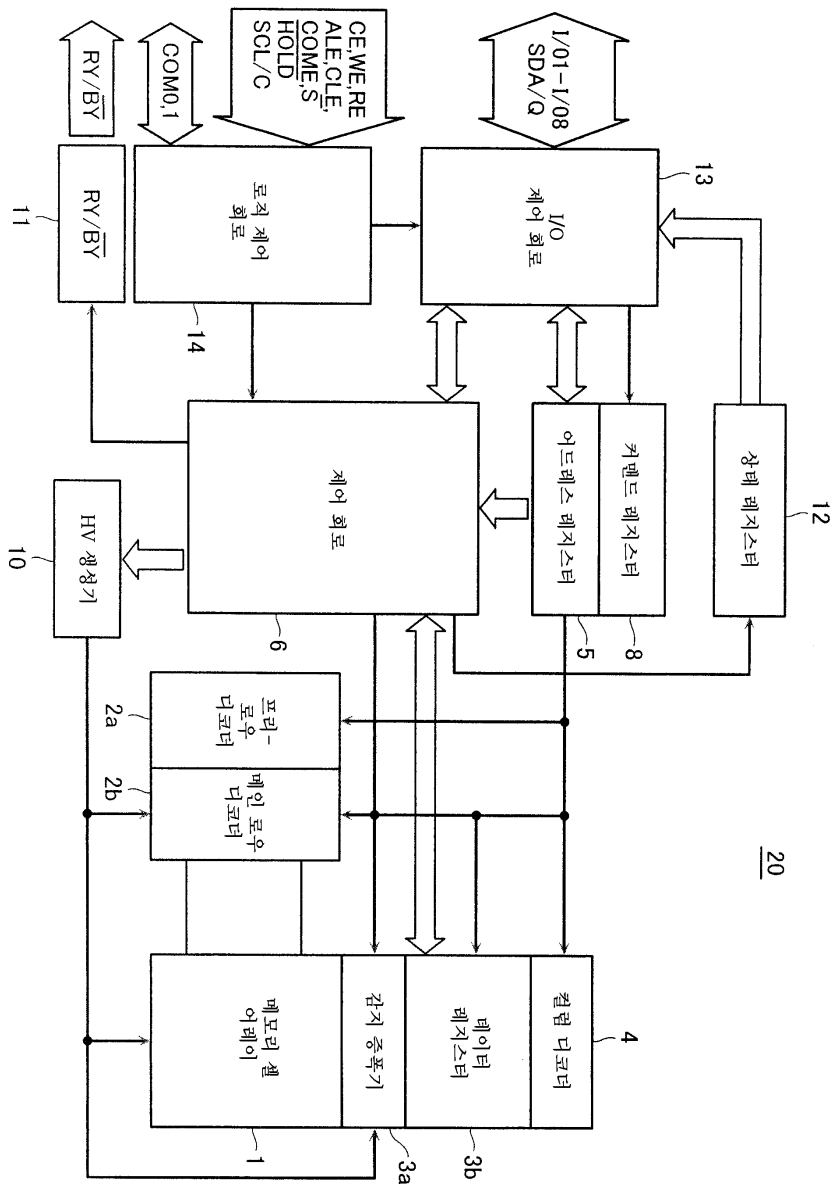
- <51> 도 1은 본 발명의 일 실시예에 따른 비휘발성 반도체 메모리 시스템의 구성을 나타내는 도면.
- <52> 도 2는 메모리 시스템의 기능 블록 구성을 나타내는 도면.
- <53> 도 3은 메모리 시스템의 메모리 셀 어레이 구성을 나타내는 도면.
- <54> 도 4는 메모리 시스템의 데이터 기입 상황을 나타내는 도면.
- <55> 도 5는 메모리 시스템의 기입 시퀀스를 나타내는 도면.
- <56> 도 6은 데이터 기입의 사전 프로세싱으로서 수행되는 기입-개시 어드레스 입수를 위한 커맨드 시퀀스를 나타내는 도면.
- <57> 도 7은 기입 중단 어드레스를 통보하기 위한 커맨드 시퀀스를 나타내는 도면.
- <58> 도 8은 특정 커맨드 시퀀스를 나타내는 도면.
- <59> 도 9는 본 발명의 다른 실시예에 따른 데이터 기입 상태를 나타내는 도면.

도면

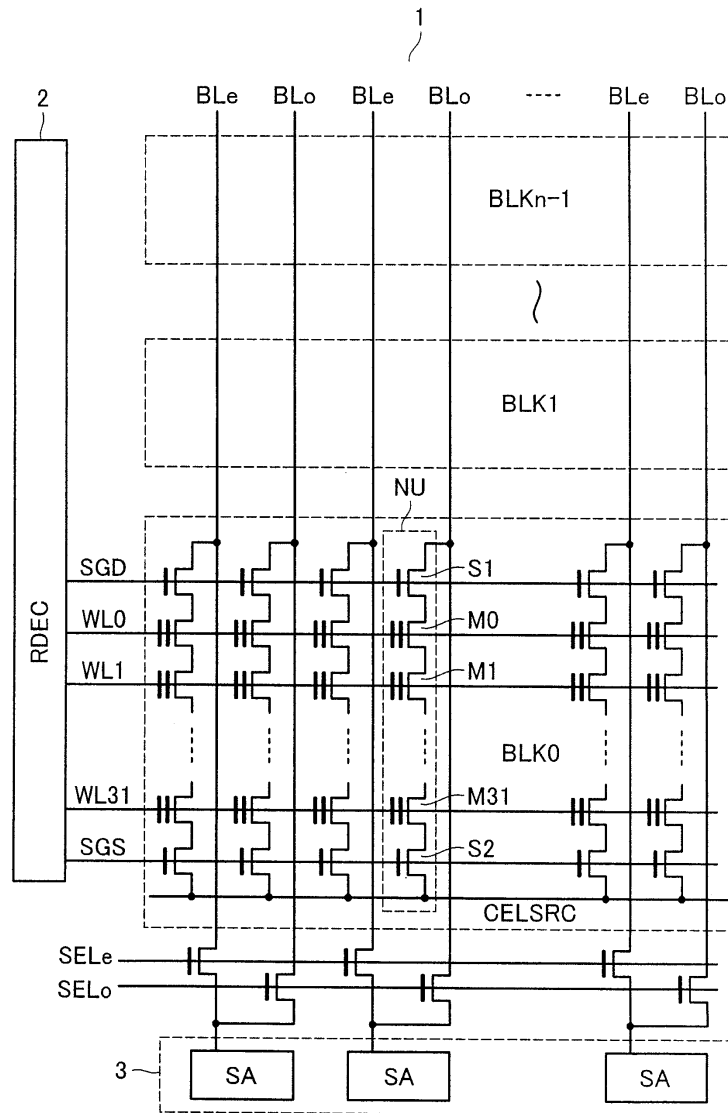
도면1



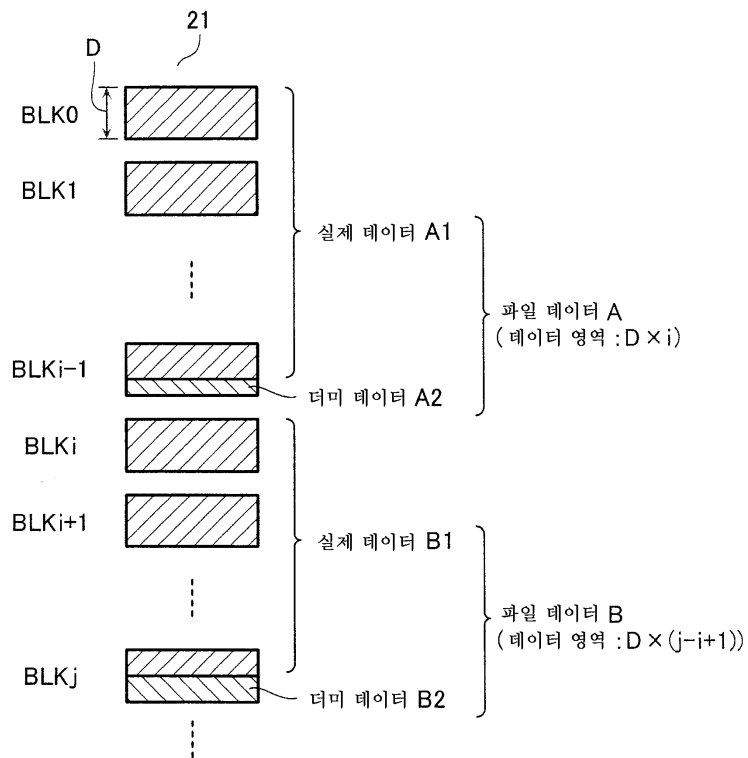
도면2



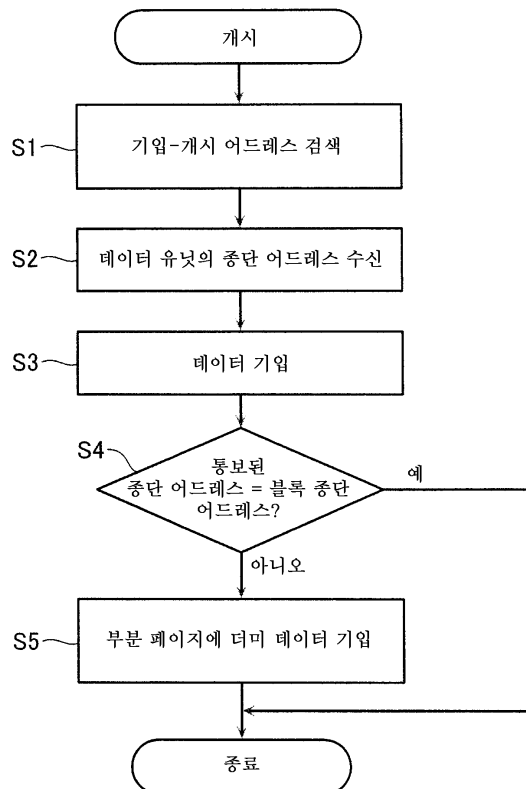
도면3



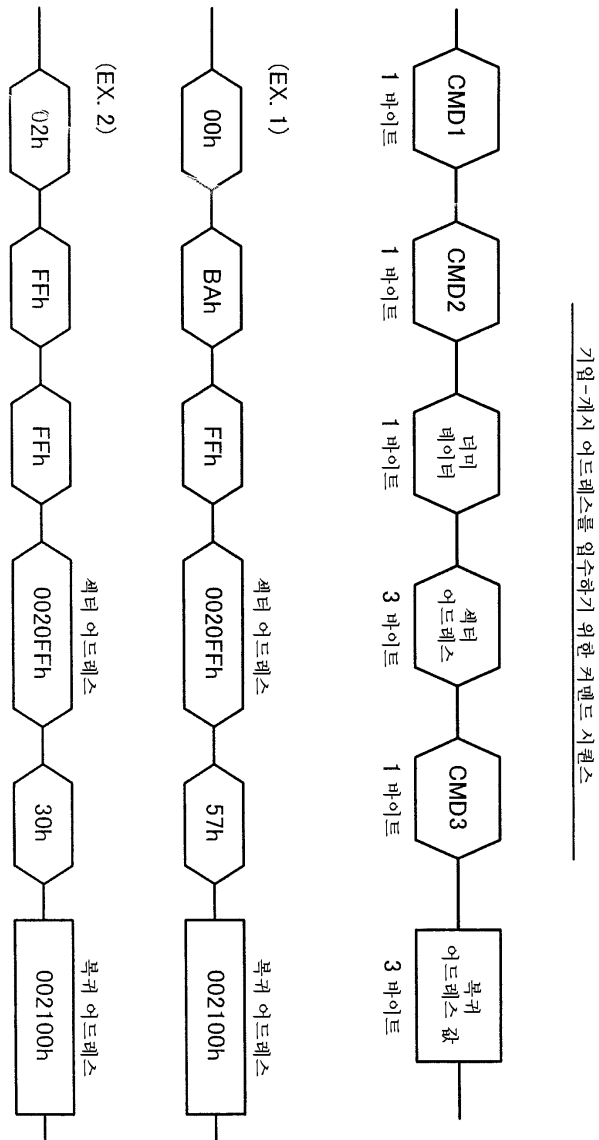
도면4



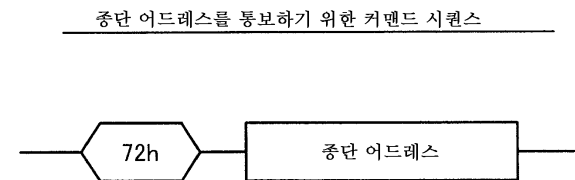
도면5



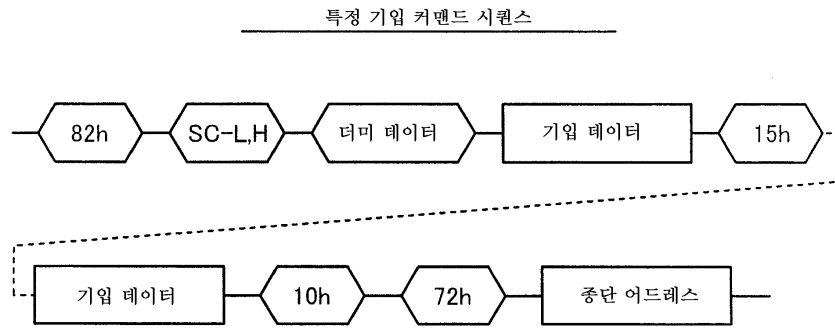
도면6



도면7



도면8



도면9

