(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년06월28일
(11) 등록번호 10-1279509
(24) 등록일자 2013년06월21일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) *G02F 1/1345* (2006.01)
(21) 출원번호 10-2006-0072278
(22) 출원일자 2006년07월31일
심사청구일자 2011년07월27일
(65) 공개번호 10-2008-0011824
(43) 공개일자 2008년02월11일
(56) 선행기술조사문헌
KR1020050087516 A
JP2003202584 A

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
박선
경기도 수원시 영통구 동탄원천로881번길 35, 504동 1003호 (매탄동, 주공그린빌)
유춘기
경기도 화성시 병점동로 23, 105동 1205호 (병점동, 구봉마을 우남퍼스트빌)
(74) 대리인
오세준, 권혁수, 송윤호

전체 청구항 수 : 총 9 항 심사관 : 신창우

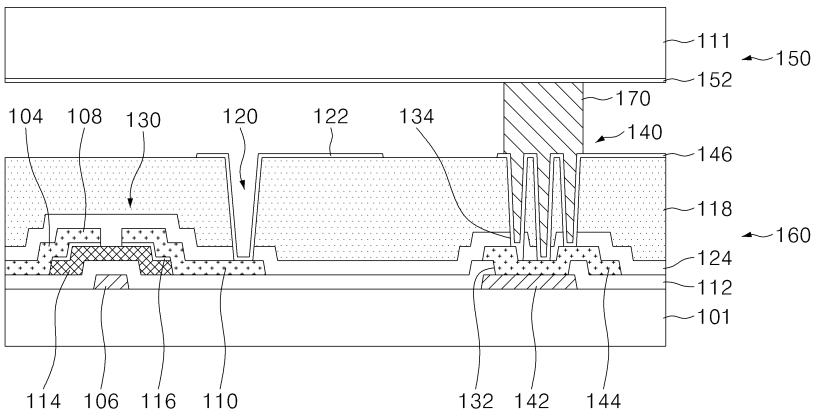
(54) 발명의 명칭 **액정 표시 패널 및 그 제조 방법**

(57) 요 약

본 발명은 공통 패드의 부식 현상을 최소화할 수 있는 액정 표시 패널 및 그 제조방법을 제공하는 것이다.

본 발명에 따른 액정 표시 패널은 상부 기판 상에 형성된 공통 전극과; 상기 상부 기판과 대향하는 상기 하부 기판 상에 형성되며 상기 공통 전극과 쇼트 포인트를 통해 접속되어 상기 공통 전극에 공통 전압을 공급하는 공통 패드를 구비하며, 상기 공통 패드는 상기 하부 기판 상에 형성된 공통 패드 하부 전극과; 상기 공통 패드 하부 전극을 덮도록 형성된 게이트 절연막을 관통하는 제1 공통 콘택홀과; 상기 제1 공통 콘택홀을 통해 상기 공통 패드 하부 전극과 접속된 공통 패드 중간 전극과; 상기 공통 패드 중간 전극을 덮도록 형성된 유기 보호막을 관통하는 다수개의 제2 공통 콘택홀과; 상기 제2 공통 콘택홀을 통해 상기 공통 패드 중간 전극과 접속된 공통 패드 상부 전극을 포함하는 것을 특징으로 한다.

대 표 도 - 도2



특허청구의 범위

청구항 1

상부 기판 상에 형성된 공통 전극과;

상기 상부 기판과 대향하는 하부 기판 상에 형성되며 상기 공통 전극과 쇼트 포인트를 통해 접속되어 상기 공통 전극에 공통 전압을 공급하는 공통 패드를 구비하며,

상기 공통 패드는

상기 하부 기판 상에 형성된 공통 패드 하부 전극과;

상기 공통 패드 하부 전극을 덮도록 형성된 게이트 절연막을 관통하는 제1 공통 콘택홀과;

상기 제1 공통 콘택홀을 통해 상기 공통 패드 하부 전극과 접속된 공통 패드 중간 전극과;

상기 공통 패드 중간 전극을 덮도록 형성된 유기 보호막을 관통하는 다수개의 제2 공통 콘택홀과;

상기 제2 공통 콘택홀을 통해 상기 공통 패드 중간 전극과 접속된 공통 패드 상부 전극을 포함하는 것을 특징으로 하는 액정 표시 패널.

청구항 2

제 1 항에 있어서,

상기 쇼트 포인트의 단면의 지름은 상기 다수개의 제2 공통 콘택홀 중 적어도 어느 하나의 단면의 지름보다 큰 것을 특징으로 하는 액정 표시 패널.

청구항 3

제 2 항에 있어서,

상기 유기 보호막은 상기 제2 공통 콘택홀을 통해 상기 공통 패드 중간 전극과 상기 공통 패드 상부 전극이 복수번 접촉되도록 패턴이 형성된 것을 특징으로 하는 액정 표시 패널.

청구항 4

제 3 항에 있어서,

상기 유기 보호막 하부에 상기 유기 보호막과 동일 패턴으로 형성된 무기 보호막을 추가로 구비하는 것을 특징으로 하는 액정 표시 패널.

청구항 5

제 1 항에 있어서,

상기 제1 공통 콘택홀은 다수개 형성되는 것을 특징으로 하는 액정 표시 패널.

청구항 6

상부 기판 상에 형성된 공통 전극을 포함하는 칼라 필터 기판을 마련하는 단계와;

상기 상부 기판과 대향하는 하부 기판 상에 형성된 공통 패드 하부 전극, 상기 공통 패드 하부 전극을 덮도록 형성된 게이트 절연막을 관통하는 제1 공통 콘택홀, 상기 제1 공통 콘택홀을 통해 상기 공통 패드 하부 전극과 접속된 공통 패드 중간 전극, 상기 공통 패드 중간 전극을 덮도록 형성된 유기 보호막을 관통하는 다수개의 제2 공통 콘택홀, 상기 제2 공통 콘택홀을 통해 상기 공통 패드 중간 전극과 접속된 공통 패드 상부 전극으로 이루어진 공통 패드를 포함하는 박막트랜지스터 기판을 마련하는 단계와;

상기 공통 전극과 공통 패드가 쇼트 포인트를 통해 전기적으로 연결되도록 상기 칼라 필터 기판과 박막트랜지스터 기판을 합착하는 단계를 포함하는 것을 특징으로 하는 액정 표시 패널의 제조방법.

청구항 7

제 6 항에 있어서,

상기 쇼트 포인트의 단면의 지름은 상기 다수개의 제2 공통 콘택홀 중 적어도 어느 하나의 단면의 지름보다 크게 형성되는 것을 특징으로 하는 액정 표시 패널의 제조방법.

청구항 8

제 7 항에 있어서,

상기 유기 보호막 하부에 상기 유기 보호막과 동일 패턴으로 무기 보호막을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정 표시 패널의 제조방법.

청구항 9

제 6 항에 있어서,

상기 제1 공통 콘택홀은 다수개 형성되는 것을 특징으로 하는 액정 표시 패널의 제조방법.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0017] 본 발명은 액정 표시 패널 및 그 제조 방법에 관한 것으로, 특히 공통 패드의 부식 현상을 최소화할 수 있는 액정 표시 패널 및 그 제조방법에 관한 것이다.

[0018] 액정 표시 장치는 전계를 이용하여 유전 이방성을 갖는 액정의 광투과율을 조절함으로써 화상을 표시한다. 이러한 액정 표시 장치는 다수의 게이트 라인과 다수의 데이터 라인이 교차 구조로 형성되고 그 교차 구조로 정의된 각 영역에는 박막 트랜지스터에 의해 개별 구동되는 서브 화소가 마련된다. 서브 화소는 박막 트랜지스터를 통해 화소 전극에 공급된 데이터 신호와 칼라 필터 기판의 공통 전극에 공급된 공통 전압의 차전압을 충전하고 충전 전압에 따라 액정 분자들을 구동하여 광투과율을 제어함으로써 데이터 신호에 따른 계조를 구현한다.

[0019] 공통 전압을 공통 전극에 공급하기 위해서는 상부 기판 상에 형성된 공통전극과 하부 기판 상에 형성된 공통 패드를 연결하는 쇼트 포인트가 필요하다. 이러한 쇼트 포인트는 합착제에 의해 마련된 표시 영역 이외의 비표시 영역에 형성되어 외부에 노출된다.

[0020] 이와 같은 쇼트 포인트는 공통 패드 상에 도전 페이스트를 도포한 후 핫 프레스(Hot press)함으로써 형성된다. 그러나, 핫프레스 공정시 도전 페이스트 내의 도전 입자가 깨지면서 도전 페이스트 하부에 위치하는 공통 패드 상부 전극에 크랙이 발생된다. 이 크랙을 통해 대기 중의 수분 또는 이물질 등이 공통 패드로 유입됨으로써 공통 패드 상부 전극과 접속된 공통 패드 중간 전극 및 공통 패드 하부 전극이 부식된다. 이에 따라, 공통 전극에 공급되는 공통 전압이 왜곡되는 문제점이 있다. 또한, 부식 현상은 표시 영역 및 그 표시 영역의 신호 라인을 구동하기 위해 기판 상에 형성된 구동 회로부 내로 전이되어 신호 라인의 오픈 현상이 발생되는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

[0021] 따라서, 본 발명이 이루고자 하는 기술적 과제는 공통 패드의 부식 현상을 최소화할 수 있는 액정 표시 패널 및 그 제조방법을 제공하는 것이다.

발명의 구성 및 작용

[0022] 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 액정 표시 패널은 상부 기판 상에 형성된 공통 전극과; 상기 상부 기판과 대향하는 상기 하부 기판 상에 형성되며 상기 공통 전극과 쇼트 포인트를 통해 접속되어 상기

공통 전극에 공통 전압을 공급하는 공통 패드를 구비하며, 상기 공통 패드는 상기 하부 기판 상에 형성된 공통 패드 하부 전극과; 상기 공통 패드 하부 전극을 덮도록 형성된 게이트 절연막을 관통하는 제1 공통 콘택홀과; 상기 제1 공통 콘택홀을 통해 상기 공통 패드 하부 전극과 접속된 공통 패드 중간 전극과; 상기 공통 패드 중간 전극을 덮도록 형성된 유기 보호막을 관통하는 다수개의 제2 공통 콘택홀과; 상기 제2 공통 콘택홀을 통해 상기 공통 패드 중간 전극과 접속된 공통 패드 상부 전극을 포함하는 것을 특징으로 한다.

[0023] 여기서, 상기 쇼트 포인트의 단면의 지름은 상기 다수개의 제2 공통 콘택홀 중 적어도 어느 하나의 단면의 지름보다 큰 것을 특징으로 한다.

[0024] 그리고, 상기 유기 보호막은 상기 제2 공통 콘택홀을 통해 상기 공통 패드 중간 전극과 상기 공통 패드 상부 전극이 복수번 접촉되도록 패턴이 형성된 것을 특징으로 한다.

[0025] 또한, 상기 액정 표시 패널은 상기 유기 보호막 하부에 상기 유기 보호막과 동일 패턴으로 형성된 무기 보호막을 추가로 구비하는 것을 특징으로 한다.

[0026] 한편, 상기 제1 공통 콘택홀은 다수개 형성되는 것을 특징으로 한다.

[0027] 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 액정 표시 패널의 제조방법은 상부 기판 상에 형성된 공통 전극을 포함하는 칼라 필터 기판을 마련하는 단계와; 상기 상부 기판과 대향하는 하부 기판 상에 형성된 공통 패드 하부 전극, 상기 공통 패드 하부 전극을 덮도록 형성된 게이트 절연막을 관통하는 제1 공통 콘택홀, 상기 제1 공통 콘택홀을 통해 상기 공통 패드 하부 전극과 접속된 공통 패드 중간 전극, 상기 공통 패드 중간 전극을 덮도록 형성된 유기 보호막을 관통하는 다수개의 제2 공통 콘택홀, 상기 제2 공통 콘택홀을 통해 상기 공통 패드 중간 전극과 접속된 공통 패드 상부 전극으로 이루어진 공통 패드를 포함하는 박막트랜지스터 기판을 마련하는 단계와; 상기 공통 전극과 공통 패드가 쇼트 포인트를 통해 전기적으로 연결되도록 상기 칼라 필터 기판과 박막트랜지스터 기판을 합착하는 단계를 포함하는 것을 특징으로 한다.

[0028] 여기서, 상기 쇼트 포인트의 단면의 지름은 상기 다수개의 제2 공통 콘택홀 중 적어도 어느 하나의 단면의 지름보다 크게 형성되는 것을 특징으로 한다.

[0029] 상기 액정 표시 패널의 제조방법은 상기 유기 보호막 하부에 상기 유기 보호막과 동일 패턴으로 무기 보호막을 형성하는 단계를 추가로 포함하는 것을 특징으로 한다.

[0030] 여기서, 상기 제1 공통 콘택홀은 다수개 형성되는 것을 특징으로 한다.

[0031] 상기 기술적 과제 외에 본 발명의 다른 기술적 과제 및 이점들은 첨부 도면을 참조한 본 발명의 바람직한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

[0032] 이하, 본 발명의 바람직한 실시 예들을 도 1 내지 도 4g를 참조하여 상세하게 설명하기로 한다.

[0033] 도 1은 본 발명에 따른 액정 표시 패널을 나타내는 평면도이며, 도 2는 도 1에 도시된 서브 화소와 쇼트 포인트 부분을 나타낸 단면도이다.

[0034] 도 1 및 도 2에 도시된 액정 표시 패널은 액정을 사이에 두고 대향하며 합착제(180)에 의해 합착되는 박막트랜지스터 기판(160) 및 칼라 필터 기판(150)을 구비한다.

[0035] 칼라 필터 기판(150)은 상부 기판(111) 상에 순차적으로 형성된 블랙 매트릭스(도시하지 않음)와 칼라 필터(도시하지 않음) 및 공통 전극(152)을 구비한다. 블랙 매트릭스는 상부 기판(111) 상에 매트릭스 형태로 형성된다. 이러한 블랙 매트릭스는 상부 기판(111)의 영역을 칼라 필터가 형성되어질 다수의 셀영역들로 나누고, 인접한 셀들간의 광 간섭 및 외부광 반사를 방지한다. 칼라 필터는 블랙 매트릭스에 의해 구분된 셀영역에 적(R), 녹(G), 청(B)으로 구분되게 형성되어 적, 녹, 청색 광을 각각 투과시킨다. 공통 전극(152)은 칼라 필터 위에 전면 도포된 투명 도전층으로 액정 구동시 기준이 되는 공통 전압(Vcom)을 쇼트 포인트(170)를 통해 공급된다.

[0036] 박막 트랜지스터 기판(160)은 게이트 라인(102) 및 데이터 라인(104)과 접속된 박막트랜지스터(130)와, 박막트랜지스터(130)와 접속된 화소 전극(122)과, 쇼트 포인트(170)를 통해 공통 전극(152)과 접속된 공통 패드(140)를 구비한다.

[0037] 박막트랜지스터(130)는 게이트라인(102)으로부터의 게이트신호에 응답하여 데이터라인(104)으로부터의 데이터신호를 선택적으로 화소전극(122)에 공급한다. 이를 위해, 박막트랜지스터(130)는 게이트 라인(102)과 접속된 게이트 전극(106), 데이터 라인(104)과 접속된 소스 전극(108), 화소 전극(122)과 접속된 드레인 전극(110), 게이

트 전극(106)과 게이트 절연막(112)을 사이에 두고 중첩되면서 소스 전극(108)과 드레인 전극(110) 사이에 채널을 형성하는 활성층(114), 그 활성층(114)과 소스 전극(108) 및 드레인 전극(110)과의 오믹 접촉을 위한 오믹 접촉층(116)을 구비한다.

[0038] 게이트 전극(106)은 게이트 라인(102)과 함께 하부 기판(101) 위에 형성되고 활성층(114) 및 오믹 접촉층(116)은 게이트 절연막(112) 위에 적층되고, 그 위에 소스 전극(108)과 드레인 전극(110)이 데이터 라인(104)과 함께 형성된다. 그리고 박막 트랜지스터는 그 위에 형성된 무기 보호막(124) 및 유기 보호막(118)을 관통하는 화소 콘택홀(120)을 통해 화소 전극(122)과 접속된다.

[0039] 화소 전극(122)은 각 서브 화소 영역에서 콘택홀(120)을 통해 노출된 박막 트랜지스터(130)의 드레인 전극(110)과 접속된다. 이러한 화소 전극(122)은 박막 트랜지스터(130)를 통해 비디오 신호가 공급되면, 공통 전압이 공급된 공통 전극(152)과 수직 전계를 형성하여 박막트랜지스터 기판(160)과 칼라필터 기판(150) 사이에서 수직 방향으로 배열된 액정 분자들이 유전율 이방성에 의해 회전하게 된다. 그리고, 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.

[0040] 공통 패드(140)는 합착제(180)에 의해 마련된 표시 영역 이외의 비표시 영역에 위치하는 쇼트 포인트(170)를 통해 공통 전극(152)과 접속된다. 이에 따라, 공통 패드(140)는 전원부(도시하지 않음)로부터의 공통 전압을 공통 전극(152)에 공급한다.

[0041] 공통 패드(140)는 하부 기판(101) 상에 형성된 공통 패드 하부 전극(142)과, 제1 공통 콘택홀(132)을 통해 공통 패드 하부 전극(142)과 접속된 공통 패드 중간 전극(144)과, 제2 공통 콘택홀(134)을 통해 공통 패드 중간 전극(144)과 접속된 공통 패드 상부 전극(146)을 포함한다.

[0042] 공통 패드 하부 전극(142)은 하부 기판(101) 상에 게이트 전극(106)과 동일 금속으로 형성된다.

[0043] 공통 패드 중간 전극(144)은 게이트 절연막(112)을 관통하여 공통 패드 하부 전극(142)을 노출시키는 제1 공통 콘택홀(132)을 통해 공통 패드 하부 전극(142)과 접속된다. 이러한 공통 패드 중간 전극(144)은 데이터 라인(104)과 동일 평면, 즉 게이트 절연막(112) 상에 데이터 라인(104)과 동일 금속으로 형성된다. 제1 공통 콘택홀(132)은 도 2 또는 도 3에 도시된 바와 같이 적어도 하나로 형성된다. 도 3에 도시된 바와 같이 제1 공통 콘택홀(132)이 다수개로 형성되면, 노출되는 게이트 절연막(112)이 측면의 면적이 넓어진다. 이에 따라, 게이트 절연막(112) 및 공통 패드 하부 전극(142)의 상부면 뿐만 아니라 게이트 절연막(112)의 측면 상에 형성되는 공통 패드 중간 전극(144)의 면적이 넓어진다. 면적이 넓어진 공통 패드 중간 전극(144)에 의해 공통 패드 하부 전극(142)과 공통 패드 중간 전극(144) 간의 접촉 저항이 최소화된다.

[0044] 이 경우, 다수의 제1 공통 콘택홀(132)에 의해 게이트 절연막(112)은 공통 패드 하부 전극(142) 상의 제1 공통 콘택홀(132)들 사이에 형성된다. 이에 따라, 다수의 제1 공통 콘택홀(132)에 의해 노출된 공통 패드 하부 전극(142)의 면적이 상대적으로 작아져 공정시 이용되는 화학액(예를 들어, 식각액, 스트립액 등) 또는 수분과 공통 패드 하부 전극(142) 간의 접촉면적이 작아진다. 이에 따라, 공통 패드 하부 전극(142)의 내화학성이 높아진다.

[0045] 공통 패드 상부 전극(146)은 무기보호막(124) 및 유기 보호막(118)을 각각 관통하여 공통 패드 중간 전극(144)을 노출시키는 다수의 제2 공통 콘택홀(134)을 통해 공통 패드 중간 전극(144)과 접속된다. 여기서, 다수의 제2 공통 콘택홀(134) 중 적어도 어느 한 제2 공통 콘택홀(134)의 단면의 지름은 쇼트 포인트(170)의 단면의 지름보다 작게 형성된다. 공통 패드 상부 전극(146)은 화소 전극(122)과 동일 평면, 즉 유기 보호막(118) 상에 화소 전극(122)과 동일 금속으로 형성된다. 제2 공통 콘택홀(134)에 의해 무기 보호막(124) 및 유기 보호막(118)은 공통 패드 중간 전극(144) 상의 제2 공통 콘택홀(134)들 사이에 순차적으로 형성된다. 이 때, 유기 보호막(118) 및 무기 보호막(124)은 공통 패드 중간 전극(144) 상에 동일 패턴으로 형성된다. 유기 보호막(118)은 쇼트 포인트(170)를 이루는 도전 페이스트의 핫프레스 공정시 발생되는 압력을 흡수하여 공통 패드 상부 전극(146)의 크랙 발생을 방지한다. 이러한 유기 보호막(118)은 제2 공통 콘택홀(134)을 통해 공통 패드 중간 전극(144)과 공통 패드 상부 전극(146)이 복수번 접촉되도록 형성된다. 무기 보호막(124)은 유기 보호막(118)과 함께 쇼트 포인트(170)를 이루는 도전 페이스트의 핫프레스 공정시 발생되는 압력을 흡수하여 공통 패드 상부 전극(146)의 크랙을 방지한다. 또한, 무기 보호막(124)은 유기 보호막(118) 하부에 형성되어 크랙 발생시 유입될 수 있는 수분의 유입 경로를 길게 형성한다. 그리고, 다수의 제2 공통 콘택홀(134)에 의해 노출된 공통 패드 중간 전극(144)의 면적이 상대적으로 적어져 외부로부터 유입될 수 있는 수분과 공통 패드 중간 전극(144) 간의 접촉면적이 작아진다. 이에 따라, 부식 전이 속도가 감소됨으로써 부식 마진이 향상된다. 한편, 공통 패드 상

부 전극(146)은 유기 보호막(118) 및 무기 보호막(124)과 공통 패드 중간 전극(144)의 상부면 뿐만 아니라 다수의 제2 공통 콘택홀(134)에 의해 노출된 유기 보호막(118) 및 무기 보호막(124)의 측면 상에도 형성된다. 이에 따라, 공통 패드 상부 전극(146)의 면적이 넓어져 공통 패드 상부 전극(146)과 공통 패드 중간 전극(144) 간의 접촉 저항이 최소화된다.

[0046] 도 4a 내지 도 4g는 도 3에 도시된 액정 표시 패널의 제조 방법을 설명하기 위한 단면도들이다.

[0047] 도 4a에 도시된 바와 같이 하부 기판(101) 상에 게이트 전극(106)과, 게이트 전극(106)과 접속된 게이트 라인(102)과, 공통 패드 하부 전극(142)을 포함하는 게이트 패턴이 형성된다.

[0048] 이러한 게이트 패턴은 게이트 금속층이 하부 기판(101) 위에 증착되고 그 게이트 금속층이 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다. 게이트 금속층으로는 Al, Mo, Cu, Cr, Ti 금속 또는 그들의 합금이 단일층 또는 복층 구조로 형성되어 이용된다.

[0049] 도 4b에 도시된 바와 같이 하부 기판(101) 상에 게이트 패턴을 덮는 게이트 절연막(112)이 형성되고, 그 게이트 절연막(112)을 관통하여 공통 패드 하부 전극(142)을 노출시키는 제1 공통 콘택홀(132)이 형성된다.

[0050] 이러한 게이트 절연막(112)은 게이트 패턴이 형성된 하부 기판(101) 위에 SiNx, SiOx 등과 같은 무기 절연 물질이 증착됨으로써 형성된다. 제1 공통 콘택홀(132)은 게이트 절연막(112)이 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 공통 패드 하부 전극(142)을 노출시키도록 형성된다.

[0051] 도 4c에 도시된 바와 같이 제1 공통 콘택홀(132)이 형성된 하부 기판(101) 위에 활성층(114), 오믹 접촉층(116)을 포함하는 반도체 패턴이 형성된다.

[0052] 이러한 반도체 패턴은 비정질 실리콘층과 N+ 이온 도핑된 비정질 실리콘층이 게이트 절연막(112) 위에 순차적으로 적층된 후 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다.

[0053] 도 4d에 도시된 바와 같이 반도체 패턴이 형성된 게이트 절연막(112) 위에 게이트 라인(102)과 교차하는 데이터 라인(104), 데이터 라인(104)과 접속된 소스 전극(108), 소스 전극(108)과 마주하는 드레인 전극(110), 공통 패드 하부 전극(142)과 접속되는 공통 패드 중간 전극(144)을 포함하는 소스/드레인 패턴이 형성된다.

[0054] 이러한 소스/드레인 패턴은 소스/드레인 금속층이 증착된 후 그 소스/드레인 금속층이 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다. 소스/드레인 금속층으로는 Al, Mo, Cu, Cr, Ti 금속 또는 그들의 합금이 단일층 또는 복층 구조로 형성되어 이용된다. 그 다음, 소스 전극(108)과 드레인 전극(110) 사이로 노출된 오믹 접촉층(116)을 제거하여 활성층(114)이 노출되게 한다.

[0055] 도 4e에 도시된 바와 같이 하부 기판(101) 상에 소스/드레인 패턴을 덮는 무기 보호막(124) 및 유기 보호막(118)이 형성되고, 그 무기 보호막(124) 및 유기 보호막(118)이 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 드레인 전극(110)의 일부를 노출시키는 화소 콘택홀(120)과 공통 패드 중간 전극(142)의 일부를 노출시키는 제2 공통 콘택홀(134)이 형성된다.

[0056] 이러한 무기 보호막(124)은 소스/드레인 패턴이 형성된 하부 기판(101) 위에 SiNx, SiOx 등과 같은 무기 절연 물질이 증착됨으로써 형성된다. 유기 보호막(118)은 무기 보호막(124) 위에 아크릴 수지 등과 같은 유기 절연 물질이 코팅됨으로써 형성된다. 화소 콘택홀(120) 및 제2 공통 콘택홀(134)은 무기 보호막(124) 및 유기 보호막(118)이 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 공통 패드 중간 전극(144)을 노출시키도록 형성된다.

[0057] 도 4f에 도시된 바와 같이 하부 기판(101) 상에 화소 콘택홀(120)을 통해 드레인 전극(110)과 접속되는 화소 전극(122)과, 제2 공통 콘택홀(134)을 통해 공통 패드 중간 전극(144)과 접속되는 공통 패드 상부 전극(146)을 포함하는 투명 도전 패턴이 유기 보호막(118) 위에 형성된다.

[0058] 이러한 투명 도전 패턴은 투명 도전막이 유기 보호막(118) 위에 증착된 다음 그 투명 도전막이 포토리소그래피 공정 및 식각 공정으로 패터닝됨으로써 형성된다. 투명 도전막으로는 인듐 틴 옥사이드(Indium Tin Oxide), 인듐 징크 옥사이드(Indium Zinc Oxide) 또는 인듐 틴 징크 옥사이드(Indium Tin Zinc Oxide) 등이 이용된다.

[0059] 도 4g에 도시된 바와 같이 상술한 게이트 패턴, 반도체 패턴, 소스/드레인 패턴 및 투명 도전 패턴을 포함하는 박막 트랜지스터 기판(160)과 칼라 필터 기판(150)이 합착되어 액정 표시 패널이 형성된다. 이 때, 박막 트랜지스터 기판(160)의 공통 패드(140)는 쇼트 포인트(170)를 통해 칼라 필터 기판(150)의 공통 전극(152)과 접속된다.

[0060] 한편, 본 발명에 따른 액정 표시 장치는 투과형 액정 표시 장치 뿐만 아니라 반사형 또는 반투과형 액정 표시 장치에도 적용가능하다.

발명의 효과

[0061] 상술한 바와 같이, 본 발명에 따른 액정 표시 패널 및 그 제조방법은 다수의 제2 공통 콘택홀을 통해 공통 패드 중간 전극과 공통 패드 상부 전극이 접속되어 외부 압력에 의한 공통 패드의 크랙 발생 및 외부에서 유입되는 수분에 의한 공통 패드의 부식 발생 가능성을 최소화할 수 있다.

도면의 간단한 설명

[0001] 도 1은 본 발명에 따른 액정 표시 패널을 나타내는 평면도이다.

[0002] 도 2는 도 1에 도시된 액정 표시 패널의 제1 실시 예를 나타내는 단면도이다.

[0003] 도 3은는 도 1에 도시된 액정 표시 패널의 제2 실시 예를 나타내는 단면도이다.

[0004] 도 4a 내지 도 4g는 도 3에 도시된 액정 표시 패널의 제조방법을 설명하기 위한 단면도들이다.

[0005] < 도면의 주요 부분에 대한 부호의 설명 >

[0006] 101,111 : 기판 102 : 게이트 라인

[0007] 104 : 데이터 라인 106 : 게이트 전극

[0008] 108 : 소스 전극 110 : 드레인 전극

[0009] 112 : 게이트 절연막 114 : 활성층

[0010] 116 : 오믹 접촉층 118,124 : 보호막

[0011] 120,132,134 : 콘택홀 122 : 화소 전극

[0012] 130 : 박막 트랜지스터 140 : 공통 패드

[0013] 142 : 공통 패드 하부 전극 144 : 공통 패드 중간 전극

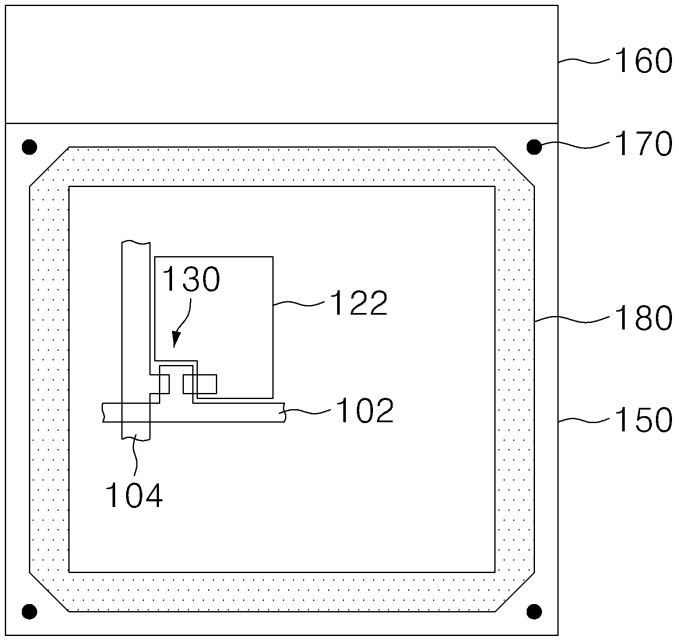
[0014] 146 : 공통 패드 상부 전극 150 : 칼라 필터 기판

[0015] 152 : 공통 전극 160 : 박막트랜지스터 기판

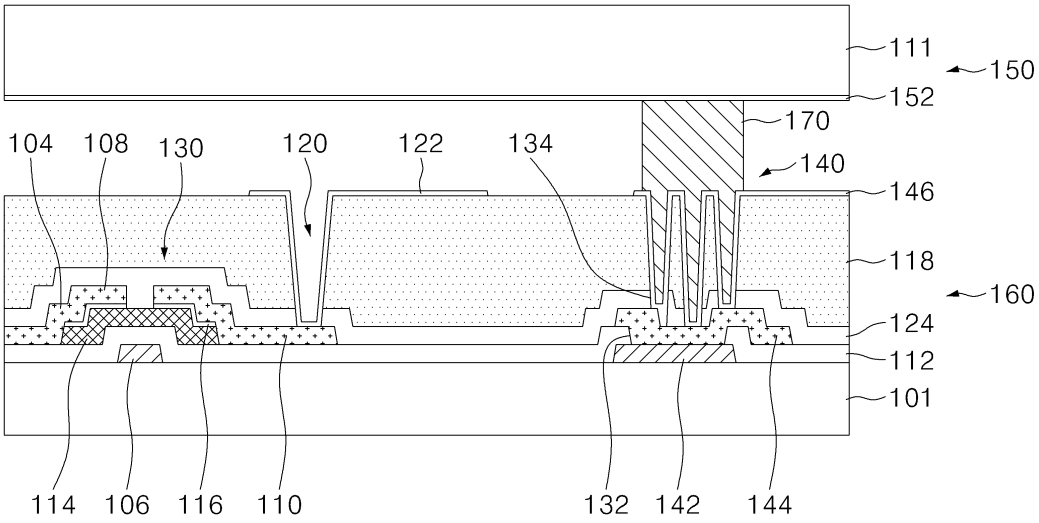
[0016] 170 : 쇼트 포인트

도면

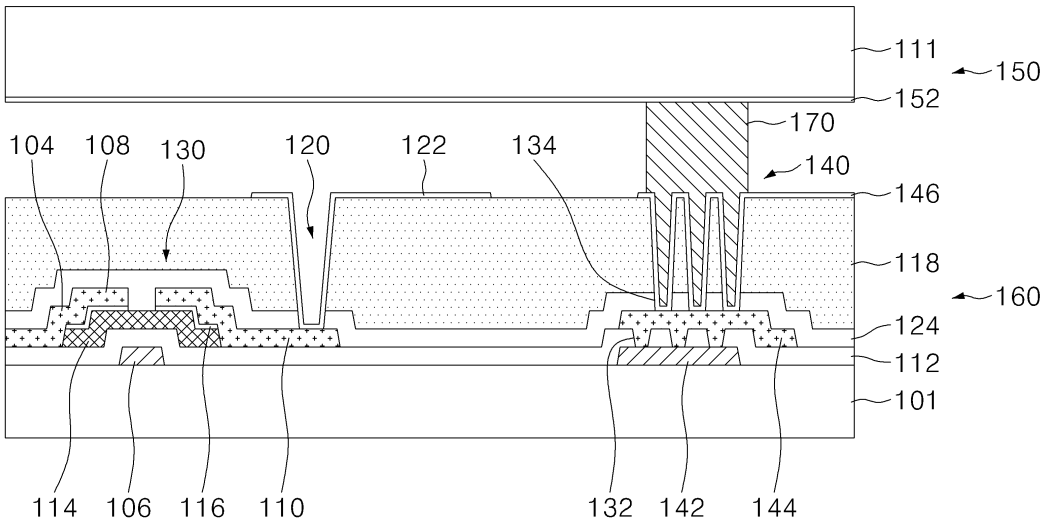
도면1


160
170
130
122
180
102
150
104

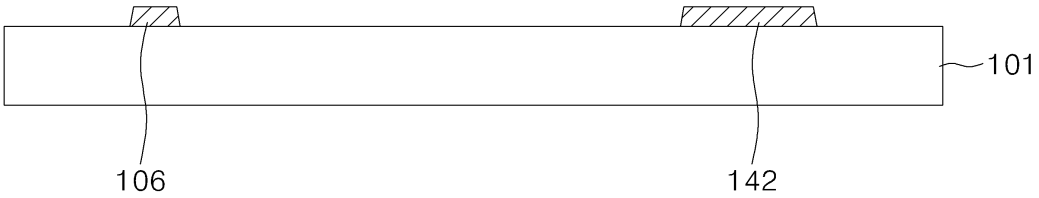
도면2


111
150
152
170
104
108
130
120
122
134
140
146
118
160
124
112
101
114
106
116
110
132
142
144

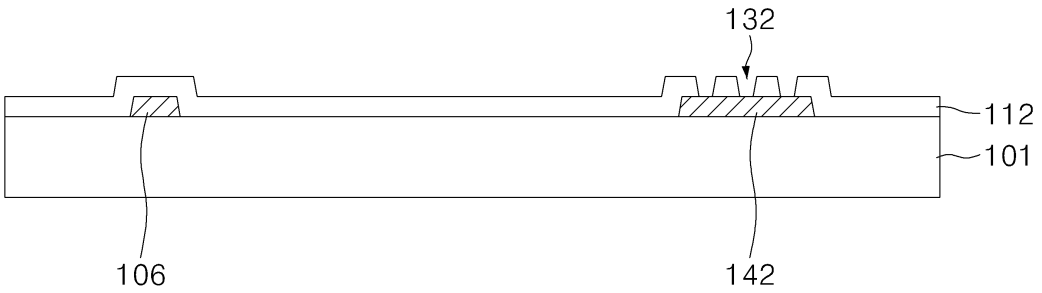
도면3



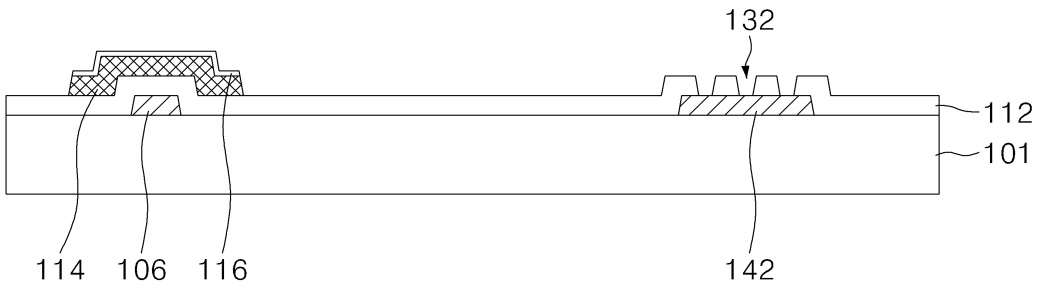
도면4a



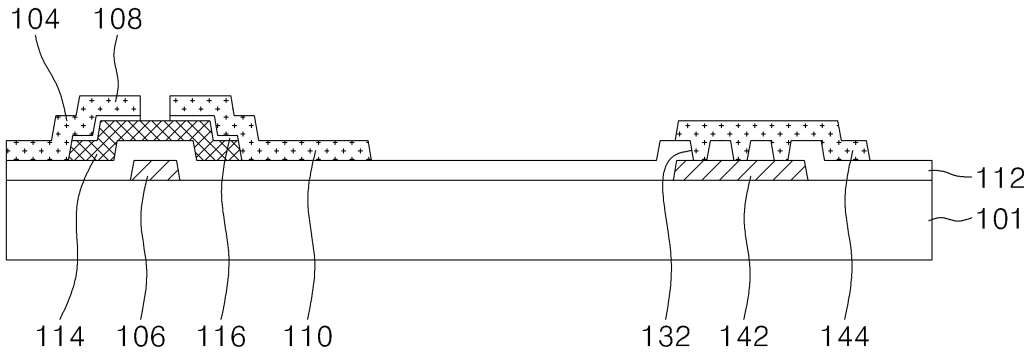
도면4b



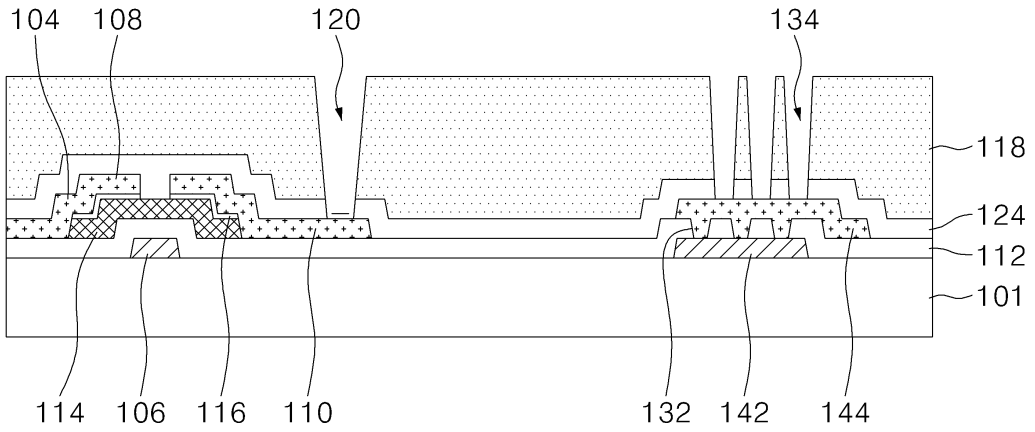
도면4c



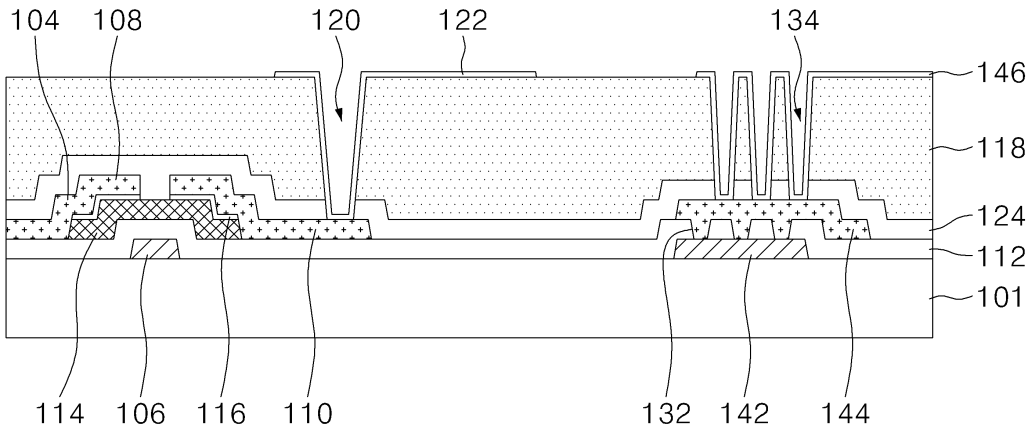
도면4d



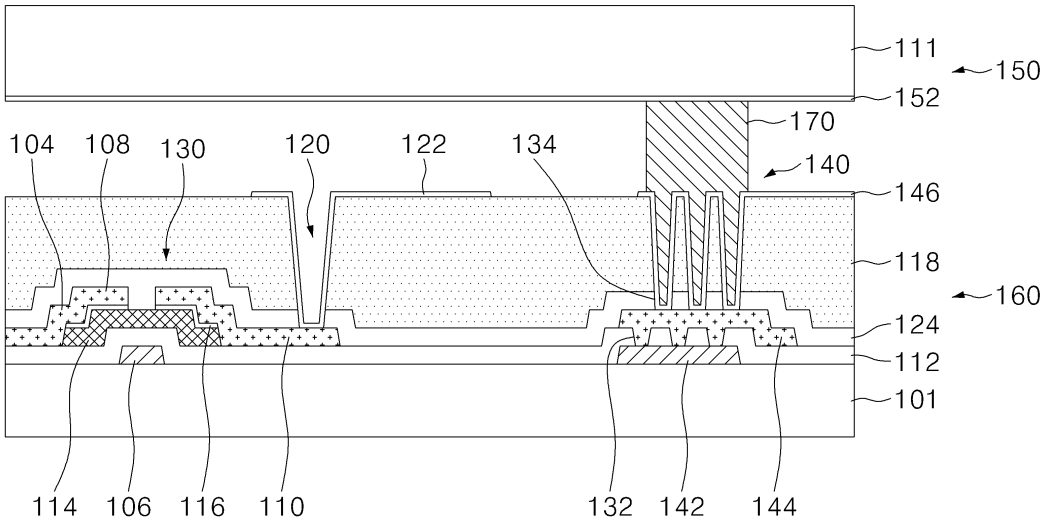
도면4e



도면4f


104
108
120
122
134
146
118
124
112
101
114
106
116
110
132
142
144

도면4g


111
150
152
170
104
108
130
120
122
134
140
146
118
160
124
112
101
114
106
116
110
132
142
144