

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-44688
(P2011-44688A)

(43) 公開日 平成23年3月3日(2011.3.3)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 3 O 1 B	4 M 1 O 4
HO 1 L 29/47 (2006.01)	HO 1 L 21/28 3 O 1 R	
HO 1 L 29/872 (2006.01)	HO 1 L 29/48 D	
HO 1 L 29/78 (2006.01)	HO 1 L 21/28 A	
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 3 A	

審査請求 未請求 請求項の数 12 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2010-152084 (P2010-152084)
 (22) 出願日 平成22年7月2日 (2010.7.2)
 (31) 優先権主張番号 特願2009-170239 (P2009-170239)
 (32) 優先日 平成21年7月21日 (2009.7.21)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000116024
 ローム株式会社
 京都府京都市右京区西院溝崎町2-1番地
 (74) 代理人 100087701
 弁理士 稲岡 耕作
 (74) 代理人 100101328
 弁理士 川崎 実夫
 (72) 発明者 中野 佑紀
 京都市右京区西院溝崎町2-1番地 ローム
 株式会社内
 Fターム(参考) 4M104 AA03 BB01 BB05 BB14 BB16
 BB40 CC01 DD16 DD21 DD34
 DD37 DD43 FF01 FF13 FF35
 GG03 GG09 HH08

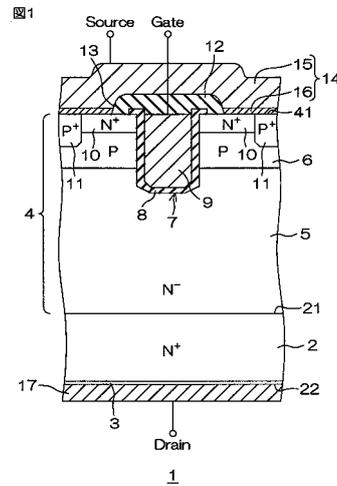
(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【要約】

【課題】 製造コストの増加を抑制しつつ、SiC基板の一方面に直接接合されるメタル層の接続信頼性を向上でき、さらにはSiC基板に対するメタル層のオーミック接合を確保することのできる半導体装置およびその製造方法を提供すること。

【解決手段】 SiC基板2を有する半導体装置1において、SiC基板2の裏面2-2側の表層部分に、表面2-1側の表層部分よりもカーボンが高濃度に含まれる高カーボン濃度SiC層3を形成する。そして、その高カーボン濃度SiC層3の表面にドレイン電極17を直接接合する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

S i C からなる半導体層と、
前記半導体層の一方面に直接接合されたメタル層とを含み、
前記半導体層の一方側の表層部分には、他方側の表層部分よりもカーボンが高濃度に含まれる高カーボン濃度層が形成されている、半導体装置。

【請求項 2】

S i C からなる半導体層と、
前記半導体層の一方面に直接接合されたメタル層とを含み、
前記半導体層の一方側の表層部分には、S i C 固有の結合エネルギーよりも高い結合エネルギーを有する高エネルギー層が形成されている、半導体装置。

10

【請求項 3】

前記半導体層は、相対的に不純物濃度が高い半導体基板と、前記半導体基板の表面に形成された相対的に不純物濃度が低いエピタキシャル層とを含み、
前記高カーボン濃度層は、前記半導体基板の裏面側の表層部分に形成されている、請求項 1 に記載の半導体装置。

【請求項 4】

前記半導体基板の不純物濃度が、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上である、請求項 3 に記載の半導体装置。

【請求項 5】

前記半導体基板の不純物濃度が、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である、請求項 4 に記載の半導体装置。

20

【請求項 6】

前記メタル層は、前記半導体層の側から T i、N i および A g がこの順に積層された T i / N i / A g 積層構造を有する、請求項 1 ~ 5 のいずれか一項に記載の半導体装置。

【請求項 7】

前記メタル層は、T i / N i / A g 積層構造にさらに A u が積層された T i / N i / A g / A u 積層構造を有する、請求項 6 に記載の半導体装置。

【請求項 8】

前記半導体層は、前記一方側に形成されたドレインと、前記ドレインの反対側の前記他方側に形成されたゲートおよびソースを含む縦型トランジスタ構造を有しており、
前記メタル層が、前記ドレインに接合されたドレイン電極である、請求項 1 ~ 7 のいずれか一項に記載の半導体装置。

30

【請求項 9】

熱処理により、S i C からなる半導体層の一方面側の表層部分に、他方面側の表層部分よりもカーボンが高濃度に含まれる高カーボン濃度層を形成する工程と、
前記高カーボン濃度層にメタルを直接接合する工程とを含む、半導体装置の製造方法。

【請求項 10】

前記高カーボン濃度層を形成する工程における熱処理温度が 1400 以上である、請求項 9 に記載の半導体装置の製造方法。

40

【請求項 11】

前記高カーボン濃度層を形成する工程が、前記半導体層を不活性ガス中で熱処理する工程と、その熱処理工程後に前記半導体層を酸化させることにより前記半導体層の一方面に酸化膜を形成する工程と、前記酸化膜を除去する工程とを含む、請求項 9 または 10 に記載の半導体装置の製造方法。

【請求項 12】

前記高カーボン濃度層を形成する工程が、前記半導体層を、酸化ガス中、 1400 以下で熱処理することにより前記半導体層の一方面に酸化膜を形成する工程と、前記酸化膜を除去する工程とを含む、請求項 9 に記載の半導体装置の製造方法。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、SiCが使用された半導体装置およびその製造方法に関する。

【背景技術】

【0002】

近年、高耐圧、低オン抵抗を実現する次世代のパワーデバイス材料として、SiC（シリコンカーバイド：炭化ケイ素）の使用が検討されている。

パワーデバイスの微細化およびオン抵抗の低減のための構造として、トレンチゲート構造が知られている（たとえば、特許文献1参照）。

特許文献1の半導体装置において、SiCからなるソース領域に電氣的に接続されるソース電極を形成するには、まず、ニッケル（Ni）膜がソース領域に成膜された後、当該Ni膜が1000℃で5分間アニールされる。これにより、ニッケルシリサイド層が形成される。その後、たとえば、アルミニウム（Al）からなるメタル層が積層されて、配線電極が形成される。こうして、ソース電極が形成される。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2007-258465号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、従来手法のように、SiCにニッケルシリサイド層を形成し、当該ニッケルシリサイド層にAlなどのメタル層を積層するやり方では、シリサイド時にSiC中に残留するカーボン（C）が、ニッケルシリサイド層におけるメタル層との界面近傍に析出する。そのため、当該界面近傍に、Cが多く含有されるカーボン層が形成される。そして、ニッケルシリサイド層に対するカーボン層の密着性が乏しいことから、ニッケルシリサイド層とカーボン層との間で層剥がれを生じるおそれがある。この種の層剥がれは、VDMISFET（Vertical Double-diffused Metal Insulator Semiconductor Field Effect Transistor）やSBD（Schottky Barrier Diode）の裏面電極を形成する場合などに発生しやすい。

【0005】

一方、Alの堆積に先立ってカーボン層を除去することにより、層剥がれを防止することが考えられる。しかし、カーボン層を除去する工程が余計に必要なため、工程数が増加し、製造コストが増加する。

本発明の目的は、製造コストの増加を抑制しつつ、SiC基板の一方面に直接接合されるメタル層の接続信頼性を向上でき、さらにはSiC基板に対するメタル層のオーミック接合を確保することのできる半導体装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【0006】

本発明の一の局面に係る半導体装置は、SiCからなる半導体層と、前記半導体層の一方面に直接接合されたメタル層とを含み、前記半導体層の一方側の表層部分には、他方側の表層部分よりもカーボンが高濃度に含まれる高カーボン濃度層が形成されている。

この構成によれば、SiCからなる半導体層の一方面に対して、メタル層が直接接合されているので、半導体層とメタル層との間にシリサイド層やカーボン層が介在されていない。そのため、半導体層とメタル層との間の層剥がれを防止することができる。その結果、半導体層に対するメタル層の接続信頼性を向上させることができる。

【0007】

また、半導体基板の一方側の表層部分には、他方側の表層部分よりもカーボンが高濃度に含まれる高カーボン濃度層が形成されている。そのため、シリサイド層を介してSiCとメタルとを接合させる場合と同様に、半導体層に対してメタル層をオーミック接合させ

10

20

30

40

50

ることができる。

そして、このような半導体装置は、たとえば、本発明の半導体装置の製造方法により製造することができる。すなわち、熱処理により、SiCからなる半導体層の一方面側の表層部分に、他方面側の表層部分よりもカーボンが高濃度に含まれる高カーボン濃度層を形成する工程と、前記高カーボン濃度層にメタルを直接接合する工程とを含む、半導体装置の製造方法により製造することができる。

【0008】

この方法によれば、半導体層の一方側の表層部分に高カーボン濃度層が形成され、その高カーボン濃度層にメタルが直接接合されてメタル層が形成される。半導体層の一方面上にシリサイド層を形成しないので、シリサイド層上のカーボン層を除去するための工程を
10 実行する必要がない。そのため、工程数の増加を抑制することができる。その結果、製造コストの増加を抑制することができる。

【0009】

また、本発明の他の局面に係る半導体装置は、SiCからなる半導体層と、前記半導体層の一方面に直接接合されたメタル層とを含み、前記半導体層の一方側の表層部分には、SiC固有の結合エネルギーよりも高い結合エネルギーを有する高エネルギー層が形成されている。

この構成によれば、SiCからなる半導体層の一方面に対して、メタル層が直接接合されているので、半導体層とメタル層との間にシリサイド層やカーボン層が介在されていない。そのため、半導体層とメタル層との間の層剥がれを防止することができる。その結果
20 、半導体層に対するメタル層の接続信頼性を向上させることができる。

【0010】

また、半導体基板の一方側の表層部分には、SiC固有の結合エネルギーよりも高い結合エネルギーを有する高エネルギー層が形成されている。そのため、シリサイド層を介してSiCとメタルとを接合させる場合と同様に、半導体層に対してメタル層をオーミック接合させることができる。

また、本発明の半導体装置において、前記半導体層は、相対的に不純物濃度が高い半導体基板と、前記半導体基板の表面に形成された相対的に不純物濃度が低いエピタキシャル層とを含んでいてもよい。その場合、前記高カーボン濃度層は、前記半導体基板の裏面側の表層部分に形成されていてもよい。
30

【0011】

この構成では、高カーボン濃度層が、相対的に不純物濃度が高い半導体基板に形成されているので、半導体基板に対して、メタル層を低い抵抗値でオーミック接合することができる。

また、半導体基板の不純物濃度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上であることが好ましく、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ であることがさらに好ましい。

【0012】

半導体基板の不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上であれば、半導体基板に対して、メタル層をより良好にオーミック接合することができる。

また、半導体層に接合されるメタル層は、半導体層の側からTi、NiおよびAgがこの順に積層されたTi/Ni/Ag積層構造を有していてもよく、当該積層構造にさらにAuが積層されたTi/Ni/Ag/Au積層構造を有していてもよい。
40

【0013】

また、半導体層が、前記一方側に形成されたドレインと、前記ドレインの反対側の前記他方側に形成されたゲートおよびソースを含む縦型トランジスタ構造を有している場合、前記メタル層は、ドレインに接合されたドレイン電極であってもよい。

なお、縦型トランジスタ構造において、ドレインの概念には、半導体層に第1導電型の不純物が注入されて形成されたドレイン(ドリフト領域)領域が含まれる。また、ゲートの概念には、半導体層に第2導電型の不純物が注入された形成され、半導体装置の動作時にチャンネルが形成されるボディ領域、当該ボディ領域上に形成されたゲート絶縁膜、およ
50

び当該ゲート絶縁膜を挟んでボディ領域に対向するゲート電極が含まれる。また、ソースには、半導体層に第1導電型の不純物が注入されて形成されたソース領域が含まれる。

【0014】

また、本発明の半導体装置の製造方法では、前記高カーボン濃度層を形成する工程における熱処理温度が1400以上であることが好ましい。

1400以上の熱処理により、SiC中のSi原子を半導体層の一方側から効率よく昇華させることができる。そのため、高カーボン濃度層を効率よく形成することができる。また、たとえば、半導体層に不純物イオンが注入されている場合、1400以上の熱処理工程中に、高カーボン濃度層の形成と並行して、不純物イオンを活性化させることができる。熱処理工程と活性化工程とを1工程に集約することができるので、工程数を低減することができる。その結果、製造コストを低減することができる。

10

【0015】

また、前記高カーボン濃度層を形成する工程は、前記半導体層を不活性ガス中で熱処理する工程と、その熱処理工程後に前記半導体基板を酸化させることにより前記半導体層の一方面に酸化膜を形成する工程と、前記酸化膜を除去する工程とを含んでいることが好ましい。

熱処理の温度が高すぎると、一方側の表層部分にSiがほとんど残らず、当該部分にカーボンからなるカーボン層が形成される場合がある。

【0016】

上記の製造方法では、半導体層を不活性ガス中で熱処理した後、半導体層を酸化させることにより、半導体層の一方面に酸化膜が形成される。そして、その酸化膜が除去される。そのため、一方面側の表層部分にカーボン層が形成されても、そのカーボン層を酸化膜とともに除去することができる。

20

また、前記高カーボン濃度層は、前記半導体層を、酸化ガス中、1400以下で熱処理することにより前記半導体層の一方面に酸化膜を形成する工程と、前記酸化膜を除去する工程とを含む工程を実行することによっても形成することができる。

【図面の簡単な説明】

【0017】

【図1】図1は、本発明の第1実施形態に係る半導体装置（トレンチゲート型VDMOSFET）の模式的な断面図である。

30

【図2A】図2Aは、図1の半導体装置の製造方法を説明するための模式的な断面図である。

【図2B】図2Bは、図2Aの次の工程を示す図である。

【図2C】図2Cは、図2Bの次の工程を示す図である。

【図2D】図2Dは、図2Cの次の工程を示す図である。

【図2E】図2Eは、図2Dの次の工程を示す図である。

【図2F】図2Fは、図2Eの次の工程を示す図である。

【図2G】図2Gは、図2Fの次の工程を示す図である。

【図2H】図2Hは、図2Gの次の工程を示す図である。

【図2I】図2Iは、図2Hの次の工程を示す図である。

40

【図2J】図2Jは、図2Iの次の工程を示す図である。

【図2K】図2Kは、図2Jの次の工程を示す図である。

【図2L】図2Lは、図2Kの次の工程を示す図である。

【図2M】図2Mは、図2Lの次の工程を示す図である。

【図2N】図2Nは、図2Mの次の工程を示す図である。

【図2O】図2Oは、図2Nの次の工程を示す図である。

【図2P】図2Pは、図2Oの次の工程を示す図である。

【図3】図3は、本発明の第2実施形態に係る半導体装置（プレーナゲート型VDMOSFET）の模式的な断面図である。

【図4】図4は、本発明の第3実施形態に係るショットキーバリアダイオードの模式的な

50

断面図である。

【図5】図5は、第2実施形態の半導体装置の変形例を示す模式的な断面図である。

【図6】図6は、実施例および比較例に係るショットキーバリアダイオードのI-V特性曲線を示す図である。

【図7】図7は、実施例1および比較例1~2のそれぞれにおいて、表メタルを形成する前のSiC基板をXPS測定したときのC1sの結合エネルギーの強度分布を示す図である。

【図8】図8は、実施例1および比較例1~2のそれぞれにおいて、表メタルを形成する前のSiC基板をXPS測定したときのSi2sの結合エネルギーの強度分布を示す図である。

10

【図9】図9は、実施例1および比較例1~2のそれぞれにおいて、表メタルを形成する前のSiC基板をXPS測定したときのSi2pの結合エネルギーの強度分布を示す図である。

【図10】図10は、実施例1および比較例1~2のそれぞれにおける、C1sの結合エネルギーのピーク位置を示す図である。

【図11】図11は、実施例1および比較例1~2のそれぞれにおける、Si2sの結合エネルギーのピーク位置を示す図である。

【図12】図12は、実施例1および比較例1~2のそれぞれにおける、Si2pの結合エネルギーのピーク位置を示す図である。

【図13】図13は、実施例1および比較例1~2のそれぞれにおける、組成比C1s/Si2sを示す図である。

20

【図14】図14は、実施例1および比較例1~2のそれぞれにおける、組成比C1s/Si2pを示す図である。

【発明を実施するための形態】

【0018】

以下では、本発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、本発明の第1実施形態に係る半導体装置（トレンチゲート型VDMOSFET）の模式的な断面図である。

半導体装置1は、トレンチゲート型VDMOSFET（Vertical Double-diffused Metal Insulator Semiconductor Field Effect Transistor）の単位セルが複数配置された構造を有している。なお、図1では、複数の単位セルのうちの一部が示されている。

30

【0019】

半導体装置1は、その基体をなす半導体基板としてのSiC基板2を備えている。SiC基板2には、N型不純物が高濃度にドーピングされており、そのN型不純物濃度は、たとえば、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上、好ましくは、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。SiC基板2は、その表面21（他方面）がSi（シリコン）面であり、その裏面22（一方面）がC（カーボン）面である。また、SiC基板2の厚さは、たとえば、 $100 \mu\text{m} \sim 400 \mu\text{m}$ である。

【0020】

SiC基板2の裏面22側の表層部分には、表面21側の表層部分よりもカーボンが高濃度に含まれるSiCからなる層（高カーボン濃度SiC層3）が形成されている。

40

高カーボン濃度SiC層3における、CとSiとの組成比（C/Si）は、1s軌道におけるC（C1s）と2s軌道におけるSi（Si2s）との組成比（C1s/Si2s）が、たとえば、1.1~1.2であり、好ましくは、1.15~1.2である。また、C1sと2p軌道におけるSi（Si2p）との組成比（C1s/Si2p）が、たとえば、1.2~1.4であり、好ましくは、1.2~1.25である。

【0021】

上記範囲の組成比を有する高カーボン濃度SiC層3は、たとえば、SiC固有の結合エネルギーよりも高い結合エネルギーを有する高エネルギー層であり、XPS（X-ray Photoelectron Spectroscopy：X線光電子分光）により分析されたSi-2s軌道、Si-2p軌

50

道およびC-1s軌道のピークが、SiC基板2における高カーボン濃度SiC層3を除く部分（たとえば、表面21側の表層部分）の当該ピーク（SiC固有のピーク）を基準として高結合エネルギー側に、たとえば、0.2 eV ~ 1 eV、好ましくは、0.4 eV ~ 0.6 eVシフトしている。

【0022】

また、高カーボン濃度SiC層3の厚さは、たとえば、SiC基板2の厚さの $2.5 \times 10^{-4} \% \sim 1 \times 10^{-2} \%$ 程度、具体的には、たとえば、1 nm ~ 10 nmである。

SiC基板2の表面21には、SiC基板2よりもN型不純物が低濃度にドーピングされたSiCからなる、N⁻型のエピタキシャル層4が積層されている。Si面である表面21上に形成されるエピタキシャル層4は、Si面を成長主面として成長する。したがって、エピタキシャル層4の表面41は、Si面である。

10

【0023】

エピタキシャル層4におけるSi面側の部分（表層部）とは反対のC面側の部分（基層部）は、その全域がエピタキシャル成長後のままの状態が維持された、N⁻型のドレイン領域5をなしている。ドレイン領域5のN型不純物濃度は、たとえば、 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ である。

一方、エピタキシャル層4の表層部には、P型のボディ領域6が形成されている。ボディ領域6は、ドレイン領域5に接している。ボディ領域6のP型不純物濃度は、たとえば、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ である。

20

【0024】

エピタキシャル層4には、ゲートトレンチ7が表面41から掘り下がって形成されている。ゲートトレンチ7は、図1では図示しないが、一定の間隔を空けて複数形成され、それらが互いに平行をなして同一方向（図1の紙面に垂直な方向、以下、この方向を「ゲート幅に沿う方向」ということがある。）に延び、たとえば、ストライプ構造をなしている。

【0025】

ゲートトレンチ7は、ボディ領域6を層厚方向に貫通し、その最深部（底面）がドレイン領域5に達している。

ゲートトレンチ7の内面およびエピタキシャル層4の表面41には、ゲートトレンチ7の内面全域を覆うように、SiO₂からなるゲート絶縁膜8が形成されている。

30

そして、ゲート絶縁膜8の内側をN型不純物がドーピングされたポリシリコン材料で埋め尽くすことにより、ゲートトレンチ7内にゲート電極9が埋設されている。

【0026】

ボディ領域6の表層部には、ゲートトレンチ7に対してゲート幅と直交する方向（図1における左右方向）の両側に、N⁺型のソース領域10が形成されている。ソース領域10は、ドレイン領域5のN型不純物濃度よりも高く、N型不純物が高濃度にドーピングされた領域である。ソース領域10のN型不純物濃度は、たとえば、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。ソース領域10は、ゲートトレンチ7に隣接する位置においてゲート幅に沿う方向に延び、その底部がボディ領域6に接している。

【0027】

40

また、エピタキシャル層4には、その表面41から、ゲート幅と直交する方向におけるソース領域10の中央部を貫通し、ボディ領域6に接続されるP⁺型のボディコンタクト領域11が形成されている。ボディコンタクト領域11は、ボディ領域6のP型不純物濃度よりも高く、P型不純物が高濃度にドーピングされた領域である。ボディコンタクト領域11のP型不純物濃度は、たとえば、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。

【0028】

すなわち、ゲートトレンチ7およびソース領域10は、ゲート幅と直交する方向に交互に設けられ、それぞれゲート幅に沿う方向に延びている。そして、ソース領域10上に、ソース領域10に沿って、ゲート幅と直交する方向に隣接するユニットセル間の境界が設

50

定されている。ボディコンタクト領域 11 は、ゲート幅と直交する方向に隣接する 2 つのユニットセル間に跨って少なくとも 1 つ以上設けられている。また、ゲート幅に沿う方向に隣接するユニットセル間の境界は、各ユニットセルに含まれるゲート電極 9 が一定のゲート幅を有するように設定されている。

【0029】

エピタキシャル層 4 上には、 SiO_2 からなる層間絶縁膜 12 が積層されている。この層間絶縁膜 12 に形成されたコンタクトホール 13 を介して、ソース電極 14 がソース領域 10 およびボディコンタクト領域 11 に接続されている。ソース電極 14 は、たとえば、Al を主成分として含む金属材料からなるソースメタル 15 と、このソースメタル 15 の下層に形成された、Ni からなるオーミックメタル 16 とを含んでいる。

10

【0030】

SiC 基板 2 の裏面 22 には、メタル層としてのドレイン電極 17 が形成されている。ドレイン電極 17 は、高カーボン濃度 SiC 層 3 に直接接合されている。ドレイン電極 17 は、たとえば、チタン層 (Ti)、ニッケル層 (Ni) および銀層 (Ag) が順に積層された積層構造 (Ti/Ni/Ag)、この Ti/Ni/Ag 積層構造にさらに金層 (Au) が積層された積層構造 (Ti/Ni/Ag/Au)、チタン層 (Ti)、ニッケル層 (Ni) およびアルミニウム層 (Al) が順に積層された積層構造 (Ti/Ni/Al) などにより形成することができる。

【0031】

ソース電極 14 とドレイン電極 17 との間 (ソース - ドレイン間) に所定の電位差を発生させた状態で、ゲート電極 9 に所定の電圧 (ゲート閾値電圧以上の電圧) が印加されることにより、ゲート電極 9 からの電界によりボディ領域 6 におけるゲート絶縁膜 8 との界面近傍にチャンネルが形成される。これにより、ソース電極 14 とドレイン電極 17 との間に電流が流れ、VDMOSFET がオン状態となる。

20

【0032】

なお、この実施形態では、ボディ領域 6、ゲートトレンチ 7、ゲート絶縁膜 8 およびゲート電極 9 が上位の概念としてのゲートを構成している。また、ソース領域 10 およびソース電極 14 が上位の概念としてのソースを構成している。また、SiC 基板 2、ドレイン領域 5 およびドレイン電極 17 が上位の概念としてのドレインを構成している。

図 2A ~ 図 2P は、図 1 の半導体装置の製造方法を工程順に説明するための模式的な断面図である。

30

【0033】

まず、図 2A に示すように、CVD (Chemical Vapor Deposition: 化学気相成長) 法、LPE (Liquid Phase Epitaxy: 液相エピタキシ) 法、MBE (Molecular Beam Epitaxy: 分子線エピタキシ) 法などのエピタキシャル成長法により、SiC 基板 2 の表面 21 (Si 面) 上に、不純物をドーピングしながら SiC 結晶が成長させられる。これにより、SiC 基板 2 上に、N⁻ 型のエピタキシャル層 4 が形成される。続いて、エピタキシャル層 4 の表面 41 からその内部に、P 型不純物がインプラネーション (注入) される。このときの注入条件は、P 型不純物の種類により異なるが、たとえば、加速エネルギーが 200 keV ~ 400 keV である。

40

【0034】

これにより、図 2B に示すように、エピタキシャル層 4 の表層部に、P 型不純物がインプラネーションされた領域 (P 型インプラ領域 18) が形成される。P 型インプラ領域 18 の形成により、エピタキシャル層 4 の基層部には、P 型インプラ領域 18 と分離され、エピタキシャル成長後のままの状態を維持するドレイン領域 5 が形成される。

次いで、図 2C に示すように、CVD 法により、エピタキシャル層 4 上に、 SiO_2 からなるマスク 19 が形成される。続いて、フォトリソ (図示せず) を介するエッチングにより、ボディコンタクト領域 11 を形成すべき領域に対向する開口 20 を有するパターンに、マスク 19 がパターンニングされる。パターンニング後、エピタキシャル層 4 の表面 41 からその内部に、P 型不純物がインプラネーション (注入) される。このときの注

50

入条件は、P型不純物の種類により異なるが、たとえば、加速エネルギーが30keV~200keVである。これにより、P型インプラ領域18の表層部に、P型不純物が高濃度でインプラネーションされた領域(P⁺型インプラ領域23)が形成される。P型不純物の注入後、マスク19が除去される。

【0035】

次いで、図2Dに示すように、CVD法により、エピタキシャル層4上に、SiO₂からなるマスク24が形成される。続いて、フォトレジスト(図示せず)を介するエッチングにより、ソース領域10を形成すべき領域に対向する開口25を有するパターンに、マスク24がパターンニングされる。パターンニング後、エピタキシャル層4の表面41からその内部に、N型不純物がインプラネーション(注入)される。このときの注入条件は、N型不純物の種類により異なるが、たとえば、加速エネルギーが30keV~200keVである。N型不純物の注入後、マスク24が除去される。これにより、P型インプラ領域18の表層部に、N型不純物が高濃度でインプラネーションされた領域(N⁺型インプラ領域26)が形成される。

10

【0036】

次いで、図2Eに示すように、SiC基板2が加熱炉27に搬入される。搬入後、加熱炉27内に不活性ガス(たとえば、N₂、Arなど)を導入しながら、たとえば、1400以上、好ましくは、1600~2000、さらに好ましくは、1700~1800の条件で、たとえば、1分~60分間、好ましくは、3分~5分間、SiC基板2が熱処理される。

20

【0037】

これにより、SiC基板2の裏面22(C面)からSiC中のSiが昇華し、裏面22側の表層部分における結合エネルギーがSiC固有の結合エネルギーよりも高結合エネルギーにシフトして、高カーボン濃度SiC層3(高エネルギー層)が形成される。同時に、この熱処理により、注入されたN型およびP型不純物が活性化して、エピタキシャル層4の表層部にボディ領域6が形成されるとともに、ボディ領域6の表層部にソース領域10およびボディコンタクト領域11が形成される。

【0038】

熱処理後、図2Fに示すように、加熱炉27内に酸化ガス(たとえば、O₂など)を導入しながら、たとえば、900~1400で、たとえば、10分~600分間、SiC基板2が酸化(たとえば、熱酸化)される。これにより、SiC基板2の表面21および裏面22のそれぞれに、酸化膜28,29が形成される。

30

次いで、図2Gに示すように、当該酸化膜28,29が除去される。これにより、熱処理時の温度が過度に上昇して裏面22側の表層部分にカーボンからなるカーボン層が形成されても、そのカーボン層を酸化膜29とともに除去することができる。

【0039】

その後、図2Hに示すように、SiC基板2が加熱炉27から搬出される。

次いで、図2Iに示すように、CVD法などにより、エピタキシャル層4の表面41全域に、SiO₂からなるマスク30が形成される。なお、マスク30は、SiNなどで形成することもできる。

40

次いで、図2Jに示すように、フォトレジスト(図示せず)を介するエッチングにより、ゲートトレンチ7を形成すべき領域に対向する開口31を有するパターンに、マスク30がパターンニングされる。

【0040】

次いで、図2Kに示すように、SF₆(六フッ化硫黄)、O₂(酸素)およびHBr(臭化水素)を含む混合ガス(SF₆/O₂/HBrガス)が、開口31を介してエピタキシャル層4の表面41へ入射される。これにより、エピタキシャル層4が表面41(Si面)からドライエッチングされて、ゲートトレンチ7が形成される。ゲートトレンチ7の形成後、マスク30が除去される。

【0041】

50

次いで、図 2 L に示すように、熱酸化法により、ゲートトレンチ 7 の内面およびエピタキシャル層 4 の表面 4 1 が酸化される。これにより、ゲート絶縁膜 8 が形成される。

次いで、図 2 M に示すように、CVD 法により、ドーピングされたポリシリコン材料がエピタキシャル層 4 上に堆積される。堆積されたポリシリコン材料は、エッチバック面がエピタキシャル層の表面 4 1 に対して面一になるまでエッチバックされる。これにより、ポリシリコン材料におけるゲートトレンチ 7 外の部分が除去されて、ゲートトレンチ 7 内に残存するポリシリコン材料からなるゲート電極 9 が形成される。

【0042】

次いで、図 2 N に示すように、CVD 法により、エピタキシャル層 4 上に、 SiO_2 からなる層間絶縁膜 12 が積層される。そして、層間絶縁膜 12 およびゲート絶縁膜 8 がパターンニングされることにより、層間絶縁膜 12 およびゲート絶縁膜 8 に、ソース領域 10 を露出させるコンタクトホール 13 が形成される。

次いで、図 2 O に示すように、スパッタ法、蒸着法などの方法により、オーミックメタル 16 およびソースメタル 15 が順に堆積されて、ソース領域 10 およびボディコンタクト領域 11 にソース電極 14 が接続される。

【0043】

次いで、図 2 P に示すように、スパッタ法、蒸着法などの方法により、SiC 基板 2 の裏面 22 にドレイン電極 17 の材料が堆積されて、高カーボン濃度 SiC 層 3 の表面にドレイン電極 17 が接合される。

以上の工程を経て、図 1 に示す半導体装置 1 が得られる。

以上のように、半導体装置 1 によれば、SiC 基板 2 の裏面 22 に対して、ドレイン電極 17 が直接接合されているので、SiC 基板 2 とドレイン電極 17 との間にシリサイド層やカーボン層が介在されていない。そのため、SiC 基板 2 とドレイン電極 17 との間の層剥がれを防止することができる。その結果、SiC 基板 2 に対するドレイン電極 17 の接続信頼性を向上させることができる。

【0044】

また、SiC 基板 2 の裏面 22 側の表層部分には、表面 21 側の表層部分よりもカーボンが高濃度に含まれる SiC からなる層（高カーボン濃度 SiC 層 3）が形成されている。そのため、シリサイド層を介して SiC とメタルとを接合させる場合と同様に、SiC 基板 2 に対してドレイン電極 17 をオーミック接合させることができる。

また、SiC 基板 2 の N 型不純物濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 以上であるので、SiC 基板 2 に対して、ドレイン電極 17 を低い抵抗値で良好にオーミック接合することができる。

【0045】

そして、この半導体装置 1 を製造する方法によれば、SiC 基板 2 の裏面 22 側の表層部分に高カーボン濃度 SiC 層 3 が形成され、裏面 22 にドレイン電極 17 の材料が堆積されることにより、高カーボン濃度 SiC 層 3 の表面にドレイン電極 17 が直接接合される。SiC 基板 2 の裏面 22 上にシリサイド層を形成しないので、シリサイド層上のカーボン層を除去するための工程を実行する必要がない。そのため、工程数の増加を抑制することができる。その結果、製造コストの増加を抑制することができる。

【0046】

また、熱処理を 1400 以上の温度条件で行なうので、SiC 中の Si 原子を SiC 基板 2 の裏面 22 側（カーボン面側）から効率よく昇華させることができる。また、1400 以上の熱処理工程中に、高カーボン濃度 SiC 層 3 の形成と並行して、注入された N 型および P 型不純物を活性化させることができる。熱処理工程と活性化工程とを 1 工程に集約することができるので、工程数を低減することができる。その結果、製造コストを低減することができる。さらには、活性化後の不純物領域（たとえば、ボディ領域 6、ソース領域 10、ボディコンタクト領域 11 など）が高温下に晒されることを防止できるので、半導体装置 1 のデバイス特性を安定化させることができる。

【0047】

10

20

30

40

50

図3は、本発明の第2実施形態に係る半導体装置（プレーナゲート型VDMOSFET）の模式的な断面図である。

半導体装置51は、プレーナゲート型VDMOSFETの単位セルが複数配置された構造を有している。なお、図3では、複数の単位セルのうちの一部が示されている。

半導体装置51は、その基体をなす半導体基板としてのSiC基板52を備えている。SiC基板52には、N型不純物が高濃度にドーピングされており、そのN型不純物濃度は、たとえば、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上、好ましくは、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。SiC基板52は、その表面521（他方面）がSi（シリコン）面であり、その裏面522（一方面）がC（カーボン）面である。また、SiC基板52の厚さは、たとえば、 $100 \mu\text{m} \sim 400 \mu\text{m}$ である。

10

【0048】

SiC基板52の裏面522側の表層部分には、表面521側の表層部分よりもカーボンが高濃度に含まれるSiCからなる層（高カーボン濃度SiC層53）が形成されている。

高カーボン濃度SiC層53における、CとSiとの組成比（C/Si）は、1s軌道におけるC（C1s）と2s軌道におけるSi（Si2s）との組成比（C1s/Si2s）が、たとえば、1.1~1.2であり、好ましくは、1.15~1.2である。また、C1sと2p軌道におけるSi（Si2p）との組成比（C1s/Si2p）が、たとえば、1.2~1.4であり、好ましくは、1.2~1.25である。

20

【0049】

上記範囲の組成比を有する高カーボン濃度SiC層53は、たとえば、SiC固有の結合エネルギーよりも高い結合エネルギーを有する高エネルギー層であり、XPS（X-ray Photoelectron Spectroscopy：X線光電子分光）により分析されたSi-2s軌道、Si-2p軌道およびC-1s軌道のピークが、SiC基板52における高カーボン濃度SiC層53を除く部分（たとえば、表面521側の表層部分）の当該ピーク（SiC固有のピーク）を基準として高結合エネルギー側に、たとえば、 $0.2 \text{ eV} \sim 1 \text{ eV}$ 、好ましくは、 $0.4 \text{ eV} \sim 0.6 \text{ eV}$ シフトしている。

【0050】

また、高カーボン濃度SiC層53の厚さは、たとえば、SiC基板52の厚さの $2.5 \times 10^{-4} \% \sim 1 \times 10^{-2} \%$ 程度、具体的には、たとえば、 $1 \text{ nm} \sim 10 \text{ nm}$ である。

30

SiC基板52の表面521には、SiC基板52よりもN型不純物が低濃度にドーピングされたSiCからなる、N⁻型のエピタキシャル層54が積層されている。Si面である表面521上に形成されるエピタキシャル層54は、Si面を成長主面として成長する。したがって、エピタキシャル層54の表面541は、Si面である。

【0051】

エピタキシャル層54におけるSi面側の部分（表層部）とは反対のC面側の部分（基層部）は、その全域がエピタキシャル成長後のままの状態が維持された、N⁻型のドレイン領域55をなしている。ドレイン領域55のN型不純物濃度は、たとえば、 $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ である。

40

一方、エピタキシャル層54の表層部には、P型のボディ領域（ウェル領域）56が複数形成されている。複数のボディ領域56は、たとえば、平面視四角形状（略正方形）をなし、マトリクス状に配列されている。各ボディ領域56は、ドレイン領域55に接している。ボディ領域56のP型不純物濃度は、たとえば、 $1 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ である。なお、複数のボディ領域56は、互いに平行に延びるストライプ状に配列されていてもよい。

【0052】

各ボディ領域56の表層部には、N⁺型のソース領域60がボディ領域56の周縁と間隔を空けて形成されている。ソース領域60は、ドレイン領域55のN型不純物濃度よりも高く、N型不純物が高濃度にドーピングされた領域である。ソース領域60のN型不純

50

物濃度は、たとえば、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。

各ソース領域 60 の内側には、ボディ領域 56 よりも P 型不純物が高濃度にドーピングされた P⁺ 型のボディコンタクト領域 61 が形成されている。各ボディコンタクト領域 61 は、ソース領域 60 を深さ方向に貫通して形成されている。ボディコンタクト領域 61 は、ボディ領域 56 の P 型不純物濃度よりも高く、P 型不純物が高濃度にドーピングされた領域である。ボディコンタクト領域 61 の P 型不純物濃度は、たとえば、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。

【0053】

エピタキシャル層 54 の表面 541 には、 SiO_2 からなるゲート絶縁膜 58 が形成されている。ゲート絶縁膜 58 は、隣り合うボディ領域 56 の間に跨っていて、ボディ領域 56 におけるソース領域 60 を取り囲む部分（ボディ領域 56 の周縁部）およびソース領域 60 の外周縁を覆っている。

ゲート絶縁膜 58 上には、ゲート電極 59 が形成されている。ゲート電極 59 は、格子状のゲート絶縁膜 58 に沿って格子状に形成されていて、ゲート絶縁膜 58 を挟んで各ボディ領域 56 の周縁部に対向している。ゲート電極 59 は、たとえば、N 型不純物がドーピングされたポリシリコンからなる。

【0054】

エピタキシャル層 54 上には、 SiO_2 からなる層間絶縁膜 62 が積層されている。この層間絶縁膜 62 に形成されたコンタクトホール 63 を介して、ソース電極 64 がソース領域 60 およびボディコンタクト領域 61 に接続されている。ソース電極 64 は、たとえば、Al を主成分として含む金属材料からなるソースメタル 65 と、このソースメタル 65 の下層に形成された、Ni からなるオーミックメタル 66 とを含んでいる。

【0055】

SiC 基板 52 の裏面 522 には、メタル層としてのドレイン電極 67 が形成されている。ドレイン電極 67 は、高カーボン濃度 SiC 層 53 に直接接合されている。ドレイン電極 67 は、たとえば、チタン層 (Ti)、ニッケル層 (Ni) および銀層 (Ag) が順に積層された積層構造 (Ti/Ni/Ag)、この Ti/Ni/Ag 積層構造にさらに金層 (Au) が積層された積層構造 (Ti/Ni/Ag/Au)、チタン層 (Ti)、ニッケル層 (Ni) およびアルミニウム層 (Al) が順に積層された積層構造 (Ti/Ni/Al) などにより形成することができる。

【0056】

ソース電極 64 とドレイン電極 67 との間（ソース - ドレイン間）に所定の電位差を発生させた状態で、ゲート電極 59 に所定の電圧（ゲート閾値電圧以上の電圧）が印加されることにより、ゲート電極 59 からの電界によりボディ領域 56 におけるゲート絶縁膜 58 との界面近傍にチャンネルが形成される。これにより、ソース電極 64 とドレイン電極 67 との間に電流が流れ、VDMOSFET がオン状態となる。

【0057】

なお、この実施形態では、ボディ領域 56、ゲート絶縁膜 58 およびゲート電極 59 が上位の概念としてのゲートを構成している。また、ソース領域 60 およびソース電極 64 が上位の概念としてのソースを構成している。また、SiC 基板 52、ドレイン領域 55 およびドレイン電極 67 が上位の概念としてのドレインを構成している。

そして、この半導体装置 51 の構造によっても、半導体装置 1 と同様に、SiC 基板 52 の裏面 522 に対して、ドレイン電極 67 が直接接合されているので、SiC 基板 52 とドレイン電極 67 との間にシリサイド層やカーボン層が介在されていない。そのため、SiC 基板 52 とドレイン電極 67 との間の層剥がれを防止することができる。その結果、SiC 基板 52 に対するドレイン電極 67 の接続信頼性を向上させることができる。

【0058】

また、SiC 基板 52 の裏面 522 側の表層部分には、表面 521 側の表層部分よりもカーボンが高濃度に含まれる SiC からなる層（高カーボン濃度 SiC 層 53）が形成されている。そのため、シリサイド層を介して SiC とメタルとを接合させる場合と同様に

10

20

30

40

50

、SiC基板52に対してドレイン電極67をオーミック接合させることができる。

なお、半導体装置51を製造するには、まず、図2A～図2Dに示す工程に倣って、エピタキシャル層54における、ボディ領域56、ソース領域60およびボディコンタクト領域61を形成すべき領域に不純物をインプランテーションする。次いで、図2Eに示す工程に倣って、SiC基板52を加熱炉27に搬入し、SiC基板52を熱処理する。これにより、高カーボン濃度SiC層53が形成されると同時に、ボディ領域56、ソース領域60およびボディコンタクト領域61が形成される。その後は、図2Fおよび図2Gに示す工程を経た後、ゲート電極59、ソース電極64およびドレイン電極67などを形成すればよい。

【0059】

この半導体装置51を製造する際にも、半導体装置1の製造工程による作用効果と同様の作用効果を発揮することができる。

すなわち、SiC基板52の裏面522上にシリサイド層を形成しないので、シリサイド層上のカーボン層を除去するための工程を実行する必要がない。そのため、工程数の増加を抑制することができる。

【0060】

また、SiC基板52の熱処理を1400以上の温度条件で行うので、SiC中のSi原子をSiC基板52の裏面522側(カーボン面側)から効率よく昇華させることができる。また、1400以上の熱処理工程中に、高カーボン濃度SiC層53の形成と並行して、注入されたN型およびP型不純物を活性化させることができる。熱処理工程と活性化工程とを1工程に集約することができるので、工程数を低減することができる。さらには、活性化後の不純物領域(たとえば、ボディ領域56、ソース領域60、ボディコンタクト領域61など)が高温下に晒されることを防止できるので、半導体装置51のデバイス特性を安定化させることができる。

【0061】

図4は、本発明の第3実施形態に係るショットキーバリアダイオードの模式的な断面図である。

半導体装置としてのショットキーバリアダイオード71は、その基体をなす半導体基板としてのSiC基板72を備えている。SiC基板72には、N型不純物が高濃度にドーピングされており、そのN型不純物濃度は、たとえば、 $1 \times 10^{17} \text{ cm}^{-3}$ 以上、好ましくは、 $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ である。SiC基板72は、その表面721(他方面)がSi(シリコン)面であり、その裏面722(一方面)がC(カーボン)面である。また、SiC基板72の厚さは、たとえば、 $100 \mu\text{m} \sim 400 \mu\text{m}$ である。

【0062】

SiC基板72の裏面722側の表層部分には、表面721側の表層部分よりもカーボンが高濃度に含まれるSiCからなる層(高カーボン濃度SiC層73)が形成されている。

高カーボン濃度SiC層73における、CとSiとの組成比(C/Si)は、1s軌道におけるC(C1s)と2s軌道におけるSi(Si2s)との組成比(C1s/Si2s)が、たとえば、1.1～1.2であり、好ましくは、1.15～1.2である。また、C1sと2p軌道におけるSi(Si2p)との組成比(C1s/Si2p)が、たとえば、1.2～1.4であり、好ましくは、1.2～1.25である。

【0063】

上記範囲の組成比を有する高カーボン濃度SiC層73は、たとえば、SiC固有の結合エネルギーよりも高い結合エネルギーを有する高エネルギー層であり、XPS(X-ray Photoelectron Spectroscopy: X線光電子分光)により分析されたSi-2s軌道、Si-2p軌道およびC-1s軌道のピークが、SiC基板72における高カーボン濃度SiC層73を除く部分(たとえば、表面721側の表層部分)の当該ピーク(SiC固有のピーク)を基準として高結合エネルギー側に、たとえば、 $0.2 \text{ eV} \sim 1 \text{ eV}$ 、好ましくは、0.

10

20

30

40

50

4 eV ~ 0.6 eVシフトしている。

【0064】

また、高カーボン濃度SiC層73の厚さは、たとえば、SiC基板72の厚さの $2.5 \times 10^{-4} \% \sim 1 \times 10^{-2} \%$ 程度、具体的には、たとえば、1 nm ~ 10 nmである。

SiC基板72の表面721には、SiC基板72よりもN型不純物が低濃度にドーピングされたSiCからなる、N⁻型のエピタキシャル層74が積層されている。Si面である表面721上に形成されるエピタキシャル層74は、Si面を成長主面として成長する。したがって、エピタキシャル層74の表面741は、Si面である。

【0065】

エピタキシャル層74の表面741には、酸化シリコン(SiO₂)からなるフィールド絶縁膜75が積層されている。フィールド絶縁膜75の厚さは、たとえば、5000 ~ 40000 である。なお、フィールド絶縁膜75は、窒化シリコン(SiN)など、他の絶縁物からなってもよい。

フィールド絶縁膜75には、エピタキシャル層74の中央部を露出させる開口76が形成されている。フィールド絶縁膜75上には、アノード電極77が形成されている。

【0066】

アノード電極77は、フィールド絶縁膜75の開口76内を埋め尽くし、フィールド絶縁膜75における開口76の周縁部78を上から覆うように、当該開口76の外方へフランジ状に張り出している。すなわち、フィールド絶縁膜75の周縁部78は、エピタキシャル層74およびアノード電極77により、全周にわたってその上下両側から挟まれている。

【0067】

アノード電極77は、たとえば、フィールド絶縁膜75の開口76内でエピタキシャル層74に接合されたショットキーメタル79と、このショットキーメタル79に積層されたコンタクトメタル80との2層構造を有している。

ショットキーメタル79は、N型のSiCとの接合によりショットキー接合を形成する金属(たとえば、Moなど)からなる。SiCに接合されるショットキーメタル79は、SiC半導体との間に、たとえば、0.5 eV ~ 2.5 eVの高さのショットキー障壁(電位障壁)を形成する。また、ショットキーメタル79の厚さは、この実施形態では、たとえば、0.1 μm ~ 1 μmである。

【0068】

コンタクトメタル80は、アノード電極77において、ショットキーバリアダイオード71の最表面に露出して、ボンディングワイヤなどが接合される部分である。コンタクトメタル80は、たとえば、Alからなる。コンタクトメタル80の厚さは、この実施形態では、ショットキーメタル79よりも大きく、たとえば、1 μm ~ 10 μmである。

また、エピタキシャル層74の表層部には、アノード電極77のショットキーメタル79に接するようにP型のJTE(Junction Termination Extension)構造81が形成されている。このJTE構造81は、フィールド絶縁膜75の開口76の内外に跨るように、当該開口76の輪郭に沿って形成されている。したがって、JTE構造81は、開口76の内方へ張り出し、開口76内のショットキーメタル79の外縁部82に接する内側部分83と、開口76の外方へ張り出し、フィールド絶縁膜75の周縁部78を挟んでアノード電極77(ショットキーメタル79)に対向する外側部分84とを有している。JTE構造81のP型不純物濃度は、内側部分83から外側部分84へ向かうに従って段階的に薄くなっている。すなわち、JTE構造81の内縁付近で不純物濃度が最も高く、JTE構造81の外縁付近で不純物濃度が最も低くなっている。なお、このJTE構造81は、P型不純物が一様な濃度でドーピングされたP型ガードリングであってもよい。

【0069】

SiC基板72の裏面722には、メタル層としてのカソード電極85が形成されている。カソード電極85は、高カーボン濃度SiC層73に直接接合されている。カソード

10

20

30

40

50

電極 85 は、たとえば、チタン層 (Ti)、ニッケル層 (Ni) および銀層 (Ag) が順に積層された積層構造 (Ti/Ni/Ag)、この Ti/Ni/Ag 積層構造にさらに金層 (Au) が積層された積層構造 (Ti/Ni/Ag/Au)、チタン層 (Ti)、ニッケル層 (Ni) およびアルミニウム層 (Al) が順に積層された積層構造 (Ti/Ni/Al) などにより形成することができる。

【0070】

そして、このショットキーバリアダイオード 71 の構造によっても、半導体装置 1 や半導体装置 51 と同様に、SiC 基板 72 の裏面 722 に対して、カソード電極 85 が直接接合されているので、SiC 基板 72 とカソード電極 85 との間にシリサイド層やカーボン層が介在されていない。そのため、SiC 基板 72 とカソード電極 85 との間の層剥がれを防止することができる。その結果、SiC 基板 72 に対するカソード電極 85 の接続信頼性を向上させることができる。

10

【0071】

また、SiC 基板 72 の裏面 722 側の表層部分には、表面 721 側の表層部分よりもカーボンが高濃度に含まれる SiC からなる層 (高カーボン濃度 SiC 層 73) が形成されている。そのため、シリサイド層を介して SiC とメタルとを接合させる場合と同様に、SiC 基板 72 に対してカソード電極 85 をオーミック接合させることができる。

なお、ショットキーバリアダイオード 71 を製造するには、まず、図 2A ~ 図 2D に示す工程に倣って、エピタキシャル層 74 における JTE 構造 81 を形成すべき領域に不純物を段階的にインプランテーションする。次いで、図 2E に示す工程に倣って、SiC 基板 72 を加熱炉 27 に搬入し、SiC 基板 72 を熱処理する。これにより、高カーボン濃度 SiC 層 73 が形成されると同時に、JTE 構造 81 が活性化する。その後は、図 2F および図 2G に示す工程を経た後、アノード電極 77 およびカソード電極 85 などを形成すればよい。カソード電極 85 は、図 2P に示すドレイン電極 17 の形成方法に倣って形成することができる。

20

【0072】

このショットキーバリアダイオード 71 を製造する際にも、半導体装置 1 の製造工程による作用効果と同様の作用効果を発揮することができる。

すなわち、SiC 基板 72 の裏面 722 上にシリサイド層を形成しないので、シリサイド層上のカーボン層を除去するための工程を実行する必要がない。そのため、工程数の増加を抑制することができる。

30

【0073】

また、SiC 基板 72 の熱処理を 1400 以上の温度条件で行うので、SiC 中の Si 原子を SiC 基板 72 の裏面 722 側 (カーボン面側) から効率よく昇華させることができる。また、1400 以上の熱処理工程中に、高カーボン濃度 SiC 層 73 の形成と並行して、注入された P 型不純物を活性化させることができる (JTE 構造 81 の形成)。熱処理工程と活性化工程とを 1 工程に集約することができるので、工程数を低減することができる。さらには、活性化後の不純物領域 (たとえば、JTE 構造 81) が高温下に晒されることを防止できるので、ショットキーバリアダイオード 71 の耐圧特性を安定化させることができる。

40

【0074】

以上、本発明の実施形態を説明したが、本発明は、他の形態で実施することもできる。

たとえば、図 1、図 3 および図 4 では、高カーボン濃度 SiC 層 3, 53, 73 のうち、各デバイス 1, 51, 71 において、ユニットセルやショットキー接合が形成されている活性領域の下方位置に形成された部分が表されているが、高カーボン濃度 SiC 層 3, 53, 73 は、活性領域を取り囲む周辺領域の下方位置に形成されていてもよい。

【0075】

たとえば、半導体装置 51 の変形例を示す図 5 では、SiC 基板 52 上には、ボディ領域 56、ゲート電極 59 などを含むユニットセルが形成された活性領域 68 が形成されており、この活性領域 68 を取り囲むように周辺領域 69 が形成されている。この周辺領域

50

69には、たとえば、活性領域68から間隔を開けてP型のガードリング70などが形成されている。そして、図5では、この周辺領域69の下方位置において、SiC基板52に高カーボン濃度SiC層53が形成されている。なお、ここでは図示を省略するが、半導体装置1およびショットキーバリアダイオード71についても、図5の半導体装置51と同様に、活性領域を取り囲む周辺領域の下方位置に高カーボン濃度SiC層3,73が形成されていてもよい。

【0076】

また、半導体装置1、半導体装置51およびショットキーバリアダイオード71の各半導体部分の導電型を反転した構成が採用されてもよい。すなわち、半導体装置1、半導体装置51およびショットキーバリアダイオード71において、P型の部分がN型であり、N型の部分がP型であってもよい。

また、SiC基板2,52,72の表面21,521,721および裏面22,522,722の結晶面を反転した構成が採用されてもよい。すなわち、SiC基板2,52,72において、表面21,521,721がC面であり、裏面22,522,722がSi面であってもよい。すなわち、SiC基板2,52,72のC面にデバイスを搭載する形態であってもよい。

【0077】

また、図2Fに示す工程において、加熱炉27に酸化ガスを導入しながら、1400以下で熱処理を行う場合には、図2Eに示す工程(不活性ガス+1400以上の熱処理)を省略してもよい。

また、前述の実施形態では、本発明におけるメタル層は、トレンチゲート型VDMOSFETのドレイン電極17、プレーナゲート型VDMOSFETのドレイン電極67およびショットキーバリアダイオード71のカソード電極85の形態で示されたが、たとえば、その他のMISFET、サイリスタ、バイポーラトランジスタ、絶縁ゲートバイポーラトランジスタ(IGBT)における不純物領域にコンタクトされる配線の形態に適用することもできる。

【0078】

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

【実施例】

【0079】

次に、本発明を実施例および比較例に基づいて説明するが、本発明は下記の実施例によって限定されるものではない。

<実施例1>

まず、ウエハ状のSiC基板(Cree社製)を高温炉に搬入し、不活性ガスを導入しながら1700で3分間、熱処理した。熱処理後、SiC基板を搬出した。次いで、SiC基板を熱酸化してSiC基板に酸化膜を形成し、その酸化膜を剥離した。次いで、スパッタ法により、SiC基板の表面(Si面)に、モリブデン(Mo)を堆積させることにより、表メタル層を形成した。次いで、スパッタ法により、SiC基板の裏面(C面)に、チタン(Ti)、ニッケル(Ni)および銀(Ag)を順に堆積させることにより、Ti/Ni/Ag積層構造からなる裏メタル層を形成した。次いで、SiC基板を1280μm角の個片に分割した。これにより、表メタル層とSiC基板とがショットキー接合してなるショットキーバリアダイオードを得た。

<比較例1>

まず、スパッタ法により、ウエハ状のSiC基板(Cree社製)の裏面(C面)に、ニッケル(Ni)を堆積させた。次いで、RTA(Rapid Thermal Annealing)法により、1000で2分間熱処理した。これにより、ニッケルをシリサイド化してニッケルシリサイド層を形成した。次いで、シリサイド化に伴って形成されたカーボン層を剥離した。次いで、スパッタ法により、SiC基板の表面(Si面)に、モリブデン(Mo)を堆積させることにより、表メタル層を形成した。次いで、実施例1と同様の方法により、ニ

10

20

30

40

50

ッケルシリサイド層の表面に、Ti/Ni/Ag積層構造からなる裏メタル層を形成した。次いで、SiC基板を1280 μ m角の個片に分割した。これにより、表メタル層とSiC基板とがショットキー接合してなるショットキーバリアダイオードを得た。

< 比較例 2 >

まず、スパッタ法により、ウエハ状のSiC基板(Cree社製)の表面(Si面)に、モリブデン(Mo)を堆積させることにより、表メタル層を形成した。次いで、実施例1と同様の方法により、SiC基板の裏面(C面)に、Ti/Ni/Ag積層構造からなる裏メタル層を形成した。次いで、SiC基板を1280 μ m角の個片に分割した。これにより、表メタル層とSiC基板とがショットキー接合してなるショットキーバリアダイオードを得た。

10

< 評価試験 >

(1) ショットキーバリアダイオードのI-V特性

実施例1および比較例1~2に係るショットキーバリアダイオードにおいて、表メタル層-裏メタル層間にバイアス電圧を印加したときのI-V特性を、パラメータアナライザを用いて測定した。結果を図6に示す。

【0080】

図6において、実施例1のI-V特性曲線と比較例1のI-V特性曲線とを比較すると、閾値電圧以上のバイアス電圧印加状態では、実施例1のショットキーバリアダイオードが、比較例1のショットキーバリアダイオードとほぼ同等の電流を流すことが可能である。これにより、裏メタル層とSiC基板との接合に関して、実施例1は、比較例1と同程度に低いコンタクト抵抗のオーミック接合であることが確認された。

20

【0081】

一方、比較例2のショットキーバリアダイオードの電流値は、閾値電圧以上のバイアス電圧印加状態においても、実施例1および比較例1に比べて非常に低いことが確認された。

(2) XPS波形およびCとSiとの組成比

実施例1および比較例1~2において、表メタル層を形成する前のSiC基板のSiおよびCの組成を、XPS(X線光電子分光法)により測定した。

【0082】

C1s、Si2sおよびSi2pのそれぞれおける結合エネルギーの強度分布を図7~図9に示す。また、C1s、Si2sおよびSi2pのそれぞれにおける結合エネルギーのピーク位置を図10~図12に示す。また、組成比C1s/Si2sおよびC1s/Si2pを、図13~図14に示す。なお、図7~図9において、横軸は結合エネルギーに対応し、縦軸はスペクトルの強度(arb. unit(arbitrary unit):任意単位)に対応する。

30

【0083】

図7~図12において、実施例1および比較例1~2のそれぞれにおける、C1s、Si2sおよびSi2pの結合エネルギーの強度分布およびピーク位置を比較すると、実施例1のピーク位置が、SiC固有の結合エネルギーのピークである比較例2のピーク位置に対して高エネルギー側にシフトし、比較例1とほぼ同じであることが確認された。また、そのピーク位置において、実施例1のスペクトル強度が、比較例1よりも大きいことが確認された。

40

【0084】

そして、実施例1では、RTA処理、シリサイド化およびカーボン層の剥離といった工程数の多い比較例1のようなプロセスを実行することなく、不活性ガス雰囲気下、1700での熱処理といった簡単なプロセスを実行することによって、図13および図14に示すように、良好なCとSiとの組成比を有する高カーボン濃度SiC層を形成できることが確認された。

(3) 層剥がれの有無

実施例1および比較例1~2に係るショットキーバリアダイオードの裏メタル層に対して、走査型電子顕微鏡(Scanning Electron Microscope:SEM)を用いて電子線を走査し

50

た。電子線走査によって検出された情報を画像処理してSEM画像を得た。

【0085】

このSEM画像を視認することにより、各裏メタル層における層剥がれの有無を確認したところ、実施例1では層剥がれが確認できなかった。

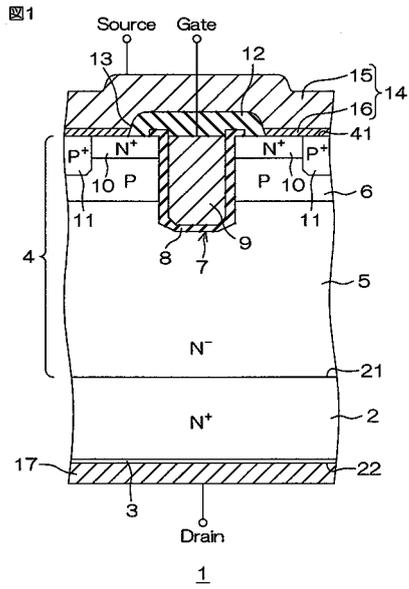
一方、比較例1では、ニッケルシリサイド層と裏メタル層との間に、層剥がれが明確に確認された。また、比較例2では、SiC基板と裏メタル層との間に、層剥がれが明確に確認された。

【符号の説明】

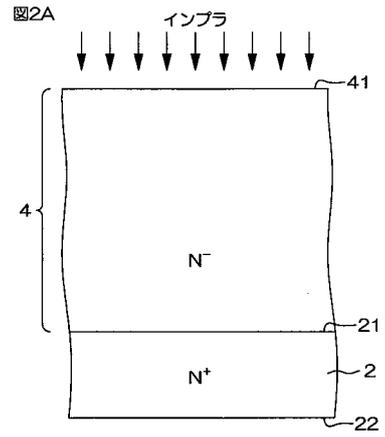
【0086】

1	半導体装置	10
2	SiC基板	
3	高カーボン濃度SiC層	
4	エピタキシャル層	
5	ドレイン領域	
6	ボディ領域	
7	ゲートトレンチ	
8	ゲート絶縁膜	
9	ゲート電極	
10	ソース領域	
14	ソース電極	20
17	ドレイン電極	
22	(SiC基板の)裏面	
29	酸化膜	
51	半導体装置	
52	SiC基板	
53	高カーボン濃度SiC層	
54	エピタキシャル層	
55	ドレイン領域	
56	ボディ領域	
58	ゲート絶縁膜	30
59	ゲート電極	
60	ソース領域	
64	ソース電極	
67	ドレイン電極	
71	ショットキーバリアダイオード	
72	SiC基板	
73	高カーボン濃度SiC層	
74	エピタキシャル層	
85	カソード電極	
522	(SiC基板の)裏面	40
722	(SiC基板の)裏面	

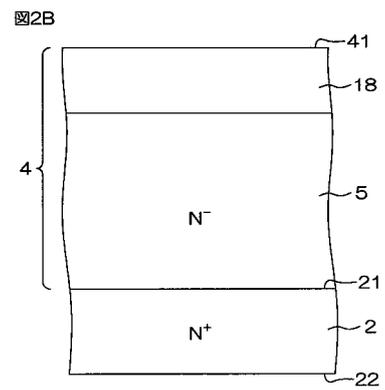
【 図 1 】



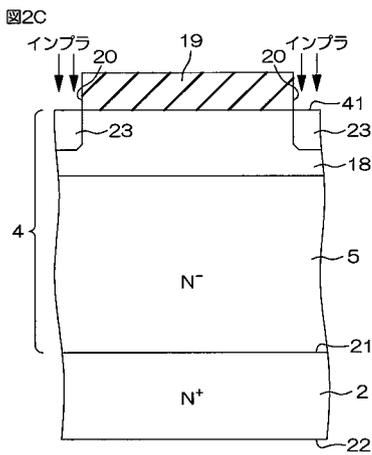
【 図 2 A 】



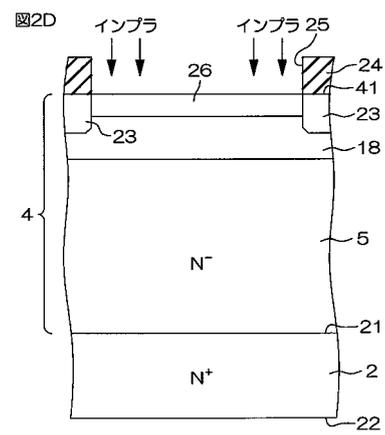
【 図 2 B 】



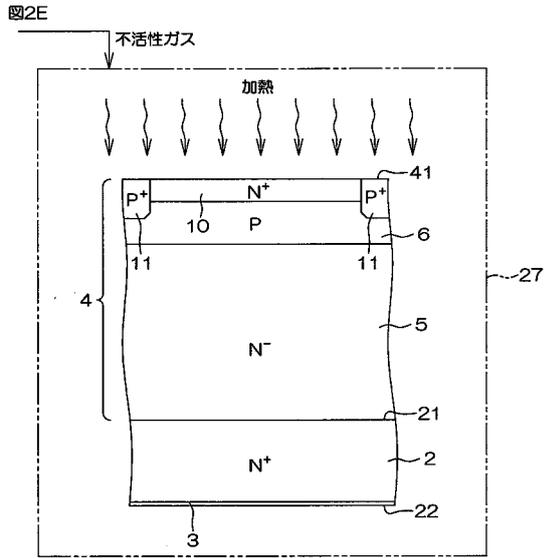
【 図 2 C 】



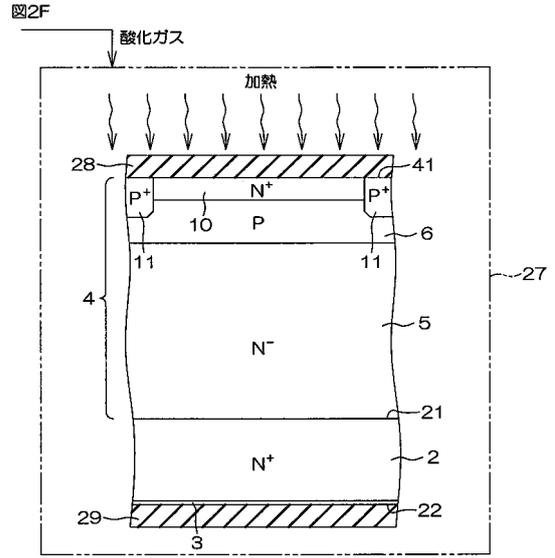
【 図 2 D 】



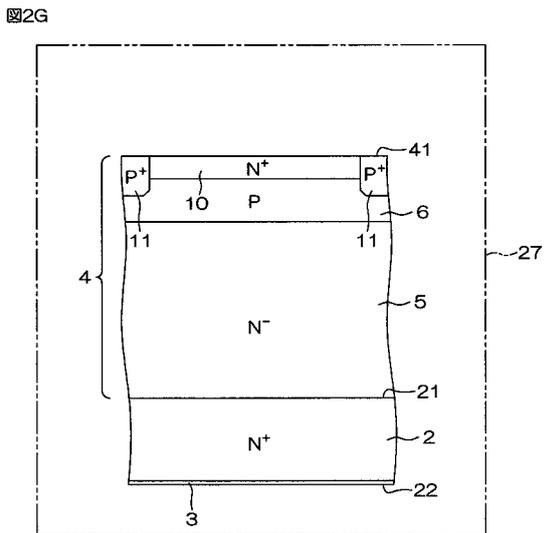
【図 2 E】



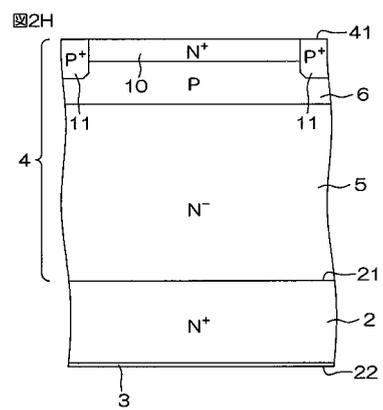
【図 2 F】



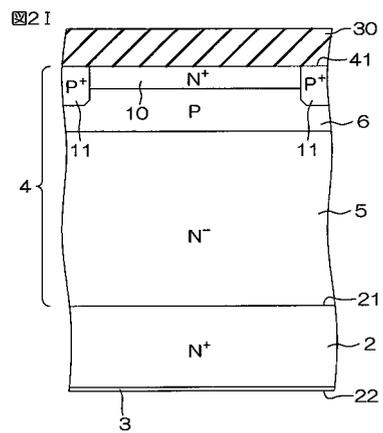
【図 2 G】



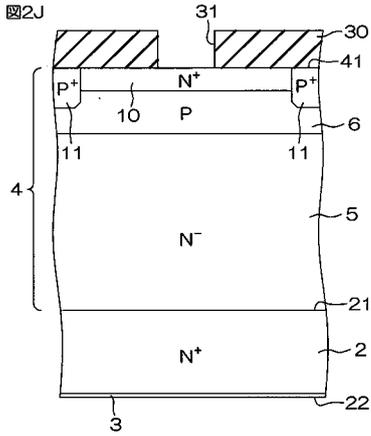
【図 2 H】



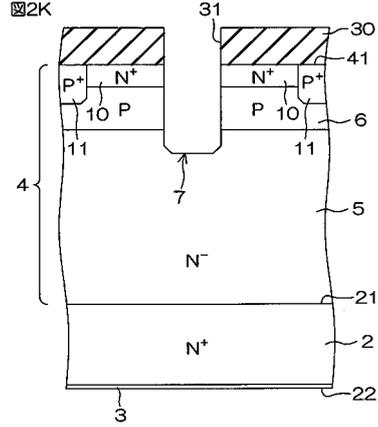
【図 2 I】



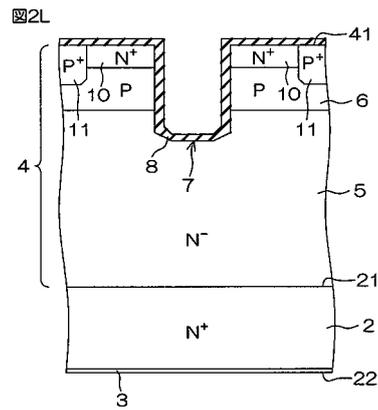
【 図 2 J 】



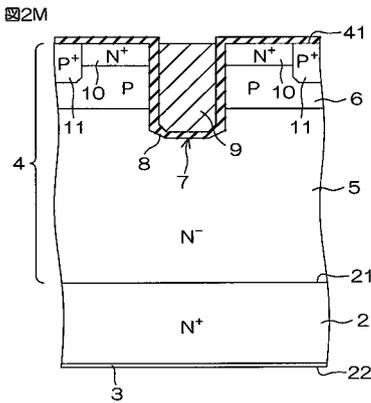
【 図 2 K 】



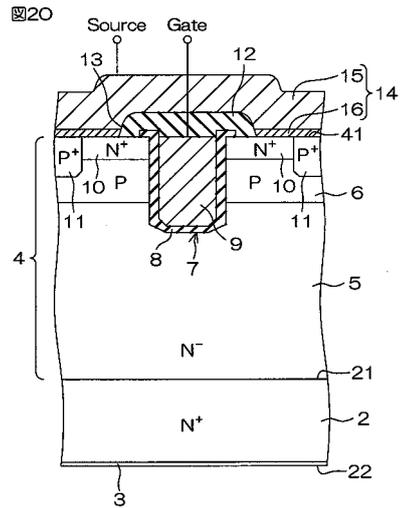
【 図 2 L 】



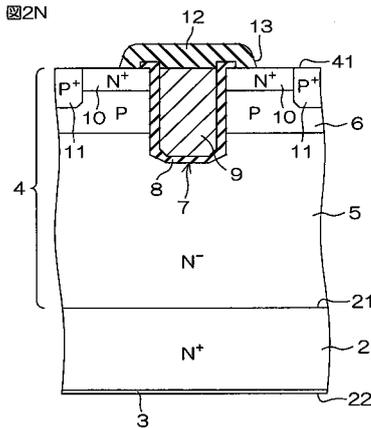
【 図 2 M 】



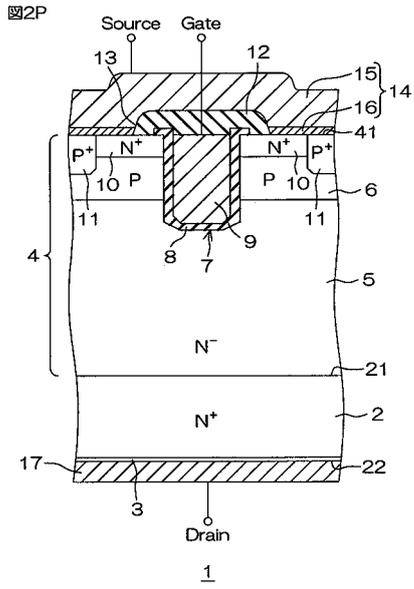
【 図 2 O 】



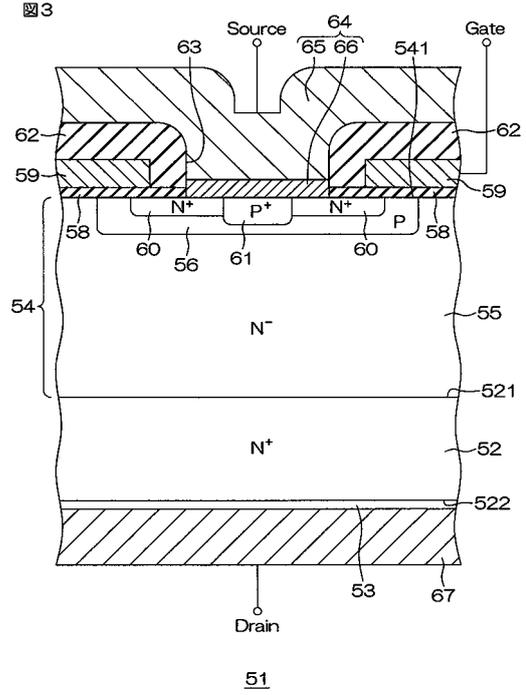
【 図 2 N 】



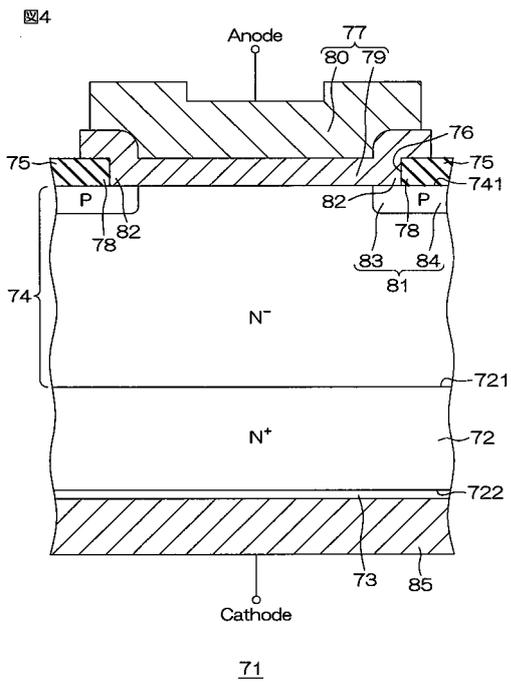
【 図 2 P 】



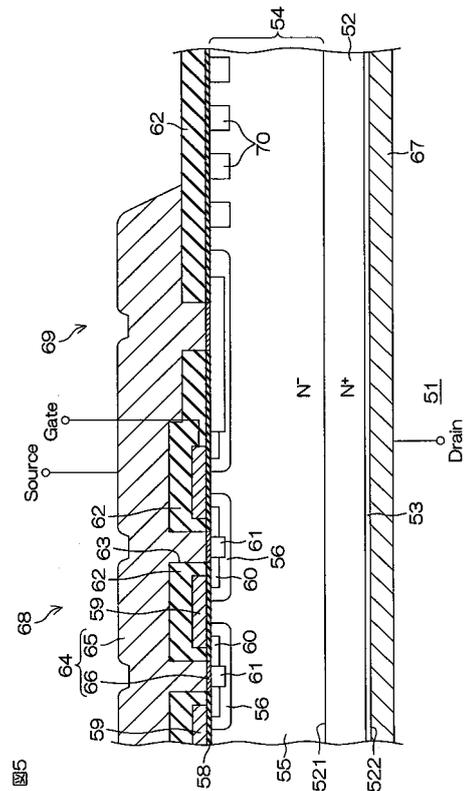
【 図 3 】



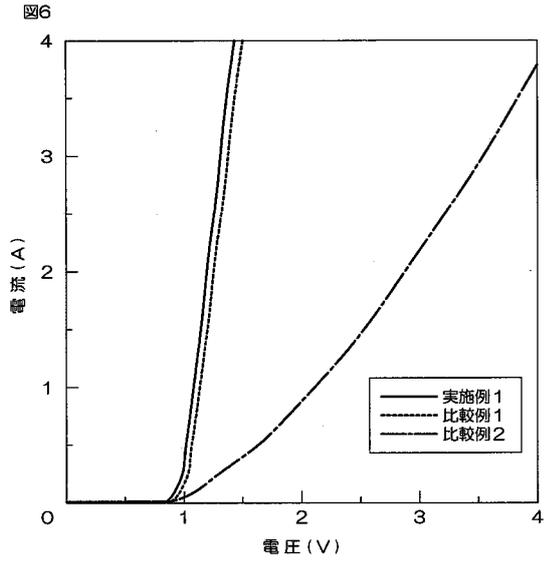
【 図 4 】



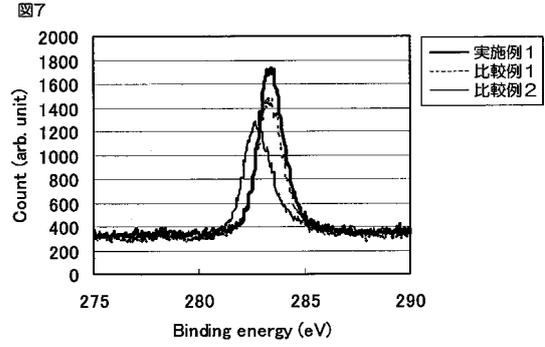
【 図 5 】



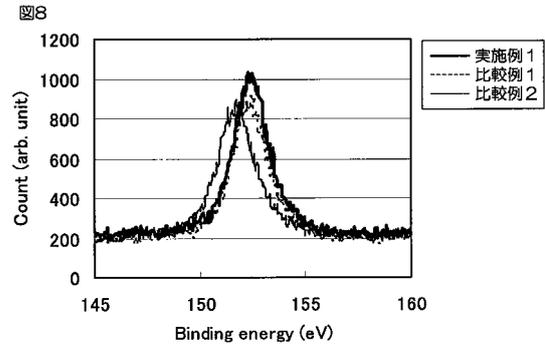
【 図 6 】



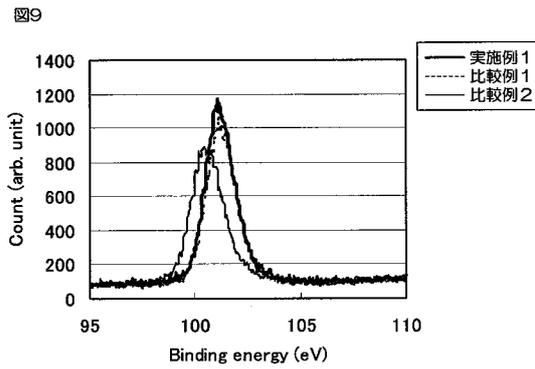
【 図 7 】



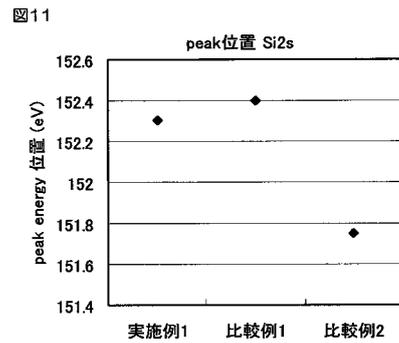
【 図 8 】



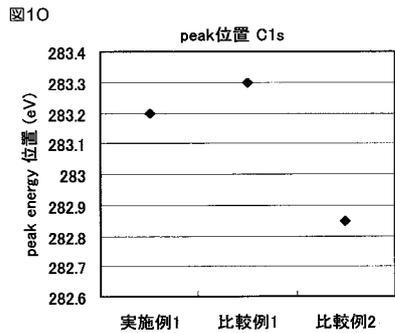
【 図 9 】



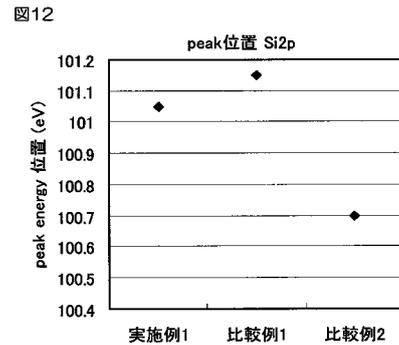
【 図 1 1 】



【 図 1 0 】

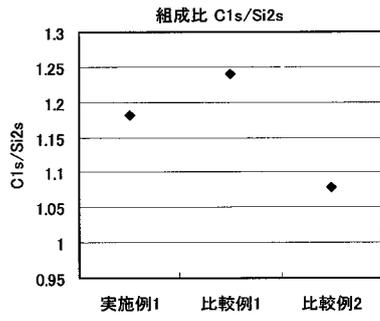


【 図 1 2 】



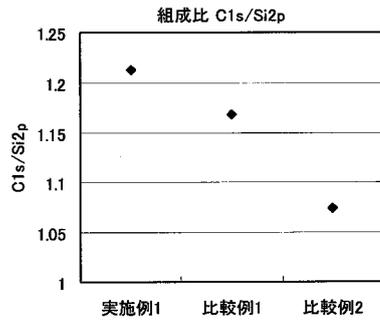
【 図 1 3 】

図13



【 図 1 4 】

図14



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<i>H 0 1 L 21/336 (2006.01)</i>	H 0 1 L 29/78	6 5 2 D
<i>H 0 1 L 29/06 (2006.01)</i>	H 0 1 L 29/78	6 5 2 M
	H 0 1 L 29/78	6 5 2 T
	H 0 1 L 29/78	6 5 8 A
	H 0 1 L 29/78	6 5 2 L
	H 0 1 L 29/78	6 5 2 P