

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3713118号

(P3713118)

(45) 発行日 平成17年11月2日(2005.11.2)

(24) 登録日 平成17年8月26日(2005.8.26)

(51) Int. Cl.⁷

H01L 33/00

F I

H01L 33/00

請求項の数 7 (全 8 頁)

(21) 出願番号	特願平9-48854	(73) 特許権者	000116024 ローム株式会社 京都府京都市右京区西院溝崎町2 1 番地
(22) 出願日	平成9年3月4日(1997.3.4)	(74) 代理人	100098464 弁理士 河村 洸
(65) 公開番号	特開平10-247744	(72) 発明者	筒井 毅 京都市右京区西院溝崎町2 1 番地 ローム 株式会社内
(43) 公開日	平成10年9月14日(1998.9.14)	(72) 発明者	中田 俊次 京都市右京区西院溝崎町2 1 番地 ローム 株式会社内
審査請求日	平成15年4月14日(2003.4.14)	(72) 発明者	尺田 幸男 京都市右京区西院溝崎町2 1 番地 ローム 株式会社内

最終頁に続く

(54) 【発明の名称】 半導体発光素子の製法

(57) 【特許請求の範囲】

【請求項 1】

基板上に該基板と接して、この上に積層する半導体層を成長する温度より低い温度で形成する低温バッファ層を設け、該低温バッファ層上に第1導電形半導体層および第2導電形の半導体層を含む半導体層を成長して積層する半導体発光素子の製法であって、前記低温バッファ層、ならびに前記第1導電形半導体層および第2導電形半導体層を含む半導体層をチッ化ガリウム系化合物半導体により形成し、600～1000 で半導体を堆積することにより起伏部を形成し、引き続き400～600 で半導体を堆積することにより前記低温バッファ層を形成する半導体発光素子の製法。

【請求項 2】

前記低温バッファ層上に設けられる半導体層を、該半導体層を構成する半導体材料により、まず800～1000 で成長し始めることにより起伏部を形成し、その後成長温度を600～800 に下げて前記半導体層を成長する請求項1記載の半導体発光素子の製法。

【請求項 3】

基板上に、この上に積層する半導体層を成長する温度より低い温度で形成する低温バッファ層を設け、該低温バッファ層上に第1導電形半導体層を成長し、該第1導電形の半導体層上に第2導電形の半導体層を含む半導体層を積層する半導体発光素子の製法であって、前記低温バッファ層、ならびに前記第1導電形半導体層および第2導電形半導体層を含む半導体層をチッ化ガリウム系化合物半導体により形成し、前記第1導電形半導体層を、

10

20

該第1導電形半導体層を構成する半導体材料により、まず800～1000で成長し始めることにより起伏部を形成し、その後成長温度を600～800に下げて前記半導体層を成長することにより形成する半導体発光素子の製法。

【請求項4】

基板上に、この上に積層する半導体層を成長する温度より低い温度で形成する低温バッファ層を設け、該低温バッファ層上に第1導電形半導体層を成長し、該第1導電形の半導体層上に第2導電形の半導体層を含む半導体層を積層する半導体発光素子の製法であって、前記第1導電形半導体層を、該第1導電形半導体層を構成する半導体材料により高さが40～50nm、ピッチが70～80nmの起伏部を形成してから半導体層を成長することにより形成する半導体発光素子の製法。

10

【請求項5】

前記積層される半導体層の下層と上層との境界部に、該下層の組成から順次上層の組成に近づくように上層の組成の反応ガスの流量を連続的にまたは段階的に多くしながら前記下層の組成から上層の組成に近い組成となる勾配層を形成する請求項1ないし4のいずれか1項記載の半導体発光素子の製法。

【請求項6】

前記上層の組成の反応ガスの流量を順次多くすると共に、または該流量を変化させないで、反応温度を変化させることにより前記勾配層を形成する請求項4記載の半導体発光素子の製法。

【請求項7】

20

基板上に該基板と接して、この上に積層する半導体層を成長する温度より低い温度で形成する低温バッファ層を設け、該低温バッファ層上に第1導電形半導体層および第2導電形の半導体層を含む半導体層を成長して積層する半導体発光素子の製法であって、前記低温バッファ層を、該低温バッファ層を構成する半導体材料により、高さが40～50nm、ピッチが70～80nmの起伏部を形成してから半導体層を堆積することにより形成する半導体発光素子の製法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は基板上に、格子定数が異なる半導体層が多層に積層されて発光層を形成する半導体発光素子の製法に関する。さらに詳しくは、積層される半導体層の結晶格子のズレの影響を小さくし、発光特性を向上させる半導体発光素子の製法に関する。

30

【0002】

【従来の技術】

従来、たとえば青色系（紫外線から黄色）の光を発光するチツ化ガリウム系化合物半導体を用いた半導体発光素子は、図4に示されるような構造になっている。すなわち、サファイア基板21上にたとえばGaNからなる低温バッファ層22と、高温でn形のGaNがエピタキシャル成長されるn形層（クラッド層）23と、バンドギャップエネルギーがクラッド層のそれよりも小さく発光波長を定める材料、たとえばInGaN系（InとGaの比率が種々変わり得ることを意味する、以下同じ）化合物半導体からなる活性層（発光層）24と、p形のAlGaN系（AlとGaの比率が種々変わり得ることを意味する、以下同じ）化合物半導体層25aおよびGaN層25bからなるp形層（クラッド層）25とからなり、その表面にp側（上部）電極28が設けられ、積層される半導体層の一部がエッチングされて露出するn形層23の表面にn側（下部）電極29が設けられることにより形成されている。なお、n形層23もp形層25と同様に、キャリアの閉じ込め効果を向上させるため、活性層23側にAlGaN系化合物半導体層が用いられることもある。

40

【0003】

【発明が解決しようとする課題】

前述のように、従来のチツ化ガリウム系化合物半導体を用いた青色系の半導体発光素子は

50

、サファイア基板上にGaN、AlGa_nN系化合物半導体、およびInGa_nN系化合物半導体がそれぞれ積み重なって積層されている。しかし、サファイアの格子定数は、4.76で、Ga_nNは3.18で、たとえばAl_{0.1}Ga_{0.9}Nは3.12で、たとえばIn_{0.05}Ga_{0.95}Nは3.198であり、これらの間の格子定数は一致していない。これらの格子定数の異なる半導体層が順次積層されると、それぞれの半導体層において、結晶格子のズレが生じやすく、電流が流れ難くなったり、結晶間に生じるクラックが発光層（活性層）にも延びて、発光効率が低下するという問題がある。とくにn形層は2～5μm程度と厚く形成され、しかも格子定数の差が大きいサファイア基板上に薄い低温バッファ層を介して設けられているため、結晶歪みが蓄積されやすく、一層結晶格子のズレが生じやすい。

10

【0004】

本発明はこのような問題を解決するためになされたもので、基板上に格子定数の異なる半導体層が順次積層される半導体発光素子において、結晶格子のズレを小さくし、キャリアの移動度を向上させて、発光効率の優れた半導体発光素子の製法を提供することを目的とする。

【0006】

【課題を解決するための手段】

本発明による半導体発光素子の製法は、基板上に該基板と接して、この上に積層する半導体層を成長する温度より低い温度で形成する低温バッファ層を設け、該低温バッファ層上に第1導電形半導体層および第2導電形の半導体層を含む半導体層を成長して積層する半導体発光素子の製法であって、前記低温バッファ層、ならびに前記第1導電形半導体層および第2導電形半導体層を含む半導体層をチツ化ガリウム系化合物半導体により形成し、600～1000で半導体を堆積することにより起伏部を形成し、引き続き400～600で半導体を堆積することにより前記低温バッファ層を形成することを特徴とする。

20

【0007】

また、前記低温バッファ層上に設けられる半導体層を、該半導体層を構成する半導体材料により、まず800～1000で成長し始めることにより起伏部を形成し、その後成長温度を600～800に下げて前記半導体層を成長することができる。

【0008】

ここにチツ化ガリウム系化合物半導体とは、III族元素のGaとV族元素のNとの化合物またはIII族元素のGaの一部がAl、Inなどの他のIII族元素と置換したものおよび/またはV族元素のNの一部がP、Asなどの他のV族元素と置換した化合物からなる半導体をいう。

30

【0009】

本発明による半導体発光素子の製法の他の形態は、基板上に、この上に積層する半導体層を成長する温度より低い温度で形成する低温バッファ層を設け、該低温バッファ層上に第1導電形半導体層を成長し、該第1導電形の半導体層上に第2導電形の半導体層を含む半導体層を積層する半導体発光素子の製法であって、前記第1導電形半導体層を、該第1導電形半導体層を構成する半導体材料により高さが40～50nm、ピッチが70～80nmの起伏部を形成してから半導体層を成長することにより形成するものである。

40

【0010】

前記積層される半導体層の下層と上層との境界部に、該下層の組成から順次上層の組成に近づくように上層の組成の反応ガスの流量を連続的に、または段階的に多くしながら前記下層の組成から上層の組成に近い組成となる勾配層を形成することが好ましく、また、前記上層の組成の反応ガスの流量を順次多くすると共に、または該流量を変化させないで、反応温度を変化させることもできる。Inの場合、流量より温度の変化の方が敏感であるため、温度変化の方がコントロールをしやすい。

【0011】

本発明による半導体発光素子の製法のさらに他の形態は、基板上に該基板と接して、こ

50

の上に積層する半導体層を成長する温度より低い温度で形成する低温バッファ層を設け、該低温バッファ層上に第1導電形半導体層および第2導電形の半導体層を含む半導体層を成長して積層する半導体発光素子の製法であって、前記低温バッファ層を、該低温バッファ層を構成する半導体材料により、高さが40～50nm、ピッチが70～80nmの起伏部を形成してから半導体層を堆積することにより形成するものである。

【0012】

【発明の実施の形態】

つぎに、図面を参照しながら本発明の半導体発光素子の製法について説明をする。図1には、たとえば青色系の発光に適したチツ化ガリウム系化合物半導体層がサファイア基板上に勾配層を介して半導体層が積層される半導体発光素子の断面説明図が示されている。 10

【0013】

この半導体発光素子は、図1に示されるように、たとえばサファイア(Al_2O_3 、単結晶)などからなる基板1の表面に発光領域を形成する半導体層2～5が積層されると共に、組成の異なる各半導体層の間にその組成が徐々に上層の組成に近づくように変化する勾配層13、14、15aがそれぞれ設けられている。そして、積層される半導体層の表面に拡散メタル層7を介してp側電極(上部電極)8が形成されると共に、積層される半導体層3～5、13～15bの一部が除去されて露出するn形層3にn側電極(下部電極)9が形成されている。

【0014】

基板1上に積層される半導体層は、たとえばGaNからなる低温バッファ層2が0.01～0.2 μm 程度堆積され、ついでn形のGaNからなるn形層(クラッド層)3が1～5 μm 程度堆積されている。このn形層3の表面に徐々にInの混晶比率が増えてつぎの活性層の組成に近くなるように変化した勾配層13が1～700nm程度設けられている。この組成を徐々に変化する勾配層13の成長法については、後で詳述する。 20

【0015】

勾配層13上に、バンドギャップエネルギーがクラッド層のそれよりも小さくなり、所望の発光波長により定まる材料、たとえば $In_xGa_{1-x}N$ ($0 < x < 1$ 、たとえば $x = 0.05$)からなる活性層4が0.005～0.3 μm 程度形成されている。さらにその表面に、その組成のInの混晶比率が減ってAlの混晶比率が徐々に増加し、p形層として使用されるAlGaN系化合物半導体の組成に近くなる組成に変化した勾配層14が1～700nm程度形成されている。 30

【0016】

勾配層14上に、AlGaN系化合物半導体層5aが0.1～0.5 μm 程度設けられ、その上に、Alの混晶比率が徐々に減ってGaNとなる勾配層15aが1～700nm程度と、GaN層5bが0.1～0.5 μm 程度とが、それぞれ順次積層されている。なお、前述の各勾配層の厚さは薄い方が好ましく、1～300nm程度、さらに好ましくは1～100nm程度がよい。

【0017】

なお、p形層5はGaN層5bとAlGaN系化合物半導体層5aとの複層になっているが、キャリアの閉じ込め効果の点からAlを含む層が活性層4側に設けられることが好ましいため、GaN層だけでもよい。また、n形層3にもAlGaN系化合物半導体層を設けて複層にしてもよく、またこれらを他のチツ化ガリウム系化合物半導体層で形成することもできる。また、活性層4として $In_pAl_qGa_{1-p-q}N$ ($0 < p < 1$ 、 $0 < q < 1$ 、 $0 < p + q < 1$)で表されるチツ化ガリウム系化合物半導体を用いることができる。 40

【0018】

この半導体発光素子では、以上のように、組成の異なる半導体層が積層されるヘテロ接合構造の接合部に、両者の組成間で順次組成が連続的に変化する勾配層が設けられていることに特徴がある。そのため、格子定数が大きく異なる半導体層が直接接触することがなく、格子定数が徐々に変化する層が重なる。その結果、急激な格子定数の変化を伴う半導 50

体層の積層がなくなり、結晶格子のズレが生じ難く、結晶性の優れた半導体層が得られる。一方、たとえば活性層4とn形層3との間には、その中間のバンドギャップエネルギーを有する勾配層13が介在されることになるが、この層は1~700nm程度と薄く、キャリアの閉じ込め効果に影響を及ぼすものではない。他の半導体層の間に設けられる勾配層についても同様であり、結晶格子の急激な変化を生ずる半導体層の積層はなく、結晶性の優れた半導体層が順次積層される。しかも、これらの勾配層は前述のように、光学特性的には何等の支障もなく、輝度が向上する半導体発光素子が得られる。

【0019】

図1に示される例では、勾配層13、14、15aが、その組成が下層の組成から上層の組成に連続的に変化する層であったが、隣接する層間の組成変化がそれ程大きくなければ結晶格子のズレは生じ難いため、図2に勾配層13の変形例が示されるように、その組成が段階的に変化する薄層の積層体により構成することもできる。この例では、GaNからなるn形層3から $In_{0.05}Ga_{0.95}N$ への変化をInの組成が0.005ずつ増加する薄層13a、13b・・・、13iをそれぞれ10nm程度ずつ9層程度積層された積層体からなっている。なお、n形層3がAlGaN系化合物半導体である場合は、前述のInの量を徐々に増やすと共に、Alの量を徐々に減らすことにより組成を順次変更する。活性層4とAlGaN系化合物半導体層5aとの間の勾配層14についても前述の逆の組成変化にすればよく、他の勾配層についても同様である。

【0020】

また、図1に示される例では、各ヘテロ接合の半導体層間に勾配層が設けられたが、すべてのヘテロ接合部に前述の勾配層が設けられる必要はなく、とくに格子定数の差が大きい半導体層間や、結晶特性がとくに問題となる活性層近傍の半導体層間に用いれば効果的である。

【0021】

つぎに、図1に示される半導体発光素子の製法について説明をする。

【0022】

有機金属化学気相成長法(MOCVD法)により、キャリアガスの H_2 と共にトリメチルガリウム(TMGa)、アンモニア(NH_3)などの反応ガスおよびn形にする場合のドーパントガスとしての SiH_4 などを供給して、まず、たとえばサファイアからなる基板1上に、たとえば400~600程度の低温で、GaN層からなる低温パuffers層2を0.01~0.2 μm 程度成膜する。

【0023】

ついで、たとえば600~1200程度の高温で前述の反応ガスにより、n形層3を1~5 μm 程度成長する。ついで、トリメチルインジウム(以下、TMInという)の流量を徐々に増やしてInの組成が徐々に活性層4の組成に近づくような勾配層13を1~300nm程度成長する。この場合、TMInの流量が一定でも反応温度が下がるとInの混晶比率が増加するため、流量を一定にしておいて、または流量の変化と共に反応温度を下げてInの組成を徐々に増加させてもよい。その後、ドーパントガスを止めて $In_xGa_{1-x}N$ からなる活性層4を0.05~0.3 μm 程度形成する。ついで、TMInの流量を徐々に減らし(またはTMInの流量はそのまま、反応温度を徐々に上昇させて)、トリメチルアルミニウム(以下、TMAという)の流量を増やしながらp形層5のAlGaN系化合物半導体の組成に近づくようにTMAの流量を増やして勾配層14を1~300nm程度成長する。

【0024】

その後、ドーパントガスをシクロペンタジエニルマグネシウム(Cp_2Mg)またはジメチル亜鉛(DMZn)にして、AlGaN系化合物半導体層5aを0.1~0.5 μm 程度成長し、ついでTMAの流量を徐々に減らして最終的にTMAの流量を0にして勾配層15aを1~300nm程度成長する。反応ガスをそのままにして成長を続け、GaNを0.1~0.5 μm 程度成長し、p形層5を全体として0.2~1 μm 程度形成する。

【0025】

10

20

30

40

50

その後、たとえばNiおよびAuを蒸着してシンターすることにより拡散メタル層7を5nm程度形成する。ついで、n側電極を形成するためn形層3が露出するように、積層された半導体層の一部をアルゴンガスなどの不活性ガスに塩素ガスなどの反応性ガスを混ぜて反応性イオンエッチングによりエッチングをし、電極金属を蒸着することにより、p側電極8およびn側電極9を形成する。その結果、図1に示される半導体発光素子が得られる。

【0026】

なお、前述の製法において、勾配層13、14、15aをそれぞれ薄層で形成する場合には、反応ガスの流量または反応温度を連続的に変化させないで、段階的に変化させることにより、組成が少しずつ変化する薄層の積層体を得ることができる。

10

【0027】

図3は本発明の半導体発光素子の製法により得られる半導体発光素子を示す断面説明図である。この例は、異なる半導体層を積層する新たな半導体層の成長初期に、表面状態の粗い起伏部を形成し、その上に半導体層を成長するものである。そうすることにより、その起伏部により結晶格子のズレが吸収されて、歪みが生じ難くなることが本発明者らにより見出された。この起伏部を設ける方法は、サファイア基板1と低温バッファ層2のように半導体層によりサファイア基板1の格子定数に合せることができない場合や、低温バッファ層2とn形層3のように、同じ組成の半導体層間でも成長温度が相当異なることによる結晶格子のズレが生じるような場合などに、とくに効果がある。しかし、他の半導体層間においても同様である。

20

【0028】

図3に示される例では低温バッファ層2またはn形層3を成長し始めるときに、まず表面粗さが大きい起伏部2a、3aを形成する。この起伏部2a、3aは、たとえばその高さHが40~50nmで、ピッチPが70~80μm程度に形成される。このような起伏部2a、3aを形成するには、その半導体層の通常の成長温度より高い温度で成長し始めることにより、前述のような起伏部2a、3aを形成することができる。たとえばサファイア基板1の表面に低温バッファ層2を形成する場合、通常400~600程度で成長するが、その成長の最初にまず600~1000程度で成膜することにより、前述の起伏部2aが形成される。その後、MOCVD装置内の温度を400~600程度に下げることにより、起伏部2aの窪んだ部分にも成膜され、その表面が平坦化される。また、n形層3の成長の始めに起伏部3aを形成するには、800~1000程度で成長し始めることにより、前述の起伏部3aが形成される。この後、成長温度を600~800程度に下げると、再度低温バッファ層の成長温度で低温バッファ層を成膜することにより、窪んだ部分にも成膜され、平坦な膜が成膜される。これらの起伏部2a、3aは、この後の通常のn形層3を積層する際に結晶化し、その起伏も解消されてくるが、結晶格子のズレの防止に寄与する。

30

【0029】

【発明の効果】

本発明によれば、格子定数がそれぞれ異なる半導体層が積層される半導体発光素子においても、その間に組成が順次変化する勾配層が設けられたり、起伏部が設けられることにより、各半導体層に格子歪みが生じなくて、キャリア移動度を向上させることができる。その結果、発光効率が向上し高特性の半導体発光素子が得られる。

40

【図面の簡単な説明】

【図1】 勾配層を介して半導体層を積層した半導体発光素子の断面説明図である。

【図2】 図1の勾配層部分の変形例を示す図である。

【図3】 本発明の半導体発光素子の製法を説明する図である。

【図4】 従来の半導体発光素子の一例の斜視説明図である。

フロントページの続き

- (72)発明者 園部 雅之
京都市右京区西院溝崎町2 1 番地 ローム株式会社内
- (72)発明者 伊藤 範和
京都市右京区西院溝崎町2 1 番地 ローム株式会社内

審査官 檀本 英吾

- (56)参考文献 特開平08 - 097503 (JP, A)
特開平08 - 236810 (JP, A)
特開平07 - 283141 (JP, A)
特開平08 - 203837 (JP, A)
特開平07 - 037826 (JP, A)
特開平09 - 266327 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
H01L 33/00
H01I21/223