

**發明專利說明書**

101 年 5 月 25 日修(更)正替換頁

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97118127

※ 申請日期：97.5.16

※IPC 分類：

一、發明名稱：(中文/英文)

積體電路製作方法/

Integrated-Circuit Fabrication Method

G06F 17/50 (2006.01)

H01L 21/00 (2006.01)

**公告本**

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

瑞昱半導體股份有限公司/

Realtek Semiconductor Corp.

代表人：(中文/英文)

葉南宏/YEH Nan-Hong

住居所或營業所地址：(中文/英文)

(30076)新竹科學工業園區創新二路 2 號/

No.2, Innovation Rd.II, Hsinchu Science Park Hsinchu 30076, Taiwan

國籍：(中文/英文)

中華民國/R.O.C.

三、發明人：(共 4 人)

姓名：(中文/英文)

1. 楊立平/YANG, Li-Ping

2. 陳碧成/CHEN, Pi-Cheng

3. 康漢彰/KANG, Han-Chang

4. 顏仁鴻/YAN, Ran-Hong

國籍：(中文/英文)

1.~4. 中華民國/R.O.C.

#### 四、聲明事項：

主張專利法第二十二條第二項  第一款或  第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

## 五、中文發明摘要：

一種積體電路製作方法，包含以下步驟：在複數個硬體單元整合繞線的 S 層電路佈局中，將同一硬體單元的電路繞線分佈於每層的相對相同位置；將每層的相對相同位置形成一聚集電路，並於其中的 C 層至少以一溝通繞線連接同一層的不同硬體單元的聚集電路；及將每個溝通繞線集中於其中 C 層的另一個相對相同位置，且 C 為小於 S 的正整數；其中，該另一個相對相同位置至少包含一切割道以上的寬度，且該切割道是否切割將決定所產生的晶粒數目以及每一晶粒所包含的硬體單元數目。

## 六、英文發明摘要：

An integrated-circuit fabrication method comprises: in S layers of circuit layouts in which a plurality of hardware units are routed, distributing circuit routings belonging to a hardware unit to the same relative position in all layers; forming an assembled circuit on the same relative position in all layers, and in each of C layers out of the S layers, connecting the assembled circuits of different hardware units by at least one connectable routing; and concentrating all connectable routings on another relative position of the C layers, and C is a positive integer less than S; wherein the another relative position includes at least a width larger than a scribe line, and whether the scribe line is cut decides the number of generated dies and the number of hardware units included by each die.

**七、指定代表圖：**

(一)本案指定代表圖為：第 ( 3 ) 圖。

(二)本代表圖之元件符號簡單說明：

1	晶粒	131	輸入輸出焊墊
11	模組	14	模組
111	輸入輸出焊墊	141	輸入輸出焊墊
12	模組	15	信號連接
121	輸入輸出焊墊	cut1	額外切割
13	模組		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 九、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種積體電路設計及佈局(Integrated Circuit Design and Layout)技術，特別是指一種具備光罩(mask)再利用性的積體電路製作方法。

### 【先前技術】

在許多系統應用中，經常會使用多個功能相似的硬體單元來增強工作效能。例如，通訊系統藉由增加接收器個數提升接收能力；電腦系統以多個處理器來加快運算速度並提高可承載運算能力。其中，各個系統所需硬體單元的數目隨應用層次和目的而不同。

習知用以提供不同硬體單元數目的方法有三：

第一種方法，是利用單一套光罩製作包含一硬體單元的晶粒(die)，然後依據實際應用將多個晶粒封裝(package)成包含期望硬體單元數目的晶片。如此雖可大幅降低光罩費用，但是硬體單元間的溝通將受限於每一晶粒的焊墊(pad)數目，且傳收速度也受影響。除此之外，封裝成本也將相對提高許多。

第二種方法，是針對每一需要不同硬體單元數目的用途，分別製作一套光罩來生產對應晶片(chip)。雖然硬體單元間的溝通較無虞，但是下單多套光罩並不符經濟效益。

第三種方法，是以一套光罩生產包含一硬體單元的晶片，然後視情況在印刷電路板(Printed Circuit Board，簡稱PCB)上設置期望數目的晶片。這樣的方法雖然可以簡化光

罩和封裝的下單，但是實際應用時硬體單元間的溝通仍會受到每一晶片的接腳(pin)的限制，且所費封裝成本也不低。

### 【發明內容】

因此，本發明之目的，即在提供一種可以降低光罩和封裝成本的積體電路製作方法，能重複利用光罩來生產複數種包含不同硬體單元數目的晶片，且不使硬體單元間的溝通受到過多限制。

於是，本發明積體電路製作方法包含以下步驟：在複數個硬體單元整合繞線的 S 層電路佈局中，將同一硬體單元的電路繞線分佈於每層的相對相同位置；將每層的相對相同位置形成一聚集電路，並於其中的 C 層至少以一溝通繞線連接同一層的不同硬體單元的聚集電路；及將每個溝通繞線集中於其中 C 層的另一個相對相同位置，且 C 為小於 S 的正整數；其中，該另一個相對相同位置至少包含一切割道以上的寬度，且該切割道是否切割將決定所產生的晶粒數目以及每一晶粒所包含的硬體單元數目。

### 【實施方式】

有關本發明之前述及其他技術內容、特點與功效，在以下配合參考圖式之二個較佳實施例的詳細說明中，將可清楚的呈現。

在本發明被詳細描述之前，要注意的是，在以下的說明內容中，類似的元件是以相同的編號來表示。

本發明積體電路製作方法之較佳實施例適用於生產複

數種包含不同硬體單元數目的晶片，且每一硬體單元皆可獨立或合併運作，例如：每一硬體單元可做為一無線通訊系統的接收器。主要原理在於先將複數個功能相似之硬體單元整合繞線(routing)在 S 層電路佈局(layout)中，然後經光罩製作和晶圓加工後，再將其切割並封裝成包含期望數目之硬體單元的晶片。

### 第一較佳實施例

請參閱圖 1，在電路佈局時，是使屬於同一硬體單元 unit1、unit2、unit3、unit4 的電路繞線分佈於該 S 層電路佈局的相對相同位置  $P_{unit1}$ 、 $P_{unit2}$ 、 $P_{unit3}$ 、 $P_{unit4}$ ，並集合每層的相對相同位置  $P_{unit1\sim4}$  形成一聚集電路  $C_{mass1}$ 、 $C_{mass2}$ 、 $C_{mass3}$ 、 $C_{mass4}$ 。於其中的 C 層，至少以一溝通繞線連接同一層的不同硬體單元 unit1~4 的聚集電路  $C_{mass1\sim4}$ ，並將每個溝通繞線集中於其中 C 層的另一個相對相同位置  $P_{connect}$ ，且 C 為小於 S 的正整數。而該另一個相對相同位置  $P_{connect}$  至少包含一切割道以上的寬度，且該切割道是否切割將決定所產生的晶粒(die)數目以及每一晶粒所包含的硬體單元數目。

此外，該等聚集電路  $C_{mass1\sim4}$  的安置(place)間隔必須符合晶圓切割規則，以使不同聚集電路  $C_{mass1\sim4}$  間預留適當寬度的切割道，確保之後的切割作業不令硬體單元 unit1~4 效能受損壞。這樣的作法不同於一般佈局所採用的任意繞線方式。

而溝通繞線所在的 C 層電路佈局可根據單一晶片所期

望硬體單元數目來調整修改，以適切地僅聯繫不同數目的硬體單元，以為後續作業中若有要切割切割道做準備。此時其餘(S-C)層電路佈局是維持不變的，且至多需調整該C層電路佈局。舉例來說：若是已知會需要生產包含四硬體單元的晶片(用途1，如圖2所示)、包含二硬體單元的晶片(用途2，如圖3所示)及包含一硬體單元的晶片(用途3，如圖4所示)。當已完成用途1晶片的佈局時，只需要修改C層電路佈局中的至少一部分(假設是 $C_{2unit}(C_{2unit} > 0)$ 層電路佈局)即可完成用途2晶片的佈局；當已完成用途2晶片的佈局時，只需要再修改C層電路佈局中的至少一部分(假設相較於用途2晶片的佈局，會發生異動的電路佈局層數是 $C_{1unit}(C_{1unit} > 0)$ 個)即可完成用途3晶片的佈局。請注意，佈局修改可能是針對修改層的 $P_{connect}$ (例如：去除溝通繞線)或是 $P_{unit1-4}$ (例如：避免輸入浮接(input floating))位置。

接著，為每一層可能的電路佈局製作一光罩層，而本例的可能電路佈局層數為 $S+C_{2unit}+C_{1unit}$ 。然後，根據實際用途，從這些光罩層中選出適當的S個光罩層來加工成所需晶圓(wafer)，如圖2、3、4所示。

以圖2而言，晶圓的其中一晶粒(die)1包含複數個分別對應該等聚集電路 $C_{mass1-4}$ 的模組11、12、13、14和複數分別對應該等溝通繞線且位於切割道上的信號連接15，而不同模組11~14間的信號連接15是曝露於相關模組11~14外。並且每一模組11~14包括複數輸入輸出焊墊111、121、131、141(I/O pad)。其中，圖3和圖4的部分切割道不存



在具聯繫作用的信號連接 15 是因為佈局時已視情況調整修改。

接著，對晶粒 1 進行額外切割以得到包含期望硬體單元數目的切割區塊，且每一切割道皆可選擇進行切割或不進行切割。選擇用途 1 時(見圖 2)，因為恰巧晶粒 1 的硬體單元數目符合所需，所以不需進行額外切割。選擇用途 2 時(見圖 3)，是沿著已無聯繫關係的切割道來執行一額外切割 cut1，來得到二切割區塊(一由模組 11 和 12 組成，一由模組 13 和 14 組成)。同理，對圖 4(用途 3)中已無聯繫關係的切割道進行額外切割 cut2、cut3，即可獲取四個分別屬於模組 11~14 的切割區塊。由於所得切割區塊均可獨立運作，所以皆可視為晶粒，最後分別進行封裝作業即能獲取期望的晶片。

本實施例修改電路佈局的原因在於：當模組 11~14 的運作不能獨立於信號連接 15 時，若不經修改直接對圖 2 的晶粒 1 進行切割，可能會造成每一切割區塊內的部分相關電路無法正常運作，例如輸入浮接(input floating)。

至此可知，本實施例僅需藉由不同版本的修改電路佈局和額外切割作業，便能製成期望晶片。在這樣的晶片中，硬體單元 unit1~4 間的溝通是直接以佈局繞線來實現，所以傳收速度不受影響，且信號連接 15 數目可依據繞線電路而定，不會像習知般受晶片的接腳或晶粒的焊墊所限制。

### 第二較佳實施例

而佈局作業時，未必需要修改該 C 層電路佈局，可以

視實際電路設計來判定。而當電路設計使得模組 11~14 的運作能獨立於信號連接 15 時，電路佈局不需異動，可直接任意切割該晶粒來取得期望晶片，例如：圖 5 的晶粒 1 可藉由額外切割 cut4、cut5 來製成包含一個硬體單元的晶片。而圖 6 的晶粒 2 可受額外切割 cut6、cut7 切割後，分別封裝為包含一、二、四個硬體單元的晶片。

值得注意的是，通常修改層數會隨電路設計優劣而不同，最差情況是所有集中佈局之 C 層電路佈局都必須修改，而最佳情況是不需修改即可進行切割。所以，電路設計者的事先考量將有助於本發明的順利進行。譬如：一些電路設計者會為各種可能情況(即針對每一晶粒所包含的硬體單元數目)設定一工作模式，當選用特定工作模式時，可使切割區塊的運作獨立於信號連接 15，如此便可降低修改電路佈局層數，甚至是不需任何更動。

更值得注意的是，集中佈局的 C 個光罩層可以是指金屬(Metal)光罩層或連接(Via)光罩層，且不以此為限。且該 C 個光罩層可以是彼此連續關係，也可以自所有 S 個光罩層中任意選取。當然，被修改的  $C_{2unit}$ 、 $C_{1unit}$  層電路佈局也不必是連續的。再者，該等信號連接 15 可以用來聯繫不同模組 11~14，但也可用來當作相關模組 11~14 的輸入輸出焊墊 111~141，以為輸入輸出用途。

綜上所述，本發明積體電路製作方法將用以溝通不同硬體單元 unit1~4 的聚集電路  $C_{mass1-4}$  間溝通繞線集中佈局在 C 層電路佈局內，所以最多只需修改其中  $C_{2unit}$ 、 $C_{1unit}$  層

電路佈局，即可進行光罩和晶圓切割作業，以封裝成複數個包含不同硬體單元數目的晶片，且無礙於硬體單元 unit1~4 間的溝通，故確實能達成本發明之目的。

惟以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍，即大凡依本發明申請專利範圍及發明說明內容所作之簡單的等效變化與修飾，皆仍屬本發明專利涵蓋之範圍內。

### 【圖式簡單說明】

圖 1 是一示意圖，說明屬於同一硬體單元的電路繞線分佈於 S 層電路佈局的相對相同位置；

圖 2 是一示意圖，說明一晶粒包含複數個模組，且每個模組間預留適當寬度的切割道；

圖 3 是一示意圖，說明晶粒受一額外切割所切割；

圖 4 是一示意圖，說明晶粒受二額外切割所切割；

圖 5 是一示意圖，說明晶粒受二額外切割而形成分別包含一個硬體單元的切割區塊；及

圖 6 是一示意圖，說明晶粒受二額外切割而形成分別包含一、二、四個硬體單元的切割區塊。

## 【主要元件符號說明】

1	晶粒	141	輸入輸出焊墊
11	模組	15	信號連接
111	輸入輸出焊墊	2	晶粒
12	模組	cut1~7	額外切割
121	輸入輸出焊墊	unit1~4	硬體單元
13	模組	$C_{mass1\sim4}$	聚集電路
131	輸入輸出焊墊	$P_{unit1\sim4}$	位置
14	模組	$P_{connect}$	位置

## 十、申請專利範圍：

101年5月25日修(更)正替換頁

1. 一種積體電路製作方法，包含以下步驟：

在複數個硬體單元整合繞線的 S 層電路佈局中，將同一硬體單元的電路繞線分佈於每層的相對相同位置；

將每層的相對相同位置形成一聚集電路，並於其中的 C 層至少以一溝通繞線連接同一層的不同硬體單元的聚集電路；及

將每個溝通繞線集中於其中 C 層的另一個相對相同位置，且 C 為小於 S 的正整數；

其中，該另一個相對相同位置至少包含一切割道以上的寬度，且該切割道是否切割將決定所產生的晶粒數目以及每一晶粒所包含的硬體單元數目，其中每一晶粒包含複數分別對應該等溝通繞線的信號連接，而其中一部份能用來當作輸入輸出焊墊。

2. 依據申請專利範圍第 1 項所述之積體電路製作方法，其中每一聚集電路的安置間隔均符合晶圓切割規則，以預留適當寬度做為該切割道。
3. 依據申請專利範圍第 1 項所述之積體電路製作方法，其中每一切割道皆可選擇進行切割或不進行切割。
4. 依據申請專利範圍第 1 項所述之積體電路製作方法，其中若有要切割該切割道，則至多需調整該 C 層電路佈局。
5. 依據申請專利範圍第 4 項所述之積體電路製作方法，其中該 C 層電路佈局可根據切割出的晶粒所將包含的硬體

100年11月10日修(更)正替換頁

修正日期：100年11月

單元數目來調整。

6. 依據申請專利範圍第 1 項所述之積體電路製作方法，其中對應 C 層電路佈局的皆是金屬光罩層。
7. 依據申請專利範圍第 1 項所述之積體電路製作方法，其中對應 C 層電路佈局的皆是連接光罩層。
8. 依據申請專利範圍第 1 項所述之積體電路製作方法，其中對應 C 層電路佈局的包含金屬光罩層及連接光罩層。
9. 依據申請專利範圍第 1 項所述之積體電路製作方法，更包含以下步驟：

針對每一晶粒所包含的硬體單元數目，對個別晶粒設定工作模式。

10. 依據申請專利範圍第 1 項所述之積體電路製作方法，其中每一硬體單元皆可獨立或合併做為一無線通訊系統之接收器。
11. 一種積體電路製作方法，包含以下步驟：

在複數個硬體單元整合繞線的 S 層電路佈局中，將同一硬體單元的電路繞線分佈於每層的相對相同位置；

將每層的相對相同位置形成一聚集電路，並於其中的 C 層至少以一溝通繞線連接同一層的不同硬體單元的聚集電路；

將每個溝通繞線集中於其中 C 層的另一個相對相同位置，且 C 為小於 S 的正整數；及

針對每一晶粒所包含的硬體單元數目，對個別晶粒設定工作模式；

100年11月10日修(更)正替換頁

修正日期：100年11月

其中，該另一個相對相同位置至少包含一切割道以上的寬度，且該切割道是否切割將決定所產生的晶粒數目以及每一晶粒所包含的硬體單元數目。

十一、圖式：

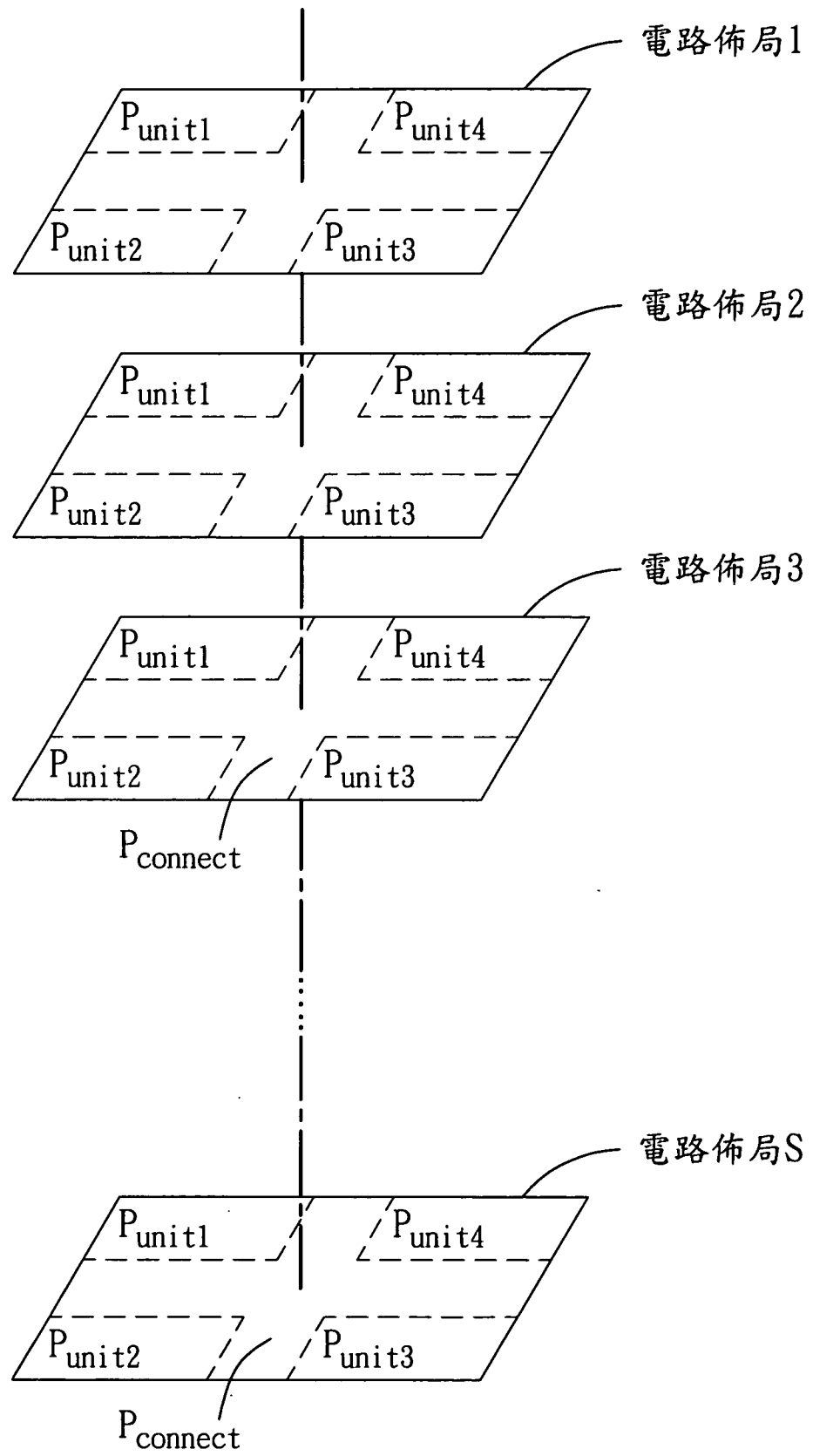


圖 1



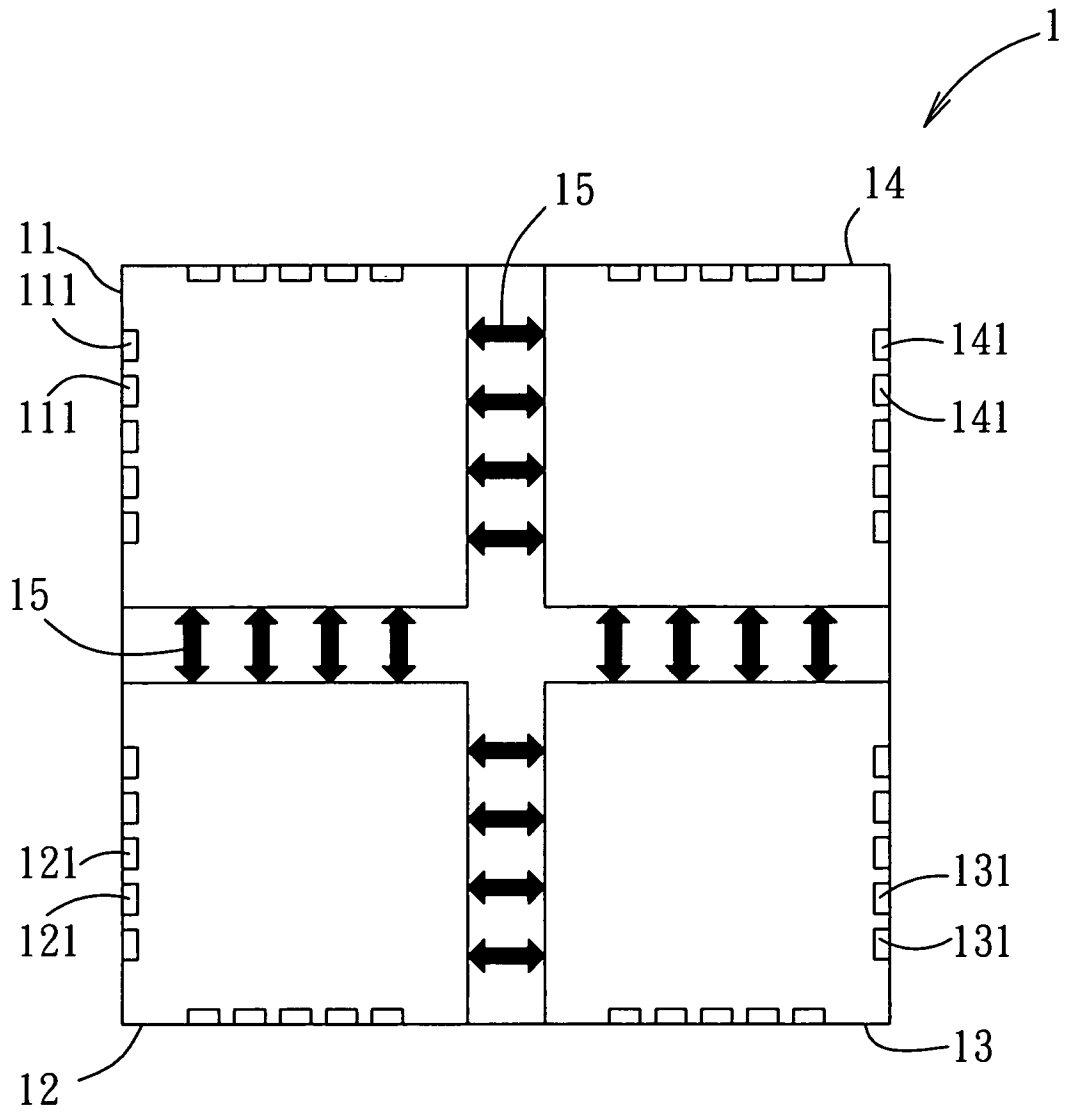


圖2

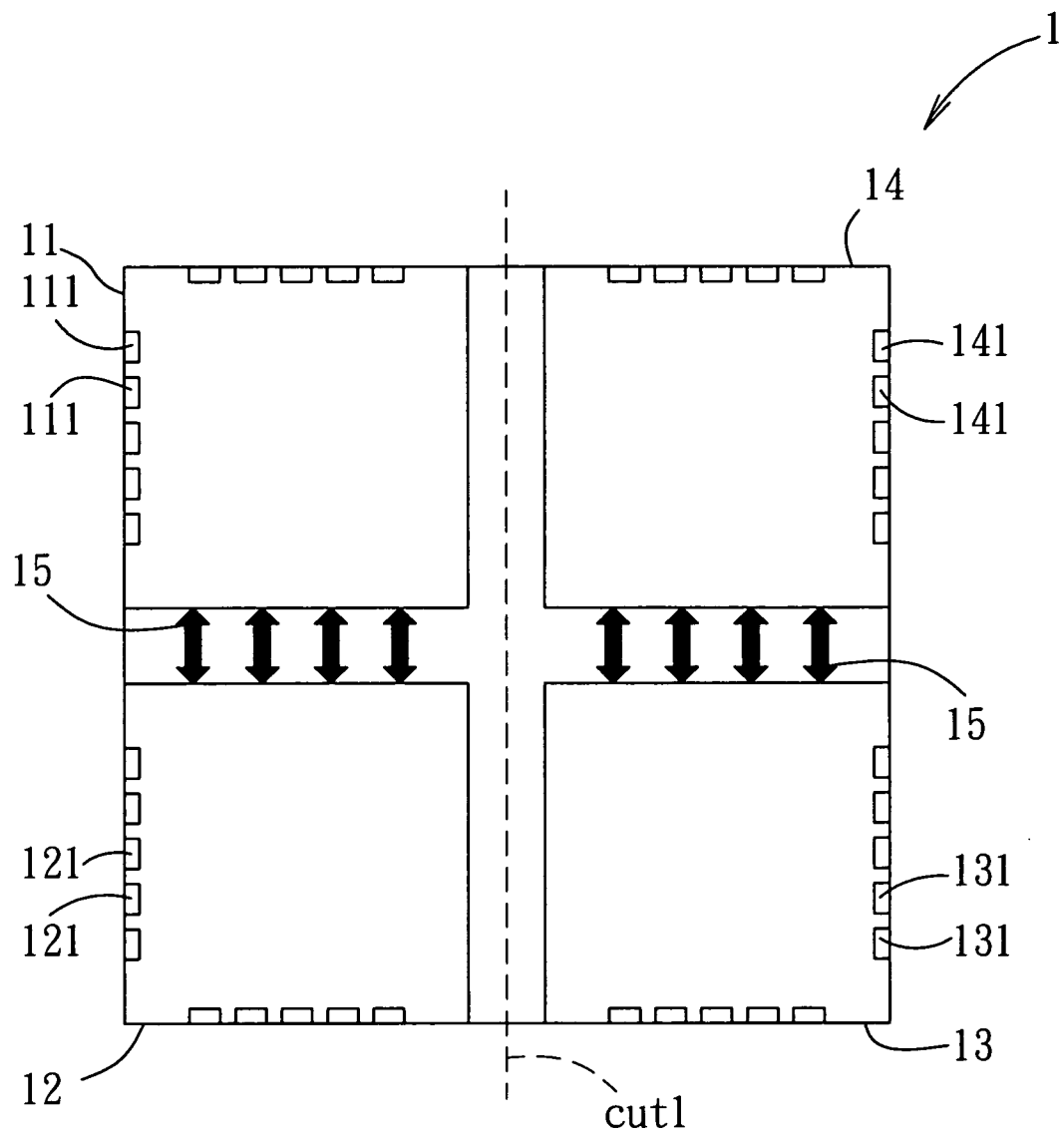


圖3

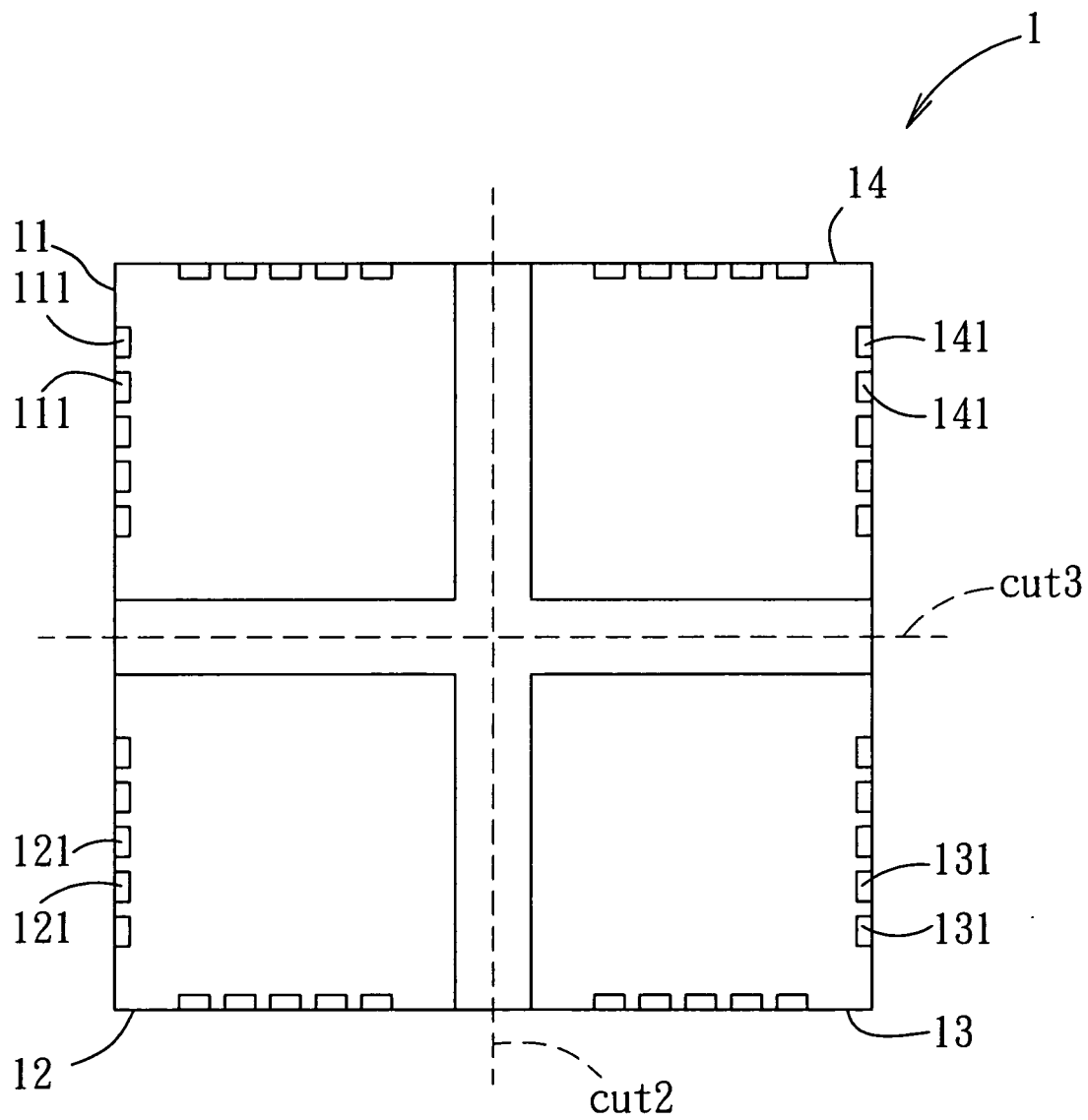


圖4

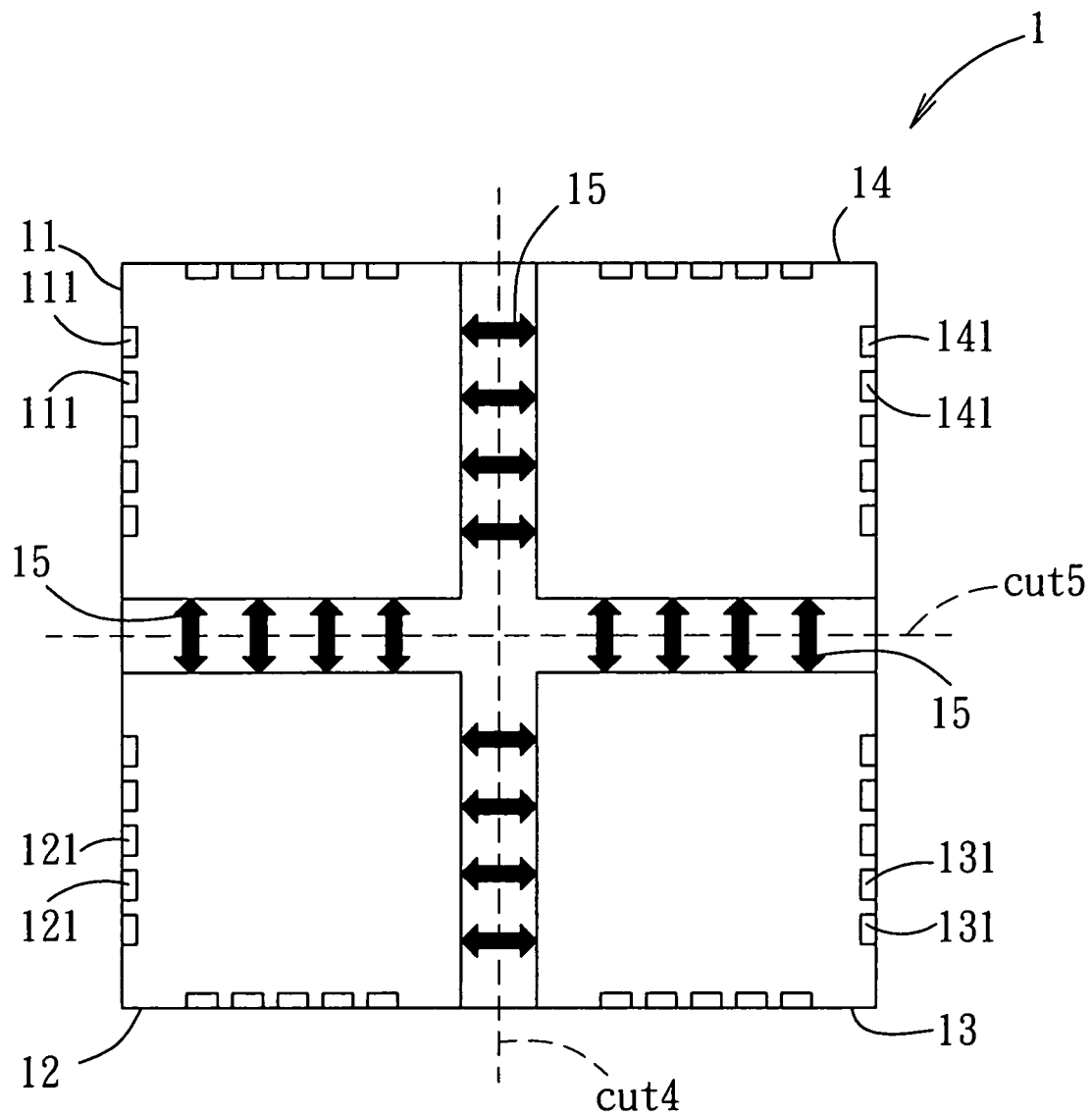


圖5

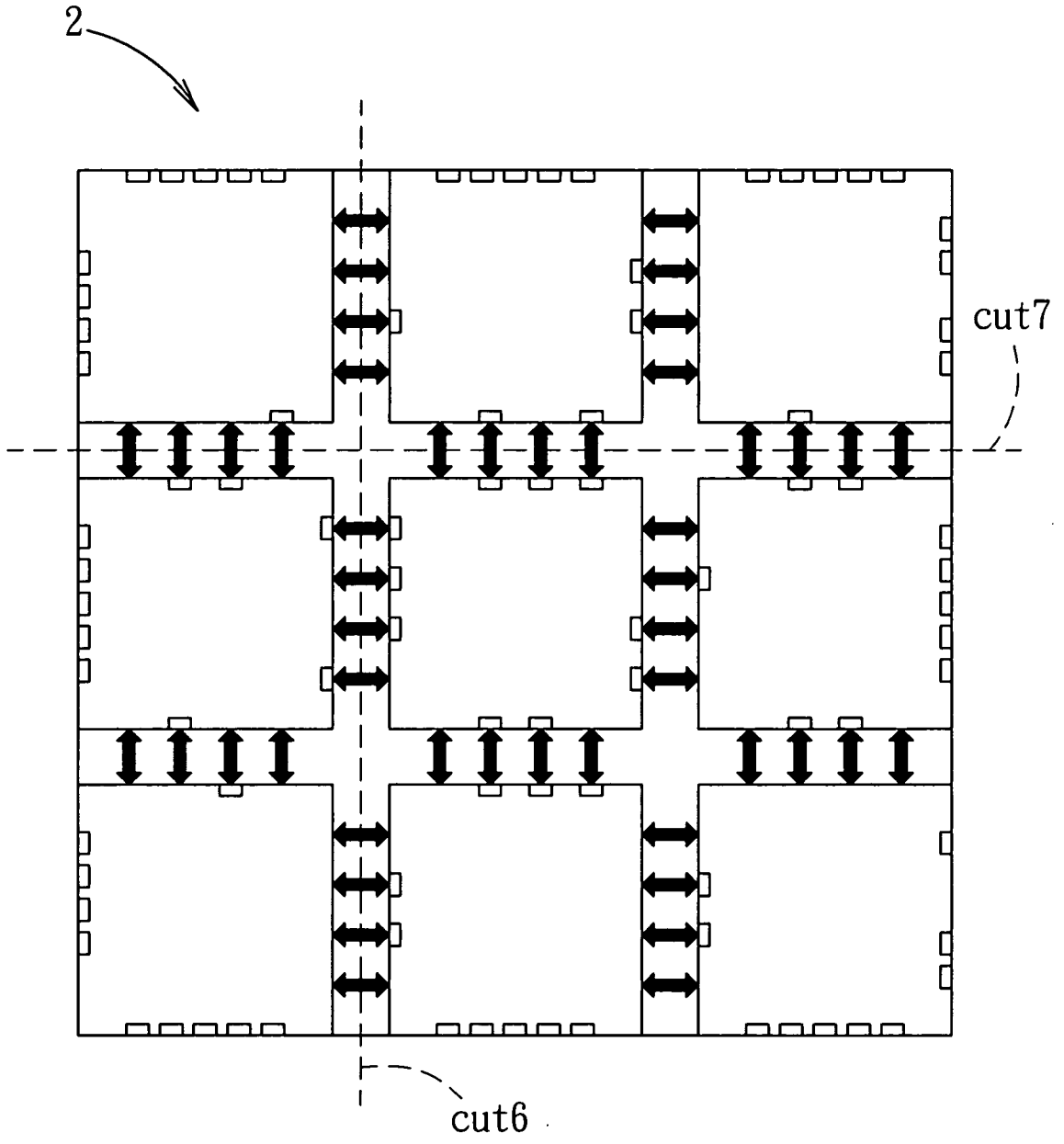


圖6