

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5148452号  
(P5148452)

(45) 発行日 平成25年2月20日 (2013.2.20)

(24) 登録日 平成24年12月7日 (2012.12.7)

(51) Int. Cl. F I  
 HO 1 F 7/18 (2006.01) HO 1 F 7/18 L  
 HO 1 H 47/00 (2006.01) HO 1 H 47/00 J

請求項の数 3 (全 11 頁)

(21) 出願番号	特願2008-272472 (P2008-272472)	(73) 特許権者	000006208
(22) 出願日	平成20年10月22日 (2008.10.22)		三菱重工業株式会社
(65) 公開番号	特開2010-103262 (P2010-103262A)		東京都港区港南二丁目16番5号
(43) 公開日	平成22年5月6日 (2010.5.6)	(74) 代理人	100102864
審査請求日	平成23年6月16日 (2011.6.16)		弁理士 工藤 実
		(74) 代理人	100117617
			弁理士 中尾 圭策
		(72) 発明者	河島 裕
			兵庫県高砂市荒井町新浜2丁目1番1号
			三菱重工業株式会社高砂製作所内
		審査官	池田 安希子

最終頁に続く

(54) 【発明の名称】 インダクタ駆動回路

(57) 【特許請求の範囲】

【請求項1】

直流電圧が印加される正極端子及び負極端子と、  
 前記正極端子と前記負極端子との間に直列に接続されたインダクタ及び電界効果型トランジスタと、

前記直流電圧の印加にตอบสนองして前記電界効果型トランジスタをONし、前記直流電圧の印加の停止にตอบสนองして前記電界効果型トランジスタをOFFするゲート制御回路と、

前記電界効果型トランジスタのソース端子とドレイン端子との間に接続され、カソードが前記ドレイン端子の側に接続されアノードが前記ソース端子の側に接続された、前記電界効果型トランジスタの内蔵ダイオードと、

カソードが前記正極端子に接続されアノードが前記負極端子に接続された還流ダイオードと

を備え、

前記ゲート制御回路は、前記正極端子と前記負極端子との間に直列に接続された定電圧ダイオード及び抵抗器を含み、

前記電界効果型トランジスタのゲート端子は、前記定電圧ダイオードと前記抵抗器との間のノードに接続されている

インダクタ駆動回路。

【請求項2】

請求項1に記載のインダクタ駆動回路であって、

更に、前記ソース端子と前記ドレイン端子との間に接続された減衰抵抗器を備えるインダクタ駆動回路。

【請求項 3】

請求項 1 又は 2 に記載のインダクタ駆動回路であって、前記ゲート制御回路は、更に、前記抵抗器に直列に接続された発光ダイオードを含むインダクタ駆動回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、インダクタを駆動するためのインダクタ駆動回路に関する。

10

【背景技術】

【0002】

リレーや電磁接触器等には、単純な構造で高速動作が可能なソレノイドが一般的に使用されている。特に、扱い易さの観点から、直流のソレノイドが使用されることが多い。ここで注意すべきことは、電源 OFF 時に発生するサージである。ソレノイドへの通電が OFF すると、ソレノイドには逆起電圧が発生し、それによりサージが発生する。サージは、ソレノイドへの電力供給を制御するための半導体スイッチ等を破壊する恐れがある。そのようなサージへの対策として、様々なものが提案されている（特許文献 1、特許文献 2、特許文献 3 参照）。

【0003】

20

図 1 は、直流ソレノイドを駆動するための駆動回路の一例を示している。直流電源 DCPS が、スイッチング素子 SW を介してソレノイド 100 に接続されている。スイッチング素子 SW が ON すると（電源 ON）、ソレノイド 100 には直流駆動電圧が印加され、直流電流が流れる。スイッチング素子 SW が OFF すると（電源 OFF）、直流駆動電圧の印加が停止する。図 1 の例では、還流ダイオード 110 がソレノイド 100 と並列に設けられている。ここで、還流ダイオード 110 のカソードが正極端子に接続されており、アノードが負極端子に接続されている。そのため、電源 ON 時には、還流ダイオード 110 に電流は流れない。電源が OFF すると、ソレノイド 100 に逆起電圧が発生する。この時、ソレノイド 100 と還流ダイオード 110 によってループが形成され、図 1 中の矢印で示されるように循環電流が流れる。これにより、直流電源 DCPS やスイッチング素子 SW 等へのサージの影響が有効に軽減される。

30

【0004】

ここで、電源 OFF 後の循環電流のエネルギーは、ソレノイド 100 を駆動するインダクタ（コイル）におけるジュール熱として消費される。そのため、循環電流が十分に減衰するまでの減衰時間が比較的長くなってしまふ。この場合、ソレノイド 100 への通電 OFF のタイミングから、ソレノイド 100 につながる物理接点が OFF するタイミングまでの時間が長くなる。すなわち、電源 OFF に対する機械的動作の遅延が大きくなる。このことは、機械の高速動作の観点から好ましくない。

【0005】

図 2 及び図 3 は、駆動回路の他の例を示している。図 2 の例では、正極端子と負極端子との間にキャパシタ 121 と減衰抵抗器 122 が直列に接続されている。図 3 の例では、正極端子と負極端子との間にバリスタ 130 が接続されている。図 2 や図 3 の例の場合、電源 OFF 時に比較的高電圧が発生し、その高電圧と電流との積に依存する減衰エネルギーが大きくなる。すなわち、電源 OFF 後のインダクタ電流の減衰時間が短くなる。その一方で、その高電圧が、直流電源 DCPS やスイッチング素子 SW に過電圧等を及ぼすことが懸念される。

40

【0006】

【特許文献 1】特開平 9 - 199324 号公報

【特許文献 2】特開 2001 - 132866 号公報

【特許文献 3】特開 2002 - 15916 号公報

50

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0007】

本発明の1つの目的は、インダクタを駆動するインダクタ駆動回路において、電源OFF後のインダクタ電流を素早く減衰させることができる技術を提供することにある。

## 【課題を解決するための手段】

## 【0008】

以下に、[発明を実施するための最良の形態]で使用される番号・符号を用いて、[課題を解決するための手段]を説明する。これらの番号・符号は、[特許請求の範囲]に記載と[発明を実施するための最良の形態]との対応関係を明らかにするために括弧付きで付加されたものである。ただし、それらの番号・符号を、[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

10

## 【0009】

本発明に係るインダクタ駆動回路(1)は、直流電圧が印加される正極端子(TP)及び負極端子(TN)と、正極端子(TP)と負極端子(TN)との間に直列に接続されたインダクタ(10)及びトランジスタ(50)と、ゲート制御回路(70)と、ダイオード(55)と、還流ダイオード(30)とを備える。ゲート制御回路(70)は、直流電圧の印加に応答してトランジスタ(50)をONし、直流電圧の印加の停止に応答してトランジスタ(50)をOFFする。ダイオード(55)は、トランジスタ(50)のソース端子(52)とドレイン端子(51)との間に接続されており、そのカソードが正極端子(TP)の側に接続され、そのアノードが負極端子(TN)の側に接続されている。還流ダイオード(30)のカソードは正極端子(TP)に接続され、そのアノードは負極端子(TN)に接続されている。

20

## 【0010】

好適には、上記トランジスタ(50)はパワートランジスタであり、上記ダイオード(50)は、そのパワートランジスタに内蔵されている内蔵ダイオードである。

## 【0011】

本発明に係るインダクタ駆動回路(1)は、上述のソース端子(52)とドレイン端子(51)との間に接続された減衰抵抗器(60)を更に備えていてもよい。

## 【0012】

上記ゲート制御回路(70)は、正極端子(TP)と負極端子(TN)との間に直列に接続された定電圧ダイオード(71)及び抵抗器(72)を含んでいてもよい。その場合、上記トランジスタ(50)のゲート端子は、定電圧ダイオード(71)と抵抗器(72)との間のノード(73)に接続される。

30

## 【0013】

上記ゲート制御回路(70)は、更に、上記抵抗器(72)に直列に接続された発光ダイオード(80)を含んでいてもよい。

## 【発明の効果】

## 【0014】

本発明によれば、インダクタを駆動するインダクタ駆動回路において、電源OFF後のインダクタ電流を素早く減衰させることができる。

40

## 【発明を実施するための最良の形態】

## 【0015】

添付図面を参照して、本発明の実施の形態に係るインダクタ駆動回路を説明する。

## 【0016】

## 1. 構成

図4は、本実施の形態に係るインダクタ駆動回路1の構成例を示す回路図である。インダクタ駆動回路1は、直流電源DCPS、スイッチング素子SW、正極端子TP、負極端子TN、インダクタ10を含む誘導性部品20、還流ダイオード30、及び電流減衰回路40を備えている。

50

## 【 0 0 1 7 】

直流電源DCPSは、正極端子TPと負極端子TNに接続されている。直流電源DCPSと正極端子TPとの間には、スイッチング素子SWが介在している。典型的には、スイッチング素子SWは、パワーMOSFET等の半導体スイッチである。スイッチング素子SWがONすると(電源ON)、正極端子TPと負極端子TNとの間には直流駆動電圧が印加される。スイッチング素子SWがOFFすると(電源OFF)、直流駆動電圧の印加が停止する。

## 【 0 0 1 8 】

誘導性部品20は、インダクタ(コイル)10を利用した部品である。誘導性部品20としては、ソレノイド、リレー、電磁石、電磁接触器、電磁弁などが例示される。図4において、インダクタ10は正極端子TPに接続されている。

10

## 【 0 0 1 9 】

還流ダイオード30は、正極端子TPと負極端子TNとの間に接続されている。ここで、還流ダイオード30のカソードが正極端子TPに接続されており、そのアノードが負極端子TNに接続されている。そのため、電源ON時には、還流ダイオード30に電流は流れない。

## 【 0 0 2 0 】

電流減衰回路40は、電源OFF後にインダクタ10を流れる電流を急速に減衰させるための回路である。具体的には、電流減衰回路40は、パワーMOSFET50、減衰抵抗器60、及びゲート制御回路70を含んでいる。

20

## 【 0 0 2 1 】

パワーMOSFET50と上述のインダクタ10は、正極端子TPと負極端子TNとの間に直列に接続されている。図4の例において、パワーMOSFET50はNチャンネル型であり、パワーMOSFET50のドレイン端子51は正極端子TPの側に接続されており、そのソース端子52は負極端子TNの側に接続されている。また、パワーMOSFET50には、ソース-ドレイン間を接続する内蔵ダイオード55が形成されている。つまり、内蔵ダイオード55は、パワーMOSFET50のドレイン端子51とソース端子52との間に接続されている。内蔵ダイオード55のカソードはドレイン端子51に接続されており、そのアノードはソース端子52に接続されている。パワーMOSFET50のソース-ドレイン間耐圧は、内蔵ダイオード55のアバランシェ電圧によって決まる。

30

## 【 0 0 2 2 】

減衰抵抗器60は、パワーMOSFET50のドレイン端子51とソース端子52との間に接続されている。

## 【 0 0 2 3 】

ゲート制御回路70は、電源ONにตอบสนองしてパワーMOSFET50をONし、電源OFFにตอบสนองしてパワーMOSFET50をOFFする。図4の例において、ゲート制御回路70は、定電圧ダイオード(ツェナーダイオード)71と抵抗器72を含んでいる。定電圧ダイオード71と抵抗器72は、正極端子TPと負極端子TNとの間に直列に接続されている。定電圧ダイオード71と抵抗器72との間のノードは、接続ノード73である。定電圧ダイオード71のカソードは正極端子TPに接続されており、そのアノードは接続ノード73に接続されている。抵抗器72は、接続ノード73と負極端子TNとの間に接続されている。そして、この接続ノード73が、パワーMOSFET50のゲート端子に接続されている。

40

## 【 0 0 2 4 】

## 2. 動作

## (電源ON時の動作)

図5を参照して、電源ON時のインダクタ駆動回路1の動作を説明する。電源がONすると、正極端子TPと負極端子TNとの間に直流駆動電圧が印加される。ゲート制御回路70内の接続ノード73には、正極端子TPの電源電圧から定電圧ダイオード(ツェナーダイオード)71の電圧を差し引いた電圧が印加される。その接続ノード73の電圧がパ

50

パワーMOSFET50のゲート端子に印加され、パワーMOSFET50が短時間でONする。

【0025】

その結果、図5中の矢印で示されるように、直流駆動電流 $I_d$ が、正極端子TPから、インダクタ10及びパワーMOSFET50を通して、負極端子TNに流れる。この時、パワーMOSFET50のON抵抗が小さいため、減衰抵抗器60には電流はほとんど流れない。従って、パワーMOSFET50と減衰抵抗器60のいずれにおいても、損失はほとんど無い。

【0026】

インダクタ10に直流駆動電流 $I_d$ が流れる結果、そのインダクタ10を利用した誘導性部品20が機械的に動作する。

10

【0027】

(電源OFF時の動作)

次に、図6を参照して、電源OFF時のインダクタ駆動回路1の動作を説明する。電源がOFFすると、直流駆動電圧の印加が停止する。この時、インダクタ10に逆起電圧が発生する。本実施の形態によれば、上述の通り還流ダイオード30が設けられている。従って、図1の場合と同様に、この還流ダイオード30によって循環ループが形成される。その結果、図6中の矢印で示されるように循環電流 $I_c$ が流れる。これにより、直流電源DCPSやスイッチング素子SW等へのサージの影響が有効に軽減される。

【0028】

20

電流減衰回路40の作用は、次の通りである。電源がOFFされると、ゲート制御回路70内の接続ノード73の電圧が下がる。その結果、パワーMOSFET50がOFFする。具体的には、パワーMOSFET50のソース端子52と定電圧ダイオード71との間の電位差は-1.5V程度になる。これにより、パワーMOSFET50のゲート電荷が定電圧ダイオード71を経由して移動し、パワーMOSFET50がOFFする。

【0029】

パワーMOSFET50がOFFすると、循環電流 $I_c$ が減衰抵抗器60に流れ、減衰する。この時、循環電流 $I_c$ が減衰抵抗器60を流れることにより、減衰抵抗器60の両端間に高電圧が発生する。減衰抵抗器60における減衰エネルギーは、その高電圧と循環電流 $I_c$ の積に依存する。また、その高電圧の大きさは、減衰抵抗器60の抵抗値と減衰抵抗器60を流れる循環電流 $I_c$ との積によって決まる。減衰抵抗器60の抵抗値は、その高電圧がインダクタ10の許容耐電圧を超えないように設計されている。

30

【0030】

上記高電圧が、パワーMOSFET50の内蔵ダイオード55のアバランシェ電圧(降伏電圧)を超えると、その内蔵ダイオード55においてアバランシェ降伏が発生する。その結果、内蔵ダイオード55によるアバランシェ吸収によっても、循環電流 $I_c$ のエネルギーが消費される。すなわち、減衰抵抗器60と内蔵ダイオード55の両方において損失が発生し、循環電流 $I_c$ が急速に減衰する。

【0031】

尚、このときのドレイン端子51とソース端子52との間の電圧の上限値は、内蔵ダイオード55のアバランシェ電圧である。このアバランシェ電圧が大きいほど、循環電流 $I_c$ は早く減衰する。よって、最大減衰を得るために、インダクタ10の許容耐電圧を超えない範囲で、できるだけ耐電圧が高いパワーMOSFET50を選定するとよい。

40

【0032】

3. 効果

本実施の形態によれば、還流ダイオード30が設けられている。そのため、電源OFF時に、その還流ダイオード30によって循環ループが形成され、図6に示されるように循環電流 $I_c$ が流れる。その結果、直流電源DCPSやスイッチング素子SW等へのサージの影響が有効に軽減される。

【0033】

50

また、本実施の形態によれば、電流減衰回路40が設けられている。そのため、電源OFF後に、循環電流Icが急速に減衰する。循環電流Icが十分に減衰するまでの減衰時間は、図1の場合と比較して大幅に短縮される。従って、インダクタ10への通電OFFのタイミングから、誘導性部品20につながる物理接点がOFFするタイミングまでの時間が短縮される。

#### 【0034】

図7及び図8は、電源OFF時のコイル電圧、物理接点出力、及びコイル電流の状態を示している。図7は、比較例として、電流減衰回路40が設けられない場合を示している。一方、図8は、本実施の形態の場合を示しており、ここでは、減衰抵抗器60の抵抗値は1kである。比較例の場合、電流減衰回路40が設けられていないため、循環電流Icの減衰に時間がかかる。電源がOFFされる時刻t1から物理接点がOFFする時刻t2までの期間は75msである。一方、本実施の形態の場合、電流減衰回路40が設けられているため、循環電流Icが急速に減衰する。電源がOFFされる時刻t1から物理接点がOFFする時刻t2までの期間は14msである。

10

#### 【0035】

このように、本実施の形態によれば、電源OFFに対する機械的動作の遅延が小さくなる。このことは、機械の高速動作の観点から好ましい。

#### 【0036】

##### 4. 変形例

減衰抵抗器60は必ずしも必要ではない。内蔵ダイオード55のアバランシェ許容エネルギーで、必要な電流減衰が得られる場合には、減衰抵抗器60を省略することも可能である。

20

#### 【0037】

また、パワーMOSFET50の代わりに、通常MOSFETが用いられてもよい。その場合、パワーMOSFET50の内蔵ダイオード55と同様に接続された減衰用ダイオードが用いられる。その減衰用ダイオードは、MOSFETのソース-ドレイン間に接続される。また、その減衰用ダイオードのカソードは正極端子TPの側に接続され、そのアノードは負極端子TNの側に接続される。このような構成によっても、同様の効果が得られる。

#### 【0038】

図9は、更に他の変形例を示している。図9に示されるように、ゲート制御回路70は、抵抗器72に直列に接続された発光ダイオード(LED)80を含んでいてもよい。図9において、発光ダイオード80は、接続ノード73と抵抗器72との間に接続されている。抵抗器72の抵抗値は、パワーMOSFET50のゲート-ソース間電圧で発光ダイオード80が点灯するように設定される。この発光ダイオード80は、電源ON時に発光し、ユーザに対して正常動作を通知する役割を果たす。発光ダイオード80の明るさは、直流駆動電圧の大きさに依存する。このように発光ダイオード80を設けることにより、ゲート電圧条件に応じた動作確認を実施することが可能となる。また、発光ダイオード80をゲート制御回路70に含ませることにより、部品点数を削減することができる。

30

#### 【0039】

また、上述の実施の形態ではNチャネル型のパワーMOSFET50が例示されたが、Pチャネル型のパワーMOSFET50が用いられてもよい。図10は、Pチャネル型のパワーMOSFET50が用いられる場合を示している。図10で示された構成でも同じ作用、効果が得られる。

40

#### 【0040】

以上に示された変形例同士の組み合わせも可能である。

#### 【0041】

以上、本発明の実施の形態が添付の図面を参照することにより説明された。但し、本発明は、上述の実施の形態に限定されず、要旨を逸脱しない範囲で当業者により適宜変更され得る。

50

## 【図面の簡単な説明】

【0042】

【図1】図1は、従来のソレノイド駆動回路の一例を示す回路図である。

【図2】図2は、従来のソレノイド駆動回路の他の例を示す回路図である。

【図3】図3は、従来のソレノイド駆動回路の更に他の例を示す回路図である。

【図4】図4は、本発明の実施の形態に係るインダクタ駆動回路の構成例を示す回路図である。

【図5】図5は、電源ON時のインダクタ駆動回路の動作を説明するための図である。

【図6】図6は、電源OFF後のインダクタ駆動回路の動作を説明するための図である。

【図7】図7は、比較例の場合の電源OFF時の状態を示すグラフ図である。 10

【図8】図8は、本実施の形態の場合の電源OFF時の状態を示すグラフ図である。

【図9】図9は、本実施の形態に係るインダクタ駆動回路の変形例を示す回路図である。

【図10】図10は、本実施の形態に係るインダクタ駆動回路の他の変形例を示す回路図である。

## 【符号の説明】

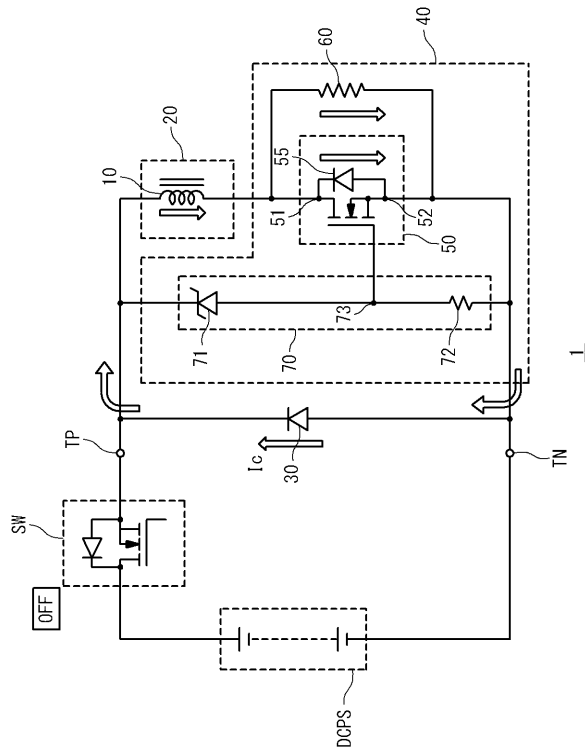
【0043】

1	インダクタ駆動回路	
10	インダクタ	
20	誘導性部品	
30	還流ダイオード	20
40	電流減衰回路	
50	パワーMOSFET	
51	ドレイン端子	
52	ソース端子	
55	内蔵ダイオード	
60	減衰抵抗器	
70	ゲート制御回路	
71	定電圧ダイオード	
72	抵抗器	
73	接続ノード	30
80	発光ダイオード	
SW	スイッチング素子	
TP	正極端子	
TN	負極端子	
DCPS	直流電源	

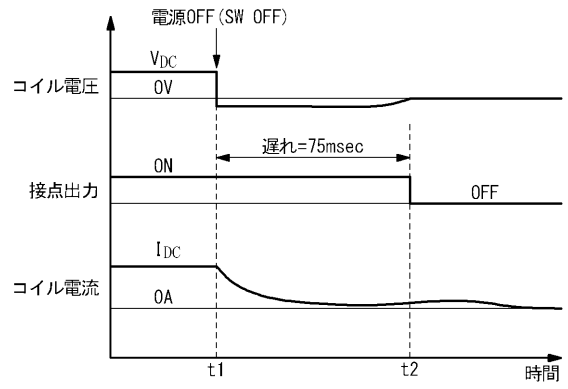




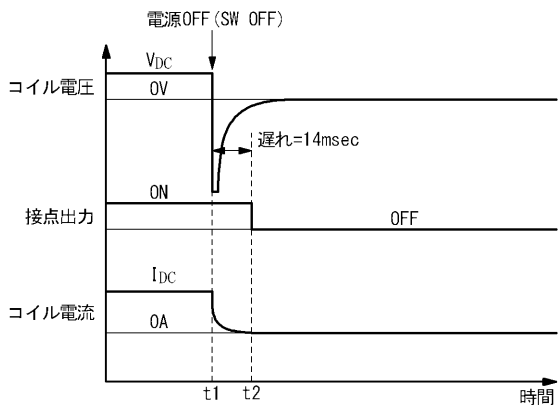
【図6】



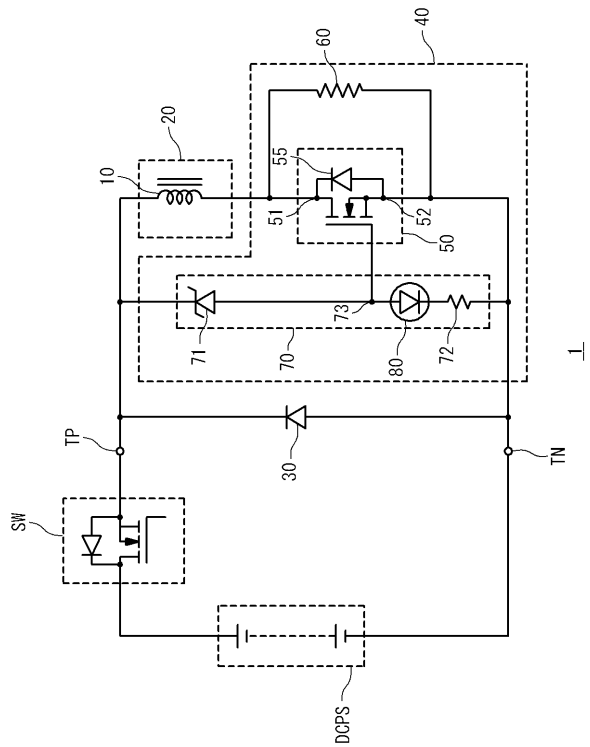
【図7】



【図8】



【図9】





---

フロントページの続き

- (56)参考文献 特開2008-041908(JP,A)  
実開平07-042104(JP,U)  
特開平08-149796(JP,A)  
特開2006-308082(JP,A)  
実開平07-039249(JP,U)  
実開昭62-107527(JP,U)  
特開平02-306603(JP,A)  
特開2003-086422(JP,A)  
特開平09-199324(JP,A)  
特開昭59-155906(JP,A)  
実開平06-034322(JP,U)  
特開平10-184974(JP,A)  
特開平01-147815(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01F 7/18

H01H 47/00