(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4811192号
(P4811192)
(45)発行日　平成23年11月9日(2011.11.9)　(24)登録日　平成23年9月2日(2011.9.2)

(51)Int.Cl.
H03K 19/0175 (2006.01)
F I
H03K 19/00 101F

請求項の数 6　(全 21 頁)

(21)出願番号　特願2006-227964 (P2006-227964)
(22)出願日　平成18年8月24日 (2006.8.24)
(65)公開番号　特開2008-54034 (P2008-54034A)
(43)公開日　平成20年3月6日 (2008.3.6)
審査請求日　平成21年3月10日 (2009.3.10)

(73)特許権者　000002185
ソニー株式会社
東京都港区港南1丁目7番1号
(74)代理人　100094053
弁理士　佐藤　隆久
(72)発明者　鈴木　登志生
神奈川県横浜市保土ヶ谷区神戸町134番地　ソニー・エルエスアイ・デザイン株式会社内

審査官　宮島　郁美

最終頁に続く

(54)【発明の名称】駆動回路

(57)【特許請求の範囲】
【請求項1】
第1ノードと第2ノードとの間に負荷回路が接続される駆動回路であって、
第1電圧供給用ノードと第2電圧供給用ノードとの間に設けられた、前記第1ノードを介して直列に接続された第1型第1トランジスタと第2型第1トランジスタとの第1直列回路と、前記第2ノードを介して直列に接続された第1型第2トランジスタと第2型第2トランジスタとの第2直列回路と、
前記第1型第1トランジスタおよび前記第1型第2トランジスタをバイアスする第1バイアス電圧、および、前記第2型第1トランジスタおよび前記第2型第2トランジスタをバイアスする第2バイアス電圧を発生するバイアス回路と、
第1状態において、前記第1型第1トランジスタに前記第1バイアス電圧、前記第1型第2トランジスタに前記第1電圧を印加し、前記第2型第2トランジスタに前記第2バイアス電圧、前記第2型第1トランジスタに前記第2電圧を印加する、複数のスイッチを含む、第1電圧印加手段と、
第2状態において、前記第1型第2トランジスタに前記第1バイアス電圧、前記第1型第1トランジスタに前記第1電圧を印加し、前記第2型第1トランジスタに前記第2バイアス電圧、前記第2型第2トランジスタに前記第2電圧を印加する、複数のスイッチを含む、第2電圧印加手段と
を有し、
前記第1電圧印加手段内の複数のスイッチ、および、前記第2電圧印加手段内の複数の

スイッチは、
前記第１電圧を前記第１型第１トランジスタおよび前記第１型第２トランジスタに相補的に印加する、並列に接続された第１、第２スイッチと、
前記第１バイアス電圧を前記第１型第１トランジスタおよび前記第１型第２トランジスタに相補的に印加する、並列に接続された第３、第４スイッチと、
前記第２バイアス電圧を前記第２型第１トランジスタおよび前記第２型第２トランジスタに相補的に印加する、並列に接続された第５、第６スイッチと、
前記第２電圧を前記第２型第１トランジスタおよび前記第２型第２トランジスタに相補的に印加する、並列に接続された第７、第８スイッチ
を有する、
駆動回路。
【請求項２】
前記第１型第１トランジスタと前記第２型第２トランジスタ、または、前記第１型第２トランジスタと前記第２型第１トランジスタは、前記バイアス回路と協働して、前記負荷回路に対する電流源として機能する、
請求項１に記載の駆動回路。
【請求項３】
前記バイアス回路は、前記第１電源ノードと前記第２電源ノードとの間に設けられた、第１ダイオードと、バイアス電流源と第２ダイオードとの直列回路で構成され、
前記バイアス電流源の一方の端子が前記第３スイッチおよび前記第４スイッチの接続点に接続され、
前記バイアス電流源の他方の端子が前記第５スイッチおよび前記第６スイッチの接続点に接続されている、
請求項２に記載の駆動回路。
【請求項４】
前記第１ノードと前記第２ノードとの間の電圧を検出する電圧検出回路と、
一方の入力端子に基準電圧が印加され、他方の入力端子に前記電圧検出回路の検出電圧が印加される、第１差動演算増幅回路と
をさらに有し、
前記バイアス回路は、
前記第１電源ノードと前記第２電源ノードとの間に設けられた、バイアス電流源とダイオードとの直列回路と、前記第１差動演算増幅回路と
で構成され、
前記第１差動演算増幅回路の出力端子が、前記第３スイッチおよび前記第４スイッチの接続点に接続され、
前記バイアス電流源の他方の端子が前記第５スイッチおよび前記第６スイッチの接続点に接続されている、
請求項２に記載の駆動回路。
【請求項５】
前記第１ノードと前記第２ノードとの間の電圧を検出する電圧検出回路と、
一方の入力端子に基準電圧が印加され、他方の入力端子に前記電圧検出回路の検出電圧が印加される、第１差動演算増幅回路と、
前記第１電源ノードと前記第２電源ノードとの間に設けられた、バイアス電流源とトランジスタとの直列回路と、
一方の入力端子が前記バイアス電流源と前記トランジスタとの接続点に接続されている第２差動演算増幅回路と、
前記電圧検出回路の両端と前記第２差動演算増幅回路の一方の端子に並列に接続され、相補的にオン・オフ動作する第９、第１０スイッチと
をさらに有し、
前記バイアス回路は、

前記バイアス電流源とトランジスタとの直列回路と、
前記第１差動演算増幅回路と、
前記第９スイッチと、
前記第１０スイッチと、
前記第２差動増幅回路と
で構成され、
前記第１差動演算増幅回路の出力端子が、前記第３スイッチおよび前記第４スイッチの接続点に接続され、
前記第２差動増幅回路の出力端子が、前記第５スイッチおよび前記第６スイッチの接続点、および、前記トランジスタの制御端子に接続されている、
請求項２に記載の駆動回路。
【請求項６】
前記第１型第１トランジスタおよび前記第１型第２トランジスタをこれらのしきい値電圧近傍の第１プリチヤージ・バイアス電圧、および、前記第２型第１トランジスタおよび前記第２型第２トランジスタをこれらのしきい値電圧近傍の第２プリチヤージ・バイアス電圧を発生するプリチヤージ・バイアス回路と、
第１状態において、前記第１型第１トランジスタに前記第１バイアス電圧を印加し、前記第２型第２トランジスタに前記第２バイアス電圧を印加し、前記第１型第２トランジスタに前記第１プリチヤージ・バイアス電圧を印加し、前記第２型第１トランジスタに前記第２プリチヤージ・バイアス電圧を印加する、複数のスイッチを含む、第１電圧印加手段と、
第２状態において、前記第１型第２トランジスタに前記第１バイアス電圧を印加し、前記第２型第１トランジスタに前記前記第２バイアス電圧を印加し、前記第１型第１トランジスタに第１プリチヤージ・バイアス電圧を印加し、前記第２型第２トランジスタに前記第２プリチャージ電圧を印加する、複数のスイッチを含む、第２電圧印加手段と
を有する、
請求項１～４のいずれかに記載の駆動回路。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は信号を高速に出力する駆動（ドライバ）回路に関する。
特に、本発明は、低電圧差動信号処理（ＬＶＤＳ：Low Voltage Differential Signaling）回路に関する。
【背景技術】
【０００２】
高速で、論理信号出力と、ハイインピーダンス出力を目的としたＬＶＤＳ回路が知られている（たとえば、特許文献１）。
【０００３】
図１にＬＶＤＳ回路の基本回路構成を示す。
図１に図解したＬＶＤＳ回路１００は、ＭＯＳ・ＰチャンネルトランジスタＭＰ１０１とＭＯＳ・ＮチャンネルトランジスタＭＮ１０１との第１直列回路と、この第１直列回路に並列に設けられた、ＭＯＳ・ＰチャンネルトランジスタＭＰ１０２とＭＯＳ・ＮチャンネルトランジスタＭＮ１０２との第２直列回路と、これら第１および第２の直列回路に接続された第１電流源１１と、第２電流源１２とを有する。
ＬＶＤＳ回路１００には第１電圧ＶＤＤと第２電圧ＶＳＳとが供給されている。ノードＮ１とノードＮ２に、等価的に抵抗Ｒで表す負荷回路１１０が接続されている。
【０００４】
図１のＬＶＤＳ回路１００の動作を簡単に述べる。
トランジスタＭＰ１０１、ＭＮ１０１、ＭＰ１０２、ＭＮ１０２には、ノードＮ１、Ｎ２を基準として対角位置にあるトランジスタ、たとえば、第１状態（フェーズ）において

トランジスタＭＰ１０１とＭＮ１０２とが同時にオンまたはオフ状態、または、第１状態と逆相関係の第２状態（フェーズ）においてトランジスタＭＰ１０２とＭＮ１０１とが同時にオフまたはオン状態になるように、図示しない制御回路からスイッチング駆動信号ＳＷ（φ１）～ＳＷ（φ４）が印加される。

第１スイッチング駆動信号ＳＷ（φ１）と第２スイッチング駆動信号ＳＷ（φ２）とは差動状態（逆相関係、または相補的な関係）にある信号である。同様に、第３スイッチング駆動信号ＳＷ（φ３）と第４スイッチング駆動信号ＳＷ（φ４）は差動状態（逆相関係）にある信号である。他方、第１スイッチング駆動信号ＳＷ（φ１）と第４スイッチング駆動信号ＳＷ（φ４）とは同相状態にある信号であり、第２スイッチング駆動信号ＳＷ（φ２）と第３スイッチング駆動信号ＳＷ（φ３）とは同相状態にある信号である。

すなわち、第１状態において対角位置にあるトランジスタＭＰ１０１とトランジスタＭＮ１０２とが同時にオンし、対角位置にあるトランジスタＭＰ１０２とトランジスタＭＮ１０１とがオフである。その結果、第１電流源１１、トランジスタＭＰ１０１、ノードＮ１、負荷回路１１０、ノードＮ２、トランジスタＭＮ１０２、第２電流源１２の回路が形成されて破線で示した電流経路Ｐ２が確立される。

他方、第２状態において対角位置にあるトランジスタＭＰ１０２とトランジスタＭＮ１０１とが同時にオンし、対角位置にあるトランジスタＭＰ１０１とトランジスタＭＮ１０２とがオフである。その結果、第１電流源１１、トランジスタＭＰ１０２、ノードＮ２、負荷回路１１０、ノードＮ１、トランジスタＭＮ１０１、第２電流源１２の回路が形成されて実線で示した電流経路Ｐ１が確立される。

以上の動作が反復されると、負荷回路１１０には正負に反転する出力電流I_{out}が流れる。

【０００５】

特許文献１は、上述したＬＶＤＳ回路における諸問題を克服すべく、バイパス回路を設ける技術を提案している。

【０００６】

上記ＬＶＤＳ回路における不利益を考察する。

ＬＶＤＳ回路１００における、トランジスタＭＰ１０１、ＭＰ１０２、ＭＮ１０１、ＭＮ１０２は、上述した電流経路Ｐ１、Ｐ２を形成したとき、負荷回路１１０に出力電流I_{out}を流すアナログスイッチとして動作する。アナログスイッチとして動作するトランジスタＭＰ１０１、ＭＰ１０２、ＭＮ１０１、ＭＮ１０２はそのオン抵抗のため、電圧降下（電圧ドロップ）が起こり、動作電圧は下記式１に示すようになる。

【０００７】

【数１】

$$\{Vds\ P + (Ron1 + Ron2 + R) \times Iout + Vds\ N\} < (VDD - VSS) \quad \cdots (1)$$

ここで、Vds P はＰチャンネルトランジスタのピンチオフ電圧であり、

Vds N はＮチャンネルトランジスタのピンチオフ電圧であり、

Ron1、Ron2 はオン抵抗である。

【０００８】

その結果、第１電圧ＶＤＤと第２電圧ＶＳＳとの差（ＶＤＤ－ＶＳＳ）を小さくすることが困難である。

第２電圧ＶＳＳを接地（グランド）電位とすると、ＬＶＤＳ回路１００では、第１電圧ＶＤＤを低くすることが難しく、ＬＶＤＳ回路の低電圧化が困難である。そのため、トランジスタの寸法は大きくなり、たとえば、ＬＶＤＳ回路１００をＩＣ回路で構成する場合、レイアウト面積を小さくすることができない。

【０００９】

なお、トランジスタのオン抵抗を小さくするためにトランジスタの寸法を大きくすることが想定される。ＬＶＤＳ回路として高速動作させるためには、トランジスタのゲートを高速で駆動しなければならないが、トランジスタの寸法が大きいと大きいゲート容量のため、ロジック部の電力消費が増加する。

【００１０】

特許文献２は、上述した問題を克服するため、図２に図解したように、第１差動増幅器２１と第２差動増幅器２２とを付加した回路を開示している。

第１差動増幅器２１に印加される第１スイッチング駆動信号ＳＷ（φ１）と第２スイッチング駆動信号ＳＷ（φ２）とは差動（逆相）信号である。同様に、第２差動増幅器２２に印加される第３スイッチング駆動信号ＳＷ（φ３）と第４スイッチング駆動信号ＳＷ（φ４）は差動（逆相）信号である。

図２に図解したＬＶＤＳ回路１００Ａは下記式２で示す動作電圧となる。

式２から明らかなように、ＬＶＤＳ回路１００Ａは、トランジスタのオン抵抗の影響がなく、動作電圧が低下するという利点を有する。

【００１１】

【数２】

$$(VdsP + VdsN) < (VDD - VSS) \quad \cdots (2)$$

【００１２】

【特許文献１】特開２００５－１０９８９７号公報

【特許文献２】特開２００４－１１２４５３号公報

【発明の開示】

【発明が解決しようとする課題】

【００１３】

図２に図解したＬＶＤＳ回路１００Ａは、しかしながら下記の不利益を有する。

第１差動増幅器２１と第２差動増幅器２２とを設ける必要があり、ＬＶＤＳ回路１００ＡをＩＣチップ化した場合に素子数の増加と、消費電力の増加を招く。

さらに高速動作の面から考察すると、高速な差動スイッチング駆動信号が印加される、第１差動増幅器２１と第２差動増幅器２２とを高速で動作させることが難しいので、ＬＶＤＳ回路として動作周波数が制限される。換言すれば、図２に図解したＬＶＤＳ回路１００Ａは高速動作が困難である。

【００１４】

本発明は上記不利益を克服することを目的とする。

本発明は、上記例示したＬＶＤＳ回路に対して、さらに、低電圧で動作可能であり、動作周波数の制限を極力受けず、複雑な回路構成にならず、寸法も大きくならない、駆動回路、たとえば、ＬＶＤＳ回路を提供することを目的とする。

【課題を解決するための手段】

【００１５】

本発明によれば、第１ノードと第２ノードとの間に負荷回路が接続される駆動回路であって、第１電圧供給用ノードと第２電圧供給用ノードとの間に設けられた、前記第１ノードを介して直列に接続された第１型第１トランジスタと第２型第１トランジスタとの第１直列回路と、前記第２ノードを介して直列に接続された第１型第２トランジスタと第２型第２トランジスタとの第２直列回路と、前記第１型第１トランジスタおよび前記第１型第２トランジスタをバイアスする第１バイアス電圧、および、前記第２型第１トランジスタおよび前記第２型第２トランジスタをバイアスする第２バイアス電圧を発生するバイアス回路と、第１状態において、前記第１型第１トランジスタに前記第１バイアス電圧、前記第１型第２トランジスタに前記第１電圧を印加し、前記第２型第２トランジスタに前記第２バイアス電圧、前記第２型第１トランジスタに前記第２電圧を印加する、複数のスイッチを含む、第１電圧印加手段と、第２状態において、前記第１型第２トランジスタに前記

第１バイアス電圧、前記第１型第１トランジスタに前記第１電圧を印加し、前記第２型第１トランジスタに前記第２バイアス電圧、前記第２型第２トランジスタに前記第２電圧を印加する、複数のスイッチを含む、第２電圧印加手段とを有する。

前記第１型トランジスタは、たとえば、Ｐチャンネル・トランジスタであり、前記第２型トランジスタは、たとえば、Ｎチャンネル・トランジスタであるが、この逆でもよい。

【００１６】

前記第１電圧印加手段内の複数のスイッチ、および、前記第２電圧印加手段内の複数のスイッチは、前記第１電圧を前記第１型第１トランジスタおよび前記第１型第２トランジスタに相補的に印加する、並列に接続された第１、第２スイッチと、前記第１バイアス電圧を前記第１型第１トランジスタおよび前記第１型第２トランジスタに相補的に印加する、並列に接続された第３、第４スイッチと、前記第２バイアス電圧を前記第２型第１トランジスタおよび前記第２型第２トランジスタに相補的に印加する、並列に接続された第５、第６スイッチと、前記第２電圧を前記第２型第１トランジスタおよび前記第２型第２トランジスタに相補的に印加する、並列に接続された第７、第８スイッチを有する。

【００１７】

好ましくは、前記第１型第１トランジスタと前記第２型第２トランジスタ、または、前記第１型第２トランジスタと前記第２型第１トランジスタは、前記バイアス回路と協働して、前記負荷回路に対する電流源として機能する。

【００１８】

また好ましくは、前記バイアス回路は、前記第１電源ノードと前記第２電源ノードとの間に設けられた、第１ダイオードと、バイアス電流源と第２ダイオードとの直列回路で構成され、前記バイアス電流源の一方の端子が前記第３スイッチおよび前記第４スイッチの接続点に接続され、前記バイアス電流源の他方の端子が前記第５スイッチおよび前記第６スイッチの接続点に接続されている。

【００１９】

好ましくは、前記第１ノードと前記第２ノードとの間の電圧を検出する電圧検出回路と、一方の入力端子に基準電圧が印加され、他方の入力端子に前記電圧検出回路の検出電圧が印加される、第１差動演算増幅回路とをさらに有し、前記バイアス回路は、前記第１電源ノードと前記第２電源ノードとの間に設けられた、バイアス電流源とダイオードとの直列回路と、前記第１差動演算増幅回路とで構成され、前記第１差動演算増幅回路の出力端子が、前記第３スイッチおよび前記第４スイッチの接続点に接続され、前記バイアス電流源の他方の端子が前記第５スイッチおよび前記第６スイッチの接続点に接続されている。

【００２０】

好ましくは、前記第１ノードと前記第２ノードとの間の電圧を検出する電圧検出回路と、一方の入力端子に基準電圧が印加され、他方の入力端子に前記電圧検出回路の検出電圧が印加される、第１差動演算増幅回路と、前記第１電源ノードと前記第２電源ノードとの間に設けられた、バイアス電流源とトランジスタとの直列回路と、一方の入力端子が前記バイアス電流源と前記トランジスタとの接続点に接続されている第２差動演算増幅回路と、前記電圧検出回路の両端と前記第２差動演算増幅回路の一方の端子に並列に接続され、相補的にオン・オフ動作する第９、第１０スイッチとをさらに有し、前記バイアス回路は、前記バイアス電流源とトランジスタとの直列回路と、前記第１差動演算増幅回路と、前記第９スイッチと、前記第１０スイッチと、前記第２差動増幅回路とで構成され、前記第１差動演算増幅回路の出力端子が、前記第３スイッチおよび前記第４スイッチの接続点に接続され、前記第２差動増幅回路の出力端子が、前記第５スイッチおよび前記第６スイッチの接続点、および、前記トランジスタの制御端子に接続されている。

【００２１】

好ましくは、前記第１型第１トランジスタおよび前記第１型第２トランジスタをこれらのしきい値電圧近傍の第１プリチャージ・バイアス電圧、および、前記第２型第１トランジスタおよび前記第２型第２トランジスタをこれらのしきい値電圧近傍の第２プリチャージ・バイアス電圧を発生するプリチャージ・バイアス回路と、第１状態において、前記第

１型第１トランジスタに前記第１バイアス電圧を印加し、前記第２型第２トランジスタに前記第２バイアス電圧を印加し、前記第１型第２トランジスタに前記第１プリチヤージ・バイアス電圧を印加し、前記第２型第１トランジスタに前記第２プリチヤージ・バイアス電圧を印加する、複数のスイッチを含む、第１電圧印加手段と、第２状態において、前記第１型第２トランジスタに前記第１バイアス電圧を印加し、前記第２型第１トランジスタに前記前記第２バイアス電圧を印加し、前記第１型第１トランジスタに第１プリチヤージ・バイアス電圧を印加し、前記第２型第２トランジスタに前記第２プリチャージ電圧を印加する、複数のスイッチを含む、第２電圧印加手段とを有する。

【発明の効果】

【００２２】

本発明によれば、低電圧で動作可能であり、動作周波数の制限を極力受けず、複雑な回路構成にならず、寸法も大きくならない、駆動回路を提供することができる。

【００２３】

また本発明によれば、消費電流を低減できる。

さらに本発明によれば、コモンモード電圧を制御できる。

また本発明によれば、動作速度を向上させることができる。

本発明によれば、短絡防止回路が不要となる。

【発明を実施するための最良の形態】

【００２４】

第１実施の形態

図３～図６を参照して本発明の駆動回路の第１実施の形態のＬＶＤＳ回路を述べる。

図３はＬＶＤＳ回路１の第１状態（フェーズ）を図解する図であり、図４はＬＶＤＳ回路１の第１状態とは逆相関係の第２状態（フェーズ）を図解する図である。

図３、図４においては、ＬＶＤＳ回路１は、ＬＶＤＳ基本回路１ａと、スイッチ回路１ｂと、バイアス回路１ｃ（３０）と、制御回路（または信号伝送回路）９０とを有する。

【００２５】

ＬＶＤＳ基本回路１ａ

ＬＶＤＳ基本回路１ａは、直列に接続されたＭＯＳ型・Ｐチャンネル・トランジスタＭＰ１とＭＯＳ型・Ｎチャンネル・トランジスタＭＮ１とで構成される第１直列回路と、この第１直列回路に並列に設けられ、直列に接続されたＭＯＳ型・Ｐチャンネル・トランジスタＭＰ２とＭＯＳ型・Ｎチャンネル・トランジスタＭＮ２とで構成された第２直列回路とを有する。このＬＶＤＳ回路１には、第１電源ノードＶＮ１から第１電圧ＶＤＤと第２電源ノードＶＮ２から第２電圧ＶＳＳとが供給されている。

ＭＯＳ型・Ｐチャンネル・トランジスタが本発明の第１型トランジスタの例であり、ＭＯＳ型・Ｎチャンネル・トランジスタが本発明の第２型トランジスタの例である。

ＬＶＤＳ基本回路１ａ内のノードＮ１とノードＮ２とに、等価的に抵抗Ｒとして表した負荷回路１１０が接続されている。

本実施の形態において、好ましくは、トランジスタＭＰ１とＭＰ２とは同じ寸法で形成されており、同様に、トランジスタＭＮ１とＭＮ２も同じ寸法で形成されている。その理由は、トランジスタＭＰ１とトランジスタＭＮ２とを流れる電流と、トランジスタＭＰ２とトランジスタＭＮ１とを流れる電流が等しくなるからである。

【００２６】

ＬＶＤＳ基本回路１ａは、トランジスタＭＰ１、トランジスタＭＮ１、トランジスタＭＰ２、トランジスタＭＮ２の回路構成が、等価回路としては、図１に図解したＬＶＤＳ回路１００、および、図２に一部を図解した回路における、トランジスタＭＰ１０１、トランジスタＭＮ１０１、トランジスタＭＰ１０２、トランジスタＭＮ１０２との回路に類似している。

しかしながら、後述するが、トランジスタＭＰ１、トランジスタＭＮ１、トランジスタＭＰ２、トランジスタＭＮ２は、図１における上記トランジスタのように、アナログスイッチとして動作するのではなく、むしろ、電流源として動作する点、および、その結果と

して、トランジスタの寸法が小さくてもよいなど、図１に図解したＬＶＤＳ回路におけるトランジスタとは多々相違がある。

【００２７】

ＬＶＤＳ回路１には、図１に図解したＬＶＤＳ回路１００における第１電流源１１と第２電流源１２とがないことに留意されたい。

【００２８】

スイッチ回路１ｂ

図３、図４に図解したＬＶＤＳ回路１には、図１および図２には図解されていない、第１スイッチＳＷ１～第４スイッチＳＷ４からなる第１スイッチ群１ｂ１と、第５スイッチＳＷ５～第８スイッチＳＷ８からなる第２スイッチ群１ｂ２とを有するスイッチ回路１ｂが設けられている。

第１～８スイッチＳＷ１～ＳＷ８は、たとえば、トランジスタを用いて構成され、スイッチング駆動信号ＳＷに応じてオン・オフ動作するスイッチである。

図３、図４に図解した第１スイッチＳＷ１～第８スイッチＳＷ８は、○で示した両端子が実線で示した切片で接続されているときは閉成（導通、オン）状態になり、○で示した両端子が実線で示した切片で接続されていないときは開成（非導通、オフ）状態を例示している。ただし、本実施の形態において、第１スイッチＳＷ１～第８スイッチＳＷ８はトランジスタスイッチであり、○で示した両端子が実線で示した切片で接続されている状態がトランジスタの導通状態、○で示した両端子が実線で示した切片で接続されていない状態がトランジスタの非導通状態を示す。

【００２９】

図３、図４において、並列接続されているスイッチ、たとえば、第１スイッチＳＷ１と第２スイッチＳＷ２、第３スイッチＳＷ３と第４スイッチＳＷ４、第５スイッチＳＷ５と第６スイッチＳＷ６、第７スイッチＳＷ７と第８スイッチＳＷ８とが、逆相の関係で相補的に、すなわち、一方が導通（オン）のときは他方が非導通（オフ）の状態で動作する。

制御回路９０からは、第１～８スイッチＳＷ１～ＳＷ８に、第１スイッチング駆動信号ＳＷ（φ１）～第４スイッチング駆動信号ＳＷ（φ４）、および、これらの極性（位相）を反転した第１反転スイッチング駆動信号ＳＷ（φ１－）～第４反転スイッチング駆動信号ＳＷ（φ４－）が出力される。なお、反転スイッチング駆動信号は、たとえば、図３、図４においては、たとえば、第１反転スイッチング駆動信号φ１の上にバーを付して示すが、明細書の記載は、φ１の後に－を付して示す。

この動作の詳細は図５および図６を参照して後述する。

【００３０】

バイアス回路１ｃ

図３、図４に図解したＬＶＤＳ回路１には、図１および図２には図解したＬＶＤＳ回路には設けられていない、第１バイアス電圧ＶBIAS１を出力する第１バイアス回路３１と、第２バイアス電圧ＶBIAS２を出力する第２バイアス回路３２とからなるバイアス回路１ｃ（３０）が設けられている。

第１バイアス回路３１および第２バイアス回路３２はそれぞれ、第１電圧ＶＤＤと第２電圧ＶＳＳとに基づいて、第１バイアス電圧ＶBIAS１、第２バイアス電圧ＶBIAS２を生成する。これらバイアス回路３１、３２の回路例については、図９を参照して詳細を後述する。

第１バイアス回路３１は、相補的に閉成または開成する第３スイッチＳＷ３または第４スイッチＳＷ４を介してトランジスタＭＰ１またはトランジスタＭＰ２のゲートに第１バイアス電圧ＶBIAS１を印加する。他方、第２バイアス回路３２は、相補的に閉成または開成する第５スイッチＳＷ５または第６スイッチＳＷ６を介してトランジスタＭＮ１またはトランジスタＭＮ２のゲートに第２バイアス電圧ＶBIAS２を印加する。

相補的（または逆位相）動作とは、たとえば、第３スイッチＳＷ３がオンのときは第４スイッチＳＷ４はオフで、あるいは、その逆を言う。

【００３１】

第１状態

図３は第１状態（第１フェーズ）のＬＶＤＳ回路１の状態を示す。

第１状態においては、たとえば、第１電圧ＶＤＤがＰチャンネル・トランジスタＭＰ２に印加され、第１バイアス回路３１の第１バイアス電圧VBIAS１がＰチャンネル・トランジスタＭＰ１に印加され、第２電圧ＶＳＳがＮチャンネル・トランジスタＭＮ１に印加され、第２バイアス回路３２の第２バイアス電圧VBIAS２がＮチャンネル・トランジスタＭＮ２に印加されるように、制御回路９０が第２スイッチＳＷ２、第３スイッチＳＷ３、第６スイッチＳＷ６、第７スイッチＳＷ７をオンに付勢した導通状態にする（閉成にする）。その他のスイッチＳＷはオフである（非導通状態である）。

【００３２】

制御回路９０によるスイッチ制御動作をより詳細に述べる。

図３に図解した第１状態において、図５に図解したように、制御回路９０から、ハイレベルの第２反転スイッチング駆動信号ＳＷ（φ２－）が第２スイッチＳＷ２、ハイレベルの第１スイッチング駆動信号ＳＷ（φ１）が第３スイッチＳＷ３、ハイレベルの第４スイッチング駆動信号ＳＷ（φ４）が第６スイッチＳＷ６、ハイレベルの第３反転スイッチング駆動信号ＳＷ（φ３－）が第７スイッチＳＷ７にそれぞれ印加される。他方、ローレベルの第１反転スイッチング駆動信号ＳＷ（φ１－）が第１スイッチＳＷ１、ローレベルの第２スイッチング駆動信号ＳＷ（φ２）が第４スイッチＳＷ４、ローレベルの第３スイッチング駆動信号ＳＷ（φ３）が第５スイッチＳＷ５、ローレベルの第４反転スイッチング駆動信号ＳＷ（φ４－）が第８スイッチＳＷ８にそれぞれ印加される。

【００３３】

これにより、トランジスタＭＰ２のゲートに第１電圧ＶＤＤが印加されてオフ状態となり、トランジスタＭＰ１のゲートには第１バイアス電圧VBIAS１が印加されて電流源として機能し、トランジスタＭＮ１のゲートに第２電圧ＶＳＳが印加されてオフ状態となり、トランジスタＭＮ２のゲートに第２バイアス電圧VBIAS２が印加されて電流源として機能する。

その結果、第１電源ノードＶＮ１、第３ノードＮ３、電流源として機能するトランジスタＭＰ１、第１ノードＮ１、負荷回路１１０、第２ノードＮ２、電流源として機能するトランジスタＭＮ２、第４ノードＮ４、第２電源ノードＶＮ２の第１回路が形成される。

負荷回路１１０には、ノードＮ１からノードＮ２に向かう、破線で示した出力電流$Ｉ_{0ut}$が流れる。この電流を負の出力電流$Ｉ_{0ut}$という。

【００３４】

図５（Ａ）、（Ｂ）は、第１スイッチング駆動信号ＳＷ（φ１）～第４スイッチング駆動信号ＳＷ（φ４）、および、第１反転スイッチング駆動信号ＳＷ（φ１－）～第４反転スイッチング駆動信号ＳＷ（φ４－）の波形を示している。

図５（Ａ）、（Ｂ）の波形図は、図６（Ａ）、（Ｂ）に例示したような遅延時間（ジッタ）Δｔがない状態を示す。

図５（Ｃ）は負荷回路１１０に流れる出力電流$Ｉ_{0ut}$（図３に実線で示した正の出力電流$Ｉ_{0ut}$を$Ｉ_0$、破線で示した負の出力電流$Ｉ_{0ut}$を$－Ｉ_0$として）を示しており、図５（Ｄ）は負荷回路１１０の端子電圧Voutを示している。Ｖcomはコモンモード電圧を示している。

【００３５】

第２状態

図４はＬＶＤＳ回路１の第２状態（第２フェーズ）を示す。

第１状態と逆相関係の第２状態においては、第１状態とは相補的に、第１電圧ＶＤＤがＰチャンネル・トランジスタＭＰ１に印加され、第１バイアス回路３１の第１バイアス電圧VBIAS１がＰチャンネル・トランジスタＭＰ２に印加され、第２電圧ＶＳＳがＮチャンネル・トランジスタＭＮ２に印加され、第２バイアス回路３２の第２バイアス電圧VBIAS２がＮチャンネル・トランジスタＭＮ１に印加されるように、制御回路９０が第１スイッチＳＷ１、第４スイッチＳＷ４、第５スイッチＳＷ５、第８スイッチＳＷ８をオンに付勢

して導通状態にする。その他のスイッチＳＷはオフである（開成である）。

【００３６】

制御回路９０によるスイッチ制御動作をより詳細に述べる。

図４に図解した第２状態において、図５に図解したように、制御回路９０から、ハイレベルの第１反転スイッチング駆動信号ＳＷ（φ１－）が第１スイッチＳＷ１、ハイレベルの第２スイッチング駆動信号ＳＷ（φ２）が第４スイッチＳＷ４、ハイレベルの第３スイッチング駆動信号ＳＷ（φ３）が第５スイッチＳＷ５、ハイレベルの第４反転スイッチング駆動信号ＳＷ（φ４－）が第８スイッチＳＷ８に印加される。他方、ローレベルの第２反転スイッチング駆動信号ＳＷ（φ２－）が第２スイッチＳＷ２、ローレベルの第１スイッチング駆動信号ＳＷ（φ１）が第３スイッチＳＷ３、ローレベルの第４スイッチング駆動信号ＳＷ（φ４）が第６スイッチＳＷ６、ローレベルの第３反転スイッチング駆動信号ＳＷ（φ３－）が第７スイッチＳＷ７に印加される。

【００３７】

これにより、トランジスタＭＰ１のゲートには第１電圧ＶＤＤが印加されてオフ状態となり、トランジスタＭＰ２のゲートには第１バイアス電圧VBIAS1 が印加されて電流源として機能し、トランジスタＭＮ２のゲートに第２電圧ＶＳＳが印加されてオフ状態となり、トランジスタＭＮ１のゲートに第２バイアス電圧VBIAS2 が印加されて電流源として機能する。

その結果、第１電源ノードＶＮ１、第３ノードＮ３、電流源として機能するトランジスタＭＰ２、第２ノードＮ２、負荷回路１１０、第１ノードＮ１、電流源として機能するトランジスタＭＮ１、第４ノードＮ４、第２電源ノードＶＮ２の第２回路が形成される。

負荷回路１１０には、ノードＮ２からノードＮ１に向かう、実線で示した出力電流I_{0ut}が流れる。この電流を正の出力電流I_{0ut}という。

【００３８】

図３および図４に図解したＬＶＤＳ回路１において、好ましくは、トランジスタＭＰ１またはトランジスタＭＰ２のドレインから流れようとする電流値と、トランジスタＭＮ１またはトランジスタＭＮ２のドレインに流れようとする電流値とが等しくなるように、第１バイアス電圧VBIAS１、第２バイアス電圧VBIAS２とを設定する。

【００３９】

また上述したように、好ましくは、トランジスタＭＰ１とＭＰ２とは同じ寸法で形成されており、同様に、好ましくは、トランジスタＭＮ１とＭＮ２も同じ寸法で形成されている。したがって、本実施の形態では、トランジスタＭＰ１とＭＰ２、および、トランジスタＭＮ１とＭＮ２には同じ大きさのバイアス電流が流れるように構成されている。

【００４０】

以上のように、第１状態において、トランジスタＭＰ１のゲートが第１バイアス回路３１に接続されるときは、同時にトランジスタＭＮ２のゲートが第２バイアス回路３２に接続される。他方、第２状態において、トランジスタＭＰ２のゲートが第１バイアス回路３１に接続されるときはトランジスタＭＮ１のゲートが第２バイアス回路３２に同時に接続される。すなわち、トランジスタＭＰ１とトランジスタＭＰ２とは相補的に（逆相のタイミングで）第１バイアス回路３１に接続され、同様に、トランジスタＭＮ２とトランジスタＭＮ１とは相補的に第２バイアス回路３２に接続される。

なお、上記例示した第１状態と第２状態とは逆の状態であってもよい。

【００４１】

このようなバイアスを与えることにより、抵抗Ｒとして等価的に表した負荷回路１１０に流れる電流の向きを制御する。その詳細を下記に述べる。

負荷回路１１０に流れるＬＶＤＳ回路１の出力電流I_{0ut}は、第１バイアス電圧VBIAS１が印加される場合と第２バイアス電圧VBIAS２が印加される場合に、上述した電流経路（回路）Ｐ1，Ｐ2に応じて、下記式３、４で表すことができる。

【００４２】

【数３】

$$Iout = Kp \times (W1 / L1) \times (V_{BIAS}1 - Vth\ P)^2 \quad \cdots(3)$$

ここで、Kpは固有の定数であり、

W1,L1はそれぞれＰチャンネルトランジスタMP1のゲート幅とゲート長であり、

$V_{BIAS}1$はＰチャンネルトランジスタMP1のゲートに印加される第１バイアス電圧であり、

Vth PはＰチャンネルトランジスタMP1のしきい値である。

【００４３】

【数４】

$$Iout = Kn \times (W2 / L2) \times (V_{BIAS}2 - Vth\ N)^2 \quad \cdots(4)$$

ここで、Knは固有の定数であり、

W2、L2はそれぞれＮチャンネルトランジスタNN1のゲート幅とゲート長であり、

$V_{BIAS}2$はＮチャンネルトランジスタのゲートに印加される第２バイアス電圧であり、

Vth NはＮチャンネルトランジスタMN1のしきい値である。

【００４４】

本実施の形態では、好ましくは、トランジスタＭＰ１とＭＰ２とは同じ寸法で形成されており、同様に、トランジスタＭＮ１とＭＮ２も同じ寸法で形成されている。

さらに、第１バイアス回路３１と第２バイアス回路３２とは、第１バイアス電圧VBIAS１と第２バイアス電圧VBIAS２とを調整して、トランジスタＭＰ１とＭＰ２、トランジスタＭＮ１とＭＮ２に同じバイアス電流を流すように構成している。

【００４５】

第１状態を示す図３に例示的に図解したＬＶＤＳ回路１において、たとえば、第３スイッチＳＷ３および第６スイッチＳＷ６をオン動作スイッチ素子とすると、負荷回路１１０に対して、第１バイアス回路３１と第３スイッチＳＷ３とトランジスタＭＰ１、並びに、第２バイアス回路３２と第６スイッチＳＷ６とトランジスタＭＮ２とは電流源として機能する。

また、第２状態を示す図４に図解したＬＶＤＳ回路１おいて、第４スイッチＳＷ４および第５スイッチＳＷ５をオン動作スイッチ素子とすると、第１バイアス回路３１と第４スイッチＳＷ４とトランジスタＭＰ２、並びに、第２バイアス回路３２と第５スイッチＳＷ５とトランジスタＭＮ１は、電流源として機能する。

このように、本実施の形態のＬＶＤＳ回路１においては、トランジスタＭＰ１とＭＰ２、トランジスタＭＮ１とＭＮ２は単なるオン・オフ動作するトランジスタではなく電流源として機能する。すなわち、ＬＶＤＳ回路１には、電流源は存在するが、負荷回路１１０に対するアナログスイッチは実質的に含まれない。その結果、たとえば、式２で示したと同様、トランジスタのオン抵抗の影響を排除できるので低電圧化が可能となる。

【００４６】

図３、図４に図解したＬＶＤＳ回路１においては、出力回路（たとえば、トランジスタＭＮ１、トランジスタＭＮ２）に、実質的にアナログスイッチを含まない代わりに、各出力ドライバとしてのトランジスタのゲートに、これらのトランジスタをオン・オフさせるために接続されるスイッチＳＷ１～ＳＷ８が含まれているが、これらのスイッチ自体とゲート容量をチャージする電荷が流れるだけであり、これらＳＷ１～ＳＷ８を構成するトランジスタの寸法を大きくする必要はない。

【００４７】
上述したように、負荷回路１１０を含む電流経路に実質的にスイッチが含まれない。その結果、ＬＶＤＳ回路１におけるトランジスタＭＰ１、ＭＰ２、トランジスタＭＮ１、ＭＮ２などを小型にすることができる。その結果としてレイアウトサイズを縮小できる。
【００４８】
図３、図４に図解したＬＶＤＳ回路１は、出力ドライバのサイズが小さくてよいので、たとえば、出力端子（たとえば、第１ノードＮ１または第２ノードＮ２）がグランドに短絡してしまった場合などの対策として、特に、短絡保護回路を設ける必要がないというさらなる利点を有する。
【００４９】
図６（Ａ）～（Ｄ）は、第１スイッチング駆動信号ＳＷ（φ１）および第４スイッチング駆動信号ＳＷ（φ４）と、第２スイッチング反転駆動信号ＳＷ（φ２－）および第３スイッチング反転駆動信号ＳＷ（φ３－）との間に、Δｔの遅延（またはジッタ（位相のずれ））時間がある場合の波形図である。
理想的には、図５（Ａ）～（Ｄ）に図解した遅延時間（ジッタ）Δｔのないスイッチング駆動信号を用いることが望ましいが、ジッタΔｔが、数％、たとえば、１０％未満の５～６％程度ならば、コモンモード電圧は一定であり、ＬＶＤＳ回路１は正常に動作する。
したがって、本実施の形態のＬＶＤＳ回路１において、スイッチング駆動信号を出力する制御回路９０に、タイミング的に、特別な要求が課されることはない。あるいは、負荷回路１１０に伝送すべき差動信号について厳しい要求が課されることはない。
【００５０】
図６（Ａ）、（Ｂ）に示したジッタΔｔがある場合でも、図３、図４に図解したＬＶＤＳ回路１においては、負荷回路１１０を含む電流経路にスイッチが含まれないから、トランジスタＭＰ１、ＭＰ２、トランジスタＭＮ１、ＭＮ２などを小型にすることができる。
さらに、出力ドライバの寸法も小さくできる。
その結果として、レイアウト面積を縮小できる。それに伴いＬＶＤＳ回路の価格も低下する。
【００５１】
ＬＶＤＳ回路１における出力ドライバの寸法が小さいので、短絡保護回路が不要となり、さらに、レイアウト面積を縮小できる。それに伴い、ＬＶＤＳ回路の価格もさらに低下する。
【００５２】
以上述べたように、図３、図４に図解したＬＶＤＳ回路１は、回路規模を増大させることなく、第１電圧ＶＤＤなどの電源電圧を低くすることができる。
電源電圧の低下は、たとえば、携帯電話機、デジタルカメラ装置、その他の各種の移動通信装置、あるいは、携帯電子機器など、バッテリで動作する電子装置におけるバッテリの寿命を延ばすことができるという効果を奏する。
【００５３】
さらに、たとえば、撮像デバイスなどの高精密化、高画質化が進み、データ転送速度は益々上がっている。他方、集積回路のピン数、チップ寸法の制約から、データ転送のためＬＤＶＳ、ＤＤＲなどの高速インターフェースを用いることが必須になってきている。そのため、高速インターフェースに用いるセルの小型化、高性能化がＬＳＩ本体の価格、性能（特性）に大きな影響を及ぼすようになっている。
かかる観点から、上述した本発明の実施の形態のＬＶＤＳ回路１は、小型、高性能、低消費電力のＬＶＤＳ回路として効果的に活用できる。
【００５４】
第２実施の形態
図７を参照して本発明の第２実施の形態のＬＶＤＳ回路について述べる。
図７に図解したＬＶＤＳ回路１Ａは、図３、図４に図解したＬＶＤＳ回路１に、第１プリチャージ・バイアス回路４１および第２プリチャージ・バイアス回路４２を付加してい

る。
第１プリチャージ・バイアス回路４１は、トランジスタＭＰ１、ＭＰ２それぞれのしきい値ＶｔｈＰ、ＶｔｈＮ付近の電圧を出力する。第２プリチャージ・バイアス回路４２は、トランジスタＭＮ１、ＭＮ２それぞれのしきい値ＶｔｈＮ付近の電圧を出力する。
第１バイアス回路３１および第２バイアス回路３２は第１実施の形態と同様である。
【００５５】
図３、図４に図解したＬＶＤＳ回路１を高速に動作させる場合を想定すると、出力ドライバであるトランジスタＭＰ１、ＭＰ２、およびトランジスタＭＮ１、ＭＮ２のゲート容量を高速にオン・オフする必要がある。
図７に図解したＬＶＤＳ回路１Ａにおいては、第１状態の動作を述べる。
第３スイッチＳＷ３がオン（導通）でトランジスタＭＰ１が第１バイアス回路３１からの第１バイアス電圧VBIAS１によってバイアスされてオンで、第６スイッチＳＷ６がオンでトランジスタＭＮ２が第２バイアス回路３２からの第２バイアス電圧VBIAS2 によってバイアスされてオンで、第２スイッチＳＷ２がオンでトランジスタＭＰ２が第１プリチャージ・バイアス回路４１からのプリチャージ電圧でプリチャージされて（トランジスタＭＰ２はオフ）、第７スイッチＳＷ７がオンでトランジスタＭＮ１が第２プリチャージ・バイアス回路４２でプリチャージされている（トランジスタＭＮ１はオフ状態である）。
このように、第１状態において、トランジスタＭＰ２とトランジスタＭＮ１とをプリチャージしておくことにより、第２状態に遷移したとき、これらのトランジスタが高速にオンとなる。
制御回路９０は上述した動作となるように、上述したスイッチＳＷを制御する。すなわち、第１バイアス回路３１と第１プリチャージ・バイアス回路４１とがトランジスタＭＰ１、トランジスタＭＰ２に相補的に接続され、第２バイアス回路３２と第２プリチャージ・バイアス回路４２とがトランジスタＭＮ２とトランジスタＭＮ１に相補的に接続される。
第２状態は上記第１状態とは逆となる。
【００５６】
プリチャージを行わない場合とプリチャージを行った場合とを対比する。
例示的に、Ｐチャンネル・ドライバについて考察するが、Ｎチャンネル・ドライバについても同様である。
下記式５はプリチャージを行わない場合の、図３、図４に図解したＬＶＤＳ回路１の、出力ドライバのゲートをα％、たとえば、α＝９５％までチャージする時間ｔ１を示す。
【００５７】
【数５】

$$(Vth + V_{OV}) \times \{1 - \exp(-t1 / C1 \times R1)\} = (Vth + V_{OV}) \times 0.95 \quad \cdots (5)$$

【００５８】
式５において、記号Ｃ１はＰチャンネル・ドライバ（トランジスタ）のゲート容量を示し、記号Ｒ１は第１～８スイッチＳＷ１～ＳＷ８のオン抵抗を示し、記号V_{OV}はＰチャンネル・ドライバのオーバードライブ電圧を示す。
式５を解くと、式６が得られる。
【００５９】
【数６】

$$t1 = 3.0 \times C1 \times R1 \quad \cdots (6)$$

【００６０】
次いで、プリチャージを行った場合について考察する。
下記式７は、プリチャージを行う場合の、図７に図解したＬＶＤＳ回路１Ａの、出力ド

ライバのゲートをα％、たとえば、α＝９５％までチャージする時間ｔ２を示す。

【００６１】

【数７】

$$Vth + [V_{OV} \times \{1 - \exp(-t2 / C1 \times R1)\}] = (Vth + V_{OV}) \times 0.95 \quad \cdots (7)$$

【００６２】

式７を解くと式８が得られる。

【００６３】

【数８】

$$t2 = -C1 \times R1 \times \log\{0.05 \times (Vth + V_{OV}) / V_{OV}\} \quad \cdots (8)$$

【００６４】

たとえば、しきい値Ｖｔｈ＝１Ｖ、Ｐチャンネル・ドライバ（トランジスタ）のオーバードライブ電圧V_{OV}＝０．５Ｖと仮定すると、チャージ時間ｔ２は下記になる。

【００６５】

【数９】

$$t2 = 1.89 \times C1 \times R1 \quad \cdots (9)$$

【００６６】

式６と式９を比較すると、３．０／１．８９＝０．６３となり、プリチャージを行うと、チャージ時間が約３７％短縮できる。換言すれば、約３７％だけ、図７に図解したＬＶＤＳ回路１Ａは図３、図４に図解したＬＶＤＳ回路１に比較して最大動作周波数を向上させることができる。

【００６７】

プリチヤージを行わない、図３、図４のＬＶＤＳ回路１においては、ＬＶＤＳの論理が変わるたびに、（しきい値Ｖｔｈ×ドライバのゲート容量Ｃ１）の電荷を毎回のスイッチング動作のときに無駄にしていることになるが、その点でも、図７に図解したＬＶＤＳ回路１Ａは電荷の無駄が回避できて、消費電力も削減できる。

【００６８】

図８（Ａ）～（Ｄ）は、図３、図４に図解したＬＶＤＳ回路１におけるプリチヤージを行わない場合と、図７に図解したＬＶＤＳ回路１Ａにおけるプリチヤージを行った場合との信号波形図を示す。

以上述べたように、プリチヤージを行うことにより、電源電圧の低下に起因する最大周波数の低下を回避することができる。

【００６９】

第３実施の形態

図９を参照して本発明の第３実施の形態としてＬＶＤＳ回路１Ｂを述べる。

図９に図解したＬＶＤＳ回路１Ｂにおける、第１～第８スイッチＳＷ１～ＳＷ８の開閉（導通）状態は、図３に図解した第１状態と同じにしている。したがって、第２状態では、第１～第８スイッチＳＷ１～ＳＷ８の開閉状態は逆になる。

ＬＶＤＳ回路１Ｂは、図３、図４における第１バイアス回路３１と第２バイアス回路３２との具体的な回路を示した回路である。

図３、図４における第１バイアス回路３１と第２バイアス回路３２とが、バイアス電流源５１、トランジスタＭＰ１１と、トランジスタＭＮ１１とで構成されている。

なお、第１バイアス回路３１と第２バイアス回路３２とを総称してバイアス回路３０と

呼ぶ。
　トランジスタＭＰ１１は、ゲートとドレインとが接続されており、実質的にダイオードとして動作する。同様に、トランジスタＭＮ１１は、ゲートとソースとが接続されており、実質的にダイオードとして動作する。
　バイアス電流源５１は２つのダイオードに電流を流すだけの簡単な構成であり、比較的消費電流を少なくすることができる。
【００７０】
　なお、図９に図解した回路構成において、第３スイッチＳＷ３または第４スイッチＳＷ４を挟んで、第１バイアス回路３１を構成するトランジスタＭＰ１１（ダイオード）と、トランジスタＭＰ１またはトランジスタＭＰ２とが、カレントミラー回路を構成している。
　同様に、第５スイッチＳＷ５または第６スイッチＳＷ６を挟んで、第２バイアス回路３２を構成するトランジスタＭＮ１１（ダイオード）と、トランジスタＭＮ１またはトランジスタＭＮ２とがカレントミラー回路を構成している。
　カレントミラー回路は安定な電流源として動作する。したがって、図９に図解したＬＶＤＳ回路１Ｂは安定な電流源のもとで動作する。
【００７１】
　以上述べたように、図９に図解したＬＶＤＳ回路１Ｂは、カレントミラー回路として安定な電流源を提供しつつ、図３、図４に図解したＬＶＤＳ回路１の利点を生かしながら、消費電流の少ない回路として実現している。
【００７２】
　第４実施の形態
　図７に図解したＬＶＤＳ回路１Ａに、第１バイアス回路３１および第２バイアス回路３２を図９に図解したバイアス回路３０を適用することができる。その結果、第２実施の形態の効果と第３実施の形態の効果を奏するＬＶＤＳ回路が実現できる。
【００７３】
　第５実施の形態
　図１０を参照して本発明の第３実施の形態としてＬＶＤＳ回路１Ｃを述べる。
　図１０に図解したＬＶＤＳ回路１Ｃにおける、第１～第８スイッチＳＷ１～ＳＷ８の開閉状態は、図７に図解した第１状態と同じにしている。したがって、第２状態では、第１～第８スイッチＳＷ１～ＳＷ８の開閉状態は逆になる。
　ＬＶＤＳ回路１Ｃは、コモンモード電圧を制御するため、図９における第３スイッチＳＷ３と第４スイッチＳＷ４に接続されているトランジスタＭＰ１１を削除し、第３スイッチＳＷ３と第４スイッチＳＷ４の共通接続点（第６ノードＮ６）に、比較回路７１を接続し、第１ノードＮ１と第２ノードＮ２との間に電圧検出回路６１を接続している。
　ＬＶＤＳ回路１Ｃにおいては、電圧検出回路６１において第１ノードＮ１と第２ノードＮ２との間の電圧、すなわち、出力電圧V_{out}を検出（測定）し、検出した電圧V_{out}を差動演算増幅回路７１の非反転入力端子（＋）に印加している。
　差動演算増幅回路７１は、電圧検出回路６１の検出電圧V_{out}と、反転入力端子（－）に印加されている基準電圧Ｖref とを比較し、その差の電圧に比例したバイアス電圧を第３スイッチＳＷ３を介してトランジスタＭＰ１のゲート、第４スイッチＳＷ４を介してトランジスタＭＰ２のゲートに印加する。
　ＬＶＤＳ回路１Ｃは、差動演算増幅回路７１と、電圧検出回路６１を追加するだけで、コモンモード電圧を制御することができる。
【００７４】
　ＬＶＤＳ回路１Ｃにおいては、差動演算増幅回路７１を付加しているから、差動演算増幅回路と出力ドライバとで構成されるループの周波数帯域がスイッチング動作のスルーレートで規定される周波数以下に設定する必要がある。
　ＬＶＤＳ回路１Ｃは、図３、図４に図解したＬＶＤＳ回路１と、図７に図解したＬＶＤＳ回路１Ａの利点を生かしながら、コモンモード電圧を制御できるという利点を有してい

る。
【００７５】
ＬＶＤＳ回路１Ｃにおいて、バイアス回路３０Ａが、バイアス電流源５１、トランジスタＭＮ１１と、差動演算増幅回路７１および電圧検出回路６１とで構成されていると考えることができる。
バイアス電流源５１とトランジスタＭＮ１１とが、第２バイアス回路３２に対応し、差動演算増幅回路７１と電圧検出回路６１とが第１バイアス回路３１に対応している。
【００７６】
第６実施の形態
図１１を参照して本発明の第６実施の形態としてＬＶＤＳ回路１Ｄを述べる。
図１１に図解したＬＶＤＳ回路１Ｄにおける、第１～第８スイッチＳＷ１～ＳＷ８の開閉状態は、図７に図解した第１状態と同じにしている。したがって、第２状態では、第１～第８スイッチＳＷ１～ＳＷ８の開閉状態は逆になる。
ＬＶＤＳ回路１Ｄは、図１０に図解したＬＶＤＳ回路１Ｃに対して、下記の追加・修正を行った回路である。
（１）差動増幅回路８１を付加した。
差動増幅回路８１の反転入力端子（－）は、バイアス電流源５１とトランジスタＭＰ１１のソース（またはドレイン）との接続点（第１５ノードＮ１５）に接続され、非反転入力端子（＋）が第９スイッチＳＷ９と第１０スイッチＳＷ１０との接続点（第１６ノードＮ１６）に接続され、出力端子が第１７ノードＮ１７においてトランジスタＭＮ１１のゲートと第５スイッチＳＷ５と第６スイッチＳＷ６との接続点（第１０ノードＮ１０）に接続されている。
（２）第１ノードＮ１と第２ノードＮ２と、差動増幅回路８１の非反転入力端子（＋）との間に、第９スイッチＳＷ９と第１０スイッチＳＷ１０とを付加した。
（３）図１０に図解したバイアス電流源５１とダイオード接続されたトランジスタＭＮ１１とで構成された第２バイアス回路３２のトランジスタＭＮ１１の接続を変更し、トランジスタＭＮ１１のゲートの接続を外し、第１７ノードＮ１７において差動増幅回路８１の出力端子に接続させた。トランジスタＭＮ１１はカレントミラー回路として機能する。
【００７７】
出力ドライバの寸法を極力小さく（レイアウトの面積を縮小）しようとすると、出力ドライバは飽和領域から線形領域に入りかける。このとき、出力電流の設定値が減少する。これを改善するため、差動増幅回路８１と、第９スイッチＳＷ９と第１０スイッチＳＷ１０を設け、トランジスタＭＮ１１を差動増幅回路８１の出力信号で動作させる。
差動増幅回路８１は、常に、出力ドライバＭＮ１，ＭＮ２のドレイン電圧と、基準電流を受けるトランジスタＭＮ１１のドレイン電圧が一致するようにゲート電圧を制御するため、トランジスタＭＮ１１と、トランジスタＭＮ１、ＭＮ２とは、正確なカレントミラー回路として動作する。その結果、出力ドライバが線形領域動作していても出力電流が設定値と一致する。
【００７８】
図１１に図解したＬＶＤＳ回路１Ｄにおいては、図１０に図解したＬＶＤＳ回路１Ｃと同様、差動演算増幅回路７１と出力ドライバとで構成されるループの周波数帯域がスイッチング動作のスルーレートで規定される周波数以下に設定する必要があることに加えて、差動増幅回路８１と出力ドライバとで構成されるループの周波数帯域がスイッチング動作のスルーレートで規定される周波数以下に設定する必要がある。
【００７９】
このように、図１１に図解したＬＶＤＳ回路１Ｄは、出力ドライバを寸法を極力小さく（レイアウト面積を縮小）しようとして、出力ドライバが飽和領域から線形領域に入り、線形領域で動作していても出力電流が、設定値に一致させることができ、所望の出力電流を提供できる。
【００８０】

本発明の実施の形態に際しては、上述した実施の形態に限定されず、種々の変形態様をとることができる。

たとえば、ＬＶＤＳ回路１～１ＤＡを構成する各トランジスタの極性は逆にすることができる。

また、上述したＬＶＤＳ回路を適宜、組み合わせることもできる。

【図面の簡単な説明】

【００８１】

【図１】図１はＬＶＤＳ回路の基本回路図である。

【図２】図２は従来技術のＬＶＤＳ回路の回路図である。

【図３】図３は本発明の駆動回路の第１実施の形態のＬＶＤＳ回路の第１状態を示す回路図である。

【図４】図４は本発明の駆動回路の第１実施の形態のＬＶＤＳ回路の第２状態を示す回路図である。

【図５】図５（Ａ）～（Ｄ）は図３、図４のＬＶＤＳ回路の第１の信号波形図である。

【図６】図６（Ａ）～（Ｄ）は図３、図４のＬＶＤＳ回路の第２の信号波形図である。

【図７】図７は本発明の駆動回路の第２実施の形態のＬＶＤＳ回路の回路図である。

【図８】図８（Ａ）～（Ｄ）は図７のＬＶＤＳ回路の信号波形図である。

【図９】図９は本発明の駆動回路の第３実施の形態のＬＶＤＳ回路の回路図である。

【図１０】図１０は本発明の駆動回路の第４実施の形態のＬＶＤＳ回路の回路図である。

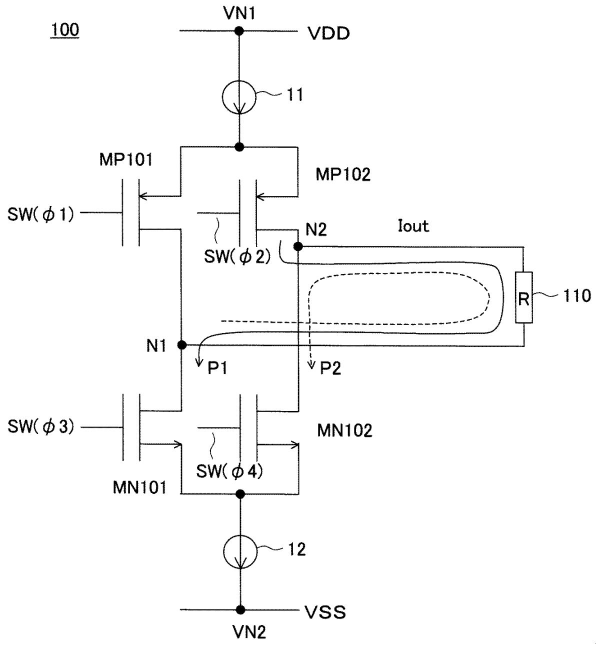
【図１１】図１１は本発明の駆動回路の第５実施の形態のＬＶＤＳ回路の回路図である。

【符号の説明】

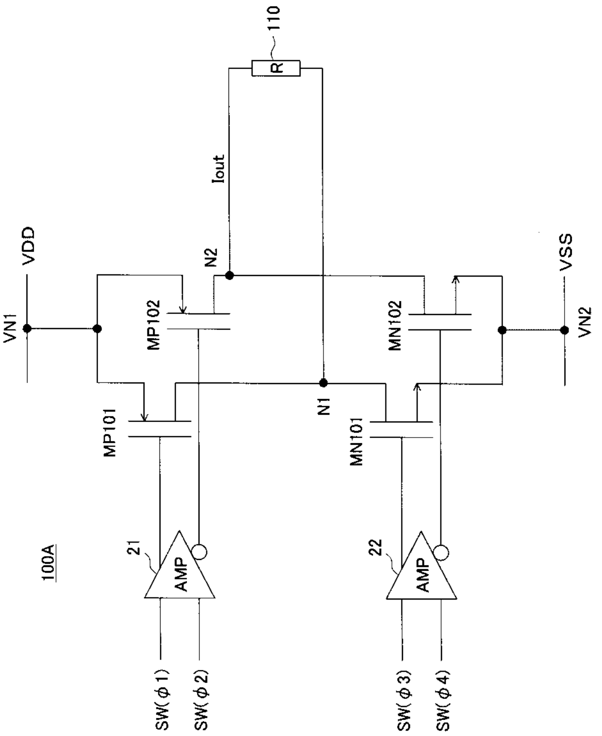
【００８２】

１、１Ａ～１Ｄ…ＬＶＤＳ回路、１ａ…ＬＶＤＳ基本回路、１ｂ…スイッチ回路、１ｃ…バイアス回路、１ｄ…プリチヤージ・バイアス回路、３０…バイアス回路、３１…第1バイアス回路、３２…第2バイアス回路、４１、４２…プリチヤージ・バイアス回路、５１…バイアス電流源、６１…電圧検出回路、７１…差動演算増幅回路、８１…差動増幅回路、９０…制御回路

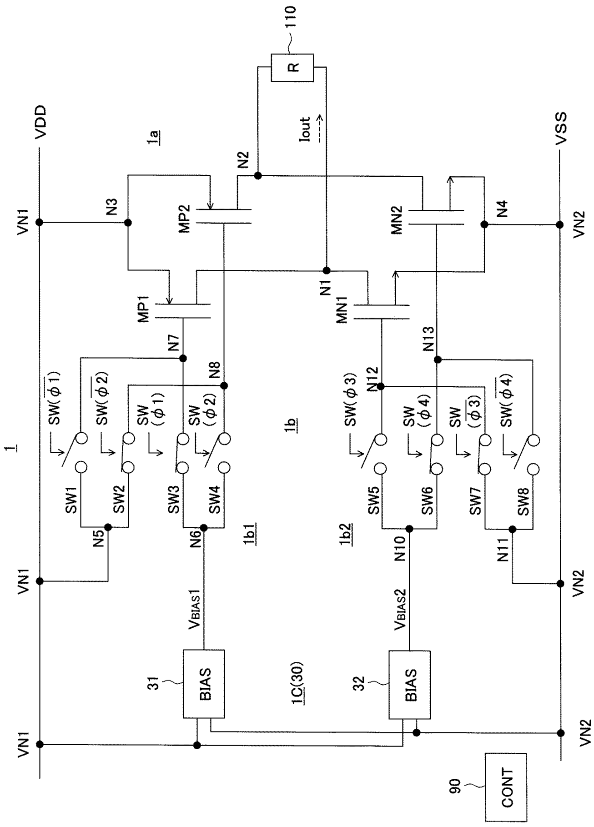
【図１】


100
VN1
VDD
11
MP101
MP102
SW(φ1)
SW(φ2)
N2
Iout
R
110
N1
P1
P2
SW(φ3)
SW(φ4)
MN102
MN101
12
VSS
VN2

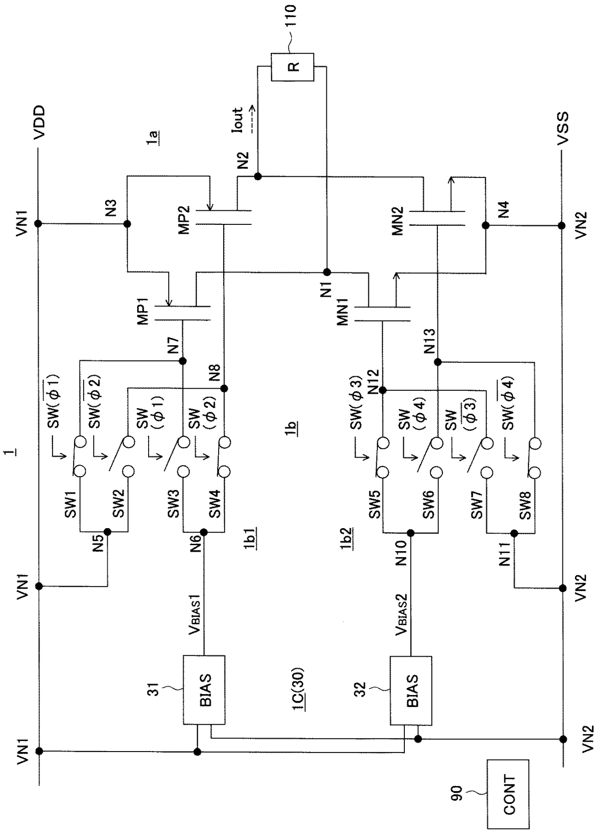
【図２】


110
R
Iout
VDD
VN1
N2
MP102
MP101
N1
MN102
MN101
VSS
VN2
100A
21
AMP
22
AMP
SW(φ1)
SW(φ2)
SW(φ3)
SW(φ4)

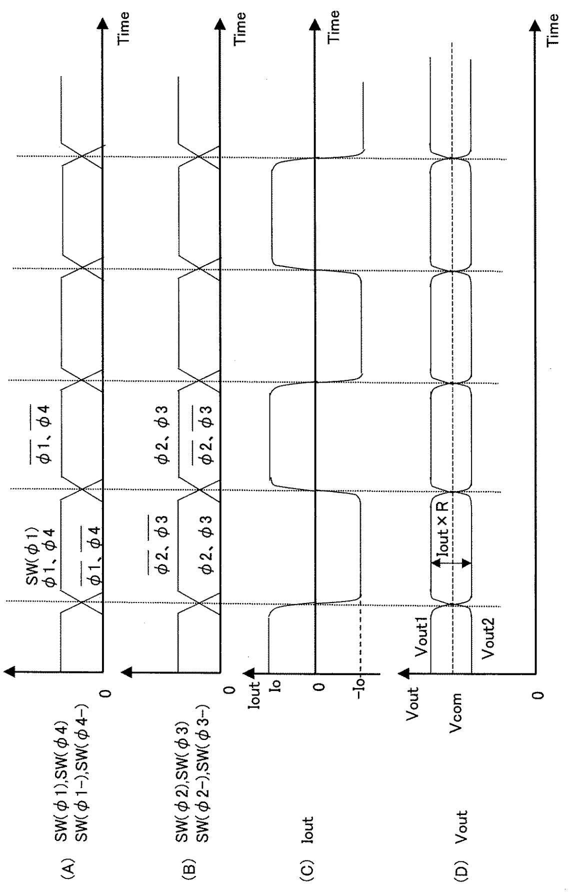
【図３】


110
R
Iout
VDD
VSS
1a
N2
N3
N4
MP2
MN2
MP1
MN1
N1
N7
N8
N12
N13
1b
1
SW1
SW2
SW3
SW4
SW5
SW6
SW7
SW8
N5
N6
N10
N11
1b1
1b2
VBIAS1
VBIAS2
BIAS
31
32
1C(30)
VN1
VN2
90
CONT

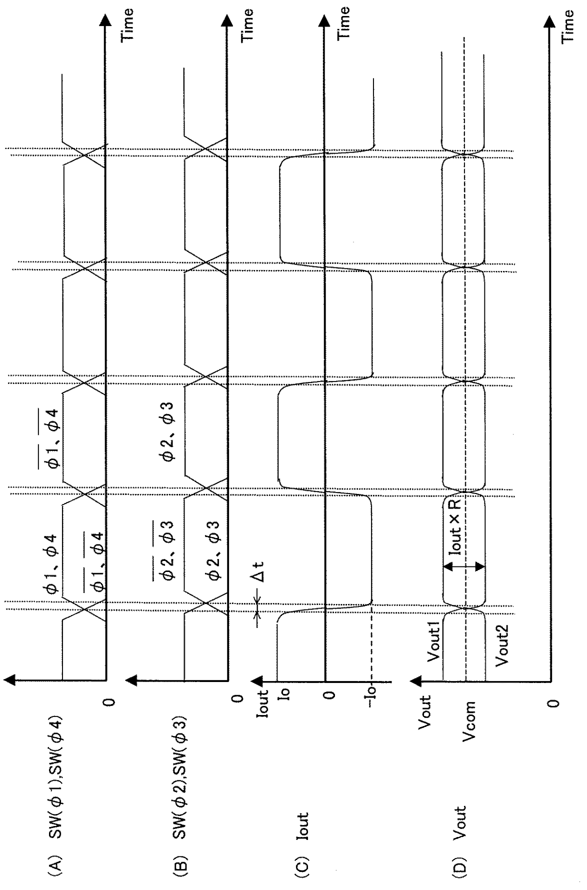
【図４】


110
R
Iout
VDD
VSS
1a
N2
N3
N4
MP2
MN2
MP1
MN1
N1
N7
N8
N12
N13
1b
1
SW1
SW2
SW3
SW4
SW5
SW6
SW7
SW8
N5
N6
N10
N11
1b1
1b2
VBIAS1
VBIAS2
BIAS
31
32
1C(30)
VN1
VN2
90
CONT

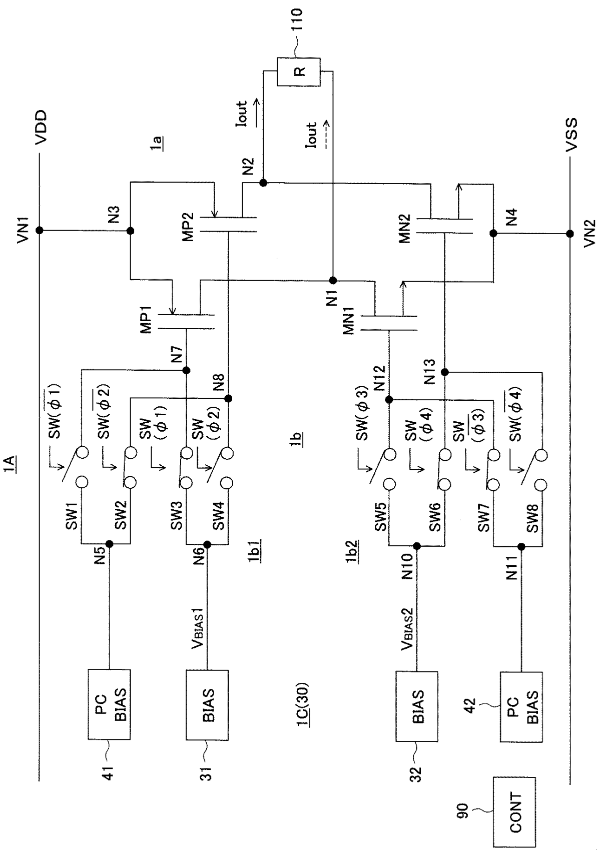
【図５】


(A) SW(φ1),SW(φ4) SW(φ1−),SW(φ4−)
(B) SW(φ2),SW(φ3) SW(φ2−),SW(φ3−)
(C) Iout
(D) Vout
Time
Iout
Io
−Io
Vout
Vcom
Vout1
Vout2
Iout×R
0

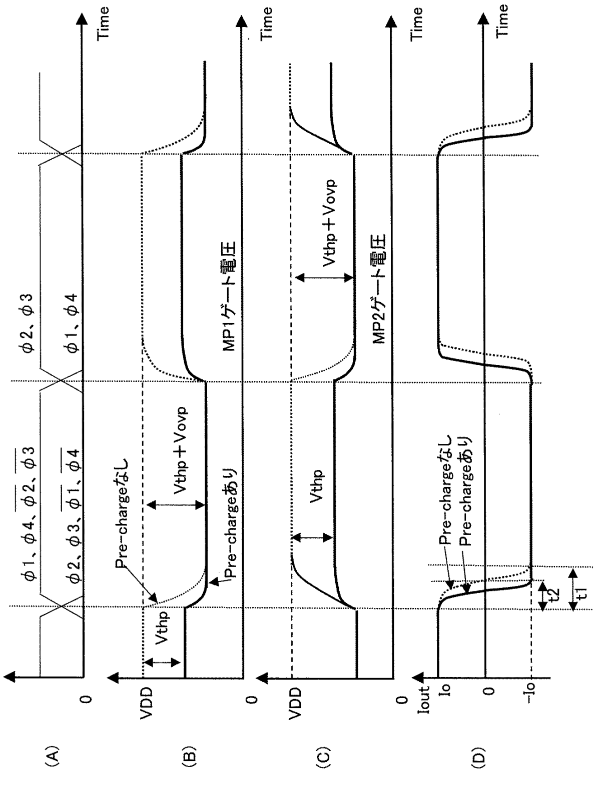
【図６】


(A) SW(φ1),SW(φ4)
(B) SW(φ2),SW(φ3)
(C) Iout
(D) Vout
Time
Iout
Io
−Io
Δt
Vout
Vcom
Vout1
Vout2
Iout×R
0

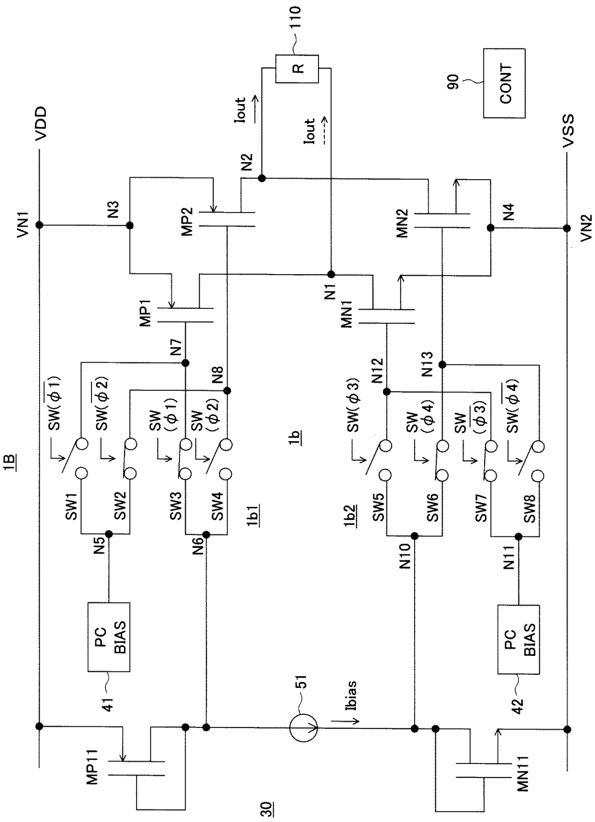
【図７】


1A
VDD
VSS
VN1
VN2
1a
1b
1b1
1b2
1C(30)
MP1
MP2
MN1
MN2
N1
N2
N3
N4
N5
N6
N7
N8
N10
N11
N12
N13
SW1
SW2
SW3
SW4
SW5
SW6
SW7
SW8
Iout
R
110
PC BIAS
BIAS
41
31
32
42
90
CONT

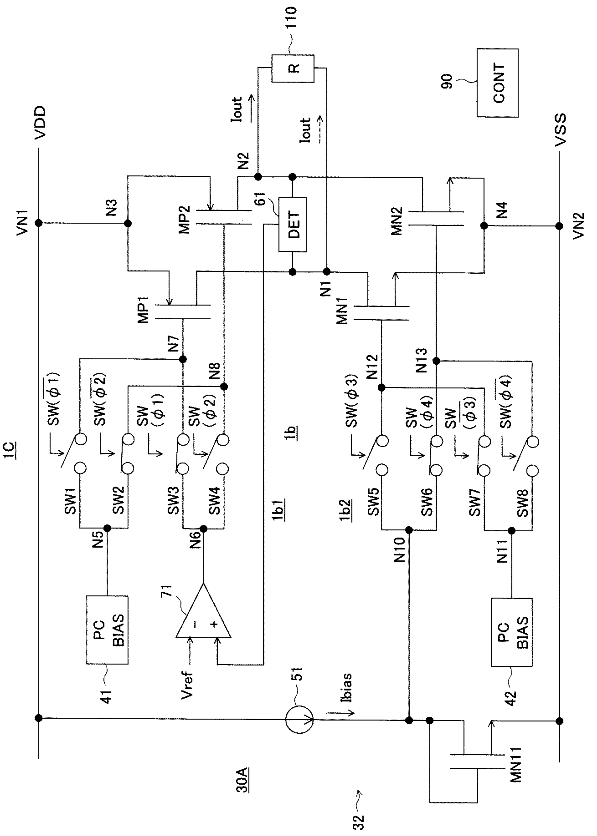
【図８】


(A)
(B)
(C)
(D)
Time
VDD
Vthp
Vthp＋Vovp
Pre-chargeなし
Pre-chargeあり
MP1ゲート電圧
MP2ゲート電圧
Iout
Io
−Io
t1
t2
0

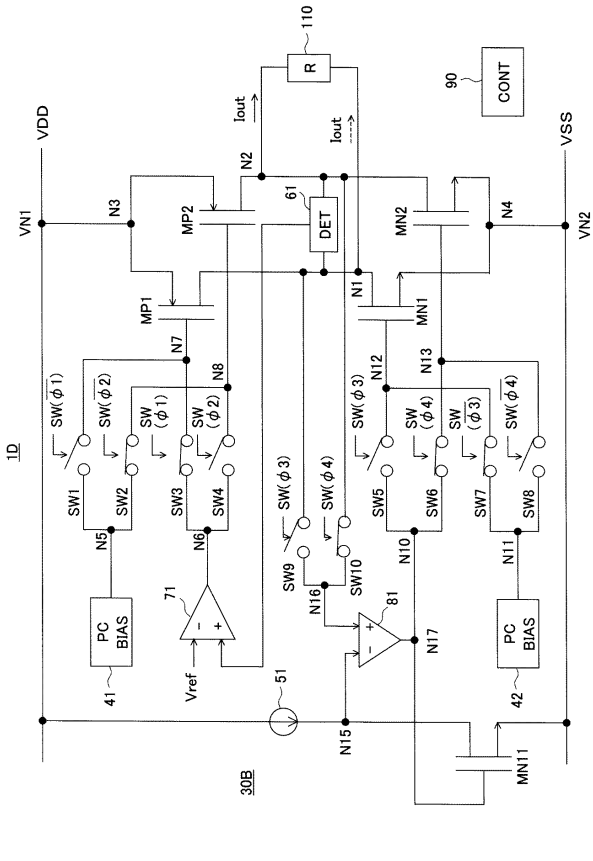
【図９】


VDD
VSS
VN1
VN2
N1
N2
N3
N4
N5
N6
N7
N8
N10
N11
N12
N13
MP1
MP2
MN1
MN2
MP11
MN11
R
110
Iout
CONT
90
PC BIAS
41
42
51
Ibias
SW1
SW2
SW3
SW4
SW5
SW6
SW7
SW8
1B
1b
1b1
1b2
30

【図１０】


VDD
VSS
VN1
VN2
N1
N2
N3
N4
N5
N6
N7
N8
N10
N11
N12
N13
MP1
MP2
MN1
MN2
MN11
DET
61
R
110
Iout
CONT
90
PC BIAS
41
42
71
Vref
51
Ibias
SW1
SW2
SW3
SW4
SW5
SW6
SW7
SW8
1C
1b
1b1
1b2
30A
32

【図１１】


VDD
VSS
VN1
VN2
N1
N2
N3
N4
N5
N6
N7
N8
N10
N11
N12
N13
N15
N16
N17
MP1
MP2
MN1
MN2
MN11
DET
61
R
110
Iout
CONT
90
PC BIAS
41
42
71
81
Vref
51
SW1
SW2
SW3
SW4
SW5
SW6
SW7
SW8
SW9
SW10
1D
30B

フロントページの続き

(56)参考文献　特開２００４－１１２４５３（ＪＰ，Ａ）
特開２００４－１５３７１３（ＪＰ，Ａ）
特開２００５－２１７９９９（ＪＰ，Ａ）
特開２００５－３２３２００（ＪＰ，Ａ）
特開２０００－１７４６０８（ＪＰ，Ａ）
特開２００６－０３３２２２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０３Ｋ１９／００，１９／０１－１９／０８２，１９／０９２－１９／０９６