

ITALIAN PATENT OFFICE

Document No.

102012902088028A1

Publication Date

20140328

Applicant

STMICROELECTRONICS S.R.L.

Title

DISPOSITIVO ALTOPARLANTE MEMS CON CIRCUITO ELETTRONICO DI
TEST E RELATIVO METODO DI TEST

DESCRIZIONE

del brevetto per invenzione industriale dal titolo:

"DISPOSITIVO ALTOPARLANTE MEMS CON CIRCUITO ELETTRONICO DI TEST E RELATIVO METODO DI TEST"

di STMICROELECTRONICS S.R.L.

di nazionalità italiana

con sede: VIA C. OLIVETTI, 2

AGRATE BRIANZA (MB)

Inventori: GASPARINI Alessandro, DE PASCALIS Daniele

* * *

La presente invenzione è relativa ad un dispositivo altoparlante ("speaker device") del tipo dei cosiddetti sistemi micro-elettromeccanici ("Micro-electromechanical systems", MEMS), il quale include un circuito elettronico di test. Inoltre, la presente invenzione si riferisce ad un metodo di test del suddetto dispositivo altoparlante.

Come mostrato ad esempio in figura 1, un altoparlante MEMS 1 comprende una pluralità di membrane 2, le quali sono disposte in modo da formare una matrice planare. Ad esempio, l'altoparlante MEMS 1 è formato da 1024 membrane, le quali sono disposte su trentadue righe e trentadue colonne.

L'altoparlante MEMS 1 comprende inoltre, per ciascuna colonna, un elettrodo superiore ("top electrode") T ed un elettrodo inferiore ("bottom electrode") B, nonché un

circuito di pilotaggio ("driving circuit") di elettrodo superiore 4 ed un circuito di pilotaggio di elettrodo inferiore 6.

Il circuito di pilotaggio di elettrodo superiore 4 è elettricamente interposto tra un primo nodo di alimentazione, il quale è posto ad una prima tensione di alimentazione V_D , e la massa. Inoltre, il circuito di pilotaggio di elettrodo superiore 4 ha un terminale di ingresso IN_T ed un terminale di uscita, quest'ultimo essendo collegato all'elettrodo superiore T.

Operativamente, il circuito di pilotaggio di elettrodo superiore 4 è atto ad imporre la tensione sull'elettrodo superiore T, in modo che quest'ultima sia sostanzialmente prossima alla prima tensione di alimentazione V_D , oppure sia sostanzialmente nulla, a seconda della tensione presente sul terminale di ingresso IN_T . In entrambi i casi, il terminale di uscita del circuito di pilotaggio di elettrodo superiore 4 si trova ad una impedenza bassa, sostanzialmente nulla.

Il circuito di pilotaggio di elettrodo inferiore 6 è elettricamente interposto tra il primo nodo di alimentazione e la massa. Inoltre, il circuito di pilotaggio di elettrodo inferiore 6 ha un terminale di ingresso IN_B ed un terminale di uscita, quest'ultimo essendo collegato all'elettrodo inferiore B.

Operativamente, il circuito di pilotaggio di elettrodo inferiore 6 è atto ad imporre la tensione sull'elettrodo inferiore B, in modo che quest'ultima sia sostanzialmente prossima alla prima tensione di alimentazione V_D , oppure sia sostanzialmente nulla, a seconda della tensione presente sul terminale di ingresso IN_B . In entrambi i casi, il terminale di uscita del circuito di pilotaggio di elettrodo inferiore 6 si trova ad una impedenza bassa, sostanzialmente nulla.

L'altoparlante MEMS 1 comprende inoltre, per ciascuna riga, un elettrodo di membrana M, il quale è collegato a tutte le membrane 2 della riga. In aggiunta, l'altoparlante MEMS 1 comprende, per ciascuna riga, un circuito di pilotaggio di elettrodo di membrana 8.

Ciascun circuito di pilotaggio di elettrodo membrana 8 è elettricamente interposto tra un secondo nodo di alimentazione, il quale è posto ad una seconda tensione di alimentazione V_{D2} , ed il primo nodo di alimentazione. La seconda tensione di alimentazione V_{D2} è superiore alla prima tensione di alimentazione V_D ; ad esempio, la seconda tensione di alimentazione V_{D2} è pari al doppio della prima tensione di alimentazione V_D . Inoltre, il circuito di pilotaggio di elettrodo di membrana 8 ha un terminale di ingresso IN_M ed un terminale di uscita, quest'ultimo essendo collegato all'elettrodo di membrana M.

Operativamente, il circuito di pilotaggio di elettrodo di membrana 8 è atto ad imporre la tensione sull'elettrodo di membrana M, in modo che quest'ultima sia sostanzialmente prossima, alternativamente, alla prima oppure alla seconda tensione di alimentazione V_D , V_{D2} , a seconda della tensione presente sul terminale di ingresso IN_M . In entrambi i casi, il terminale di uscita del circuito di pilotaggio di elettrodo di membrana 8 si trova ad una impedenza bassa, sostanzialmente nulla.

Da un punto di vista meccanico, l'altoparlante MEMS 1 è formato in un corpo di materiale semiconduttore, il quale comprende un substrato 9 (figura 2). Gli elettrodi superiori T e gli elettrodi inferiori B sono solidali con il substrato 9.

Come mostrato in figura 2, ciascun elettrodo superiore T è formato da una pluralità di sottoregioni di elettrodo superiore SRT, ciascuna delle quali sovrasta, a distanza, una corrispondente membrana 2. Le sottoregioni di elettrodo superiore SRT di ciascuna colonna sono in contatto ohmico tra loro, in modo da formare appunto l'elettrodo superiore T. Inoltre, ciascuna sottoregione di elettrodo superiore SRT è formata ad esempio di metallo ed è cava, in modo da consentire il passaggio dell'aria. Le sottoregioni di elettrodo superiore SRT sono anche note come piastre superiori.

Ciascun l'elettrodo inferiore B è formato da una pluralità di sottoregioni di elettrodo inferiore SRB, ciascuna delle quali è disposta al di sotto di una corrispondente membrana 2, a distanza da quest'ultima. Le sottoregioni di elettrodo inferiore SRB di ciascuna colonna sono in contatto ohmico tra loro, in modo da formare appunto l'elettrodo inferiore B. Inoltre, ciascuna sottoregione di elettrodo inferiore SRB è formata ad esempio di metallo ed è cava, in modo da consentire il passaggio dell'aria. Le sottoregioni di elettrodo inferiore SRB sono anche note come piastre inferiori.

In pratica, ciascun elettrodo superiore T sovrasta, a distanza, le membrane 2 della colonna ad esso corrispondente, le quali a loro volta sovrastano, a distanza, l'elettrodo inferiore B di tale colonna; inoltre, ciascun elettrodo inferiore B sovrasta il substrato 9.

Ciascuna membrana 2 forma, insieme al corrispondente elettrodo superiore T ed al corrispondente elettrodo inferiore B, ed in particolare insieme alla corrispondente piastra superiore SRT ed alla corrispondente piastra inferiore SRB, una unità elementare 10, la quale è anche nota come pixel 10. Inoltre, ciascuna membrana 2 è mobile rispetto alla corrispondente piastra superiore SRT ed alla corrispondente piastra inferiore SRB, e dunque è mobile rispetto all'elettrodo inferiore B ed all'elettrodo

superiore T della propria colonna. A tal fine, ciascuna membrana 2 è collegata al corrispondente elettrodo di membrana M attraverso una prima ed una seconda molla 11, 13, in maniera tale per cui la membrana 2 può muoversi verticalmente rispetto a porzioni fisse dell'elettrodo di membrana M cui è collegata.

In uso, le tensioni degli elettrodi inferiori e superiori B, T e degli elettrodi di membrana M sono imposte in maniera tale per cui le membrane 2 sono soggette a forze elettrostatiche che ne causano il movimento lungo la direzione verticale, alternativamente verso le corrispondenti piastre superiori SRT, oppure verso le corrispondenti piastre inferiori SRB.

In particolare, il movimento di ciascuna membrana 2 è tale per cui essa si avvicina alternativamente alla corrispondente piastra superiore SRT o alla corrispondente piastra inferiore SRB, senza tuttavia contattare alcuna di esse, al fine di evitare la creazione di un corto circuito.

Al fine di evitare la creazione di corto circuiti, in ciascun pixel 10 sono presenti uno o più elementi distanziatori superiori 14, i quali sono anche noti come "dimples" superiori, ed uno o più elementi distanziatori inferiori 16, i quali sono anche noti come "dimples" inferiori. In particolare, nell'esempio mostrato in figura 2, ciascuna piastra superiore SRT è associata ad un

corrispondente elemento distanziatore superiore 14, il quale è solidale con la piastra superiore SRT ed è interposto tra la piastra superiore SRT e la corrispondente membrana 2. Inoltre, ciascuna piastra inferiore SRB è associata ad un corrispondente elemento distanziatore inferiore 16, il quale è solidale con la stessa piastra inferiore SRB ed è interposto tra la piastra inferiore SRB e la corrispondente membrana 2.

In pratica, ciascuna membrana 2 è mobile tra i) una prima posizione, in cui essa è a contatto con l'elemento distanziatore inferiore 16 della corrispondente piastra inferiore SRB, ed è distanziata dall'elemento distanziatore superiore 14 della corrispondente piastra superiore SRT, ed ii) una seconda posizione, in cui essa è a contatto con l'elemento distanziatore superiore 14 della corrispondente piastra superiore SRT, ed è distanziata dall'elemento distanziatore inferiore 16 della corrispondente piastra inferiore SRB.

In uso, ciascuna membrana 2 viene dunque fatta oscillare tra le summenzionate prima e seconda posizione, in maniera tale per cui ciascun pixel 10 genera un'onda acustica, la quale è percepibile da un ascoltatore. In pratica, ciascun pixel 10 è in grado di trasdurre segnali elettrici in una rispettiva onda acustica elementare, l'insieme delle onde acustiche elementari generate dai

pixel 10 formando l'onda acustica complessivamente emessa dall'altoparlante MEMS 1.

Considerato ad esempio un singolo pixel 10, il movimento della rispettiva membrana 2 può essere ottenuto applicando a tale membrana 2, alla corrispondente piastra superiore SRT ed alla corrispondente piastra inferiore SRB, e dunque, rispettivamente, al corrispondente elettrodo di membrana M, al corrispondente elettrodo superiore T ed al corrispondente elettrodo inferiore B, le tensioni mostrate in figura 3.

Per maggior chiarezza, in figura 3 si è assunto che la prima e la seconda tensione di alimentazione V_D , V_{D2} siano rispettivamente pari a 25 V e 50V. Inoltre, si è assunto che la membrana 2 sia inizialmente bloccata presso ("latched to") la piastra inferiore SRB, e cioè che essa sia nella summenzionata prima posizione e che le tensioni sul corrispondente elettrodo superiore T, sul corrispondente elettrodo di membrana M e sul corrispondente elettrodo inferiore B siano tali per cui, in assenza di variazioni di tensione, la membrana 2 permane nella prima posizione. Ad esempio, si è assunto che le tensioni su tale elettrodo superiore T, su tale elettrodo di membrana M e su tale elettrodo inferiore B siano rispettivamente pari a 0V, 50V e 0V. In tal modo, in assenza di variazioni di tensione, la membrana 2 resta bloccata presso la piastra

inferiore SRB, grazie alla rilevante forza di attrazione elettrostatica presente tra la membrana 2 e la piastra inferiore SRB, la quale supera la forza di attrazione elettrostatica presente tra la stessa membrana 2 e la corrispondente piastra superiore SRT. Ciò è dovuto al fatto che, sebbene la tensione presente tra la membrana 2 e la corrispondente piastra inferiore SRB sia uguale alla tensione presente tra la membrana 2 e la corrispondente piastra superiore SRT, la membrana 2 è più vicina alla corrispondente piastra inferiore SRB che non alla corrispondente piastra superiore SRT.

Ciò premesso, mentre la tensione sull'elettrodo superiore T viene mantenuta nulla, la tensione sull'elettrodo di membrana M viene ridotta a 25V, e contemporaneamente la tensione sull'elettrodo inferiore B viene innalzata a 25V. In tal modo, si annulla la tensione presente tra la membrana 2 e la corrispondente piastra inferiore SRB, e di conseguenza si annulla la forza di attrazione elettrostatica presente tra di esse; la membrana 2 tende dunque a muoversi verticalmente in direzione della corrispondente piastra superiore SRT, a causa della differenza di tensione presente tra la membrana 2 e la corrispondente piastra superiore SRT. Successivamente, dopo che la membrana 2 si è allontanata dalla corrispondente piastra inferiore SRB di una distanza superiore ad una

distanza nota come distanza critica, la tensione sull'elettrodo di membrana M viene innalzata fino a 50V, mentre la tensione sull'elettrodo inferiore B viene ridotta a 0V; invece, la tensione sull'elettrodo superiore T viene mantenuta nulla. In tal modo, la membrana 2 viene bloccata presso la piastra superiore SRB. Si noti come nel riferirsi al bloccaggio di una membrana presso una piastra, sia essa superiore o inferiore, venga generalmente sottinteso il fatto che tale piastra è effettivamente la piastra che corrisponde alla membrana, e cioè sovrasta la membrana, oppure è sovrastata dalla membrana, rispetto alla quale è in prima approssimazione allineata.

Successivamente, al fine di bloccare nuovamente la membrana 2 presso la piastra inferiore SRB, la tensione sull'elettrodo di membrana M viene ridotta a 25V, e contemporaneamente la tensione sull'elettrodo superiore T viene innalzata a 25V. Così facendo, la membrana 2 tende a muoversi verticalmente in direzione della corrispondente piastra inferiore SRB, a causa della differenza di tensione presente tra la membrana 2 e la corrispondente piastra inferiore SRB. Successivamente, dopo che la membrana 2 dista dall'elettrodo inferiore B una distanza inferiore alla distanza critica, la tensione sull'elettrodo di membrana M viene innalzata fino a 50V, mentre la tensione sull'elettrodo superiore T viene ridotta a 0V; invece, la

tensione sull'elettrodo inferiore B viene mantenuta nulla. In tal modo, la membrana 2 viene bloccata presso la piastra inferiore SRB.

In maggior dettaglio, le membrane 2 sono azionate da un'unità di comando 15, la quale è collegata in uscita ai terminali di ingresso IN_T dei circuiti di pilotaggio di elettrodo superiore 4, ai terminali di ingresso IN_B dei circuiti di pilotaggio di elettrodo inferiore 6, ed ai terminali di ingresso IN_M dei circuiti di pilotaggio di elettrodo di membrana 8.

L'unità di comando 15 riceve in ingresso un segnale di tempo CLK ed un segnale di trama LATCH, il quale ha una frequenza pari ad un trentaduesimo della frequenza del segnale di tempo CLK; in tal modo, l'unità di comando 15 definisce una successione di trame, ciascuna delle quali è formata da trentadue bit.

L'unità di comando 15 riceve inoltre un primo, un secondo ed un terzo segnale di comando ROW, CTOP e CBOT, ciascuno dei quali definisce, per ciascuna trama, trentadue bit; tali primo, secondo e terzo segnale di comando ROW, CTOP e CBOT consentono dunque di indicizzare, ad ogni trama, tutti i pixel 10 dell'altoparlante MEMS 1. Infatti, ciascun bit del primo segnale di comando ROW è associato ad un corrispondente elettrodo di membrana M, mentre ciascun bit del secondo segnale di comando CTOP è associato ad un

corrispondente elettrodo superiore T, e ciascun bit del terzo segnale di comando CBOT è associato ad un corrispondente elettrodo inferiore B.

Il segnale di tempo CLK, il segnale di trama LATCH ed il primo, il secondo ed il terzo segnale di comando ROW, CTOP e CBOT possono essere generati, ad esempio, da un'unità elettronica esterna (non mostrata).

Come mostrato in figura 4, l'unità di comando 15 elabora il segnale di tempo CLK, il segnale di trama LATCH ed il primo, il secondo ed il terzo segnale di comando ROW, CTOP e CBOT in modo da generare corrispondenti tensioni sui terminali di ingresso IN_T dei circuiti di pilotaggio di elettrodo superiore 4, sui terminali di ingresso IN_B dei circuiti di pilotaggio di elettrodo inferiore 6, e sui terminali di ingresso IN_M dei circuiti di pilotaggio di elettrodo di membrana 8.

Ad esempio, la figura 4 mostra tre trame successive, con particolare riferimento ad un pixel esemplificativo, il quale è associato al secondo bit (BIT1) del primo segnale di comando ROW ed ai terzi bit (BIT2) del secondo e del terzo segnale di comando CTOP, CBOT, e cioè con particolare riferimento al pixel la cui membrana i) è collegata all'elettrodo di membrana M associato al secondo bit del primo segnale di comando ROW, ii) è sovrastata dalla piastra superiore SRT collegata all'elettrodo superiore T

associato al terzo bit del secondo segnale di comando CTOP, e iii) sovrasta la piastra inferiore SRB collegata all'elettrodo inferiore B associato al terzo bit del terzo segnale di comando CBOT. Inoltre, la figura 4 mostra gli andamenti delle tensioni VROW1, VCTOP2 e VCBOT2, le quali sono rispettivamente le tensioni dell'elettrodo di membrana M e degli elettrodi superiore T ed inferiore B relativi al pixel esemplificativo. Inoltre, in figura 4 si assume che, durante la prima trama, la membrana del pixel esemplificativo sia bloccata presso la piastra inferiore.

Ciò premesso, relativamente alla prima trama, il secondo bit del primo segnale di comando ROW ed il terzo bit del secondo segnale di comando CTOP sono a valori logici bassi, mentre il terzo bit del secondo segnale di comando CTOP è ad un valore logico alto. Ciò implica che, durante la seconda trama, la tensione VROW1 viene abbassata a V_D , e la tensione VCTOP2 viene mantenuta nulla, mentre la tensione VCBOT2 viene innalzata a V_D .

Durante la seconda trama, il secondo bit del primo segnale di comando ROW è ad un valore logico alto, mentre i terzi bit del secondo e del terzo segnale di comando CTOP, CBOT sono a valori logici bassi. Pertanto, durante la terza trama, la tensione VROW1 viene innalzata nuovamente a V_{D2} , e la tensione VCTOP2 viene mantenuta nulla, mentre la tensione VCBOT2 viene riportata a zero. In tal modo, nel

tempo che intercorre tra le tre trame mostrate in figura 4, la membrana del pixel esemplificativo viene portata, a partire dalla condizione di bloccaggio presso la piastra inferiore, alla condizione di bloccaggio presso la piastra superiore.

Indipendentemente dai dettagli relativi alla modalità di comando dell'altoparlante MEMS 1, è sentita l'esigenza di verificare la corretta fabbricazione, o comunque l'integrità, dell'altoparlante MEMS 1. In particolare, è sentita l'esigenza di testare, dato un qualsivoglia pixel 10, la capacità della corrispondente membrana di bloccarsi presso la corrispondente piastra superiore e/o presso la corrispondente piastra inferiore.

Scopo della presente invenzione è quindi fornire un metodo di test che consenta di verificare l'integrità di almeno un pixel dell'altoparlante MEMS.

Secondo la presente invenzione vengono dunque forniti un dispositivo altoparlante MEMS ed un metodo di test, come definiti, rispettivamente, nelle rivendicazioni 1 e 11.

Per una migliore comprensione della presente invenzione vengono ora descritte forme di realizzazione preferite, a puro titolo di esempi non limitativi, con riferimento ai disegni allegati, nei quali:

- la figura 1 mostra un circuito elettrico equivalente di una porzione di un altoparlante MEMS di tipo noto;

- la figura 2 mostra schematicamente sezioni trasversali di due pixel dell'altoparlante MEMS mostrato in figura 1;

- la figura 3 mostra un diagramma che riporta, su di un primo asse, una coordinata temporale (t) e, su di un secondo asse, una coordinata spaziale (z), tale diagramma mostrando l'evoluzione temporale della posizione della membrana di un pixel, nonché l'evoluzione temporale delle tensioni della piastra superiore, della piastra inferiore e della membrana di tale pixel;

- la figura 4 mostra l'evoluzione temporale di segnali elettrici generati all'interno di un altoparlante MEMS;

- le figure 5a e 5b mostrano schematicamente porzioni di un dispositivo altoparlante secondo la presente invenzione;

- la figura 6 mostra un circuito elettrico equivalente di una porzione del dispositivo altoparlante mostrato nelle figure 5a e 5b, durante una prima fase operativa;

- la figura 7 mostra il circuito elettrico equivalente illustrato in figura 6, durante una seconda fase operativa;

- le figure 8 e 10 mostrano andamenti nel tempo di segnali elettrici generati all'interno del presente dispositivo altoparlante; e

- la figura 9 mostra un circuito elettrico equivalente di una differente forma di realizzazione del presente

dispositivo altoparlante.

Le figure 5a e 5b mostrano un dispositivo altoparlante 20, il quale comprende l'altoparlante MEMS 1 mostrato in figura 1. Componenti del dispositivo altoparlante 20 già mostrati in figura 1 sono indicati con i medesimi segni di riferimento, salvo laddove specificato diversamente. Inoltre, la presente descrizione fa riferimento alle sole differenze tra il dispositivo altoparlante 20 e l'altoparlante MEMS 1.

A titolo puramente esemplificativo, ciascuna tra le figure 5a e 5b mostra una prima, una seconda, una terza ed una quarta membrana 32, 34, 36, 38. La prima e la seconda membrana 32, 34 appartengono ad una prima riga dell'altoparlante MEMS 1, e dunque sono collegate tra loro, nonché ad un primo elettrodo di membrana M1; la terza e la quarta membrana 36, 38 appartengono invece ad una seconda riga, e dunque sono collegate tra loro, nonché ad un secondo elettrodo di membrana M2.

Più in particolare, la prima membrana 32 è interposta, a distanza, tra una prima piastra superiore 42 ed una prima piastra inferiore 52, le quali formano rispettivamente un primo elettrodo superiore T1 ed un primo elettrodo inferiore B1.

La seconda membrana 34 è interposta, a distanza, tra una seconda piastra superiore 44 ed una seconda piastra

inferiore 54, le quali formano rispettivamente un secondo elettrodo superiore T2 ed un secondo elettrodo inferiore B2.

La terza membrana 36 è interposta, a distanza, tra una terza piastra superiore 46 ed una terza piastra inferiore 56, le quali formano rispettivamente il primo elettrodo superiore T1 ed il primo elettrodo inferiore B1.

La quarta membrana 38 è interposta, a distanza, tra una quarta piastra superiore 48 ed una quarta piastra inferiore 58, le quali formano rispettivamente il secondo elettrodo superiore T2 ed il secondo elettrodo inferiore B2.

Ciò premesso, secondo una prima forma di realizzazione, mostrata in figura 6, il dispositivo altoparlante 20 comprende un circuito di test 70, il quale include un primo, un secondo, un terzo ed un quarto interruttore 72, 74, 76, 78, nonché un condensatore di rilevazione C_{F1} ed un primo ed un secondo amplificatore differenziale 80, 82. Inoltre, in figura 6 sono mostrati il primo elettrodo di membrana M1, il primo elettrodo superiore T1 ed il primo elettrodo inferiore B1. La figura 6 mostra altresì un primo circuito di pilotaggio di elettrodo superiore 84, un primo circuito di pilotaggio di elettrodo inferiore 86 ed un primo circuito di pilotaggio di elettrodo di membrana 88, i cui terminali di uscita sono

rispettivamente collegati al primo elettrodo superiore T1, al primo elettrodo inferiore B1 ed al primo elettrodo di membrana M1. I terminali di ingresso del primo circuito di pilotaggio di elettrodo superiore 84, del primo circuito di pilotaggio di elettrodo inferiore 86 e del primo circuito di pilotaggio di elettrodo di membrana 88 sono rispettivamente indicati con IN_{T1} , IN_{B1} e IN_{M1} .

Il circuito di test 70 è comune a tutti i pixel 10 del dispositivo altoparlante 20. In particolare, il secondo ed il terzo interruttore 74, 78, il condensatore di rilevazione C_{F1} ed il primo ed il secondo amplificatore differenziale 80, 82 sono condivisi tra tutti i pixel 10 dell'altoparlante MEMS 1. A ciascun pixel 10 corrisponde, invece, una coppia di rispettivi interruttori, ai quali ci si riferisce anche come agli interruttori di pixel; dato un pixel, uno tra i due interruttori di pixel è interposto tra l'elettrodo superiore T corrispondente a tale pixel ed il terminale di ingresso negativo del primo amplificatore differenziale 80, mentre l'altro è interposto tra l'elettrodo inferiore B corrispondente a tale pixel ed il terminale di ingresso negativo del primo amplificatore differenziale 80.

Come mostrato ancora in figura 6, tra il primo elettrodo superiore T1 ed il primo elettrodo di membrana M1 è presente un primo condensatore C_1 , mentre tra il primo

elettrodo di membrana M1 ed il primo elettrodo inferiore B1 è presente un secondo condensatore C_2 . In pratica, le piastre del primo condensatore C_1 sono formate rispettivamente dalla prima piastra superiore 42 e dalla prima membrana 32, mentre le piastre del secondo condensatore C_2 sono formate rispettivamente dalla prima membrana 2 e dalla prima piastra inferiore 52.

Tra il primo elettrodo superiore T1 e la massa è altresì presente un terzo condensatore C_{TM} , la cui capacità è pari alla sommatoria delle capacità dei condensatori formati dal primo elettrodo superiore T1 e, rispettivamente, dalle membrane differenti dalla prima membrana 32 ed appartenenti alla medesima colonna cui appartiene la prima membrana 32.

Tra il primo elettrodo di membrana M1 e la massa sono inoltre presenti un quarto ed un quinto condensatore C_{MB} , C_{MT} . In particolare, la capacità del quarto condensatore C_{MB} è pari alla sommatoria delle capacità dei condensatori formati dal primo elettrodo di membrana M1 e, rispettivamente, dalle piastre inferiori SRB appartenenti alle colonne differenti dalla colonna cui appartiene la prima membrana 32. La capacità del quinto condensatore C_{MT} è pari alla sommatoria delle capacità dei condensatori formati dal primo elettrodo di membrana M1 e, rispettivamente, dalle piastre superiori SRT appartenenti

alle colonne differenti dalla colonna cui appartiene la prima membrana 32.

Tra il primo elettrodo inferiore B1 e la massa sono inoltre presenti un sesto ed un settimo condensatore C_{SUB} , C_{BM} . In particolare, la capacità del sesto condensatore C_{BSUB} è pari alla capacità del condensatore formato dal primo elettrodo inferiore B1 e dal substrato 9; la capacità del settimo condensatore C_{BM} è invece pari alla sommatoria delle capacità dei condensatori formati dal primo elettrodo inferiore B1 e, rispettivamente, dalle membrane differenti dalla prima membrana 32 ed appartenenti alla medesima colonna cui appartiene la prima membrana 32.

Nuovamente con riferimento al circuito di test 70, come precedentemente accennato, il primo interruttore 72 è collegato tra il primo elettrodo superiore T1 ed il terminale di ingresso negativo del primo amplificatore differenziale 80.

Il secondo interruttore 74 è collegato tra la massa ed il terminale di ingresso negativo del primo amplificatore differenziale 80.

Il terzo interruttore 76 è collegato tra il terminale di uscita del primo amplificatore differenziale 80 ed un terzo nodo di alimentazione, il quale è posto, in uso, ad una terza tensione di alimentazione $V_{DD}/2$, la quale è ad esempio dell'ordine di pochi Volt.

Il quarto interruttore 78 è collegato tra il primo elettrodo inferiore B1 ed il terminale di ingresso negativo del primo amplificatore differenziale 80.

Il primo, il secondo, il terzo ed il quarto interruttore 72, 74, 76, 78 sono controllati dall'unità di elaborazione 15, come descritto in seguito. Inoltre, il condensatore di rilevazione C_{F1} è collegato tra il terminale di ingresso negativo ed il terminale di uscita del primo amplificatore differenziale 80, in modo da retroazionare quest'ultimo. Il terminale di ingresso positivo del primo amplificatore differenziale 80 è collegato a massa.

Il terminale di ingresso negativo del secondo amplificatore differenziale 82 è collegato al terminale di uscita del primo amplificatore differenziale 80, quest'ultimo terminale di uscita definendo un primo nodo di uscita N_{OUT1} , mentre il terminale di ingresso positivo del secondo amplificatore differenziale 82 è posto, in uso, ad una prima tensione di riferimento REF1. In pratica, il secondo amplificatore differenziale 82 funge da comparatore.

La prima membrana 32 appartiene ad un primo pixel 101. Per verificare l'integrità di tale primo pixel 101, e dunque la corretta mobilità della prima membrana 32, è possibile eseguire le operazioni descritte qui di seguito.

Inizialmente, ad un istante t_0 , il primo ed il quarto interruttore 72, 78 sono aperti, mentre il secondo ed il terzo interruttore 74, 76 sono chiusi, come mostrato in figura 6. In tal modo, il condensatore di rilevazione C_{F1} viene caricato ad una tensione pari alla terza tensione di alimentazione $V_{DD}/2$; di conseguenza, il primo amplificatore differenziale 80 viene polarizzato in un corrispondente punto di lavoro.

Successivamente, tutte le membrane 2 vengono bloccate, in modo di per sé noto, presso le corrispondenti piastre inferiori SRB. In altre parole, ciascuna membrana 2 si trova più prossima alla corrispondente piastra inferiore SRB, che alla corrispondente piastra superiore SRT. Con riferimento alla prima membrana 32, essa viene disposta in prossimità della prima piastra inferiore 52, come mostrato ad esempio in figura 5a. A titolo puramente esemplificativo, il bloccaggio delle membrane 2 viene eseguito tra un istante t_{BOT1} ed un istante t_{BOT2} .

In tal modo, il dispositivo altoparlante 20 viene comandato in uno stato noto, indipendentemente da qualsiasi stato assunto dallo stesso dispositivo altoparlante 20 in precedenza.

In seguito, ad un istante t_{HZ1} , il primo circuito di pilotaggio di elettrodo superiore 84 viene comandato, in modo di per sé noto, in modo da operare in cosiddetta alta

impedenza. In altre parole, il terminale di uscita del primo circuito di pilotaggio di elettrodo superiore 84 viene posto ad una impedenza idealmente infinita, dunque viene elettricamente disaccoppiato dal primo elettrodo superiore T1.

Successivamente, ad un istante t_{SW1} , il primo interruttore 72 viene chiuso dall'unità di comando 15.

In seguito, ad un istante t_{SW2} , il secondo ed il terzo interruttore 74, 76 vengono aperti dall'unità di comando 15, come mostrato in figura 7.

L'unità di comando 15 applica quindi un primo segnale di stimolo al terminale di ingresso IN_{M1} del primo circuito di pilotaggio di elettrodo di membrana 88. Il primo segnale di stimolo è mostrato in figura 8, dove la tensione sul terminale di ingresso IN_{M1} è indicata con V_{M1} .

Il primo segnale di stimolo è formato da un primo fronte di discesa, il quale si verifica ad un istante t_1 ed è seguito da un primo fronte di salita, che si verifica ad un istante t_2 . Il primo fronte di discesa si estende tra la seconda tensione di alimentazione V_{D2} e la prima tensione di alimentazione V_D , mentre il primo fronte di salita si estende tra la prima tensione di alimentazione V_D e la seconda tensione di alimentazione V_{D2} . Inoltre, prima del primo fronte discesa, il terminale di ingresso IN_{M1} del primo circuito di pilotaggio di elettrodo di membrana 88 si

trova posto alla seconda tensione di alimentazione V_{D2} , perché la prima membrana 32 è stata precedentemente bloccata presso la prima piastra inferiore 52. In tale condizione, la capacità del primo condensatore C_1 è inferiore alla capacità del secondo condensatore C_2 .

Dal momento che il primo interruttore 72 è chiuso, ed il secondo ed il terzo interruttore 74, 76 sono aperti, nell'intervallo di tempo compreso tra gli istanti t_1 e t_2 il primo amplificatore differenziale 80 funge da amplificatore invertente. Più in particolare, sul primo nodo di uscita N_{OUT1} è presente una prima tensione di uscita V_{OUT1} , la quale all'istante t_1 è pari alla terza tensione di alimentazione $V_{DD}/2$, e successivamente cresce fino ad assumere, all'istante t_2 , un valore V_{t2} . In particolare, la prima tensione di uscita V_{OUT1} cresce con una legge esponenziale, ed inoltre si ha che $V_{t2} = (V_{D2} - V_D) * C_1 / C_{F1}$, dove le capacità del primo condensatore C_1 e del condensatore di rilevazione C_{F1} sono indicate con i medesimi segni utilizzati per indicare i corrispondenti condensatori (cioè, C_1 e C_{F1}).

In seguito, ad un istante t_{SW3} , il secondo ed il terzo interruttore 74, 76 vengono chiusi, in modo da caricare nuovamente il condensatore di rilevazione C_{F1} ad una tensione pari alla terza tensione di alimentazione $V_{DD}/2$, mantenendo retroazionato il primo amplificatore

differenziale 80.

Successivamente, ad un istante t_{SW4} , il primo interruttore 72 viene aperto.

In seguito, come mostrato in figura 5b, la prima membrana 32 viene bloccata presso la prima piastra superiore 42, mentre le altre membrane mantengono le rispettive posizioni e dunque rimangono bloccate presso le corrispondenti piastre inferiori SRB.

A titolo puramente esemplificativo, le operazioni aventi il fine di bloccare la prima membrana 32 presso la prima piastra superiore 42 avvengono in un intervallo di tempo compreso tra un istante t_{TOP1} ed un successivo istante t_{TOP2} .

Successivamente, ad un istante t_{HZ2} , il primo circuito di pilotaggio di elettrodo superiore 84 viene comandato, in modo di per sé noto, in modo da operare in cosiddetta alta impedenza.

In seguito, ad un istante t_{SW5} , il primo interruttore 72 viene chiuso.

Successivamente, ad un istante t_{SW6} , il secondo ed il terzo interruttore 74, 76 vengono aperti.

L'unità di comando 15 applica quindi un secondo segnale di stimolo al terminale di ingresso IN_{M1} del primo circuito di pilotaggio di elettrodo di membrana 88. In pratica, il primo ed il secondo segnale di stimolo formano

corrispondenti impulsi; inoltre, il primo ed il secondo segnale di stimolo formano un segnale di pilotaggio di membrana, quest'ultimo essendo definito dalla tensione V_{M1} presente sul terminale di ingresso IN_{M1} del primo circuito di pilotaggio di elettrodo di membrana 88.

In dettaglio, come mostrato ancora in figura 8, il secondo segnale di stimolo è formato da un secondo fronte di discesa, il quale si verifica ad un istante t_3 ed è seguito da un secondo fronte di salita, che si verifica ad un istante t_4 . Il secondo fronte di discesa si estende tra la seconda tensione di alimentazione V_{D2} e la prima tensione di alimentazione V_D , mentre il secondo fronte di salita si estende tra la prima tensione di alimentazione V_D e la seconda tensione di alimentazione V_{D2} . Inoltre, prima del secondo fronte discesa, il terminale di ingresso IN_{M1} del primo circuito di pilotaggio di elettrodo di membrana 88 si trova alla seconda tensione di alimentazione V_{D2} , perché la prima membrana 32 è stata precedentemente bloccata presso la prima piastra superiore 42. In tale condizione, la capacità del primo condensatore C_1 è superiore alla capacità del secondo condensatore C_2 .

Dal momento che il primo interruttore 72 è chiuso, ed il secondo ed il terzo interruttore 74, 76 (nonché il quarto interruttore 78) sono aperti, nell'intervallo di tempo compreso tra gli istanti t_3 e t_4 il primo

amplificatore differenziale 80 funge da amplificatore invertente. Più in particolare, all'istante t_3 la prima tensione di uscita V_{OUT1} è pari alla terza tensione di alimentazione $V_{DD}/2$, e successivamente cresce fino ad assumere, all'istante t_4 , un valore V_{t4} . In particolare, la prima tensione di uscita V_{OUT1} cresce con una legge esponenziale, ed inoltre si ha che $V_{t4} = (V_{D2} - V_D) * C_1 / C_{F1}$. Dal momento che, nell'intervallo di tempo compreso tra gli istanti t_3 e t_4 , la capacità del primo condensatore C_1 è maggiore rispetto alla capacità che lo stesso primo condensatore C_1 ha durante l'intervallo di tempo compreso tra gli istanti t_1 e t_2 , vale la relazione $V_{t4} > V_{t2}$.

In seguito, ad un istante t_{SW7} , il secondo ed il terzo interruttore 74, 76 vengono chiusi. Infine, ad un istante t_{SW8} , il primo interruttore 72 viene aperto.

In maggior dettaglio, la prima tensione di riferimento REF1 è impostata in modo di per sé noto, sulla base dell'escursione attesa della prima membrana 32, e dunque dei corrispondenti valori attesi della capacità del primo condensatore C_1 , relativamente ai casi in cui la prima membrana 32 è bloccata rispettivamente presso la prima piastra inferiore 52 e presso la prima piastra superiore 42, e nell'ipotesi che la prima membrana 32 sia appunto mobile come da progetto dell'altoparlante MEMS 1.

La prima tensione di riferimento REF1 viene dunque

impostata in modo che, qualora il pixel 101 contenente la prima membrana 32 sia integro, essa sia compresa tra V_{t_2} e V_{t_4} . Ne consegue dunque che, qualora il pixel 101 sia integro, la prima tensione di uscita V_{OUT1} rispetta una prima condizione.

In particolare, la prima condizione prevede che, considerati l'intervallo di tempo compreso tra gli istanti t_1 e t_2 e l'intervallo di tempo compreso tra gli istanti t_3 e t_4 , la prima tensione di uscita V_{OUT1} superi la prima tensione di riferimento REF1 solo in un sottointervallo dell'intervallo di tempo compreso tra gli istanti t_3 e t_4 , ed in particolare nell'intervallo compreso tra un istante t^* e l'istante t_4 . Equivalentemente, la prima condizione prevede che $V_{t_2} < REF1 < V_{t_4}$.

Nel seguito, per brevità, ci si riferisce alla finestra temporale di indagine per indicare l'unione dell'intervallo di tempo compreso tra gli istanti t_1 e t_2 e dell'intervallo di tempo compreso tra gli istanti t_3 e t_4 .

Se il pixel 101 è integro, durante la finestra temporale di indagine la tensione del terminale di uscita del secondo amplificatore differenziale 82 è normalmente positiva e presenta un picco negativo solamente nel sottointervallo compreso tra gli istanti t^* e t_4 . Ne consegue che, riferendosi al segnale di analisi per indicare il segnale presente sul terminale di uscita del

secondo amplificatore differenziale 82, è possibile verificare il rispetto della summenzionata prima condizione, e dunque l'integrità del pixel 101, sulla base dei valori assunti del segnale di analisi.

In particolare, qualora il segnale di analisi sia positivo durante l'intervallo di tempo compreso tra gli istanti t_1 e t_2 , e negativo durante il solo sottointervallo $[t^*-t_4]$, è possibile dedurre che il pixel 101 è integro, almeno per quanto concerne la capacità della prima membrana 32 di bloccarsi presso la prima piastra superiore 42. Il secondo amplificatore differenziale 82 funge quindi da unità di rilevazione.

L'analisi descritta si basa dunque sulla generazione di un segnale proporzionale alla capacità del primo condensatore C_1 , il quale consente di verificare che lo stesso primo condensatore C_1 assuma i valori di capacità attesi per le condizioni di bloccaggio presso la prima piastra superiore 42 e la prima piastra inferiore 52. In altre parole, le operazioni svolte tra l'istante t_{HZ1} e l'istante t_2 consentono di misurare la capacità del primo condensatore C_1 , quando la prima membrana 32 è bloccata presso la prima piastra inferiore 52, o meglio, più precisamente, quando la prima membrana 32 dovrebbe essere bloccata presso la prima piastra inferiore 52, in caso di pixel integro. Inoltre, le operazioni svolte tra l'istante

t_{HZ2} e l'istante t_4 consentono di misurare la capacità del primo condensatore C_1 , quando la prima membrana 32 è bloccata presso la prima piastra superiore 42, o meglio, più precisamente, quando la prima membrana 32 dovrebbe essere bloccata presso la prima piastra superiore 42, in caso di pixel integro. Ai fini pratici, gli andamenti della prima tensione di uscita V_{OUT1} durante gli intervalli $[t_1-t_2]$ e $[t_3-t_4]$ formano corrispondenti segnali di misura.

Nel seguito, per brevità, ci si riferisce all'insieme delle operazioni descritte in precedenza come alle operazioni di rilevazione della capacità del primo condensatore C_1 .

In aggiunta, oppure in alternativa, alle summenzionate operazioni di rilevazione della capacità del primo condensatore C_1 , è possibile eseguire operazioni di rilevazione della capacità del secondo condensatore C_2 .

In dettaglio, le operazioni di rilevazione della capacità del secondo condensatore C_2 sono analoghe alle operazioni di rilevazione della capacità del primo condensatore C_1 , fatte salve le seguenti differenze:

- all'istante t_{HZ1} , l'unità di comando 15 comanda, anziché il primo circuito di pilotaggio di elettrodo superiore 84, il primo circuito di pilotaggio di elettrodo inferiore 86, in modo che operi in alta impedenza;

- all'istante t_{SW1} , anziché il primo interruttore 72,

viene chiuso il quarto interruttore 78;

- all'istante t_{SW4} , anziché il primo interruttore 72, viene aperto il quarto interruttore 78;

- all'istante t_{HZ2} , l'unità di comando 15 comanda, anziché il primo circuito di pilotaggio di elettrodo superiore 84, il primo circuito di pilotaggio di elettrodo inferiore 86, in modo che operi in alta impedenza;

- all'istante t_{SW5} , anziché il primo interruttore 72, viene chiuso il quarto interruttore 78; e

- all'istante t_{SW8} , anziché il primo interruttore 72, viene aperto il quarto interruttore 78.

Inoltre, nel caso di rilevazione della capacità del secondo condensatore C_2 , l'andamento della prima tensione di uscita V_{OUT1} nell'intervallo compreso tra gli istanti t_1 e t_2 e nell'intervallo compreso tra gli istanti t_3 e t_4 risulta invertito rispetto a quanto mostrato in figura 8. Si verifica dunque che, nel caso in cui il pixel 101 sia integro, vale la relazione $V_{t2} > V_{t4}$.

Ne consegue dunque che, qualora il pixel 101 sia integro, la prima tensione di uscita V_{OUT1} rispetta una seconda condizione. In particolare, la seconda condizione prevede che, considerata la finestra temporale di indagine, la prima tensione di uscita V_{OUT1} superi la prima tensione di riferimento REF1 solo in un sottointervallo (non mostrato) dell'intervallo di tempo compreso tra gli istanti

t_1 e t_2 . Pertanto, se il pixel 101 è integro, durante la finestra temporale di indagine la tensione del terminale di uscita del secondo amplificatore differenziale 82 è normalmente positiva e presenta un picco negativo solamente nel summenzionato sottointervallo dell'intervallo di tempo compreso tra gli istanti t_1 e t_2 . Ne consegue che, qualora il segnale di analisi sia positivo durante l'intervallo di tempo compreso tra gli istanti t_3 e t_4 , e negativo solamente durante il summenzionato sottointervallo dell'intervallo di tempo compreso tra gli istanti t_1 e t_2 , è possibile dedurre che il pixel 101 è integro, almeno per quanto concerne la capacità della prima membrana 32 di bloccarsi presso la prima piastra inferiore 52.

In pratica, le operazioni di rilevazione della capacità del secondo condensatore C_2 si basano sulla generazione di un segnale proporzionale alla capacità del secondo condensatore C_2 , il quale consente di verificare che lo stesso secondo condensatore C_2 assuma i valori di capacità attesi per le condizioni di bloccaggio presso la prima piastra superiore 42 e la prima piastra inferiore 52. In altre parole, le operazioni svolte tra l'istante t_{HZ1} e l'istante t_2 consentono di misurare la capacità del secondo condensatore C_2 , quando la prima membrana 32 è bloccata presso la prima piastra inferiore 52, o meglio, più precisamente, quando la prima membrana 32 dovrebbe essere

bloccata presso la prima piastra inferiore 52, in caso di pixel integro. Inoltre, le operazioni svolte tra l'istante t_{HZ2} e l'istante t_4 consentono di misurare la capacità del secondo condensatore C_2 , quando la prima membrana 32 è bloccata presso la prima piastra superiore 42, o meglio, più precisamente, quando la prima membrana 32 dovrebbe essere bloccata presso la prima piastra superiore 42, in caso di pixel integro. Ai fini pratici, gli andamenti della prima tensione di uscita V_{OUT1} durante gli intervalli $[t_1-t_2]$ e $[t_3-t_4]$ formano ancora corrispondenti segnali di misura.

Si noti inoltre come la prima tensione di riferimento REF1 non debba essere modificata, nel caso in cui si presuma che, qualora il pixel 101 sia integro, i valori della capacità del secondo condensatore C_2 in condizioni di bloccaggio della prima membrana 32 presso la prima piastra inferiore 52 e presso la prima piastra superiore 42 siano sostanzialmente uguali, rispettivamente, ai valori della capacità del primo condensatore C_1 in condizioni di bloccaggio presso la prima piastra superiore 42 e presso la prima piastra inferiore 52.

Iterando le operazioni di rilevazione della capacità del primo condensatore C_1 e/o le operazioni di rilevazione della capacità del secondo condensatore C_2 su tutti i pixel 10, si perviene a testare l'intero altoparlante MEMS 1. Inoltre, per i motivi precedentemente descritti, per

ciascun pixel 10 è possibile testare il primo e/o il secondo condensatore C_1 , C_2 . Durante tali operazioni, si verifica che non viene chiuso più di un interruttore di pixel per volta.

Secondo una differente forma di realizzazione, mostrata in figura 9, il quarto interruttore 78 è interposto tra il primo elettrodo inferiore B1 ed il terminale di ingresso positivo del primo amplificatore differenziale, il quale è qui indicato con 81 ed opera in configurazione simmetrica. Il primo amplificatore differenziale 81 ha dunque due terminali di uscita, i quali definiscono rispettivamente il primo nodo di uscita N_{OUT1} ed un secondo nodo di uscita N_{OUT2} . Sul secondo nodo di uscita N_{OUT2} è presente una seconda tensione di uscita V_{OUT2} ; tra il secondo nodo di uscita N_{OUT2} ed il primo nodo di uscita N_{OUT1} è invece presente una terza tensione di uscita V_{DIFF} .

Il circuito di test 70 comprende inoltre condensatore addizionale C_{F2} , uguale al condensatore di rilevazione C_{F1} , ma collegato tra il terminale di ingresso positivo del primo amplificatore operativo 81 ed il secondo nodo di uscita N_{OUT2} . Inoltre, il circuito di test 70 comprende un quinto ed un sesto interruttore 94, 96. Il quinto interruttore 94 è interposto tra il terminale di ingresso

positivo del primo amplificatore differenziale 81 e la massa, mentre il sesto interruttore 96 è interposto tra il secondo nodo di uscita N_{OUT2} e la terza tensione di alimentazione $V_{DD}/2$.

Il circuito di test 70 comprende inoltre uno stadio di rilevazione 83, il quale ha quattro terminali di ingresso, due dei quali sono rispettivamente collegati al primo ed al secondo nodo di uscita N_{OUT1} , N_{OUT2} ; i rimanenti due terminali di ingresso sono posti rispettivamente alla prima tensione di riferimento REF1 e ad una seconda tensione di riferimento REF2.

In tal caso, per testare l'integrità del pixel 101, è possibile eseguire le seguenti operazioni, descritte con riferimento alla figura 10.

Inizialmente, all'istante t_0 , il primo ed il quarto interruttore 72, 78 sono aperti, mentre il secondo, il terzo, il quinto ed il sesto interruttore 74, 76, 94, 96 sono chiusi. A titolo puramente esemplificativo, la figura 9 si riferisce all'istante t_0 .

Inoltre, tra gli istanti t_{BOT1} e t_{BOT2} vengono eseguite le operazioni già descritte relativamente alla figura 8; tutte le membrane 2 vengono dunque bloccate, in modo di per sé noto, presso le corrispondenti piastre inferiori SRB.

In seguito, all'istante t_{HZ1} , l'unità di comando 15 comanda il primo circuito di pilotaggio di elettrodo

superiore 84 ed il primo circuito di pilotaggio di elettrodo inferiore 86 in modo che operino in alta impedenza.

Successivamente, all'istante t_{SW1} , il primo ed il quarto interruttore 72, 78 vengono chiusi dall'unità di comando 15.

In seguito, all'istante t_{SW2} , il secondo, il terzo, il quinto ed il sesto interruttore 74, 76, 94, 96 vengono aperti dall'unità di comando 15.

L'unità di comando 15 applica quindi il primo segnale di stimolo al terminale di ingresso IN_{M1} del primo circuito di pilotaggio di elettrodo di membrana 88.

In tali condizioni, all'istante t_1 , la terza tensione di uscita V_{DIFF} è nulla, e successivamente cresce fino ad assumere, all'istante t_2 , un valore $V_{DIFF_t2} = (V_{D2} - V_D) * (C_2 - C_1) / C_F$, dove C_1 e C_2 indicano le capacità del primo e del secondo condensatore, e C_F indica la capacità del condensatore di rilevazione C_{F1} e del condensatore addizionale C_{F2} , le quali, come accennato in precedenza, sono uguali tra loro.

In seguito, all'istante t_{SW3} , il secondo, il terzo, il quinto ed il sesto interruttore 74, 76, 94, 96 vengono chiusi, in modo da caricare nuovamente il condensatore di rilevazione C_{F1} ad una tensione pari alla terza tensione di alimentazione $V_{DD}/2$, mantenendo retroazionato il primo

amplificatore differenziale 80.

Successivamente, all'istante t_{SW4} , il primo ed il quarto interruttore 72, 78 vengono aperti.

Successivamente, la sola prima membrana 32 viene bloccata presso la prima piastra superiore 42, in modo di per sé noto; le altre membrane 2 dell'altoparlante MEMS 1 rimangono bloccate, invece, presso le corrispondenti piastre inferiori SRB. Le operazioni aventi il fine di bloccare la prima membrana 32 presso la prima piastra superiore 42 avvengono in un intervallo di tempo compreso tra l'istante t_{TOP1} e l'istante t_{TOP2} .

In seguito, all'istante t_{HZ2} , il primo circuito di pilotaggio di elettrodo superiore 84 ed il primo circuito di pilotaggio di elettrodo inferiore 86 vengono comandati, in modo di per sé noto, in modo da operare in alta impedenza.

Successivamente, all'istante t_{SW5} , il primo ed il quarto interruttore 72, 78 vengono chiusi.

In seguito, all'istante t_{SW6} , il secondo, il terzo, il quinto ed il sesto interruttore 74, 76, 94, 96 vengono aperti.

L'unità di comando 15 applica quindi il secondo segnale di stimolo al terminale di ingresso IN_{M1} del primo circuito di pilotaggio di elettrodo di membrana 88.

In tali condizioni, all'istante t_3 la terza tensione

di uscita V_{DIFF} è nulla, e successivamente decresce fino ad assumere, all'istante t_4 , un valore $V_{DIFF_t4} = (V_{D2} - V_D) * (C_2 - C_1) / C_F$.

Successivamente, all'istante t_{SW7} , il secondo, il terzo, il quinto ed il sesto interruttore 74, 76, 94, 96 vengono chiusi. Infine, all'istante t_{SW8} , il primo ed il quarto interruttore 72, 78 vengono aperti.

In maggior dettaglio, la prima e la seconda tensione di riferimento REF1, REF2 sono impostate in modo di per sé noto, sulla base dell'escursione attesa della prima membrana 32, e dunque sulla base dei corrispondenti valori attesi delle capacità del primo e del secondo condensatore C_1 , C_2 , quando la prima membrana 32 è bloccata presso la prima piastra inferiore 52 e presso la prima piastra superiore 42, e nell'ipotesi che la prima membrana 32 sia mobile come da progetto dell'altoparlante MEMS 1.

In particolare, è possibile impostare la prima e la seconda tensione di riferimento REF1, REF2 in modo che, qualora il pixel 101 sia integro, valga la relazione $V_{DIFF_t4} < REF2 < REF1 < V_{DIFF_t2}$, in cui $REF1 > 0$ e $REF2 < 0$.

In dettaglio, nel caso in cui il pixel 101 sia integro, la terza tensione di uscita V_{DIFF} rispetta una terza condizione. La terza condizione prevede che, durante la summenzionata finestra temporale di indagine, la terza tensione di uscita V_{DIFF} superi la prima tensione di

riferimento REF1 solo all'interno dell'intervallo compreso tra gli istanti t_1 e t_2 , ed in particolare all'interno di un sottointervallo compreso tra un istante t_{w1} e l'istante t_2 ; inoltre, la seconda condizione prevede che la terza tensione di uscita V_{DIFF} sia inferiore alla seconda tensione di riferimento REF2 solo all'interno dell'intervallo compreso tra gli istanti t_3 e t_4 , ed in particolare all'interno di un sottointervallo compreso tra un istante t_{w2} e l'istante t_4 .

Il rispetto della terza condizione, e dunque l'integrità del pixel 101, può essere verificato, ad esempio, dallo stadio di rilevazione 83, il quale a tal fine opera in modo di per sé noto. Lo stadio di rilevazione 83 rileva dunque, in modo di per sé noto, il rispetto delle relazioni $V_{DIFF_t4} < REF2$ e $V_{DIFF_t2} > REF1$.

In pratica, le operazioni mostrate in figura 10 prevedono di generare un segnale proporzionale alla differenza tra le capacità del primo e del secondo condensatore C_1 , C_2 . In altre parole, le operazioni svolte tra l'istante t_{HZ1} e l'istante t_2 consentono di misurare la differenza tra le capacità del primo e del secondo condensatore C_1 , C_2 , quando la prima membrana 32 è bloccata presso la prima piastra inferiore 52, e più precisamente quando la prima membrana 32 dovrebbe essere bloccata presso la prima piastra inferiore 52, in caso di pixel integro.

Inoltre, le operazioni svolte tra l'istante t_{HZ2} e l'istante t_4 consentono di misurare la differenza tra le capacità del primo e del secondo condensatore C_1 , C_2 , quando la prima membrana 32 è bloccata presso la prima piastra superiore 42, e più precisamente quando la prima membrana 32 dovrebbe essere bloccata presso la prima piastra superiore 42, in caso di pixel integro. Sulla base di tali misure, è possibile determinare l'integrità del pixel 101. Inoltre, ai fini pratici, gli andamenti della terza tensione di uscita V_{DIFF} durante gli intervalli $[t_1-t_2]$ e $[t_3-t_4]$ formano corrispondenti segnali di misura.

I vantaggi che il presente dispositivo altoparlante consente di ottenere emergono chiaramente dalla precedente descrizione. In particolare, il presente dispositivo altoparlante 20 può essere testato in modo accurato e sostanzialmente immune da eventuali capacità parassite. Inoltre, il presente dispositivo altoparlante 20 comprende un singolo circuito di test, il quale può essere impiegato per testare qualsiasi pixel 10. In aggiunta, i segnali di stimolo sono iniettati nei terminali di ingresso IN_M dei circuiti di pilotaggio di elettrodo di membrana 8; a tal fine, sono appunto utilizzati gli stessi circuiti di pilotaggio di elettrodo di membrana 8, senza necessità di implementare hardware aggiuntivo. Inoltre, le tensioni di riferimento presenti all'interno del circuito di test

possono essere variate con semplicità.

Risulta infine chiaro che rispetto a quanto qui descritto ed illustrato possono essere apportate modifiche e varianti, senza per questo uscire dall'ambito protettivo della presente invenzione, come definito nelle rivendicazioni allegate.

Ad esempio, i terminali di ingresso positivo e negativo di ciascuno tra il primo ed il secondo amplificatore differenziale possono essere invertiti. In tal caso, la relazione tra la prima tensione di uscita V_{OUT1} e la prima tensione di riferimento REF1 si modifica di conseguenza. E' altresì possibile che, anziché il secondo amplificatore differenziale 82, siano presenti un convertitore analogico-digitale ed una unità di elaborazione, i quali possono altresì essere presenti all'interno dello stadio di rilevazione 83.

Relativamente al secondo ed al terzo interruttore 74, 76, essi possono essere sostituiti da un singolo interruttore, il quale viene disposto in parallelo al condensatore di rilevazione C_{F1} . Analogamente, anche il quinto ed il sesto interruttore 94, 96 possono essere sostituiti da un corrispondente interruttore, il quale viene disposto in parallelo al condensatore addizionale C_{F2} .

E' inoltre possibile che, al fine di rilevare ad

esempio la capacità del primo oppure del secondo condensatore C_1 , C_2 di un qualsivoglia pixel, non si blocchino preventivamente tutte le membrane presso le corrispondenti piastre inferiori. In altre parole, per rilevare l'integrità di ciascun pixel, è sufficiente bloccare, in istanti differenti, la sola corrispondente membrana presso la corrispondente piastra superiore e presso la corrispondente piastra inferiore, in modo del tutto indipendente da quanto avviene negli altri pixel; inoltre, ai fini della presente invenzione è irrilevante se tale corrispondente membrana venga bloccata prima presso la piastra inferiore, e successivamente presso la piastra superiore, o viceversa. Ad esempio, è quindi possibile che, dopo aver bloccato tutte le membrane presso le piastre inferiori, si misurino le capacità dei corrispondenti primi condensatori, e successivamente si blocchino tutte le membrane presso le corrispondenti piastre superiori, ed infine si misurino nuovamente le capacità dei corrispondenti primi condensatori. In alternativa, ed ancora a titolo puramente esemplificativo, è possibile che, dopo aver bloccato tutte le membrane presso le piastre inferiori, per ciascuna membrana si misuri la capacità del corrispondente primo condensatore, si blocchi la membrana presso la corrispondente piastra superiore, e quindi si misuri nuovamente la capacità del corrispondente primo condensatore, prima di iterare le operazioni su una successiva membrana.

RIVENDICAZIONI

1. Dispositivo altoparlante MEMS comprendente almeno una unità elementare (10;101), detta unità elementare includendo una membrana (32), una piastra superiore (42) ed una piastra inferiore (52), la membrana essendo interposta tra la piastra superiore e la piastra inferiore e formando un primo ed un secondo condensatore (C_1, C_2), rispettivamente con la piastra superiore e con la piastra inferiore, detto dispositivo altoparlante comprendendo inoltre un circuito elettronico di pilotaggio (15, 82, 84, 86, T1, M1, B1) configurato per operare, durante un primo periodo operativo ($[t_{BOT1}-t_{BOT2}]$), in modo da muovere la membrana verso una prima posizione, in cui la membrana è prossima alla piastra inferiore, detto circuito elettronico di pilotaggio essendo inoltre configurato per operare, durante un secondo periodo operativo ($[t_{TOP1}-t_{TOP2}]$), in modo da muovere la membrana verso una seconda posizione, in cui la membrana è prossima alla piastra superiore;

caratterizzato dal fatto di comprendere inoltre un circuito elettronico di test (70) includente:

- un primo circuito di misura (15, 72, 74, 76, 81, 84, 86, 88, 94, 96, C_{F1}, C_{F2}) atto a generare un primo segnale di misura ($V_{t2}; V_{DIFF_t2}$) in funzione della capacità di un condensatore tra detti primo e secondo condensatore,

successivamente al primo periodo operativo, detto primo circuito di misura essendo inoltre atto a generare un secondo segnale di misura ($V_{t4}; V_{DIFF_t4}$) in funzione della capacità di detto condensatore, successivamente al secondo periodo operativo; e

- un primo circuito comparatore (82,83) atto a confrontare detti primo e secondo segnale di misura con almeno una prima grandezza elettrica di riferimento (REF1,REF2), per rilevare la corretta mobilità della membrana in direzione della piastra che forma detto condensatore, sulla base dell'esito del confronto.

2. Dispositivo secondo la rivendicazione 1, in cui detti primo e secondo segnale di misura (V_{t2}, V_{t4}) sono proporzionali alla capacità di detto condensatore tra il primo ed il secondo condensatore (C_1, C_2), ed in cui il primo circuito comparatore (82,83) è atto a rilevare che:

- se detto condensatore è il primo condensatore (C_1), il primo segnale di misura (V_{t2}) non superi la prima grandezza elettrica di riferimento (REF1), ed il secondo segnale di misura (V_{t4}) superi detta prima grandezza elettrica di riferimento (REF1); e

- se detto condensatore è il secondo condensatore (C_2), il primo segnale di misura superi la prima grandezza elettrica di riferimento, ed il secondo segnale di misura non superi detta prima grandezza elettrica di riferimento.

3. Dispositivo secondo la rivendicazione 2, in cui il circuito elettronico di test (70) include inoltre:

- un secondo circuito di misura (15, 74, 76, 78, 81, 84, 86, 88, 94, 96, C_{F1} , C_{F2}) atto a generare un terzo segnale di misura (V_{t2}, V_{t4}) proporzionale alla capacità dell'altro condensatore tra detti primo e secondo condensatore, successivamente al primo periodo operativo ($[t_{BOT1}-t_{BOT2}]$), detto secondo circuito di misura essendo inoltre atto a generare un quarto segnale di misura (V_{t4}, V_{t2}) proporzionale alla capacità di detto altro condensatore, successivamente al secondo periodo operativo ($[t_{TOP1}-t_{TOP2}]$); e

- un secondo circuito comparatore (82,83) atto a confrontare detti terzo e quarto segnale di misura con una seconda grandezza elettrica di riferimento (REF1), per rilevare la corretta mobilità della membrana in direzione della piastra che forma detto altro condensatore.

4. Dispositivo secondo la rivendicazione 1, in cui il primo segnale di misura (V_{DIFF_t2}) è proporzionale alla differenza tra le capacità di detti primo e secondo condensatore (C_1 , C_2), successivamente al primo periodo operativo, ed il secondo segnale di misura (V_{DIFF_t4}) è proporzionale alla differenza tra le capacità di detti primo e secondo condensatore (C_1 , C_2), successivamente al secondo periodo operativo.

5. Dispositivo secondo la rivendicazione 4, in cui il primo circuito comparatore (82,83) è atto a rilevare che:

- uno tra il primo ed il secondo segnale di misura (V_{DIFF_t2}) superi la prima grandezza elettrica di riferimento (REF1); e

- l'altro tra detti primo e secondo segnale di misura (V_{DIFF_t4}) sia inferiore ad una seconda grandezza elettrica di riferimento (REF2), la quale è inferiore alla prima grandezza elettrica di riferimento.

6. Dispositivo secondo una qualsiasi delle rivendicazioni precedenti, in cui detto circuito elettronico di pilotaggio (15, 82, 84, 86, T1, M1, B1) comprende un circuito di pilotaggio di elettrodo superiore (84), un circuito di pilotaggio di membrana (88) ed un circuito di pilotaggio di elettrodo inferiore (86), i quali sono rispettivamente collegati alla piastra superiore (42), alla membrana (32) ed alla piastra inferiore (52), detti circuito di pilotaggio di elettrodo superiore, circuito di pilotaggio di membrana e circuito di pilotaggio di elettrodo inferiore essendo atti a generare, rispettivamente, un segnale di azionamento superiore (VCTOP2), un segnale di azionamento di membrana (VROW1) ed un segnale di azionamento inferiore (VCBOT2), i quali sono tali da causare, quando l'unità elementare (101) è integra, il movimento della membrana alternativamente verso la

piastra superiore, oppure verso la piastra inferiore.

7. Dispositivo secondo la rivendicazione 6, in cui, durante detto primo periodo operativo:

- ad un primo istante di tempo, il segnale di azionamento superiore (VCTOP2) ed il segnale di azionamento inferiore (VCBOT2) sono pari ad una prima tensione (0V), ed il segnale di azionamento di membrana (VROW1) è pari ad una seconda tensione (50V);

- ad un secondo istante di tempo, il segnale di azionamento superiore (VCTOP2) ed il segnale di azionamento di membrana (VROW1) sono pari ad una terza tensione (25V), ed il segnale di azionamento inferiore (VCBOT2) è pari alla prima tensione (0V); e

- ad un terzo istante di tempo, il segnale di azionamento superiore (VCTOP2) ed il segnale di azionamento inferiore (VCBOT2) sono pari alla prima tensione (0V), ed il segnale di azionamento di membrana (VROW1) è pari alla seconda tensione (50V);

ed in cui, durante detto secondo periodo operativo:

- ad un primo istante di tempo, il segnale di azionamento superiore (VCTOP2) ed il segnale di azionamento inferiore (VCBOT2) sono pari alla prima tensione (0V), ed il segnale di azionamento di membrana (VROW1) è pari alla seconda tensione (50V);

- ad un secondo istante di tempo, il segnale di

azionamento inferiore (VCBOT2) ed il segnale di azionamento di membrana (VROW1) sono pari alla terza tensione (25V), ed il segnale di azionamento superiore (VCTOP2) è pari alla prima tensione (0V); e

- ad un terzo istante di tempo, il segnale di azionamento superiore (VCTOP2) ed il segnale di azionamento inferiore (VCBOT2) sono pari alla prima tensione (0V), ed il segnale di azionamento di membrana (VROW1) è pari alla seconda tensione (50V).

8. Dispositivo secondo la rivendicazione 6 o 7, comprendente inoltre un circuito accoppiamento (72,78) atto a disaccoppiare elettricamente il primo circuito di misura (15, 72, 74, 76, 78, 81, 84, 86, 88, 94, 96, C_{F1} , C_{F2}) dalla piastra che forma detto condensatore tra detti primo e secondo condensatore (C_1, C_2), durante detti primo e secondo periodo operativo ($[t_{BOT1}-t_{BOT2}]$, $[t_{TOP1}-t_{TOP2}]$), e ad accoppiare il primo circuito di misura alla piastra che forma detto condensatore, in periodi differenti da detti primo e secondo periodo operativo; ed in cui il circuito di pilotaggio di membrana (88) è atto a generare un primo ed un secondo impulso, rispettivamente dopo il primo ed il secondo periodo operativo.

9. Dispositivo secondo la rivendicazione 8, in cui detto primo circuito di misura (15, 72, 74, 76, 78, 81, 84, 86, 88, 94, 96, C_{F1} , C_{F2}) comprende almeno un amplificatore

(80;81) retroazionato capacitivamente e atto a amplificare detti primo e secondo impulso.

10. Dispositivo secondo la rivendicazione 6 o 7, comprendente inoltre un circuito accoppiamento (72,78) atto a disaccoppiare elettricamente il primo circuito di misura (15, 72, 74, 76, 78, 81, 84, 86, 88, 94, 96, C_{F1} , C_{F2}) dalla piastra superiore (42) e dalla piastra inferiore (52), durante detti primo e secondo periodo operativo ($[t_{BOT1}-t_{BOT2}]$, $[t_{TOP1}-t_{TOP2}]$), e ad accoppiare il primo circuito di misura alla piastra superiore e alla piastra inferiore, in periodi differenti da detti primo e secondo periodo operativo; ed in cui il circuito di pilotaggio di membrana (88) è atto a generare un primo ed un secondo impulso, rispettivamente dopo il primo ed il secondo periodo operativo.

11. Metodo di test di un dispositivo altoparlante MEMS comprendente almeno una unità elementare (10;101), detta unità elementare includendo una membrana (32), una piastra superiore (42) ed una piastra inferiore (52), la membrana essendo interposta tra la piastra superiore e la piastra inferiore e formando un primo ed un secondo condensatore (C_1, C_2), rispettivamente con la piastra superiore e con la piastra inferiore, detto dispositivo altoparlante comprendendo inoltre un circuito elettronico di pilotaggio (15, 82, 84, 86, T1, M1, B1) configurato per operare,

durante un primo periodo operativo ($[t_{BOT1}-t_{BOT2}]$), in modo da muovere la membrana verso una prima posizione, in cui la membrana è prossima alla piastra inferiore, detto circuito elettronico di pilotaggio essendo inoltre configurato per operare, durante un secondo periodo operativo ($[t_{TOP1}-t_{TOP2}]$), in modo da muovere la membrana verso una seconda posizione, in cui la membrana è prossima alla piastra superiore; detto metodo di test essendo caratterizzato dal fatto di comprendere le fasi di:

- successivamente al primo periodo operativo, generare un primo segnale di misura ($V_{t2}; V_{DIFF_t2}$) in funzione della capacità di un condensatore tra detti primo e secondo condensatore;

- successivamente al secondo periodo operativo, generare un secondo segnale di misura ($V_{t4}; V_{DIFF_t4}$) in funzione della capacità di detto condensatore; e

- rilevare la corretta mobilità della membrana in direzione della piastra che forma detto condensatore, detta fase di rilevare la corretta mobilità comprendendo confrontare detti primo e secondo segnale di misura con almeno una prima grandezza elettrica di riferimento ($REF1, REF2$).

12. Metodo secondo la rivendicazione 11, in cui la fase di generare il primo ed il secondo segnale di misura (V_{t2}, V_{t4}) comprende generare detti primo e secondo segnale

di misura in modo che siano proporzionali alla capacità di detto condensatore tra il primo ed il secondo condensatore (C_1, C_2), detto metodo comprendo inoltre la fase di rilevare che:

- se detto condensatore è il primo condensatore (C_1), il primo segnale di misura (V_{t2}) non superi la prima grandezza elettrica di riferimento (REF1), ed il secondo segnale di misura (V_{t4}) superi detta prima grandezza elettrica di riferimento (REF1); e

- se detto condensatore è il secondo condensatore (C_2), il primo segnale di misura superi la prima grandezza elettrica di riferimento, ed il secondo segnale di misura non superi detta prima grandezza elettrica di riferimento.

13. Metodo secondo la rivendicazione 12, comprendente inoltre le fasi di:

- successivamente al primo periodo operativo ($[t_{BOT1} - t_{BOT2}]$), generare un terzo segnale di misura (V_{t4}) proporzionale alla capacità dell'altro condensatore tra detti primo e secondo condensatore;

- successivamente al secondo periodo operativo ($[t_{TOP1} - t_{TOP2}]$), generare un quarto segnale di misura (V_{t2}) proporzionale alla capacità di detto altro condensatore; e

- rilevare la corretta mobilità della membrana in direzione della piastra che forma detto altro condensatore, detta fase di rilevare comprendendo confrontare detti terzo

e quarto segnale di misura con una seconda grandezza elettrica di riferimento (REF1).

14. Metodo secondo una qualsiasi delle rivendicazioni da 11 a 13, in cui il circuito elettronico di pilotaggio (15, 82, 84, 86, T1, M1, B1) comprende un circuito di pilotaggio di elettrodo superiore (84), un circuito di pilotaggio di membrana (88) ed un circuito di pilotaggio di elettrodo inferiore (86), i quali sono rispettivamente collegati alla piastra superiore (42), alla membrana (32) ed alla piastra inferiore (52), detto metodo comprendendo inoltre le fasi di:

- durante detti primo e secondo periodo operativo ($[t_{BOT1}-t_{BOT2}]$, $[t_{TOP1}-t_{TOP2}]$), disaccoppiare elettricamente il primo circuito di misura (15, 72, 74, 76, 78, 81, 84, 86, 88, 94, 96, C_{F1} , C_{F2}) dalla piastra che forma detto condensatore tra detti primo e secondo condensatore (C_1, C_2);

- in periodi differenti da detti primo e secondo periodo operativo, accoppiare il primo circuito di misura alla piastra che forma detto condensatore; e

- generare, mediante il circuito di pilotaggio di membrana, un primo ed un secondo impulso, rispettivamente dopo il primo ed il secondo periodo operativo.

15. Metodo secondo la rivendicazione 14, in cui le fasi di generare il primo ed il secondo segnale di misura

($V_{t2}; V_{DIFF_t2}, V_{t4}; V_{DIFF_t4}$) comprendono amplificare detti primo e secondo impulso.

16. Metodo secondo la rivendicazione 11, in cui la fase di generare il primo segnale di misura (V_{DIFF_t2}) comprende generare il primo segnale di misura in modo che sia proporzionale alla differenza tra le capacità di detti primo e secondo condensatore (C_1, C_2), ed in cui la fase di generare il secondo segnale di misura (V_{DIFF_t4}) comprende generare il secondo segnale di misura in modo che sia proporzionale alla differenza tra le capacità di detti primo e secondo condensatore (C_1, C_2).

17. Metodo secondo la rivendicazione 16, comprendente inoltre le fasi di rilevare se:

- uno tra il primo ed il secondo segnale di misura (V_{DIFF_t2}) supera la prima grandezza elettrica di riferimento (REF1); e

- l'altro tra detti primo e secondo segnale di misura (V_{DIFF_t4}) è inferiore ad una seconda grandezza elettrica di riferimento (REF2), la quale è inferiore alla prima grandezza elettrica di riferimento.

18. Metodo secondo la rivendicazione 16 o 17, in cui il circuito elettronico di pilotaggio (15, 82, 84, 86, T1, M1, B1) comprende un circuito di pilotaggio di elettrodo superiore (84), un circuito di pilotaggio di membrana (88) ed un circuito di pilotaggio di elettrodo inferiore (86), i

quali sono rispettivamente collegati alla piastra superiore (42), alla membrana (32) ed alla piastra inferiore (52), detto metodo comprendo inoltre le fasi di:

- durante detti primo e secondo periodo operativo ($[t_{BOT1}-t_{BOT2}], [t_{TOP1}-t_{TOP2}]$), disaccoppiare elettricamente il primo circuito di misura (15, 72, 74, 76, 78, 81, 84, 86, 88, 94, 96, C_{F1} , C_{F2}) dalla piastra superiore (42) e dalla piastra inferiore (52);

- in periodi differenti da detti primo e secondo periodo operativo, accoppiare il primo circuito di misura alla piastra superiore e alla piastra inferiore; e

- generare, mediante il circuito di pilotaggio di membrana, un primo ed un secondo impulso, rispettivamente dopo il primo ed il secondo periodo operativo.

p.i.: STMICROELECTRONICS S.R.L.

Pietro SPALLA

CLAIMS

1. A MEMS speaker device comprising at least one elementary unit (10; 101), said elementary unit including a membrane (32), a top plate (42), and a bottom plate (52), the
5 membrane being arranged between the top plate and the bottom plate and forming a first capacitor (C_1) and a second capacitor (C_2), respectively with the top plate and with the bottom plate, said speaker device further comprising an electronic driving circuit (15, 82, 84, 86,
10 T1, M1, B1) configured to operate, during a first operating period ($[t_{BOT1}, t_{BOT2}]$), so as to move the membrane into a first position, in which the membrane is close to the bottom plate, said electronic driving circuit being moreover configured to operate, during a second operating
15 period ($[t_{TOP1}, t_{TOP2}]$), so as to move the membrane into a second position, in which the membrane is close to the top plate;

characterized in that it further comprises an electronic test circuit (70) including:

20 - a first measuring circuit (15, 72, 74, 76, 81, 84, 86, 88, 94, 96, C_{F1} , C_{F2}) designed to generate a first measurement signal (V_{t2} ; V_{DIFF_t2}) as a function of the capacitance of a capacitor between said first and second capacitors, after the first operating period, said first
25 measuring circuit being moreover designed to generate a

Pietro SPALLA
(Iscrizione Albo nr. 1430/B)

second measurement signal (V_{t4} ; V_{DIFF_t4}) as a function of the capacitance of said capacitor, after the second operating period; and

- a first comparator circuit (82, 83) designed to compare
5 said first and second measurement signals with at least one first electrical reference quantity (REF1, REF2), for detecting the correct mobility of the membrane in the direction of the plate that forms said capacitor, on the basis of the result of the comparison.

10

2. The device according to claim 1, wherein said first and second measurement signals (V_{t2} , V_{t4}) are proportional to the capacitance of said capacitor between the first capacitor (C_1) and the second capacitor (C_2), and wherein
15 the first comparator circuit (82, 83) is designed to detect that:

- if said capacitor is the first capacitor (C_1), the first measurement signal (V_{t2}) does not exceed the first electrical reference quantity (REF1), and the second
20 measurement signal (V_{t4}) exceeds said first electrical reference quantity (REF1); and

- if said capacitor is the second capacitor (C_2), the first measurement signal exceeds the first electrical reference quantity, and the second measurement signal does not exceed
25 said first electrical reference quantity.

3. The device according to claim 2, wherein the electronic test circuit (70) moreover includes:

- a second measuring circuit (15, 74, 76, 78, 81, 84, 86, 5 88, 94, 96, C_{F1} , C_{F2}) designed to generate a third measurement signal (V_{t2} , V_{t4}) proportional to the capacitance of the other capacitor between said first and second capacitors, after the first operating period ($[t_{BOT1}, t_{BOT2}]$), said second measuring circuit being 10 moreover designed to generate a fourth measurement signal (V_{t4} , V_{t2}) proportional to the capacitance of said other capacitor, after the second operating period ($[t_{TOP1}, t_{TOP2}]$); and
- a second comparator circuit (82, 83) designed to compare 15 said third and fourth measurement signals with a second electrical reference quantity (REF1), for detecting the correct mobility of the membrane in the direction of the plate that forms said other capacitor.

20 4. The device according to claim 1, wherein the first measurement signal (V_{DIFF_t2}) is proportional to the difference between the capacitance of said first and second capacitors (C_1 , C_2), after the first operating period, and the second measurement signal (V_{DIFF_t4}) is proportional to 25 the difference between the capacitance of said first and

second capacitors (C_1 , C_2), after the second operating period.

5. The device according to claim 4, wherein the first
5 comparator circuit (82, 83) is designed to detect that:
- one between the first and second measurement signals
(V_{DIFF_t2}) exceeds the first electrical reference quantity
(REF1); and
- the other between said first and second measurement
10 signals (V_{DIFF_t4}) is lower than a second electrical
reference quantity (REF2), which is lower than the first
electrical reference quantity.

6. The device according to any one of the preceding claims,
15 wherein said electronic driving circuit (15, 82, 84, 86,
T1, M1, B1) comprises a top-electrode driving circuit (84),
a membrane driving circuit (88) and a bottom-electrode
driving circuit (86), which are respectively connected to
the top plate (42), to the membrane (32), and to the bottom
20 plate (52), said top-electrode driving circuit, said
membrane driving circuit, and said bottom-electrode driving
circuit being designed to generate, respectively, a top-
electrode driving signal (V_{CTOP2}), a membrane driving signal
(V_{ROW1}), and a bottom-electrode driving signal (V_{CBOT2}), which
25 are such as to cause, when the elementary unit (101) is

intact, the movement of the membrane alternatively towards the top plate, or else towards the bottom plate.

7. The device according to claim 6, wherein, during said
5 first operating period:

- at a first instant in time, the top-electrode driving
signal (V_{CTOP2}) and the bottom-electrode driving signal
(V_{CBOT2}) are equal to a first voltage (0 V), and the
membrane driving signal (V_{ROW1}) is equal to a second voltage
10 (50 V);

- at a second instant in time, the top-electrode driving
signal (V_{CTOP2}) and the membrane driving signal (V_{ROW1}) are
equal to a third voltage (25 V), and the bottom-electrode
driving signal (V_{CBOT2}) is equal to the first voltage (0 V);
15 and

- at a third instant in time, the top-electrode driving
signal (V_{CTOP2}) and the bottom-electrode driving signal
(V_{CBOT2}) are equal to the first voltage (0 V), and the
membrane driving signal (V_{ROW1}) is equal to the second
20 voltage (50 V);

and wherein, during said second operating period:

- at a first instant in time, the top-electrode driving
signal (V_{CTOP2}) and the bottom-electrode driving signal
(V_{CBOT2}) are equal to the first voltage (0 V), and the
25 membrane driving signal (V_{ROW1}) is equal to the second

voltage (50 V);

- at a second instant in time, the bottom-electrode driving signal (V_{CBOT2}) and the membrane driving signal (V_{ROW1}) are equal to the third voltage (25 V), and the top-electrode driving signal (V_{CTOP2}) is equal to the first voltage (0 V);
5 and

- at a third instant in time, the top-electrode driving signal (V_{CTOP2}) and the bottom-electrode driving signal (V_{CBOT2}) are equal to the first voltage (0 V), and the
10 membrane driving signal (V_{ROW1}) is equal to the second voltage (50 V).

8. The device according to claim 6 or claim 7, further comprising a coupling circuit (72, 78) designed to uncouple
15 electrically the first measuring circuit (15, 72, 74, 76, 78, 81, 84, 86, 88, 94, 96, C_{F1} , C_{F2}) from the plate that forms said capacitor between said first and second capacitors (C_1 , C_2), during said first and second operating periods ($[t_{BOT1}, t_{BOT2}]$, $[t_{TOP1}, t_{TOP2}]$), and to couple the
20 first measuring circuit to the plate that forms said capacitor, in periods other than said first and second operating periods; and wherein the membrane driving circuit (88) is designed to generate a first pulse and a second pulse, respectively after the first and second operating
25 periods.

9. The device according to claim 8, wherein said first measuring circuit (15, 72, 74, 76, 78, 81, 84, 86, 88, 94, 96, C_{F1} , C_{F2}) comprises at least one amplifier (80; 81) with
5 capacitive feedback, which is designed to amplify said first and second pulses.

10. The device according to claim 6 or claim 7, further comprising a coupling circuit (72, 78) designed to uncouple
10 electrically the first measuring circuit (15, 72, 74, 76, 78, 81, 84, 86, 88, 94, 96, C_{F1} , C_{F2}) from the top plate (42) and from the bottom plate (52), during said first and second operating periods ($[t_{BOT1}, t_{BOT2}]$, $[t_{TOP1}, t_{TOP2}]$), and to couple the first measuring circuit to the top plate and
15 to the bottom plate, in periods other than said first and second operating periods; and wherein the membrane driving circuit (88) is designed to generate a first pulse and a second pulse, respectively after the first and second operating periods.

20

11. A method for testing a MEMS speaker device comprising at least one elementary unit (10; 101), said elementary unit including a membrane (32), a top plate (42), and a bottom plate (52), the membrane being arranged between the
25 top plate and the bottom plate and forming a first

capacitor (C_1) and a second capacitor (C_2), respectively with the top plate and with the bottom plate, said speaker device further comprising an electronic driving circuit (15, 82, 84, 86, T1, M1, B1) configured to operate, during 5 a first operating period ($[t_{BOT1}, t_{BOT2}]$), so as to move the membrane into a first position, in which the membrane is close to the bottom plate, said electronic driving circuit being moreover configured to operate, during a second operating period ($[t_{TOP1}, t_{TOP2}]$), so as to move the membrane 10 into a second position, in which the membrane is close to the top plate;

characterized in that it comprises the steps of:

- after the first operating period, generating a first measurement signal ($V_{t2}; V_{DIFF_t2}$) as a function of the 15 capacitance of a capacitor between said first and second capacitors;

- after the second operating period, generating a second measurement signal ($V_{t4}; V_{DIFF_t4}$) as a function of the capacitance of said capacitor; and

20 - detecting the correct mobility of the membrane in the direction of the plate that forms said capacitor, said step of detecting the correct mobility comprising comparing said first and second measurement signals with at least one first electrical reference quantity (REF1, REF2).

25

12. The method according to claim 11, wherein the step of generating the first and second measurement signals (V_{t2} , V_{t4}) comprises generating said first and second measurement signals in such a way that they are proportional to the capacitance of said capacitor between the first and second capacitors (C_1 , C_2), said method further comprising the step of detecting that:

- if said capacitor is the first capacitor (C_1), the first measurement signal (V_{t2}) does not exceed the first electrical reference quantity (REF1), and the second measurement signal (V_{t4}) exceeds said first electrical reference quantity (REF1); and
- if said capacitor is the second capacitor (C_2), the first measurement signal exceeds the first electrical reference quantity, and the second measurement signal does not exceed said first electrical reference quantity.

13. The method according to claim 12, further comprising the steps of:

- generating, after the first operating period ($[t_{BOT1}, t_{BOT2}]$), a third measurement signal (V_{t4}) proportional to the capacitance of the other capacitor between said first and second capacitors;
- generating, after the second operating period ($[t_{TOP1}, t_{TOP2}]$), a fourth measurement signal (V_{t2})

proportional to the capacitance of said other capacitor;
and

- detecting the correct mobility of the membrane in the
direction of the plate that forms said other capacitor,
5 said detection step comprising comparing said third and
fourth measurement signals with a second electrical
reference quantity (REF1).

14. The method according to any one of claims 11 to 13,
10 wherein the electronic driving circuit (15, 82, 84, 86, T1,
M1, B1) comprises a top-electrode driving circuit (84), a
membrane driving circuit (88), and a bottom-electrode
driving circuit (86), which are respectively connected to
the top plate (42), to the membrane (32), and to the bottom
15 plate (52), said method further comprising the steps of:

- electrically uncoupling, during said first and second
operating periods ($[t_{BOT1}, t_{BOT2}]$, $[t_{TOP1}, t_{TOP2}]$), the first
measuring circuit (15, 72, 74, 76, 78, 81, 84, 86, 88, 94,
96, C_{F1} , C_{F2}) from the plate that forms said capacitor
20 between said first and second capacitors (C_1 , C_2);

- coupling, in periods other than said first and second
operating periods, the first measuring circuit to the plate
that forms said capacitor; and

- generating, by means of the membrane driving circuit, a
25 first pulse and a second pulse, respectively after the

first and second operating periods.

15. The method according to claim 14, wherein the steps of
generating the first and second measurement signals (V_{t2} ;
5 V_{DIFF_t2} , V_{t4} ; V_{DIFF_t4}) comprise amplifying said first and
second pulses.

16. The method according to claim 11, wherein the step of
generating the first measurement signal (V_{DIFF_t2}) comprises
10 generating the first measurement signal in such a way that
it is proportional to the difference between the
capacitance of said first and second capacitors (C_1 , C_2),
and wherein the step of generating the second measurement
signal (V_{DIFF_t4}) comprises generating the second measurement
15 signal in such a way that it is proportional to the
difference between the capacitance of said first and second
capacitors (C_1 , C_2).

17. The method according to claim 16, further comprising
20 the steps of detecting whether:

- one between the first and second measurement signals
(V_{DIFF_t2}) exceeds the first electrical reference quantity
(REF1); and
- the other between said first and second measurement
25 signals (V_{DIFF_t4}) is lower than a second electrical

Pietro SPALLA
(Iscrizione Albo nr. 1430/B)

reference quantity (REF2), which is lower than the first electrical reference quantity.

18. The method according to claim 16 or claim 17, wherein
5 the electronic driving circuit (15, 82, 84, 86, T1, M1, B1) comprises a top-electrode driving circuit (84), a membrane driving circuit (88), and a bottom-electrode driving circuit (86), which are, respectively, connected to the top plate (42), to the membrane (32), and to the bottom plate
10 (52), said method further comprising the steps of:

- during said first and second operating periods ($[t_{BOT1}, t_{BOT2}]$, $[t_{TOP1}, t_{TOP2}]$), electrically uncoupling the first measuring circuit (15, 72, 74, 76, 78, 81, 84, 86, 88, 94, 96, C_{F1} , C_{F2}) from the top plate (42) and from the
15 bottom plate (52);
- in periods other than said first and second operating periods, coupling the first measuring circuit to the top plate and to the bottom plate; and
- generating, by means of the membrane driving circuit, a
20 first pulse and a second pulse, respectively after the first and second operating periods.

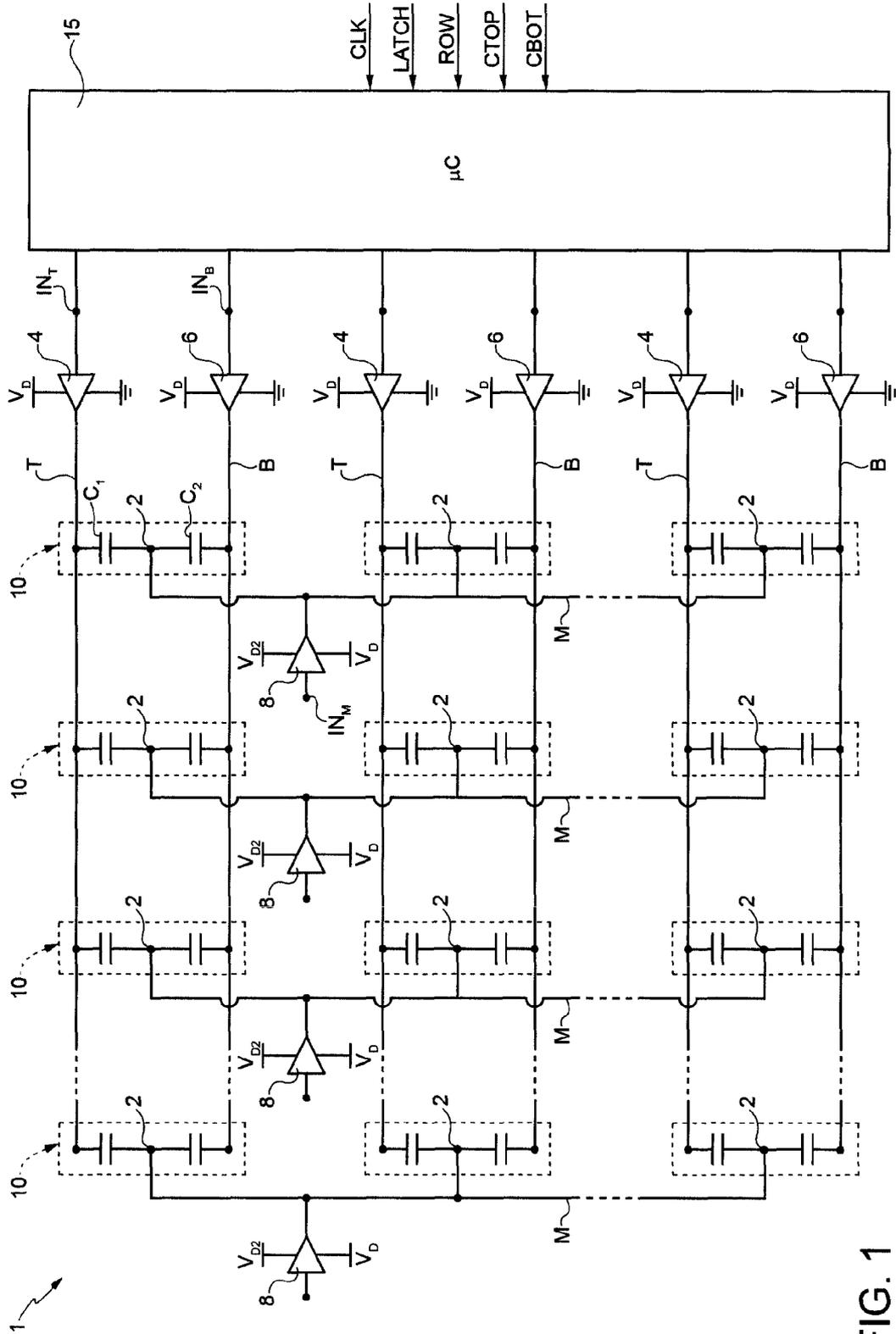


FIG. 1

Pietro SPALLA
(Iscrizione Albo nr. 1430/B)

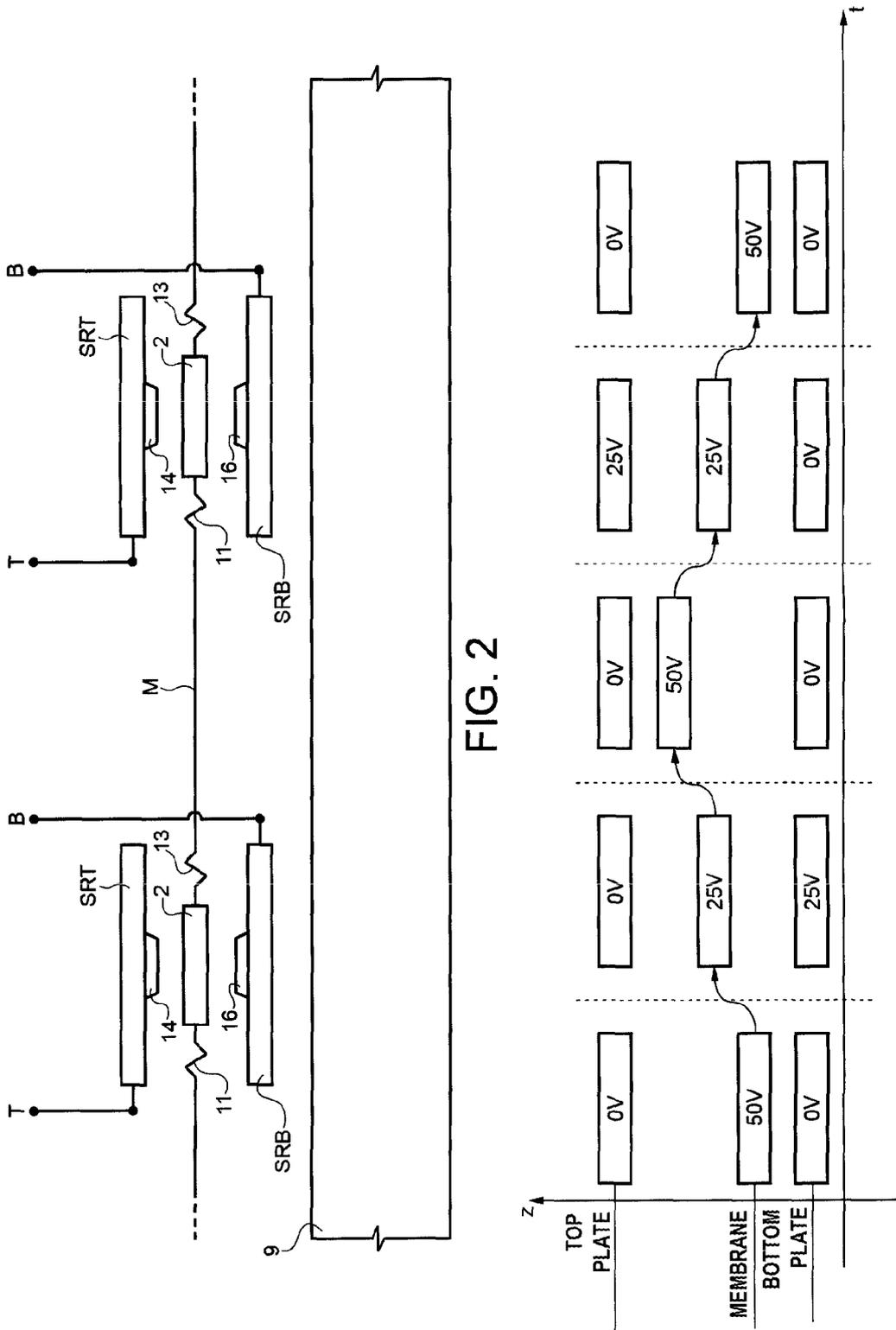


FIG. 2

FIG. 3

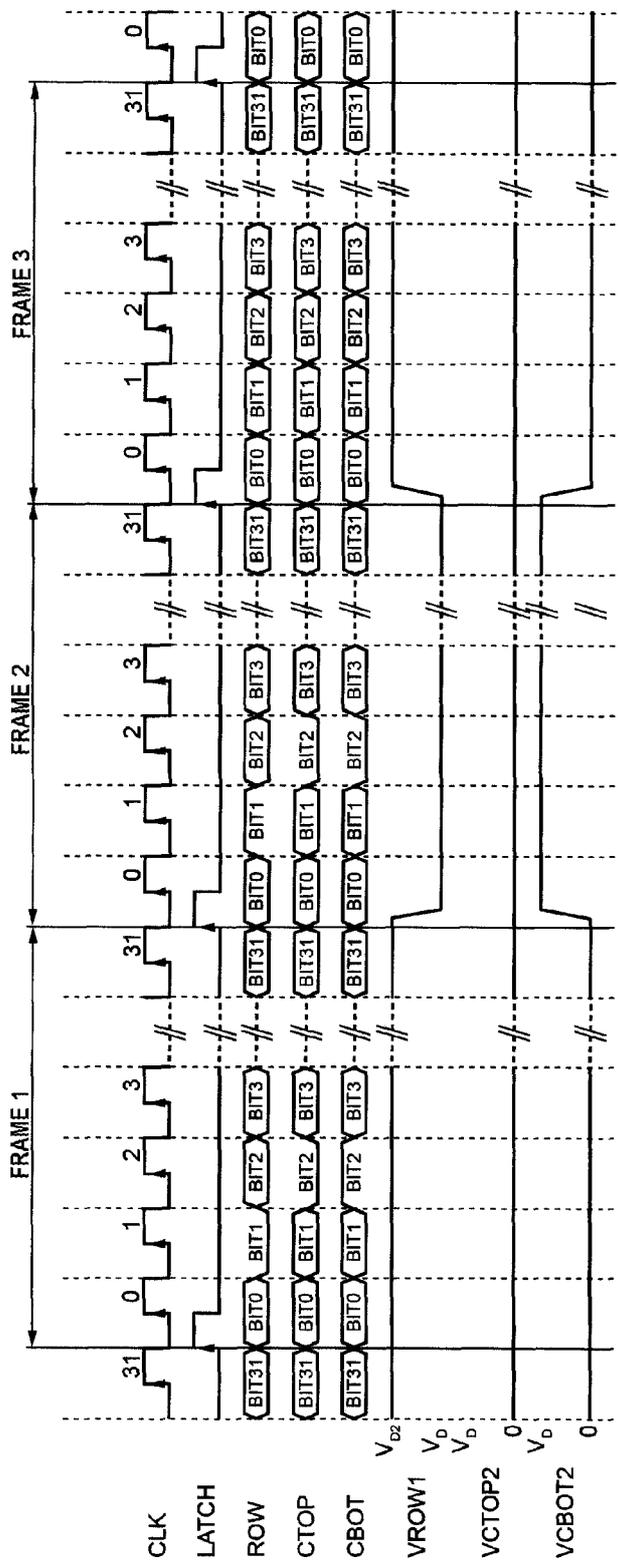


FIG. 4

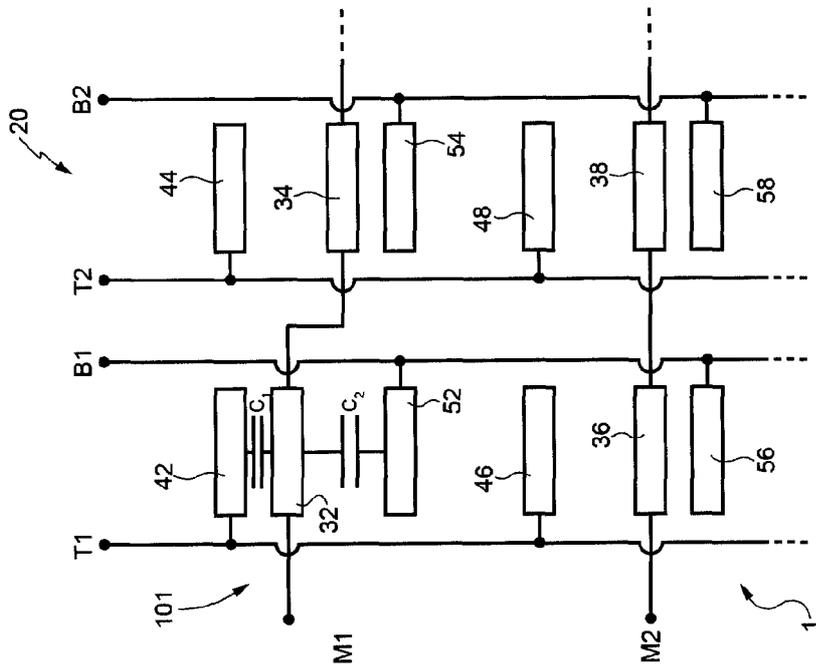


FIG. 5b

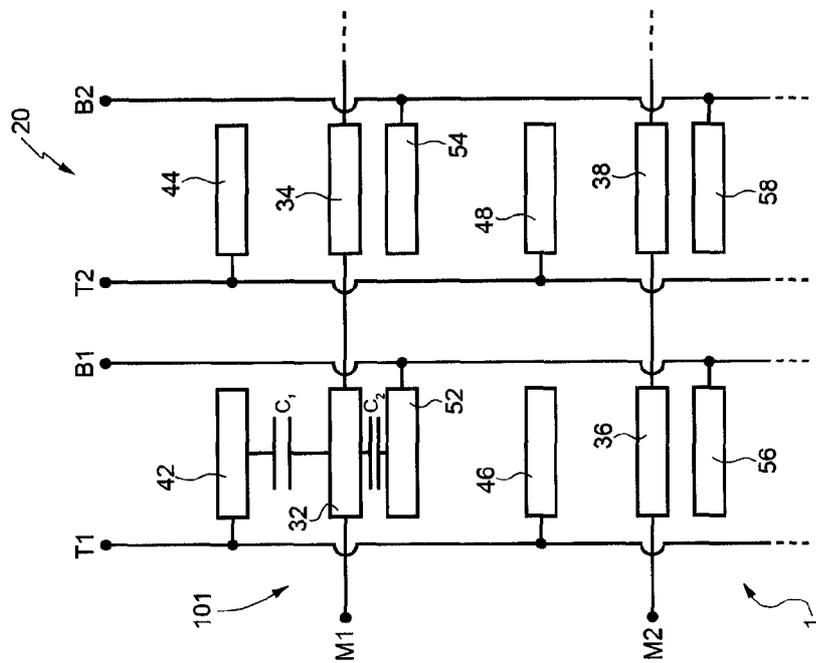


FIG. 5a

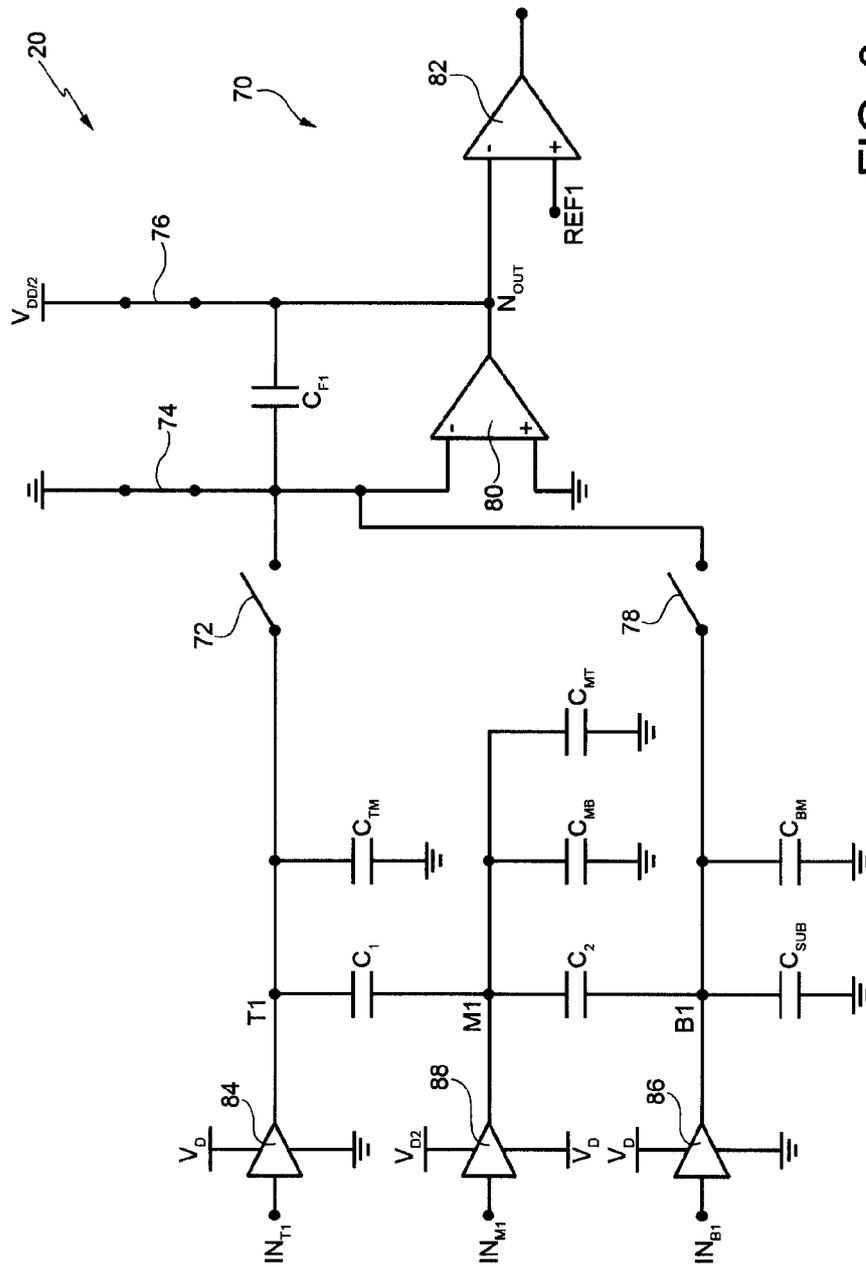


FIG. 6

Pietro SPALLA
 (Iscrizione Albo nr. 1430/B)

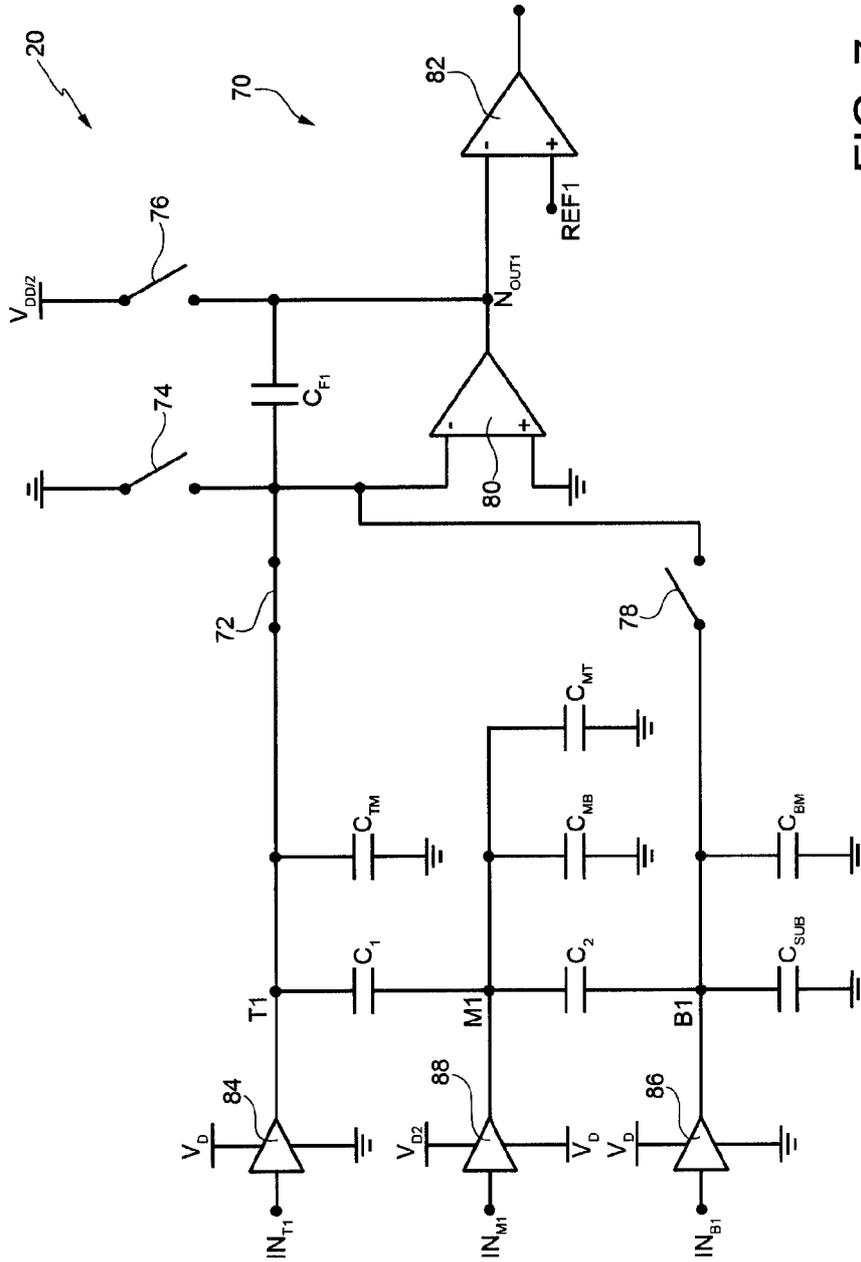


FIG. 7

Pietro SPALLA
 (Iscrizione Albo nr. 1430/B)

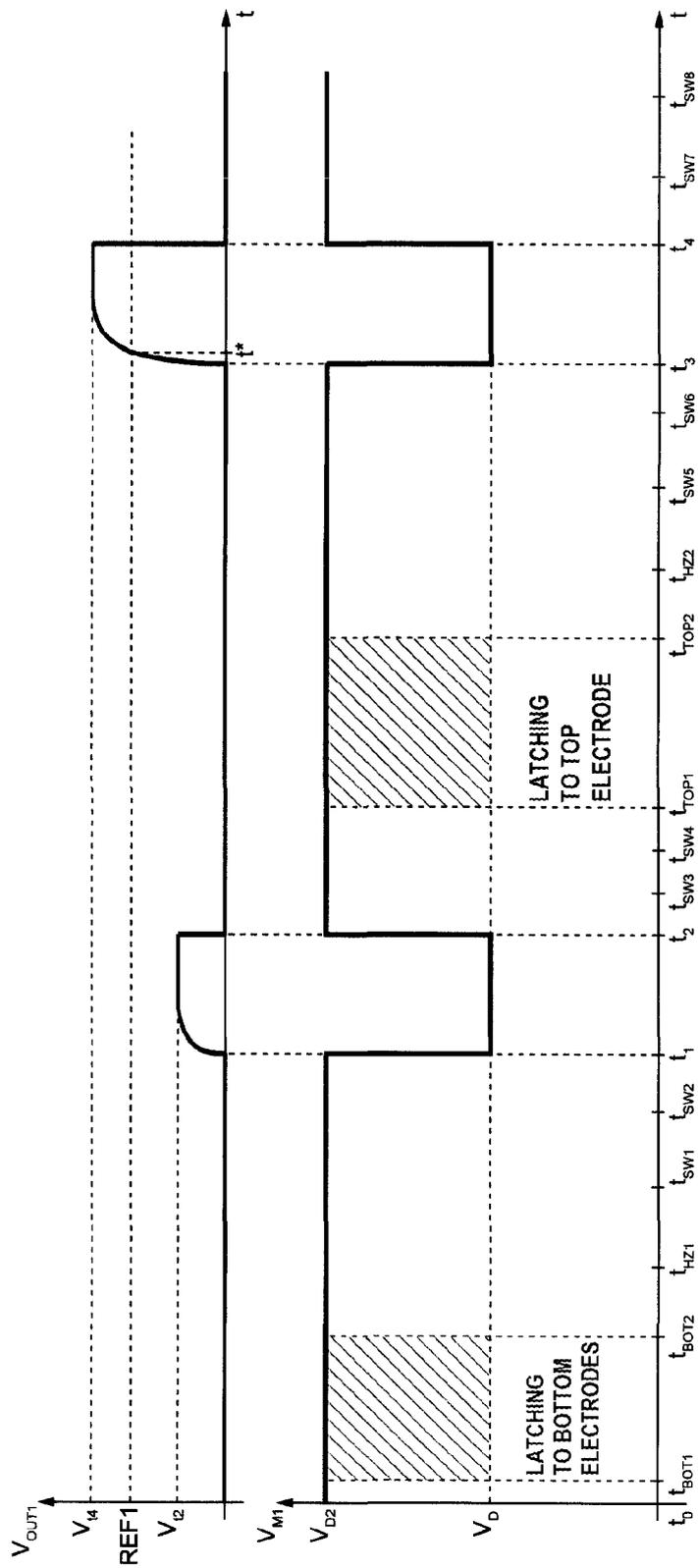


FIG. 8

Pietro SPALLA
(Iscrizione Albo nr. 1430/B)

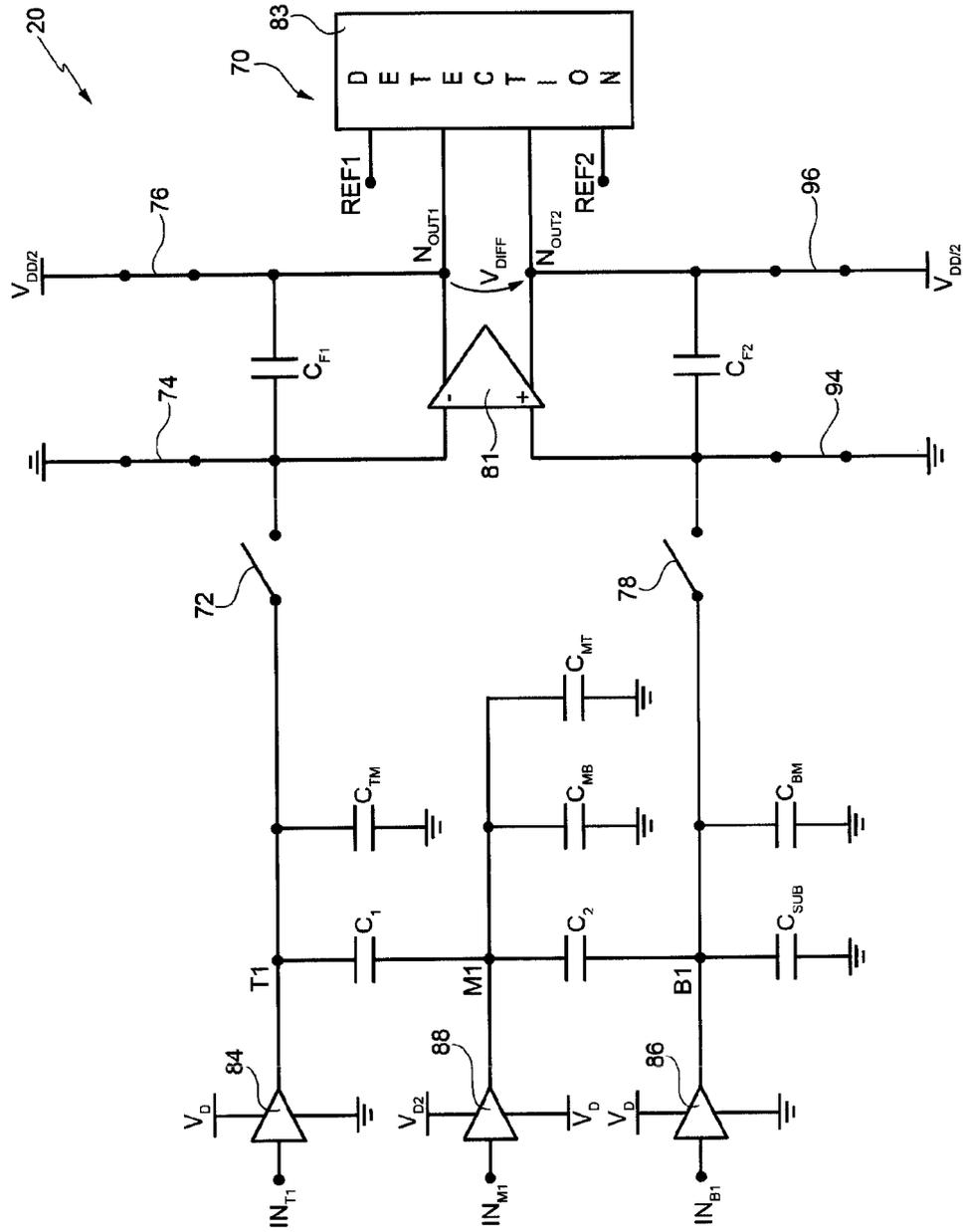


FIG. 9

Pietro SPALLA
 (Iscrizione Albo nr. 1430/B)

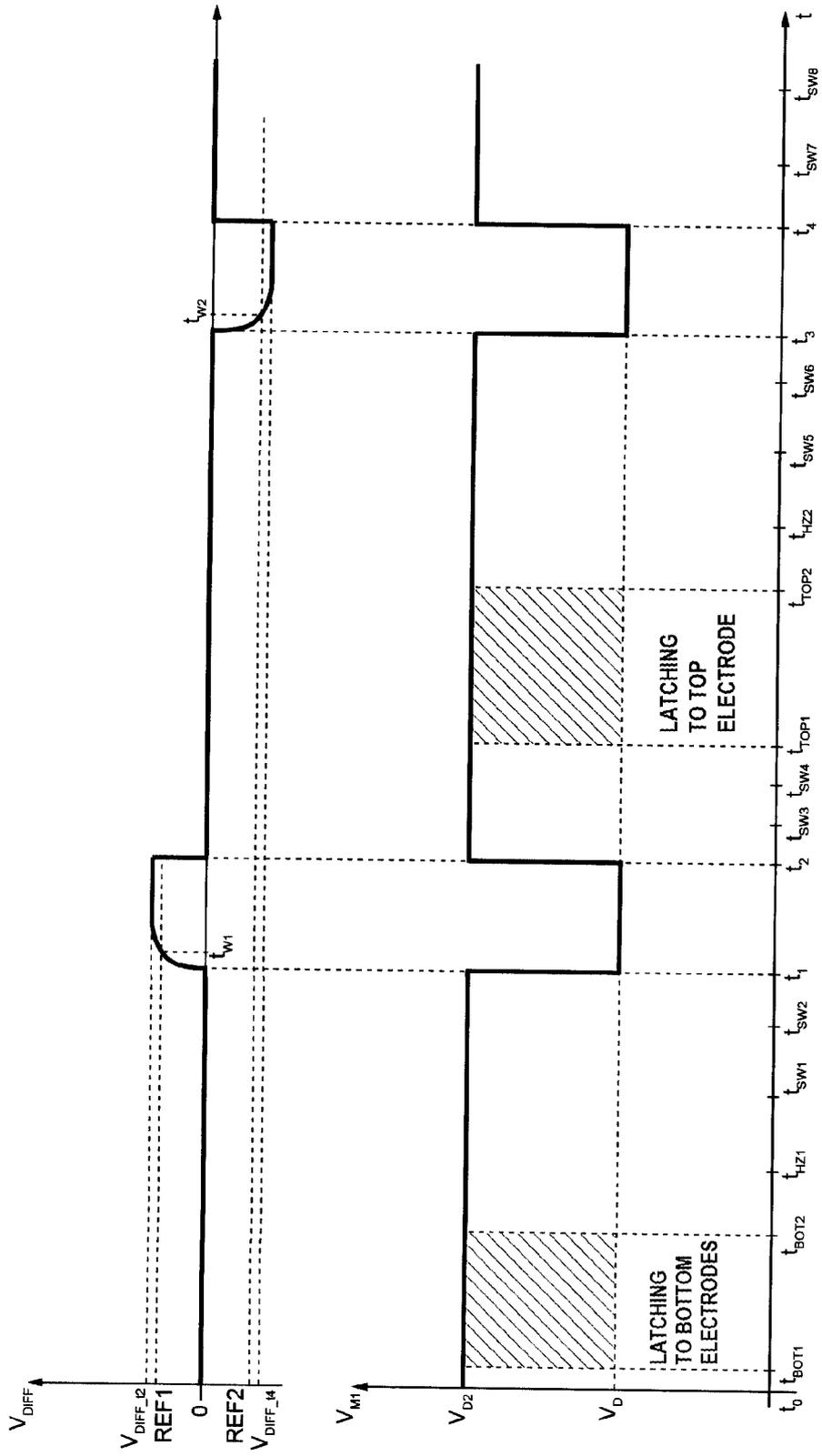


FIG. 10

Pietro SPALLA
 (Iscrizione Albo nr. 1430/B)