

(19)日本国特許庁(JP)

(12)特許公報(B1)

(11)特許番号  
特許第7323735号  
(P7323735)

(45)発行日 令和5年8月8日(2023.8.8)

(24)登録日 令和5年7月31日(2023.7.31)

(51)国際特許分類

F I

H 0 1 L	29/78 (2006.01)	H 0 1 L	29/78	6 5 2 N
H 0 1 L	21/336 (2006.01)	H 0 1 L	29/78	6 5 3 C
H 0 1 L	21/329 (2006.01)	H 0 1 L	29/78	6 5 7 A
H 0 1 L	29/866 (2006.01)	H 0 1 L	29/78	6 5 2 Q
		H 0 1 L	29/78	6 5 8 F

請求項の数 13 (全38頁) 最終頁に続く

(21)出願番号 特願2023-519342(P2023-519342)  
 (86)(22)出願日 令和4年9月27日(2022.9.27)  
 (86)国際出願番号 PCT/JP2022/035855  
 審査請求日 令和5年3月27日(2023.3.27)  
 (31)優先権主張番号 63/322,437  
 (32)優先日 令和4年3月22日(2022.3.22)  
 (33)優先権主張国・地域又は機関  
 米国(US)  
 早期審査対象出願

(73)特許権者 520133916  
 ヌヴォトンテクノロジージャパン株式会社  
 京都府長岡京市神足焼町1番地  
 (74)代理人 100109210  
 弁理士 新居 広守  
 (74)代理人 100137235  
 弁理士 寺谷 英作  
 (74)代理人 100131417  
 弁理士 道坂 伸一  
 (72)発明者 堤田 和三  
 日本国京都府長岡京市神足焼町1番地  
 ヌヴォトンテクノロジージャパン株式会社  
 社内  
 (72)発明者 上久 勝義

最終頁に続く

(54)【発明の名称】 製造方法および半導体装置

(57)【特許請求の範囲】

【請求項1】

第1導電型の半導体層と、少なくとも一部が前記半導体層の内部に形成された縦型MOSトランジスタであって、チャンネルが形成される活性領域を含む中央領域に、前記半導体層の平面視において第1の方向に延伸する複数のゲートトレンチが形成された前記縦型MOSトランジスタと、前記半導体層の内部に形成された、ポリシリコンからなる周辺素子であって、少なくとも一部が、前記半導体層の平面視において、前記中央領域に隣接し前記中央領域を取り囲む周辺領域に形成された前記周辺素子と、を備えるフェイスダウン実装が可能なチップサイズパッケージ型の半導体装置を製造する製造方法であって、

前記半導体層の平面視において少なくとも一部が前記周辺領域を含む第1の範囲の前記半導体層に対して、前記半導体層の上面から深さHの第1の溝を形成する第1の工程と、

前記第1の溝が埋まるように、少なくとも前記半導体層の上面まで第1の酸化膜を堆積し、さらに、前記第1の酸化膜の上面に形成される第3の酸化膜の最上面と、前記半導体層の上面に形成される第2の酸化膜の最上面との高さが一致するように、前記第1の酸化膜の上面に前記第3の酸化膜と、前記半導体層の上面に厚さaの前記第2の酸化膜とを並行して形成する第2の工程と、

前記半導体層の平面視において前記第1の範囲に含まれる第2の範囲であって、少なくとも一部が前記周辺領域を含む前記第2の範囲の前記第3の酸化膜と前記第1の酸化膜とに対して、前記第3の酸化膜の最上面から、前記厚さaよりも深い深さhの第2の溝を形成する第3の工程と、

10

20

前記中央領域の前記半導体層に対して、前記第 2 の酸化膜の最上面から、前記深さ H よりも深い深さの前記複数のゲートトレンチを形成する第 4 の工程と、

少なくとも、前記複数のゲートトレンチおよび前記第 2 の溝がポリシリコンで充填されるまで、前記半導体層の上面側にポリシリコンを堆積する第 5 の工程と、

前記第 2 の溝に堆積されたポリシリコンに不純物を注入して前記周辺素子を形成する第 6 の工程と、

前記第 2 の酸化膜の最上面と、前記複数のゲートトレンチに堆積されたポリシリコンの上面と、前記第 2 の溝に堆積されたポリシリコンの上面との高さが一致するように、前記複数のゲートトレンチに堆積されたポリシリコンと、前記第 2 の溝に堆積されたポリシリコンとを化学的機械研磨で並行して除去して、前記周辺素子の厚さを前記深さ h と一致させる第 7 の工程と、を順に含む

10

製造方法。

【請求項 2】

さらに、

前記第 4 の工程が開始されるまでに、前記半導体層の上面側に前記第 1 導電型と異なる第 2 導電型の不純物を注入して、前記縦型 MOS トランジスタのボディ領域を形成する第 8 の工程と、

前記第 7 の工程が終了した後に、前記半導体層の上面側に、前記半導体層の平面視において前記第 1 の方向に沿って周期的に形成された複数の第 1 の開口部を有するレジストを形成し、前記半導体層の平面視において前記複数の第 1 の開口部に位置する前記半導体層の部分のそれぞれに、前記第 1 導電型の不純物を注入して、前記縦型 MOS トランジスタの複数のソース領域を形成する第 9 の工程と、を含む

20

請求項 1 に記載の製造方法。

【請求項 3】

前記第 9 の工程では、前記周期的に形成された複数の第 1 の開口部間の距離が  $0.30 \mu\text{m}$  以下となるように前記レジストを形成し、さらに、前記レジストの厚さを  $900 \text{nm}$  以下に調整する

請求項 2 に記載の製造方法。

【請求項 4】

前記第 4 の工程では、前記半導体層の平面視において、前記複数のゲートトレンチのうち、前記周辺素子と最も近接するゲートトレンチと前記周辺素子との最近接距離を  $3 \mu\text{m}$  未満となるように、前記複数のゲートトレンチを形成する

30

請求項 3 に記載の製造方法。

【請求項 5】

さらに、前記第 2 の工程が終了した後から前記第 4 の工程が開始されるまでの期間に、前記第 2 の酸化膜に対して、前記半導体層の平面視において前記第 1 の方向に直交する第 2 の方向に沿って周期的に形成された複数の第 2 の開口部であって、前記第 2 の方向における非開口部分の幅が開口部分の幅の半分以下となる前記周期的に形成された複数の第 2 の開口部を形成する第 10 の工程を含み、

前記第 4 の工程では、前記周期的に形成された複数の第 2 の開口部を有する前記第 2 の酸化膜をマスクパターンとして、前記複数のゲートトレンチを形成し、

40

前記第 9 の工程では、前記周期的に形成された複数の第 1 の開口部における、前記第 1 の方向の開口部分の幅が  $0.35 \mu\text{m}$  以下になるように、前記レジストを形成する

請求項 3 に記載の製造方法。

【請求項 6】

さらに、前記第 9 の工程が終了した後に、前記複数のゲートトレンチに堆積されたポリシリコンのそれぞれに対してエッチングを行って、前記複数のゲートトレンチのそれぞれにおいて当該ゲートトレンチの内部の側壁が露出するように、前記複数のゲートトレンチのそれぞれに 1 対 1 で対応する複数のリセスを形成する第 11 の工程を含む

請求項 5 に記載の製造方法。

50

## 【請求項 7】

フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、  
第 1 導電型の半導体層と、

少なくとも一部が前記半導体層の内部に形成された縦型 MOS トランジスタであって、  
チャンネルが形成される活性領域を含む中央領域に、前記半導体層の平面視において第 1 の  
方向に延伸する複数のゲートトレンチが形成された前記縦型 MOS トランジスタと、

前記半導体層の内部に形成された、ポリシリコンからなる周辺素子であって、少なくと  
も一部が、前記半導体層の平面視において、前記中央領域に隣接し前記中央領域を取り囲  
む周辺領域に形成された前記周辺素子と、を備え、

前記周辺素子は、前記半導体層の平面視において少なくとも一部が前記周辺領域を含む  
第 1 の範囲の前記半導体層に形成された第 1 の溝であって、前記複数のゲートトレンチの  
深さよりも浅い前記第 1 の溝の内部に形成され、

前記周辺素子の上面と、前記半導体層の上面に接触されて形成された表面酸化膜の最上  
面との高さが一致する

半導体装置。

10

## 【請求項 8】

前記縦型 MOS トランジスタは、さらに、

前記半導体層の上面側に形成された、前記第 1 導電型と異なる第 2 導電型のボディ領域  
と、

前記ボディ領域に、前記半導体層の平面視において前記第 1 の方向に沿って周期的に形  
成された複数のソース領域と、を備え、

前記周期的に形成された複数のソース領域間の距離は  $0.30 \mu\text{m}$  以下である

請求項 7 に記載の半導体装置。

20

## 【請求項 9】

前記半導体層の平面視において、前記複数のゲートトレンチのうちの、前記周辺素子に  
最も近接するゲートトレンチと前記周辺素子との最近接距離は、 $3 \mu\text{m}$  未満である

請求項 8 に記載の半導体装置。

## 【請求項 10】

前記複数のゲートトレンチは、前記半導体層の平面視において前記第 1 の方向に直交す  
る第 2 の方向に沿ってストライプ状に並んで周期的に形成され、前記第 2 の方向おける、  
前記複数のゲートトレンチ間の距離は、前記第 2 の方向における、前記複数のゲートトレ  
ンチの幅の半分以下であり、

前記第 1 の方向における、前記周期的に形成された複数のソース領域の幅は、 $0.35 \mu\text{m}$   
以下である

請求項 9 に記載の半導体装置。

30

## 【請求項 11】

前記半導体層の平面視において、前記複数のゲートトレンチのうちの、前記周辺素子に  
最も近接するゲートトレンチと前記周辺素子との距離が最短となる方向を第 3 の方向とし、

前記第 3 の方向における前記第 1 の溝の幅を  $L$  とし、

前記周辺素子の最も低い位置から前記第 1 の溝の底面までの距離を  $b$  とし、

前記第 3 の方向における前記周辺素子の幅を  $l$  とする場合に、

$L$  と  $b$  と  $l$  とは、 $l = L - 2b$  となる関係を満たし、

前記第 1 の溝の側壁と前記周辺素子との距離は、 $b$  以上である

請求項 7 に記載の半導体装置。

40

## 【請求項 12】

前記縦型 MOS トランジスタは、

さらに、前記複数のゲートトレンチのそれぞれにおいて、当該ゲートトレンチの内部に  
、前記第 1 の方向に、当該ゲートトレンチの一方の端から他方の端まで延伸するポリシリ  
コンを備え、

さらに、前記複数のゲートトレンチのうち、少なくとも互いに隣接する 2 つのゲートト

50

レンチの内部のそれぞれに備わる少なくとも2つのポリシリコンのそれぞれを接続するポリシリコンを内部に備えるトレンチからなる第1の接続領域と第2の接続領域とであって、前記少なくとも互いに隣接する2つのゲートトレンチの、前記第1の方向における一方の端部に跨って形成された前記第1の接続領域と、他方の端部に跨って形成された前記第2の接続領域とを、それぞれ複数備え、

さらに、前記複数のゲートトレンチのそれぞれの内部に備わるポリシリコンのそれぞれに電圧を印加するための、金属からなるゲート電極と、当該ゲート電極に電氣的に接続されたゲート配線であって、複数の前記第1の接続領域のそれぞれに備わるポリシリコンのそれぞれに複数の第1の接触面のそれぞれで接触し、複数の前記第2の接続領域のそれぞれに備わるポリシリコンのそれぞれに複数の第2の接触面のそれぞれで接続する前記ゲート配線とを備え、

10

前記複数の第1の接触面のそれぞれと前記複数の第2の接触面のそれぞれとは、前記表面酸化膜の最上面の高さと一致する

請求項7に記載の半導体装置。

【請求項13】

前記半導体層の平面視における複数の前記第1の接続領域それぞれの形状は、当該第1の接続領域の内部に存在する最短の線分の長さが、当該第1の接続領域の、前記表面酸化膜の最上面からの深さの2倍未満となる形状であり、

前記半導体層の平面視における複数の前記第2の接続領域それぞれの形状は、当該第2の接続領域の内部に存在する最短の線分の長さが、当該第2の接続領域の深さの2倍未満となる形状である

20

請求項12に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置を製造する方法および半導体装置に関する。

【背景技術】

【0002】

従来、縦型MOS(Metal Oxide Semiconductor)トランジスタと周辺素子とを備える半導体装置、および、その製造方法が知られている。

30

【0003】

ここで、周辺素子とは、例えば、半導体装置をサージ電流から保護するために形成された抵抗素子、ツェナーダイオード等である。

【先行技術文献】

【特許文献】

【0004】

【文献】特開2008-85278号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

40

縦型MOSトランジスタと周辺素子とを備える半導体装置において、その縦型MOSトランジスタの、導通状態の際に流れる主電流の電流経路における抵抗(以下、「オン抵抗」とも称する)の低減が望まれる。

【0006】

そこで、本開示は、オン抵抗が低減された縦型MOSトランジスタと周辺素子とを備える半導体装置を製造することができる製造方法、および、オン抵抗が低減された縦型MOSトランジスタと周辺素子とを備えるのに適した構造を有する半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

50

本開示の一態様に係る製造方法は、第1導電型の半導体層と、少なくとも一部が前記半導体層の内部に形成された縦型MOSトランジスタであって、チャンネルが形成される活性領域を含む中央領域に、前記半導体層の平面視において第1の方向に延伸する複数のゲートトレンチが形成された前記縦型MOSトランジスタと、前記半導体層の内部に形成された、ポリシリコンからなる周辺素子であって、少なくとも一部が、前記半導体層の平面視において、前記中央領域に隣接し前記中央領域を取り囲む周辺領域に形成された前記周辺素子と、を備えるフェイスダウン実装が可能なチップサイズパッケージ型の半導体装置を製造する製造方法であって、前記半導体層の平面視において少なくとも一部が前記周辺領域を含む第1の範囲の前記半導体層に対して、前記半導体層の上面から深さHの第1の溝を形成する第1の工程と、前記第1の溝が埋まるように、少なくとも前記半導体層の上面まで第1の酸化膜を堆積し、さらに、前記第1の酸化膜の上面に形成される第3の酸化膜の最上面と、前記半導体層の上面に形成される第2の酸化膜の最上面との高さが一致するように、前記第1の酸化膜の上面に前記第3の酸化膜と、前記半導体層の上面に厚さaの前記第2の酸化膜とを並行して形成する第2の工程と、前記半導体層の平面視において前記第1の範囲に含まれる第2の範囲であって、少なくとも一部が前記周辺領域を含む前記第2の範囲の前記第3の酸化膜と前記第1の酸化膜とに対して、前記第3の酸化膜の最上面から、前記厚さaよりも深い深さhの第2の溝を形成する第3の工程と、前記中央領域の前記半導体層に対して、前記第2の酸化膜の最上面から、前記深さHよりも深い深さの前記複数のゲートトレンチを形成する第4の工程と、少なくとも、前記複数のゲートトレンチおよび前記第2の溝がポリシリコンで充填されるまで、前記半導体層の上面側にポリシリコンを堆積する第5の工程と、前記第2の溝に堆積されたポリシリコンに不純物を注入して前記周辺素子を形成する第6の工程と、前記第2の酸化膜の最上面と、前記複数のゲートトレンチに堆積されたポリシリコンの上面と、前記第2の溝に堆積されたポリシリコンの上面との高さが一致するように、前記複数のゲートトレンチに堆積されたポリシリコンと、前記第2の溝に堆積されたポリシリコンとを化学的機械研磨で並行して除去して、前記周辺素子の厚さを前記深さhと一致させる第7の工程と、を順に含む。

10

20

#### 【0008】

本開示の一態様に係る半導体装置は、フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、第1導電型の半導体層と、少なくとも一部が前記半導体層の内部に形成された縦型MOSトランジスタであって、チャンネルが形成される活性領域を含む中央領域に、前記半導体層の平面視において第1の方向に延伸する複数のゲートトレンチが形成された前記縦型MOSトランジスタと、前記半導体層の内部に形成された、ポリシリコンからなる周辺素子であって、少なくとも一部が、前記半導体層の平面視において、前記中央領域に隣接し前記中央領域を取り囲む周辺領域に形成された前記周辺素子と、を備え、前記周辺素子は、前記半導体層の平面視において少なくとも一部が前記周辺領域を含む第1の範囲の前記半導体層に形成された第1の溝であって、前記複数のゲートトレンチの深さよりも浅い前記第1の溝の内部に形成され、前記周辺素子の上面と、前記半導体層の上面に接触されて形成された表面酸化膜の最上面との高さが一致する。

30

#### 【発明の効果】

#### 【0009】

本開示の一態様に係る製造方法によれば、オン抵抗が低減された縦型MOSトランジスタと周辺素子とを備える半導体装置を製造することができる製造方法が提供される。また、本開示の一態様に係る半導体装置によれば、オン抵抗が低減された縦型MOSトランジスタと周辺素子とを備えるのに適した構造を有する半導体装置が提供される。

40

#### 【図面の簡単な説明】

#### 【0010】

【図1】図1は、実施の形態に係る半導体装置の回路構成の一例を示す回路図である。

【図2】図2は、実施の形態に係る半導体装置の構造の一例を示す断面図である。

【図3】図3は、実施の形態に係る半導体装置の構成の一例を示す平面図である。

【図4】図4は、実施の形態に係る第1のボディ領域と第2のボディ領域との形状の一例

50

を示す平面図である。

【図 5】図 5 は、実施の形態に係る第 1 のソース電極と第 1 のゲート電極と第 2 のソース電極と第 2 のゲート電極との形状の一例を示す平面図である。

【図 6】図 6 は、実施の形態に係る第 1 の中央領域と第 2 の中央領域と周辺領域と第 1 の活性領域と第 2 の活性領域との形状の一例を示す平面図である。

【図 7】図 7 は、実施の形態に係る第 1 のゲート電極周辺における実施の形態に係る半導体装置の構造の一例を示す拡大平面図である。

【図 8】図 8 は、実施の形態に係る第 1 のゲート電極周辺における実施の形態に係る半導体装置の構造の一例を示す拡大断面図である。

【図 9】図 9 は、実施の形態に係る第 1 のゲート電極周辺における実施の形態に係る半導体装置の構造の一例を示す拡大断面図である。

10

【図 10】図 10 は、実施の形態に係る第 1 のゲートトレンチの周辺における実施の形態に係る半導体装置の構造の一例を示す拡大断面斜視図である。

【図 11】図 11 は、実施の形態に係る第 1 のゲートトレンチの一方の端部周辺における実施の形態に係る半導体装置の構造の一例を示す拡大平面図である。

【図 12】図 12 は、実施の形態に係る第 1 のゲートトレンチの一方の端部周辺における実施の形態に係る半導体装置の構造の一例を示す拡大断面図である。

【図 13】図 13 は、製造途上における実施の形態に係る半導体装置の構造を示す模式図である。

【図 14】図 14 は、製造途上における実施の形態に係る半導体装置の構造を示す模式図である。

20

【図 15】図 15 は、製造途上における実施の形態に係る半導体装置の構造を示す模式図である。

【図 16】図 16 は、製造途上における実施の形態に係る半導体装置の構造を示す模式図である。

【図 17】図 17 は、製造途上における実施の形態に係る半導体装置の構造を示す模式図である。

【図 18】図 18 は、製造途上における実施の形態に係る半導体装置の構造を示す模式図である。

【図 19】図 19 は、製造途上における実施の形態に係る半導体装置の構造を示す模式図である。

30

【図 20】図 20 は、製造途上における実施の形態に係る半導体装置の構造を示す模式図である。

【図 21】図 21 は、製造途上における実施の形態に係る半導体装置の構造を示す模式図である。

【図 22】図 22 は、製造途上における実施の形態に係る半導体装置の構造を示す模式図である。

【図 23】図 23 は、製造途上における実施の形態に係る半導体装置の構造を示す模式図である。

【図 24】図 24 は、製造途上における実施の形態に係る半導体装置の構造を示す模式図である。

40

【図 25】図 25 は、製造途上における実施の形態に係る半導体装置の構造を示す模式図である。

【図 26】図 26 は、製造途上における実施の形態に係る半導体装置の構造を示す模式図である。

【図 27】図 27 は、製造途上における実施の形態に係る半導体装置の構造を示す模式図である。

【図 28】図 28 は、製造途上における実施の形態に係る半導体装置の構造を示す模式図である。

【図 29】図 29 は、製造途上における実施の形態に係る半導体装置の構造を示す模式図

50

である。

【図 3 0】図 3 0 は、製造途上における実施の形態に係る半導体装置の構造を示す模式図である。

【図 3 1】図 3 1 は、製造途上における実施の形態に係る半導体装置の構造を示す模式図である。

【図 3 2】図 3 2 は、製造途上における実施の形態に係る半導体装置の構造を示す模式図である。

【図 3 3】図 3 3 は、縦型 MOS トランジスタのゲートトレンチの周辺の構造を示す拡大断面斜視図である。

【図 3 4】図 3 4 は、縦型 MOS トランジスタが破壊される現象のメカニズムを説明するための模式図である。

10

【発明を実施するための形態】

【0011】

(本開示の一態様を得るに至った経緯)

上述したように、縦型 MOS トランジスタと周辺素子とを備える半導体装置において、オン抵抗の低減が望まれる。

【0012】

このため、発明者らは、オン抵抗が低減された縦型 MOS トランジスタと周辺素子とを備える半導体装置を製造することができる製造方法について、鋭意、検討、実験を重ねた。

【0013】

図 3 3 は、複数のゲートトレンチ 5 0 1 を備える縦型 MOS トランジスタ 5 0 0 の、ゲートトレンチ 5 0 1 の周辺の構造を示す拡大断面斜視図である。

20

【0014】

図 3 3 において、Y 軸方向は、ゲートトレンチ 5 0 1 の延伸方向であり、Z 軸方向は、ゲートトレンチ 5 0 1 の深さ方向の反対方向であり、X 軸方向は、Y 軸方向および Z 軸方向に直交する方向であって、複数のゲートトレンチ 5 0 1 がストライプ状に周期的に並ぶ方向である。

【0015】

図 3 3 に示すように、縦型 MOS トランジスタ 5 0 0 には、ゲートトレンチ 5 0 1 の内部に、ゲートトレンチ 5 0 1 の延伸方向に延伸するポリシリコン 5 0 2 が形成され、ボディ領域 5 0 3 の Z 軸方向上方側に、複数のソース領域 5 0 4 であって、ゲートトレンチ 5 0 1 の延伸方向に沿って周期的に形成された複数のソース領域 5 0 4 が形成されている。このゲートトレンチ 5 0 1 内部のポリシリコン 5 0 2 は、ゲート導体として機能する。

30

【0016】

発明者らは、縦型 MOS トランジスタ 5 0 0 のオン抵抗を低減するには、ストライプ状に並ぶゲートトレンチ 5 0 1 間の幅であるメサ幅  $L \times m$  を狭くして、ゲートトレンチ 5 0 1 の密度を高めることが有効であると考えた。

【0017】

しかしながら、発明者らは、メサ幅  $L \times m$  を狭くすると、縦型 MOS トランジスタ 5 0 0 のターンオフ時耐圧が低下してしまうという現象に気が付いた。そして、発明者らは、検討、実験を通じて、この縦型 MOS トランジスタ 5 0 0 のターンオフ時耐圧が低下する現象のメカニズムを解明した。

40

【0018】

ところで、縦型 MOS トランジスタ 5 0 0 には、構造上、寄生バイポーラトランジスタが備わっている。寄生バイポーラトランジスタは、駆動している半導体装置であって、縦型 MOS トランジスタ 5 0 0 を含む半導体装置をオフしたとき(導通状態(以下、「ON 状態」とも称する)から非導通状態(以下「OFF 状態」とも称する)に遷移させたとき)、オンしやすく(ON 状態になりやすく)、オフする(OFF 状態にする)直前までの駆動電圧が大きい程オンしやすい。

【0019】

50

縦型MOSトランジスタ500を含む半導体装置をオフしたとき、寄生バイポーラトランジスタがオンしない駆動電圧のうちの最大のものを、本開示ではターンオフ時耐圧とよぶ。

【0020】

例えば、半導体装置の10V駆動時からのオフでは寄生バイポーラトランジスタがオンしない一方で、半導体装置の11V駆動時からのオフでは寄生バイポーラトランジスタがオンする場合、その半導体装置のターンオフ時耐圧は10V以上11V未満である。

【0021】

なお、半導体装置がデュアル構成のN導電型の縦型MOSトランジスタからなる場合、駆動電圧とはソース-ソース間電圧(VSS)であり、半導体装置がシングル構成の縦型MOSトランジスタからなる場合、駆動電圧とは、ドレイン-ソース間電圧(VDS)のことである。

10

【0022】

ここで、駆動とは、ゲート導体に電圧を印加してソース-ソース間(もしくはドレイン-ソース間)に電流を導通している状態のことをいい、特にことわらない限り、線形領域の条件で導通させることをいう。

【0023】

発明者らは、メサ幅Lxmを狭くすると、寄生バイポーラトランジスタがON状態となる条件が緩和されることとなるため、縦型MOSトランジスタ500をON状態からOFF状態へと切り替えるタイミングで、この寄生バイポーラトランジスタがON状態となっ

20

【0024】

図34は、縦型MOSトランジスタ500が破壊される現象のメカニズムを説明するための模式図である。

【0025】

メサ幅Lxmを狭くすることでボディ領域503の内部抵抗Rbが大きくなると、図34に示すように、縦型MOSトランジスタ500がON状態からOFF状態へと切り替えられた直後における、寄生バイポーラトランジスタのベースとエミッタとの間の電圧VBEが大きくなってしまふことで、すなわち、縦型MOSトランジスタ500がON状態からOFF状態へと切り替えられた直後に縦型MOSトランジスタ500の、ドレイン-ソース間の寄生容量に起因して蓄積されたキャリアがソース領域504の直下を經由してボディ領域503からソース電極へ抜ける際に流れる電流Ioffと、ボディ領域503の内部抵抗Rbとの積Ioff×Rbが、PN接合の順方向の障壁0.6-0.7Vを超えてしまふことで、寄生バイポーラトランジスタが導通して大電流が流れてしまい、縦型MOSトランジスタ500が破壊される。

30

【0026】

発明者らは、この知見を基に、さらに、検討、実験を重ねて、ボディ領域503の内部抵抗Rbを小さくするためには、ゲートトレンチ501の延伸方向におけるソース領域504の幅LS(図33参照)を狭くすることが有効であることを見出した。

40

【0027】

そして、発明者らは、ターンオフ時耐圧がドレイン-ソース間仕様最大電圧22Vとなる縦型MOSトランジスタ500を実現するためには、メサ幅Lxmが0.10[μm]のときには、幅LSを0.35[μm]以下とすることが望ましいとの知見を得た。

【0028】

ゲートトレンチ501の延伸方向におけるソース領域504間の距離、すなわち、ゲートトレンチ501の延伸方向におけるボディ領域503の幅を幅LB(図33参照)とする場合、一般に、幅LSのソース領域504と幅LBのボディ領域503とは、以下の手順で形成する。

【0029】

50



まず(1)半導体層に特定の導電型(例えばp型)のドーパントを注入してボディ領域503を形成し、次に、(2)ボディ領域503の幅LBの部分だけを被覆するように、半導体層の上面にパターニングされたレジストを形成し、その次に、(3)パターニングされたレジストの開口部分に、上記特定の導電型と異なる導電型(例えばn型)のドーパントを注入してソース領域504を形成することで、幅LSのソース領域504と幅LBのボディ領域503とを形成する。

#### 【0030】

一方で、一般に、パターニングされたレジストの、厚さに対する残し幅のアスペクト比は、3.0程度の上限がある。さらに、一般に、レジストを塗布するレジスト塗布領域内に段差がある場合、そのレジストにはその段差以上のレジスト厚が必要となる。

10

#### 【0031】

これに対して、従来の、縦型MOSトランジスタと周辺素子とを備える半導体装置を製造する製造方法においては、上記レジスト塗布領域における、縦型MOSトランジスタを形成する領域と周辺素子を形成する領域との間に段差が生じてしまうため、一定以上の厚さのレジストを塗布する必要がある。すると、アスペクト比3.0を維持して残し幅を微細にするには限界がある。

#### 【0032】

これらのことから、発明者らは、上記レジスト塗布領域における上記段差が生じない、縦型MOSトランジスタと周辺素子とを備える半導体装置を製造する製造方法を実現することができれば、オン抵抗が低減された縦型MOSトランジスタと周辺素子とを備える半導体装置を実現できると考えた。

20

#### 【0033】

そして、発明者らは、この考えに基づいて、さらに、検討、実験を重ねて、下記本開示の一態様に係る製造方法、および、下記本開示の一態様に係る半導体装置に想到した。

#### 【0034】

本開示の一態様に係る製造方法は、第1導電型の半導体層と、少なくとも一部が前記半導体層の内部に形成された縦型MOSトランジスタであって、チャンネルが形成される活性領域を含む中央領域に、前記半導体層の平面視において第1の方向に延伸する複数のゲートトレンチが形成された前記縦型MOSトランジスタと、前記半導体層の内部に形成された、ポリシリコンからなる周辺素子であって、少なくとも一部が、前記半導体層の平面視において、前記中央領域に隣接し前記中央領域を取り囲む周辺領域に形成された前記周辺素子と、を備えるフェイスダウン実装が可能なチップサイズパッケージ型の半導体装置を製造する製造方法であって、前記半導体層の平面視において少なくとも一部が前記周辺領域を含む第1の範囲の前記半導体層に対して、前記半導体層の上面から深さHの第1の溝を形成する第1の工程と、前記第1の溝が埋まるように、少なくとも前記半導体層の上面まで第1の酸化膜を堆積し、さらに、前記第1の酸化膜の上面に形成される第3の酸化膜の最上面と、前記半導体層の上面に形成される第2の酸化膜の最上面との高さが一致するように、前記第1の酸化膜の上面に前記第3の酸化膜と、前記半導体層の上面に厚さaの前記第2の酸化膜とを並行して形成する第2の工程と、前記半導体層の平面視において前記第1の範囲に含まれる第2の範囲であって、少なくとも一部が前記周辺領域を含む前記第2の範囲の前記第3の酸化膜と前記第1の酸化膜とに対して、前記第3の酸化膜の最上面から、前記厚さaよりも深い深さhの第2の溝を形成する第3の工程と、前記中央領域の前記半導体層に対して、前記第2の酸化膜の最上面から、前記深さHよりも深い深さの前記複数のゲートトレンチを形成する第4の工程と、少なくとも、前記複数のゲートトレンチおよび前記第2の溝がポリシリコンで充填されるまで、前記半導体層の上面側にポリシリコンを堆積する第5の工程と、前記第2の溝に堆積されたポリシリコンに不純物を注入して前記周辺素子を形成する第6の工程と、前記第2の酸化膜の最上面と、前記複数のゲートトレンチに堆積されたポリシリコンの上面との高さが一致するように、前記複数のゲートトレンチに堆積されたポリシリコンと、前記第2の溝に堆積されたポリシリコンとを化学的機械研磨で並行して除去して

30

40

50

、前記周辺素子の厚さを前記深さ  $h$  と一致させる第 7 の工程と、を順に含む。

【 0 0 3 5 】

上記製造方法によると、第 7 の工程が終了した時点で、第 2 の酸化膜の最上面と、第 3 の酸化膜の最上面と、複数のゲートトレンチに充填されたポリシリコンの上面と、第 2 の溝に充填されたポリシリコンの上面との高さが一致する。すなわち、第 7 の工程の後において、幅  $L S$  のソース領域を形成するためのレジストを塗布する領域に段差が存在しない。

【 0 0 3 6 】

このため、上記レジストの、段差の存在を加味したレジスト厚の増加を抑制することができる。これにより、上記レジストを使用して形成されるソース領域の幅  $L S$  を、従来よりも狭くすることが可能となる。

10

【 0 0 3 7 】

したがって、上記製造方法によると、オン抵抗が低減された縦型 MOS トランジスタと周辺素子とを備える半導体装置を製造することができる。

【 0 0 3 8 】

また、さらに、前記第 4 の工程が開始されるまでに、前記半導体層の上面側に前記第 1 導電型と異なる第 2 導電型の不純物を注入して、前記縦型 MOS トランジスタのボディ領域を形成する第 8 の工程と、前記第 7 の工程が終了した後に、前記半導体層の上面側に、前記半導体層の平面視において前記第 1 の方向に沿って周期的に形成された複数の第 1 の開口部を有するレジストを形成し、前記半導体層の平面視において前記複数の第 1 の開口部に位置する前記半導体層の部分のそれぞれに、前記第 1 導電型の不純物を注入して、前記縦型 MOS トランジスタの複数のソース領域を形成する第 9 の工程と、を含むとしてもよい。

20

【 0 0 3 9 】

これにより、第 8 の工程によりボディ領域を形成し、第 9 の工程によりソース領域を形成することができる。

【 0 0 4 0 】

また、前記第 9 の工程では、前記周期的に形成された複数の第 1 の開口部間の距離が  $0.30 \mu\text{m}$  以下となるように前記レジストを形成し、さらに、前記レジストの厚さを  $90 \text{nm}$  以下に調整するとしてもよい。

【 0 0 4 1 】

これにより、ボディ領域の幅  $L B$  を  $0.30 \mu\text{m}$  以下とすることができるため、ソース領域の幅  $L S$  の微細化に伴うオン抵抗の増大を抑制することができる。

30

【 0 0 4 2 】

また、前記第 4 の工程では、前記半導体層の平面視において、前記複数のゲートトレンチのうちの、前記周辺素子と最も近接するゲートトレンチと前記周辺素子との最近接距離を  $3 \mu\text{m}$  未満となるように、前記複数のゲートトレンチを形成するとしてもよい。

【 0 0 4 3 】

上記製造方法によると、縦型 MOS トランジスタの活性領域の大きさを制限する要因が低減される。これにより、縦型 MOS トランジスタのオン抵抗を、さらに低減することができる。

40

【 0 0 4 4 】

また、さらに、前記第 2 の工程が終了した後から前記第 4 の工程が開始されるまでの期間に、前記第 2 の酸化膜に対して、前記半導体層の平面視において前記第 1 の方向に直交する第 2 の方向に沿って周期的に形成された複数の第 2 の開口部であって、前記第 2 の方向における非開口部分の幅が開口部分の幅の半分以下となる前記周期的に形成された複数の第 2 の開口部を形成する第 10 の工程を含み、前記第 4 の工程では、前記周期的に形成された複数の第 2 の開口部を有する前記第 2 の酸化膜をマスクパターンとして、前記複数のゲートトレンチを形成し、前記第 9 の工程では、前記周期的に形成された複数の第 1 の開口部における、前記第 1 の方向の開口部分の幅が  $0.35 \mu\text{m}$  以下になるように、前記レジストを形成するとしてもよい。

50

## 【 0 0 4 5 】

これにより、メサ幅  $L \times m$  をゲートトレンチの幅の半分以下とし、かつ、ソース領域の幅  $L S$  を  $0.35 \mu m$  以下とすることができる。

## 【 0 0 4 6 】

また、さらに、前記第 9 の工程が終了した後に、前記複数のゲートトレンチに堆積されたポリシリコンのそれぞれに対してエッチングを行って、前記複数のゲートトレンチのそれぞれにおいて当該ゲートトレンチの内部の側壁が露出するように、前記複数のゲートトレンチのそれぞれに 1 対 1 で対応する複数のリセスを形成する第 11 の工程を含むとしてもよい。

## 【 0 0 4 7 】

上記製造方法によると、ソース領域に電氣的に接続する、金属からなるソース電極を、ゲートトレンチの内部の側壁が露出する部分にまで形成することが可能となる。これにより、ソース領域とソース電極、および、ボディ領域とソース電極とのコンタクト抵抗を低減することができる。

## 【 0 0 4 8 】

本開示の一態様に係る半導体装置は、フェイスダウン実装が可能なチップサイズパッケージ型の半導体装置であって、第 1 導電型の半導体層と、少なくとも一部が前記半導体層の内部に形成された縦型 MOS トランジスタであって、チャンネルが形成される活性領域を含む中央領域に、前記半導体層の平面視において第 1 の方向に延伸する複数のゲートトレンチが形成された前記縦型 MOS トランジスタと、前記半導体層の内部に形成された、ポリシリコンからなる周辺素子であって、少なくとも一部が、前記半導体層の平面視において、前記中央領域に隣接し前記中央領域を取り囲む周辺領域に形成された前記周辺素子と、を備え、前記周辺素子は、前記半導体層の平面視において少なくとも一部が前記周辺領域を含む第 1 の範囲の前記半導体層に形成された第 1 の溝であって、前記複数のゲートトレンチの深さよりも浅い前記第 1 の溝の内部に形成され、前記周辺素子の上面と、前記半導体層の上面に接触されて形成された表面酸化膜の最上面との高さが一致する。

## 【 0 0 4 9 】

上記構成の半導体装置によると、周辺素子の上面と、第 2 の酸化膜の最上面との高さが一致する。すなわち、幅  $L S$  のソース領域を形成するためのレジストを塗布する領域に段差が存在しない。

## 【 0 0 5 0 】

このため、上記レジストの、段差を加味したレジスト厚の増加を抑制することができる。これにより、上記レジストを使用して形成されるソース領域の幅  $L S$  を、従来よりも狭くすることが可能となる。

## 【 0 0 5 1 】

したがって、上記半導体装置によると、オン抵抗が低減された縦型 MOS トランジスタと周辺素子とを備えるのに適した構造を有する半導体装置が提供される。

## 【 0 0 5 2 】

また、前記縦型 MOS トランジスタは、さらに、前記半導体層の上面側に形成された、前記第 1 導電型と異なる第 2 導電型のボディ領域と、前記ボディ領域に、前記半導体層の平面視において前記第 1 の方向に沿って周期的に形成された複数のソース領域と、を備え、前記周期的に形成された複数のソース領域間の距離は  $0.30 \mu m$  以下であるとしてもよい。

## 【 0 0 5 3 】

これにより、ボディ領域の幅  $L B$  を  $0.30 \mu m$  以下とすることができる。

## 【 0 0 5 4 】

また、前記半導体層の平面視において、前記複数のゲートトレンチのうちの、前記周辺素子に最も近接するゲートトレンチと前記周辺素子との最近接距離は、 $3 \mu m$  未満であるとしてもよい。

## 【 0 0 5 5 】

10

20

30

40

50

上記構成の半導体装置によると、縦型MOSトランジスタの活性領域の大きさを制限する要因が低減される。これにより、縦型MOSトランジスタのオン抵抗を、さらに低減することができる。

【0056】

また、前記複数のゲートトレンチは、前記半導体層の平面視において前記第1の方向に直交する第2の方向に沿ってストライプ状に並んで周期的に形成され、前記第2の方向における、前記複数のゲートトレンチ間の距離は、前記第2の方向における、前記複数のゲートトレンチの幅の半分以下であり、前記第1の方向における、前記周期的に形成された複数のソース領域の幅は、 $0.35\ \mu\text{m}$ 以下であるとしてもよい。

【0057】

これにより、メサ幅 $L \times m$ をゲートトレンチの幅の半分以下とし、かつ、ソース領域の幅 $LS$ を $0.35\ \mu\text{m}$ 以下とすることができる。

【0058】

また、前記半導体層の平面視において、前記複数のゲートトレンチのうちの、前記周辺素子に最も近接するゲートトレンチと前記周辺素子との距離が最短となる方向を第3の方向とし、前記第3の方向における前記第1の溝の幅を $l$ とし、前記周辺素子の最も低い位置から前記第1の溝の底面までの距離を $b$ とし、前記第3の方向における前記周辺素子の幅を $1$ とする場合に、 $l$ と $b$ と $1$ とは、 $l = L - 2b$ となる関係を満たし、前記第1の溝の側壁と前記周辺素子との距離は、 $b$ 以上であるとしてもよい。

【0059】

上記構成の半導体装置によると、周辺素子と半導体層との距離は、全方位的に $b$ 以上となる。このため、 $b$ により定まる、周辺素子と半導体層との間の所定の絶縁性が確保される。

【0060】

また、前記縦型MOSトランジスタは、さらに、前記複数のゲートトレンチのそれぞれにおいて、当該ゲートトレンチの内部に、前記第1の方向に、当該ゲートトレンチの一方の端から他方の端まで延伸するポリシリコンを備え、さらに、前記複数のゲートトレンチのうち、少なくとも互いに隣接する2つのゲートトレンチの内部のそれぞれに備わる少なくとも2つのポリシリコンのそれぞれを接続するポリシリコンを内部に備えるトレンチからなる第1の接続領域と第2の接続領域とであって、前記少なくとも互いに隣接する2つのゲートトレンチの、前記第1の方向における一方の端部に跨って形成された前記第1の接続領域と、他方の端部に跨って形成された前記第2の接続領域とを、それぞれ複数備え、さらに、前記複数のゲートトレンチのそれぞれの内部に備わるポリシリコンのそれぞれに電圧を印加するための、金属からなるゲート電極と、当該ゲート電極に電気的に接続されたゲート配線であって、複数の前記第1の接続領域のそれぞれに備わるポリシリコンのそれぞれに複数の第1の接触面のそれぞれで接触し、複数の前記第2の接続領域のそれぞれに備わるポリシリコンのそれぞれに複数の第2の接触面のそれぞれで接続する前記ゲート配線とを備え、前記複数の第1の接触面のそれぞれと前記複数の第2の接触面のそれぞれとは、前記表面酸化膜の最上面の高さと一致するとしてもよい。

【0061】

これにより、前記複数のゲートトレンチのそれぞれの内部に備わるポリシリコンのそれぞれとゲート電極とのコンタクト抵抗を低減することができる。

【0062】

また、前記半導体層の平面視における複数の前記第1の接続領域それぞれの形状は、当該第1の接続領域の内部に存在する最短の線分の長さが、当該第1の接続領域の、前記表面酸化膜の最上面からの深さの2倍未満となる形状であり、前記半導体層の平面視における複数の前記第2の接続領域それぞれの形状は、当該第2の接続領域の内部に存在する最短の線分の長さが、当該第2の接続領域の深さの2倍未満となる形状であるとしてもよい。

【0063】

一般に、ポリシリコンの堆積過程において、ポリシリコンは等方的に成長する。このた

10

20

30

40

50

め、溝の内部にポリシリコンを充填する場合には、溝の底面からのポリシリコンの成長と、溝の側面からのポリシリコンの成長とが同時進行で行われる。このため、一般に、比較的溝の深さが深く、平面視における溝の面積が比較的大きな形状の溝の部分は、ポリシリコンを充填することが難しい。上記構成の半導体装置において、第1の接続領域および第2の接続領域がこれに該当する可能性がある。

【0064】

一方で、一般に、平面視における溝の形状に関わらず、平面視における溝の内部に存在する最短の線分の長さが溝の深さの2倍未満であるという条件を満たしていれば、比較的容易に、溝の内部にポリシリコンを充填することができることが知られている。

【0065】

上記構成の半導体装置において、第1の接続領域および第2の接続領域は、上記条件が満たされている。

【0066】

したがって、上記構成の半導体装置によると、第1の接続領域および第2の接続領域を、第1の接続領域および第2の接続領域の内部にポリシリコンを比較的容易に充填させるのに適した構造とすることができる。

【0067】

以下、本開示の一態様に係る製造方法および半導体装置の具体例について、図面を参照しながら説明する。ここで示す実施の形態は、いずれも本開示の一具体例を示すものである。従って、以下の実施の形態で示される数値、形状、構成要素、構成要素の配置および接続形態、ならびに、ステップ（工程）およびステップの順序等は、一例であって本開示を限定する趣旨ではない。また、各図は、模式図であり、必ずしも厳密に図示されたものではない。各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略または簡略化する。

【0068】

（実施の形態）

以下、実施の形態に係る半導体装置について説明する。この半導体装置は、フェイスダウン実装が可能なチップサイズパッケージ（Chip Size Package：CSP）型の半導体装置であって、少なくとも一部が半導体層の内部に形成された縦型MOS（Metal Oxide Semiconductor）トランジスタと、半導体層の内部に形成された、ポリシリコンからなる周辺素子とを備える。

【0069】

[1. 半導体装置の構造]

図1は、実施の形態に係る半導体装置1の構成の一例を示す回路図である。図1に示すように、半導体装置1は、第1の縦型MOSトランジスタ10と、第1の抵抗素子51と、第1のツェナーダイオード52と、第2の縦型MOSトランジスタ20と、第2の抵抗素子61と、第2のツェナーダイオード62と、第1のソースパッド111と、第1のゲートパッド119と、第2のソースパッド121と、第2のゲートパッド129とを備える。

【0070】

ここで、第1の縦型MOSトランジスタ10と、第2の縦型MOSトランジスタ20とは、少なくとも一部が後述する半導体層40（後述の図2等参照）の内部に形成された縦型MOSトランジスタである。

【0071】

また、第1の抵抗素子51と、第1のツェナーダイオード52と、第2の抵抗素子61と、第2のツェナーダイオード62とは、半導体装置1をサージ電流から保護するために形成された保護素子であって、半導体層40の内部に形成された、ポリシリコンからなる周辺素子である。

【0072】

以下では、半導体装置1は、第1の縦型MOSトランジスタ10と第2の縦型MOSト

10

20

30

40

50

ランジスタ 20 との 2 つの、少なくとも一部が半導体層 40 の内部に形成された縦型 MOS トランジスタ、および、第 1 の抵抗素子 51 と、第 1 のツェナーダイオード 52 と、第 2 の抵抗素子 61 と、第 2 のツェナーダイオード 62 との 4 つの、半導体層 40 の内部に形成された、ポリシリコンからなる周辺素子を備えるとして説明する。しかしながら、半導体装置 1 は、1 つ以上の、少なくとも一部が半導体層 40 の内部に形成された縦型 MOS トランジスタ、および、1 つ以上の、半導体層 40 の内部に形成された、ポリシリコンからなる周辺素子を備える構成であれば、必ずしも、図 1 に例示される構成に限定される必要はない。

【0073】

図 2 は、半導体装置 1 の構造の一例を示す断面図である。図 3 は、半導体装置 1 の構造の一例を示す平面図である。図 2 は、図 3 の I - I における切断面を示す。

10

【0074】

図 2 および図 3 に示すように、半導体装置 1 は、半導体層 40 と、表面酸化膜 34 と、パッシベーション層 35 と、少なくとも一部が半導体層 40 内の第 1 の半導体層内領域 A1 に形成された第 1 の縦型 MOS トランジスタ 10 と、少なくとも一部が半導体層 40 内の第 2 の半導体層内領域 A2 に形成された第 2 の縦型 MOS トランジスタ 20 と、を備える。

【0075】

なお、半導体層 40 の平面視で、第 1 の半導体層内領域 A1 と第 2 の半導体層内領域 A2 とは互いに隣接しており、半導体層 40 を面積で 2 等分している。

20

【0076】

半導体層 40 は、半導体基板 32 と低濃度不純物層 33 とが積層されて構成される。

【0077】

半導体基板 32 は、半導体層 40 の下面側に配置され、第 1 導電型（例えば N 型）の不純物を含むシリコンからなる。

【0078】

低濃度不純物層 33 は、半導体層 40 の上面側に配置され、半導体基板 32 に接触して形成され、半導体基板 32 の第 1 導電型の不純物の濃度より低い濃度の第 1 導電型の不純物を含む。低濃度不純物層 33 は、例えば、エピタキシャル成長により半導体基板 32 上に形成されてもよい。

30

【0079】

表面酸化膜 34 は、半導体層 40 の上面に接触されて形成される。

【0080】

パッシベーション層 35 は、表面酸化膜 34 の最上面の少なくとも一部を被覆する。

【0081】

図 2 および図 3 に示すように、第 1 の縦型 MOS トランジスタ 10 は、半導体層 40 の上面に、フェイスダウン実装時に実装基板に接合材を介して接合される、1 以上（ここでは 5 つ）の第 1 のソースパッド 111（ここでは、第 1 のソースパッド 111 a、111 b、111 c、111 d、および、111 e）、および、1 以上（ここでは 1 つ）の第 1 のゲートパッド 119 を有する。また、第 2 の縦型 MOS トランジスタ 20 は、半導体層 40 の上面に、フェイスダウン実装時に実装基板に接合材を介して接合される、1 以上（ここでは 5 つ）の第 2 のソースパッド 121（ここでは、第 2 のソースパッド 121 a、121 b、121 c、121 d、および、121 e）、および、1 以上（ここでは 1 つ）の第 2 のゲートパッド 129 を有する。

40

【0082】

なお、1 以上の第 1 のソースパッド 111 の数、および、1 以上の第 2 のソースパッド 121 の数は、それぞれ、必ずしも図 3 に例示された 5 つに限定される必要はなく、5 つ以外の 1 以上の数であっても構わない。

【0083】

また、1 以上の第 1 のゲートパッド 119 の数、および、1 以上の第 2 のゲートパッド

50

129の数は、それぞれ、必ずしも図3に例示された1つに限定される必要はなく、1つ以外の1以上の数であっても構わない。

【0084】

図2および図3に示すように、低濃度不純物層33の第1の半導体層内領域A1には、第1導電型と異なる第2導電型(例えばP型)の不純物を含む第1のボディ領域18が形成されている。第1のボディ領域18には、第1導電型の不純物を含む複数の第1のソース領域14と、第1の方向(ここでは、Y軸方向)に延伸する複数の第1のゲートトレンチ17とが形成されている。そして、各第1のゲートトレンチ17の内部には、第1のゲートトレンチ17の延伸方向、すなわち、第1の方向に延伸する第1のゲート導体15と、第1のゲート導体15の側面と底面とを覆う第1のゲート酸化膜16とが形成されている。

10

【0085】

ここで、第1のゲート導体15は、ポリシリコンである。このため、以下では、第1のゲート導体15のことを、ポリシリコン15と称することもある。

【0086】

また低濃度不純物層33の第2の半導体層内領域A2には、第2導電型の不純物を含む第2のボディ領域28が形成されている。第2のボディ領域28には、第1導電型の不純物を含む複数の第2のソース領域24と、第1の方向に延伸する複数の第2のゲートトレンチ27とが形成されている。そして、各第2のゲートトレンチ27の内部には、第2のゲートトレンチ27の延伸方向、すなわち、第1の方向に延伸する第2のゲート導体25と、第2のゲート導体25の側面と底面とを覆う第2のゲート酸化膜26とが形成されている。

20

【0087】

ここで、第2のゲート導体25は、第1のゲート導体15と同様に、ポリシリコンである。

【0088】

図4は、半導体装置1の構成要素のうち、第1のボディ領域18と第2のボディ領域28との、半導体層40の平面視における形状の一例を示す平面図である。

【0089】

図4において、第1の活性領域12は、第1のボディ領域18のうち、第1の方向に延伸する複数の第1のゲートトレンチ17が形成されている領域であり、第2の活性領域22は、第2のボディ領域28のうち、第1の方向に延伸する複数の第2のゲートトレンチ27が形成されている領域である。

30

【0090】

図4において、第1のボディ領域18と、第2のボディ領域28と、第1の活性領域12と、第2の活性領域22とは、実際には半導体装置1の外部からは視認することができないが、第1のボディ領域18と、第2のボディ領域28と、第1の活性領域12と、第2の活性領域22とを、あたかも視認することができるかのように図示している。

【0091】

また、図4において、半導体装置1が備える、第1のボディ領域18と、第2のボディ領域28と、第1の活性領域12と、第2の活性領域22と以外の構成要素については、図示が省略されている。

40

【0092】

図4に示すように、半導体層40の平面視において、第1の活性領域12は、第1のボディ領域18に含まれ、第2の活性領域22は、第2のボディ領域28に含まれる。

【0093】

半導体層40の平面視における第1の活性領域12の面積が大きい程、第1の縦型MOSトランジスタ10のオン抵抗がより低減され、半導体層40の平面視における第2の活性領域22の面積が大きい程、第2の縦型MOSトランジスタ20のオン抵抗がより低減される。

50

## 【 0 0 9 4 】

再び図 2、図 3 に戻って、半導体装置 1 の構成についての説明を続ける。

## 【 0 0 9 5 】

第 1 のソース電極 1 1 は、下面が、複数の第 1 のソース領域 1 4 および第 1 のボディ領域 1 8 に接続される。第 1 のソース電極 1 1 の上面には、部分的に外部に露出した部分が存在する。1 以上の第 1 のソースパッド 1 1 1 のそれぞれは、この、第 1 のソース電極 1 1 の上面に存在する、部分的に外部に露出した部分のそれぞれである。

## 【 0 0 9 6 】

第 1 のソース電極 1 1 のそれぞれは、限定されない一例として、ニッケル、チタン、タングステン、パラジウム、アルミニウム、銅、金、銀のうちのいずれか 1 つ以上を含む金属材料で構成される。第 1 のソース電極 1 1 の上面には、金などのめっきが施されてもよい。

10

## 【 0 0 9 7 】

第 1 のゲート電極 1 9 ( 図 2、図 3 には図示されず、後述の図 5 等参照 ) は、複数の第 1 のゲート導体 1 5 のそれぞれに電圧を印加するための金属であって、第 1 の抵抗素子 5 1 と後述の第 1 のゲート配線 5 3 ( 図 2、図 3 には、図示されず、後述の図 7 等参照 ) とを介して、複数の第 1 のゲート導体 1 5 のそれぞれと接続される。第 1 のゲートパッド 1 1 9 は、この、第 1 のゲート電極 1 9 の上面に存在する、部分的に外部に露出した部分である。

## 【 0 0 9 8 】

第 1 のゲート電極 1 9 は、限定されない一例として、ニッケル、チタン、タングステン、パラジウム、アルミニウム、銅、金、銀のうちのいずれか 1 つ以上を含む金属材料で構成される。第 1 のゲート電極 1 9 の上面には、金などのめっきが施されてもよい。

20

## 【 0 0 9 9 】

第 2 のソース電極 2 1 は、下面が、複数の第 2 のソース領域 2 4 および第 2 のボディ領域 2 8 に接続される。第 2 のソース電極 2 1 の上面には、部分的に外部に露出した部分が存在する。1 以上の第 2 のソースパッド 1 2 1 のそれぞれは、この、第 2 のソース電極 2 1 の上面に存在する、部分的に外部に露出した部分のそれぞれである。

## 【 0 1 0 0 】

第 2 のソース電極 2 1 のそれぞれは、限定されない一例として、ニッケル、チタン、タングステン、パラジウム、アルミニウム、銅、金、銀のうちのいずれか 1 つ以上を含む金属材料で構成される。第 2 のソース電極 2 1 の上面には、金などのめっきが施されてもよい。

30

## 【 0 1 0 1 】

第 2 のゲート電極 2 9 ( 図 2、図 3 には図示されず、後述の図 5 等参照 ) は、複数の第 2 のゲート導体 2 5 のそれぞれに電圧を印加するための金属であって、第 2 の抵抗素子 6 1 と第 2 のゲート配線 ( 図示されず ) とを介して、複数の第 2 のゲート導体 2 5 のそれぞれと接続される。第 2 のゲートパッド 1 2 9 は、この、第 2 のゲート電極 2 9 の上面に存在する、部分的に外部に露出した部分である。

## 【 0 1 0 2 】

第 2 のゲート電極 2 9 は、限定されない一例として、ニッケル、チタン、タングステン、パラジウム、アルミニウム、銅、金、銀のうちのいずれか 1 つ以上を含む金属材料で構成される。第 2 のゲート電極 2 9 の上面には、金などのめっきが施されてもよい。

40

## 【 0 1 0 3 】

図 5 は、半導体装置 1 の構成要素のうち、第 1 のソース電極 1 1 と、第 1 のゲート電極 1 9 と、第 2 のソース電極 2 1 と、第 2 のゲート電極 2 9 との、半導体層 4 0 の平面視における形状の一例を示す平面図である。

## 【 0 1 0 4 】

図 5 において、第 1 のソース電極 1 1 と、第 1 のゲート電極 1 9 と、第 2 のソース電極 2 1 と、第 2 のゲート電極 2 9 とは、それぞれ、第 1 のソースパッド 1 1 1 と、第 1 のゲ

50



ートパッド 119 と、第 2 のソースパッド 121 と、第 2 のゲートパッド 129 との部分を除いて、実際には半導体装置 1 の外部からは視認することができないが、第 1 のソース電極 11 と、第 1 のゲート電極 19 と、第 2 のソース電極 21 と、第 2 のゲート電極 29 とを、それらの全体が、あたかも視認することができるかのように図示している。

【0105】

また、図 5 において、半導体装置 1 が備える、第 1 のソース電極 11 と、第 1 のゲート電極 19 と、第 2 のソース電極 21 と、第 2 のゲート電極 29 と以外の構成要素については、図示が省略されている。

【0106】

再び図 2、図 3 に戻って、半導体装置 1 の構成についての説明を続ける。

10

【0107】

第 1 の縦型 MOS トランジスタ 10 および第 2 の縦型 MOS トランジスタ 20 の上記構成により、低濃度不純物層 33 と半導体基板 32 とは、第 1 の縦型 MOS トランジスタ 10 のドレイン領域および第 2 の縦型 MOS トランジスタ 20 のドレイン領域が共通化された、共通ドレイン領域として機能する。

【0108】

また、第 1 の縦型 MOS トランジスタ 10 において、第 1 のボディ領域 18 と低濃度不純物層 33 との接触面には PN 接合があり、ボディダイオードとして機能する。

【0109】

同様に、第 2 の縦型 MOS トランジスタ 20 において、第 2 のボディ領域 28 と低濃度不純物層 33 との接触面には PN 接合があり、ボディダイオードとして機能する。

20

【0110】

本明細書において、半導体層 40 のうち、半導体層 40 の平面視においてソース電極と重なる領域を中央領域と定義し、半導体層 40 のうち、半導体層 40 の平面視において中央領域を取り囲む領域を周辺領域と定義する。

【0111】

これら定義に則って、以下、半導体層 40 のうち、半導体層 40 の平面視において第 1 のソース電極 11 と重なる領域を第 1 の中央領域 41 と称し、半導体層 40 のうち、半導体層 40 の平面視において第 2 のソース電極 21 と重なる領域を第 2 の中央領域 42 と称し、半導体層 40 のうち、半導体層 40 の平面視において第 1 の中央領域 41 および第 2 の中央領域 42 を取り囲む領域を周辺領域 43 と称する。

30

【0112】

図 6 は、半導体装置 1 の構成要素のうち、第 1 の中央領域 41 と、第 2 の中央領域 42 と、周辺領域 43 と、第 1 の活性領域 12 と、第 2 の活性領域 22 との、半導体層 40 の平面視における形状の一例を示す平面図である。

【0113】

図 6 において、第 1 の中央領域 41 と、第 2 の中央領域 42 と、周辺領域 43 と、第 1 の活性領域 12 と、第 2 の活性領域 22 とは、実際には半導体装置 1 の外部からは視認することができないが、第 1 の中央領域 41 と、第 2 の中央領域 42 と、周辺領域 43 と、第 1 の活性領域 12 と、第 2 の活性領域 22 とを、あたかも視認することができるかのように図示している。

40

【0114】

また、図 6 において、半導体装置 1 が備える、第 1 の中央領域 41 と、第 2 の中央領域 42 と、周辺領域 43 と、第 1 の活性領域 12 と、第 2 の活性領域 22 と以外の構成要素については、図示が省略されている。

【0115】

図 6 に示すように、半導体層 40 の平面視において、第 1 の活性領域 12 は、第 1 の中央領域 41 に含まれ、第 2 の活性領域 22 は、第 2 の中央領域 42 に含まれる。

【0116】

以下、半導体層 40 の平面視における、第 1 のゲート電極 19 の周辺における半導体装

50

置 1 の構造について、図面を参照しながら説明する。なお、半導体層 40 の平面視における、第 2 のゲート電極 29 の周辺における半導体装置 1 の構造も、半導体層 40 の平面視における、第 1 のゲート電極 19 の周辺における半導体装置 1 の構造と同様である。このため、ここでは、これらの代表として、半導体層 40 の平面視における、第 1 のゲート電極 19 の周辺における半導体装置 1 の構造についてのみ説明する。

【 0 1 1 7 】

図 7 は、半導体層 40 の平面視における、第 1 のゲート電極 19 の周辺における半導体装置 1 の構造の一例を示す拡大平面図である。図 8 および図 9 は、半導体層 40 の平面視における、第 1 のゲート電極 19 の周辺における半導体装置 1 の構造の一例を示す拡大断面図である。図 8 は、図 7 の I I - I I における切断面を示し、図 9 は、図 7 の I I I - I I I における切断面を示す。

10

【 0 1 1 8 】

図 7 において、第 1 のソース電極 11 と、第 1 のゲート電極 19 のうちの第 1 のゲートパッド 119 を除く部分と、第 1 のゲート配線 53 と、第 1 の抵抗素子 51 と、周辺領域 43 とは、実際には半導体装置 1 の外部からは視認することができないが、第 1 のソース電極 11 と、第 1 のゲート電極 19 のうちの第 1 のゲートパッド 119 を除く部分と、第 1 のゲート配線 53 と、第 1 の抵抗素子 51 と、周辺領域 43 とを、あたかも視認することができるかのように図示している。

【 0 1 1 9 】

また、図 7 において、半導体装置 1 が備える、第 1 のソース電極 11 と、第 1 のゲート電極 19 と、第 1 のゲート配線 53 と、第 1 の抵抗素子 51 と、周辺領域 43 と以外の構成要素については、図示が省略されている。

20

【 0 1 2 0 】

図 7 および図 8 に示すように、第 1 の抵抗素子 51 は、第 1 のゲート電極 19 と第 1 のゲート配線 53 とに接続され、全体が周辺領域 43 に形成されたポリシリコンからなる。

【 0 1 2 1 】

また、図 8 に示すように、第 1 の抵抗素子 51 の上面と、表面酸化膜 34 の最上面との高さが一致する。

【 0 1 2 2 】

また、図 8 に示すように、第 1 の抵抗素子 51 は、半導体層 40 の平面視において少なくとも一部が周辺領域 43 を含む第 1 の範囲 B1 の半導体層 40 (低濃度不純物層 33) の内部に形成された第 1 の溝 71 の内部に形成される。

30

【 0 1 2 3 】

図 7 および図 9 に示すように、第 1 のツェナーダイオード 52 は、第 1 のゲート電極 19 と第 1 のソース電極 11 とに接続され、少なくとも一部が周辺領域 43 に形成されたポリシリコンからなる。第 1 のツェナーダイオード 52 は、図 9 に示すように、ポリシリコンに対して、第 1 導電型の不純物 (図 9 中の N) と、第 2 導電型の不純物 (図 9 中の P) とを、互いに異なる領域に連続して注入することで実現される。

【 0 1 2 4 】

また、図 7 に示すように、第 1 のツェナーダイオード 52 は、半導体層 40 の平面視において、第 1 のゲート電極 19 と第 1 のソース電極 11 とが対向する第 1 の電極対向領域 45 であって、第 1 のゲート電極 19 を、一部を除いて取り囲む第 1 の電極対向領域 45 に形成される。

40

【 0 1 2 5 】

また、図 9 に示すように、第 1 のツェナーダイオード 52 の上面と、表面酸化膜 34 の最上面との高さが一致する。

【 0 1 2 6 】

また、図 9 に示すように、第 1 のツェナーダイオード 52 は、第 1 の溝 71 の内部に形成される。

【 0 1 2 7 】

50

なお、第1の抵抗素子51と第1のツェナーダイオード52との周辺素子と、周辺素子に最も近接する第1のゲートレンチ17との距離は、 $3\mu\text{m}$ 未満となっている。これにより、第1の活性領域12の大きさを制限する要因が低減される。このため、第1の縦型MOSトランジスタ10のオン抵抗を、さらに低減することができる。

#### 【0128】

なお、従来、周辺素子を半導体層40の上面に積層して形成するため、第1のゲートレンチ17と周辺素子との間に段差が発生し、この段差を挟んでレジストの厚さが変動する範囲が必然的に生じる。レジストの厚さが変動する範囲では、フォトリソグラフィーの加工精度が得られない。このため、構造物の形成は、この範囲を避けねばならず、結果的に第1のゲートレンチ17と周辺素子との間には、 $3\mu\text{m}$ 以上の距離を確保する必要があった。

10

#### 【0129】

また、第1の抵抗素子51と第1のツェナーダイオード52との周辺素子と、周辺素子に最も近接する第1のゲートレンチ17との距離が最短となる方向を第3の方向とし、第3の方向における第1の溝71の幅を $L$ とし、周辺素子の最も低い位置から第1の溝71の底面までの距離を $b$ とし、第3の方向における周辺素子の幅を $l$ とする場合に、 $L$ と $b$ と $l$ とは、 $l < L - 2b$ となる関係を満たす。また、第1の溝71の側壁と周辺素子との距離は、いずれも $b$ 以上となる。これにより、周辺素子と半導体層40（低濃度不純物層33）との距離は、全方位的に $b$ 以上となる。このため、 $b$ により定まる、周辺素子と半導体層40との間の所定の絶縁性が確保される。

20

#### 【0130】

また、前述した通り、第1の抵抗素子51と第1のツェナーダイオード52との周辺素子の上面と、表面酸化膜34の最上面との高さが一致する。すなわち、幅 $LS$ の第1のソース領域14と幅 $LB$ の第1のボディ領域18とを形成するためのレジストを塗布する領域に段差が存在しない。

#### 【0131】

このため、上記レジストの、段差を加味したレジスト厚の増加を抑制することができる。これにより、上記レジストを使用して形成される第1のソース領域14の幅 $LS$ と第1のボディ領域18の幅 $LB$ とを、従来よりも狭くする、すなわち、第1のソース領域14の幅 $LS$ を $0.35\mu\text{m}$ 以下とし、第1のボディ領域18の幅 $LB$ を $0.30\mu\text{m}$ 以下とすることが可能となっている。

30

#### 【0132】

以下、第1のゲートレンチ17の周辺における半導体装置1の構造について、図面を参照しながら説明する。なお、第2のゲートレンチ27の周辺における半導体装置1の構造も、第1のゲートレンチ17の周辺における半導体装置1の構造と同様である。このため、ここでは、これらの代表として、第1のゲートレンチ17の周辺における半導体装置1の構造についてのみ説明する。

#### 【0133】

図10は、第1のゲートレンチ17の周辺における半導体装置1の構造の一例を示す拡大断面斜視図である。

40

#### 【0134】

図10において、 $Y$ 軸方向は、第1のゲートレンチ17の延伸方向であり、 $Z$ 軸方向は、第1のゲートレンチ17の深さ方向の反対方向であり、 $X$ 軸方向は、 $Y$ 軸方向および $Z$ 軸方向に直交する方向であって、複数の第1のゲートレンチ17がストライプ状に周期的に並ぶ方向である。

#### 【0135】

図10に示すように、半導体装置1には、複数の第1のゲートレンチ17のそれぞれの内部に、第1のゲートレンチ17の延伸方向である第1の方向（ $Y$ 軸方向）に延伸する第1のゲート導体15が形成され、第1のボディ領域18の $Z$ 軸方向上方側に、複数の第1のソース領域14であって、第1の方向に沿って周期的に形成された複数の第1のソ

50

ース領域 14 が形成されている。また、複数の第 1 のゲートトレンチ 17 は、半導体層 40 の平面視において、第 1 の方向に直交する第 2 の方向にストライプ状に並んで周期的に形成されている。

【0136】

また、図 10 に示すように、第 1 のゲートトレンチ 17 間の幅であるメサ幅  $L \times m$  は、 $0.10 \mu\text{m}$  であり、第 1 の方向に沿って周期的に形成された複数の第 1 のソース領域 14 の幅  $LS$  は  $0.35 \mu\text{m}$  以下であり、第 1 の方向に沿って周期的に形成された複数の第 1 のソース領域 14 間の距離、すなわち、第 1 の方向における第 1 のボディ領域 18 の幅  $LB$  は  $0.30 \mu\text{m}$  以下である。ここで、メサ幅  $L \times m$  は、第 1 のゲートトレンチ 17 の幅の半分以下となっている。

10

【0137】

以下、第 1 のゲートトレンチ 17 の一方の端部の周辺における半導体装置 1 の構造について、図面を参照しながら説明する。なお、第 1 のゲートトレンチ 17 の他方の端部の周辺における第 1 の半導体装置 1 の構造、第 2 のゲートトレンチ 27 の一方の端部の周辺における半導体装置 1 の構造、および、第 2 のゲートトレンチ 27 の他方の端部の周辺における半導体装置 1 の構造も、第 1 のゲートトレンチ 17 の一方の端部の周辺における半導体装置 1 の構造と同様である。このため、ここでは、これらの代表として、第 1 のゲートトレンチ 17 の一方の端部の周辺における半導体装置 1 の構造についてのみ説明する。

【0138】

図 11 は、半導体層 40 の平面視における、第 1 のゲートトレンチ 17 の一方の端部の周辺における半導体装置 1 の構造の一例を示す拡大平面図である。図 12 は、半導体層 40 の平面視における、第 1 のゲートトレンチ 17 の一方の端部の周辺における半導体装置 1 の構造の一例を示す拡大断面図である。図 12 は、図 11 の I I I I - I I I I における切断面を示す。

20

【0139】

図 11 において、複数の第 1 のゲートトレンチ 17 と、複数の接続領域 81 とは、実際には半導体装置 1 の外部からは視認することができないが、複数の第 1 のゲートトレンチ 17 と、複数の接続領域 81 とを、あたかも視認することができるかのように図示している。

【0140】

また、図 11 において、半導体装置 1 が備える、複数の第 1 のゲートトレンチ 17 と、複数の接続領域 81 と以外の構成要素については、図示が省略されている。

30

【0141】

図 11 および図 12 に示すように、第 1 の縦型 MOS トランジスタ 10 は、少なくとも互いに隣接する 2 つの（ここでは互いに隣接する 2 つの）第 1 のゲートトレンチ 17 の内部のそれぞれに備わる少なくとも 2 つの（ここでは 2 つの）ポリシリコン 15（第 1 のゲート導体 15）のそれぞれを接続するポリシリコンを内部に備えるトレンチからなる接続領域 81 であって、上記少なくとも互いに隣接する少なくとも 2 つの（ここでは互いに隣接する 2 つの）第 1 のゲートトレンチ 17 の一方の端部に跨って形成された接続領域 81 を複数備える。

40

【0142】

図 12 に示すように、第 1 のゲート配線 53 は、複数の接続領域 81 に備わるポリシリコンのそれぞれに、複数の接触面 37 のそれぞれで接続する。

【0143】

これにより、複数の第 1 のゲートトレンチ 17 のそれぞれの内部に備わるポリシリコン 15 のそれぞれと第 1 のゲート電極 19 とのコンタクト抵抗を低減することができる。

【0144】

また、図 12 に示すように、複数の接続面のそれぞれは、表面酸化膜 34 の最上面の高さと一致する。

【0145】

50

ここで、半導体層 4 0 の平面視における複数の接続領域 8 1 それぞれの形状は、その接続領域 8 1 の内部に存在する最短の線分の長さが、その接続領域 8 1 の、表面酸化膜 3 4 の上面からの深さの 2 倍未満となる形状である。

【 0 1 4 6 】

一般に、ポリシリコンの堆積過程において、ポリシリコンは等方的に成長する。このため、溝の内部にポリシリコンを充填する場合には、溝の底部からのポリシリコンの成長と、溝の側面からのポリシリコンの成長とが同時進行で行われる。このため、一般に、比較的溝の深さが深く、平面視における溝の面積が比較的大きな形状の溝の部分は、ポリシリコンを充填することが難しい。半導体装置 1 において、接続領域 8 1 がこれに該当する可能性がある。

10

【 0 1 4 7 】

一方で、一般に、平面視における溝の形状に関わらず、平面視における溝の内部に存在する最短の線分の長さが溝の深さの 2 倍未満であるという条件を満たしていれば、比較的容易に、溝の内部にポリシリコンを充填することができることが知られている。

【 0 1 4 8 】

接続領域 8 1 は、上記条件を満たされている。

【 0 1 4 9 】

したがって、半導体装置 1 は、接続領域 8 1 の形状が、接続領域 8 1 の内部にポリシリコンを比較的容易に充填させるのに適した構造となっていることがわかる。

【 0 1 5 0 】

20

[ 2 . 半導体装置の製造方法 ]

以下、上記構成の半導体装置 1 を製造する製造方法について説明する。

【 0 1 5 1 】

以降の半導体装置 1 を製造する製造方法の説明において、第 1 の縦型 MOS トランジスタ 1 0 の構成要素の製造方法と、第 2 の縦型 MOS トランジスタ 2 0 の構成要素の製造方法とは同様である。このため、ここでは、これらの代表として、第 1 の縦型 MOS トランジスタ 1 0 の構成要素の製造方法についてのみ説明する。

【 0 1 5 2 】

また、第 1 のツェナーダイオード 5 2 の製造方法と、第 2 のツェナーダイオード 6 2 の製造方法と、は同様である。このため、ここでは、これらの代表として、第 1 のツェナーダイオード 5 2 の製造方法についてのみ説明する。

30

【 0 1 5 3 】

また、第 1 のツェナーダイオード 5 2 および第 2 のツェナーダイオード 6 2 の製造方法と、第 1 の抵抗素子 5 1 および第 2 の抵抗素子 6 1 の製造方法とは、概ね、第 1 導電型の不純物と第 2 導電型の不純物とを注入するか否か（ツェナーダイオードはこれらを注入するのに対して、抵抗素子はこれらを注入しない）を除いて同様である。このため、ここでは、これらの代表として、第 1 のツェナーダイオード 5 2 の製造方法についてのみ説明する。

【 0 1 5 4 】

最初に、製造の準備段階として、第 1 導電型の半導体基板 3 2 の上面側に、半導体基板 3 2 の第 1 導電型の不純物の濃度より低い濃度の第 1 導電型の不純物を含む低濃度不純物層 3 3 を形成する。低濃度不純物層 3 3 は、例えば、エピタキシャル成長により形成される。

40

【 0 1 5 5 】

以降の半導体装置 1 を製造する製造方法の説明において、単に半導体層 4 0 と称する場合、この半導体層 4 0 は、特別な断りが無い限り、半導体層 4 0 のうちの低濃度不純物層 3 3 のことを指す。

【 0 1 5 6 】

図 1 3 ~ 図 3 2 は、それぞれ、製造途上における半導体装置 1 の構造を示す模式図である。図 1 3 ~ 図 3 2 において、各図形は、左端の図形から順に、それぞれ、半導体装置 1

50

の拡大平面模式図、左端の図形における X 方向における切断面を示す、半導体装置 1 の拡大断面模式図、左端の図形における Y 1 方向における切断面を示す、半導体装置 1 の拡大断面模式図、左端の図形における Y 2 方向における切断面を示す、半導体装置 1 の拡大断面模式図、および、左端の図形における Y 3 方向における切断面を示す、半導体装置 1 の拡大断面模式図である。

【 0 1 5 7 】

まず、図 1 3 に示すように、半導体層 4 0 の平面視において少なくとも一部が周辺領域を含む第 1 の範囲 B 1 の半導体層 4 0 に対して、半導体層 4 0 の上面から深さ H の第 1 の溝 7 1 を形成する。第 1 の溝 7 1 は、例えば、エッチングにより形成される。

【 0 1 5 8 】

この第 1 の溝 7 1 の内部には、後の工程において周辺素子が形成される。すなわち、この第 1 の溝 7 1 は、後の工程において周辺素子を構成するための溝である。

【 0 1 5 9 】

従来の製造方法では、第 1 のゲートトレンチ 1 7 と、周辺素子形成用の溝とを同時に形成する。このため、周辺素子となるポリシリコンの厚さが、第 1 のゲートトレンチ 1 7 に形成するポリシリコン 1 5 の厚さに合わせて過度に厚くなってしまふことがある。これに対して、本開示に係る製造方法によると、ポリシリコンからなる周辺素子を形成するための第 1 の溝 7 1 および後述の第 2 の溝 7 2 を、第 1 のゲートトレンチ 1 7 を形成する工程とは異なる工程により形成する。このため、第 1 のゲートトレンチ 1 7 に形成するポリシリコン 1 5 の厚さによらず、適切な厚さのポリシリコンからなる周辺素子を形成することができる。

【 0 1 6 0 】

また、ポリシリコンからなる周辺素子を、溝に埋め込まずに半導体層 4 0 の上面側にポリシリコンを堆積させることで形成する場合には、半導体層 4 0 の平面視における、第 1 のゲートトレンチ 1 7 と周辺素子との間の領域において、表面酸化膜 3 4 の上面に段差が生じてしまう。このため、この領域において、第 1 のゲートトレンチ 1 7 に係る構造物を形成するためのレジスト、および/または、周辺素子に係る構造物を形成するためのレジストに段差が生じてしまう。そして、この段差により、レジストの厚さが変動する範囲でフォトリソグラフィの加工精度が低下してしまう。このため、周辺素子と、周辺素子に最も近接する第 1 のゲートトレンチ 1 7 との距離を 3  $\mu$ m 未満にすることが困難であった。これに対して、本開示に係る製造方法によると、上記段差が生じない。これにより、本開示に係る製造方法によると、周辺素子と、周辺素子に最も近接する第 1 のゲートトレンチ 1 7 との距離を 3  $\mu$ m 未満にすることが可能となる。

【 0 1 6 1 】

次に、図 1 4 に示すように、第 1 の溝 7 1 が埋まるように、少なくとも半導体層 4 0 の上面まで酸化膜 9 1 を堆積する。この際、酸化膜 9 1 の上面が半導体層 4 0 の上面から a だけ突き出るように、第 1 の溝 7 1 を酸化膜 9 1 で充填する。さらに、図 1 5 に示すように、酸化膜 9 1 の上面と、表面酸化膜 3 4 の上面とが一致するように、半導体層 4 0 の上面に厚さ a の表面酸化膜 3 4 を形成する。

【 0 1 6 2 】

従来の製造方法では、第 1 のゲートトレンチ 1 7 と、周辺素子形成用の溝とを同時に形成し、さらに、酸化膜も同時に形成する。このため、酸化膜の厚さを第 1 のゲートトレンチ 1 7 における第 1 のゲート酸化膜 1 6 の厚さに揃えると、周辺素子の絶縁性を確保するには不十分であり、逆に周辺素子の絶縁性を確保する厚さに揃えると、第 1 のゲートトレンチ 1 7 における第 1 のゲート酸化膜 1 6 の厚さは過剰になる。

【 0 1 6 3 】

これに対して、本開示によると、第 1 のゲートトレンチ 1 7 における第 1 のゲート酸化膜 1 6 の形成と、周辺素子の絶縁性を確保するための酸化膜の形成とを個別に行い、それぞれに適切な厚さを設定することができる。

【 0 1 6 4 】

10

20

30

40

50

なお、厳密に言えば、図 15 に示す表面酸化膜 34 の形成においては、酸化膜 91 の上面にはわずかであるが酸化膜の追加形成がある。図 15 に示す工程では、第 1 の溝 71 の領域でのみ生じる追加形成を加味して、半導体層 40 の上面に表面酸化膜 34 を形成することが望ましい。

【0165】

酸化膜 91 は、第 1 の溝 71 が埋まるように堆積されるが、酸化膜 91 のうち、第 1 の溝 71 を埋めて半導体層 40 の上面まで堆積される部分を第 1 の酸化膜 5 とする。

【0166】

酸化膜 91 のうち半導体層 40 の上面から突き出る部分と、これに図 15 に示す工程で追加形成される表面酸化膜 34 とを合せて第 3 の酸化膜 7 とする。

【0167】

また、半導体層 40 の上面に形成される表面酸化膜 34 を第 2 の酸化膜 6 とする。

【0168】

ここでは、第 2 の酸化膜 6 の最上面と第 3 の酸化膜 7 の最上面との高さが一致するように、図 15 に示す工程を実施することが望ましい。

【0169】

次に、図 16 に示すように、第 2 の酸化膜 6 の最上面に、第 2 の方向 (X 方向) に沿って周期的に形成された複数の開口部 131 であって、第 2 の方向における非開口部分の幅が開口部分の幅の半分以下となる複数の開口部 131 を有するレジスト 151 を形成する。

【0170】

これら複数の開口部 131 は、後の工程において複数の第 1 のゲートトレンチ 17 を形成するための開口部である。

【0171】

前述の通り、第 2 の酸化膜 6 の最上面と第 3 の酸化膜 7 の最上面とは平坦であって、段差が存在しない。このため、段差の存在を加味したレジスト 151 のレジスト厚の増加を抑制することができる。したがって、レジスト 151 のアスペクト比 3.0 以下を維持したまま、第 2 の方向における非開口部の幅および開口部の幅の狭小化が可能となる。すなわち、メサ幅  $L \times m$  の狭小化および第 1 のゲートトレンチ 17 の狭小化が可能となる。

【0172】

この際、図 16 の左端の図形に示すように、レジスト 151 は、少なくとも互いに隣接する 2 つの (ここでは互いに隣接する 2 つの) 開口部 131 の、第 1 の方向 (Y1 方向、Y2 方向、Y3 方向) の端部に跨って形成された接続領域開口部 132 を複数有する。

【0173】

これら複数の接続領域開口部 132 は、後の工程において、複数の接続領域 81 を形成するための開口部である。

【0174】

ここで、半導体層 40 の平面視におけるこれら複数の接続領域開口部 132 の形状は、当該接続領域開口部 132 を利用して形成される接続領域 81 の内部に存在する最短の線の長さが、その接続領域 81 の深さの 2 倍未満となる条件を満たす形状である。

【0175】

前述したように、一般に、溝の形状が上記条件を満たす形状であれば、比較的容易に、その溝の内部にポリシリコンを充填することができることが知られている。接続領域 81 の形状は、上記条件を満たす形状である。したがって、後の工程において、接続領域 81 の内部にポリシリコンを比較的容易に充填させることが可能となる。

【0176】

次に、図 17 に示すように、レジスト 151 を用いて、表面酸化膜 34 に、第 2 の方向 (X 方向) に沿って周期的に形成された複数の開口部 133 であって、第 2 の方向における非開口部分の幅が開口部分の幅の半分以下となる複数の開口部 133 を形成する。

【0177】

この際、図 17 の左端の図形に示すように、レジスト 151 を用いて、少なくとも互い

10

20

30

40

50

に隣接する2つの（ここでは互いに隣接する2つの）開口部133の、第1の方向（Y1方向、Y2方向、Y3方向）の端部に跨る複数の接続領域開口部134を形成する。

【0178】

次に、図18に示すように、半導体層40の上面側に、第2導電型の不純物を注入して、第1のボディ領域18を形成する。

【0179】

次に図19に示すように、半導体層40の平面視において第1の範囲B1に含まれる第2の範囲B2であって、少なくとも一部が周辺領域を含む第2の範囲B2の第3の酸化膜7に対して、第3の酸化膜7の最上面から、厚さaよりも深い深さhの第2の溝72を形成する。この第2の溝72は、後の工程において周辺素子を構成するための溝である。

10

【0180】

この際、X方向における第1の溝71の幅をLとし、第2の溝72の底面から第1の溝71の底面までの距離をbとし、X方向における第2の溝72の幅をlとする場合に、Lとbとlとは、 $l = L - 2b$ となる関係を満たすように、また、第1の溝71の側壁と第2の溝72の側壁との距離がb以上となるように、第2の溝72を形成する。

【0181】

これにより、周辺素子と半導体層40（低濃度不純物層33）との距離は、全方位的にb以上となる。このため、bにより定まる、周辺素子と半導体層40との間の所定の絶縁性が確保される。

【0182】

20

次に、図20に示すように、第1の中央領域41の半導体層40に対して、第2の酸化膜6の最上面から、深さHよりも深い深さの複数の第1のゲートトレンチ17を形成する。この際、周期的に形成された複数の開口部133を有する第2の酸化膜6をマスクパターンとして、複数の第1のゲートトレンチ17を形成する。複数の第1のゲートトレンチ17は、例えば、エッチングにより形成される。

【0183】

この際、図20の左端の図形に示すように、中央領域の半導体層40に対して、第1のゲートトレンチ17の深さと同じ深さの、少なくとも互いに隣接する2つの（ここでは互いに隣接する2つの）第1のゲートトレンチ17の、第1の方向（Y1方向、Y2方向、Y3方向）の端部に跨る複数の接続領域81を形成する。この際、複数の接続領域開口部134が形成された第2の酸化膜6をマスクパターンとして、複数の接続領域81を形成する。複数の接続領域81は、例えば、エッチングにより形成される。

30

【0184】

次に、図21に示すように、複数の第1のゲートトレンチ17の内面全面、および、複数の接続領域81の内面全面に、第1のゲート酸化膜16を形成する。ここで、ゲート酸化膜を形成する工程では、既に形成されている酸化膜上には新たな酸化膜は追加形成されにくいという性質があるため、第2の酸化膜6の厚さa、および、第2の溝72の深さhの整合性に深刻な影響は生じない。

【0185】

次に、図22に示すように、少なくとも、複数の第1のゲートトレンチ17、第2の溝72、および、複数の接続領域81がポリシリコンで充填されるまで、半導体層40の上面と第2の酸化膜6の最上面と第3の酸化膜7の最上面とにポリシリコン141を堆積する。

40

【0186】

次に、図23に示すように、第2の溝72に充填されたポリシリコンに不純物を注入して第1のツェナーダイオード52を形成する。ここで、第2の溝72のX方向の両端では、ポリシリコンの厚さが局所的に大きくなる部分が生じるため、第1のツェナーダイオード52を形成するのに必要な不純物の注入の制御性が低まる。このため、第2の溝72は、X方向の両端部分を除いた中央部分だけで第1のツェナーダイオード52が素子として機能できるように、第2の溝72の寸法を予め定めておく必要がある。

50



## 【 0 1 8 7 】

次に、図 2 4 に示すように、第 2 の酸化膜 6 の最上面と、第 3 の酸化膜 7 の最上面と、複数の第 1 のゲートトレンチ 1 7 に充填されたポリシリコンの上面と、第 2 の溝 7 2 に充填されたポリシリコンの上面と、複数の接続領域 8 1 に充填されたポリシリコンの上面との高さが一致するように、複数の第 1 のゲートトレンチ 1 7 に充填されたポリシリコンと、第 2 の溝 7 2 に充填されたポリシリコンと、複数の接続領域 8 1 に充填されたポリシリコンとを並行して除去して、第 1 のツェナーダイオード 5 2 の厚さを  $h$  と一致させる。

## 【 0 1 8 8 】

なお、本開示において、第 2 の酸化膜 6 の最上面と第 3 の酸化膜 7 の最上面とポリシリコンの上面とを一致させる、または、第 2 の酸化膜 6 の最上面と第 3 の酸化膜 7 の最上面とポリシリコンの上面とが一致する、といった表現を用いる場合、一致とは、高さが厳密に揃うことのみを指すものではない。本開示では、図 2 4 の工程において、第 2 の酸化膜 6 の最上面と第 3 の酸化膜 7 の最上面とポリシリコンの上面とを一致させるが、このとき、ポリシリコンのみが過度に除去されて、第 2 の酸化膜 6 の最上面と第 3 の酸化膜 7 の最上面とより、ポリシリコンの上面がわずかに下がる場合があってもよい。

10

## 【 0 1 8 9 】

本開示の効果は、レジスト厚が変動する領域を設けずに済む程度の段差であれば得られるため、例えば、 $0.2 \mu\text{m}$  までを目安として、第 2 の酸化膜 6 の最上面と第 3 の酸化膜 7 の最上面とポリシリコンの上面とに段差があっても問題なく、一致するという表現にはこの範囲が含まれるものとする。

20

## 【 0 1 9 0 】

複数の第 1 のゲートトレンチ 1 7 に充填されたポリシリコンと、第 2 の溝 7 2 に充填されたポリシリコンと、複数の接続領域 8 1 に充填されたポリシリコンとを並行して除去する工程では、化学的機械研磨により、複数の第 1 のゲートトレンチ 1 7 に充填されたポリシリコンと、第 2 の溝 7 2 に充填されたポリシリコンと、複数の接続領域 8 1 に充填されたポリシリコンとを並行して除去してもよい。これにより、比較的容易にかつ安定して、第 2 の酸化膜 6 の最上面と、第 3 の酸化膜 7 の最上面と、複数の第 1 のゲートトレンチ 1 7 に充填されたポリシリコンの上面と、第 2 の溝 7 2 に充填されたポリシリコンの上面と、複数の接続領域 8 1 に充填されたポリシリコンの上面との高さを一致させることができる。

30

## 【 0 1 9 1 】

ポリシリコンの除去を化学的機械研磨で行う際には、第 2 の酸化膜 6 の最上面もしくは第 3 の酸化膜 7 の最上面が露出する様子を何らかの方法で監視し、実際に、第 2 の酸化膜 6 の最上面もしくは第 3 の酸化膜 7 の最上面が露出したところで研磨を止めるように制御することができる。

## 【 0 1 9 2 】

また、一般に、ポリシリコンよりも酸化膜の方が研磨されにくいため、第 2 の酸化膜 6 の最上面もしくは第 3 の酸化膜 7 の最上面が露出すると、研磨の速度が大幅に低下する。したがって、研磨速度を監視しておき、研磨速度が著しく低下したところで研磨を止めるように制御することも有効である。

40

## 【 0 1 9 3 】

あるいは、一定のマージンを設定した上でやや過剰な程度に研磨が進行する時間を設定して自動で研磨が止まるように制御することもできる。

## 【 0 1 9 4 】

ドライエッチングにより、複数の第 1 のゲートトレンチ 1 7 に充填されたポリシリコンと、第 2 の溝 7 2 に充填されたポリシリコンと、複数の接続領域 8 1 に充填されたポリシリコンとを並行して除去することも可能である。しかしながら、この場合、第 1 のツェナーダイオード 5 2 の形成部分までエッチングされないように特別な措置を施す必要があるため工程がより煩雑になる。

## 【 0 1 9 5 】

50

次に、図 25 に示すように、半導体層 40 および表面酸化膜 34 の上面に、半導体層 40 の平面視において第 1 の方向 (Y1 方向、Y2 方向、Y3 方向) に沿って周期的に形成された複数の第 1 の開口部 135 を有するレジスト 152 を形成する。

【0196】

この際、レジスト 152 の厚さを、例えば 900 nm 未満に調整する。

【0197】

前述の通り、第 2 の酸化膜 6 の最上面と、第 3 の酸化膜 7 の最上面と、複数の第 1 のゲートトレンチ 17 に充填されたポリシリコンの上面と、第 2 の溝 72 に充填されたポリシリコンの上面と、複数の接続領域 81 に充填されたポリシリコンの上面との高さは等しい、すなわち、複数の第 1 のゲートトレンチ 17 に充填されたポリシリコンの上面と、第 2 の溝 72 に充填されたポリシリコンの上面と、複数の接続領域 81 に充填されたポリシリコンの上面とは平坦であって、段差が存在しない。このため、段差の存在を加味したレジスト 152 のレジスト厚の増加を抑制することができる。したがって、レジスト 152 の厚さを、例えば 900 nm 未満に調整することが可能となる。

10

【0198】

また、この際、第 1 の方向 (Y1 方向、Y2 方向、Y3 方向) に沿って周期的に形成された複数の第 1 の開口部 135 間の距離が  $0.30 \mu\text{m}$  以下となり、複数の第 1 の開口部 135 の幅が  $0.35 \mu\text{m}$  以下となるように、レジスト 152 を形成する。これら複数の第 1 の開口部 135 は、後の工程において、第 1 の方向 (Y1 方向、Y2 方向、Y3 方向) に沿って周期的に形成された複数の第 1 のソース領域 14 を形成するための開口部である。また、第 1 の方向 (Y1 方向、Y2 方向、Y3 方向) における複数の第 1 の開口部 135 間の距離により、第 1 の方向 (Y1 方向、Y2 方向、Y3 方向) における複数の第 1 のソース領域 14 間の距離、すなわち、第 1 の方向における第 1 のボディ領域 18 の幅  $L_B$  が画定され、第 1 の方向 (Y1 方向、Y2 方向、Y3 方向) における複数の第 1 の開口部 135 の幅により、第 1 の方向 (Y1 方向、Y2 方向、Y3 方向) における複数の第 1 のソース領域 14 の幅  $L_S$  が画定される。

20

【0199】

すなわち、第 1 の方向 (Y1 方向、Y2 方向、Y3 方向) における複数の第 1 の開口部 135 間の距離を  $0.30 \mu\text{m}$  以下とすることで、幅  $L_B$  を  $0.30 \mu\text{m}$  以下とし、第 1 の方向 (Y1 方向、Y2 方向、Y3 方向) における複数の第 1 の開口部 135 の幅を  $0.35 \mu\text{m}$  以下とすることで、幅  $L_S$  を  $0.35 \mu\text{m}$  以下とすることができる。

30

【0200】

前述の通り、第 2 の酸化膜 6 の最上面と、第 3 の酸化膜 7 の最上面と、複数の第 1 のゲートトレンチ 17 に充填されたポリシリコンの上面と、第 2 の溝 72 に充填されたポリシリコンの上面と、複数の接続領域 81 に充填されたポリシリコンの上面との高さは等しいため、レジスト 152 の厚さを、900 nm 未満に調整することが可能となる。そして、レジスト 152 の厚さを、900 nm 未満に調整することが可能となるため、アスペクト比 3.0 以下を維持した上で、第 1 の方向 (Y1 方向、Y2 方向、Y3 方向) における複数の第 1 の開口部 135 間の距離を  $0.30 \mu\text{m}$  以下とし、複数の第 1 の開口部 135 の幅が  $0.35 \mu\text{m}$  以下とすることが可能となる。すなわち、幅  $L_B$  を  $0.30 \mu\text{m}$  以下とし、幅  $L_S$  を  $0.35 \mu\text{m}$  以下とすることが可能となる。

40

【0201】

なお、幅  $L_S$  は、平面視における第 1 のソース領域 14 の、第 1 の方向に沿った長さであるが、図 10 に示すように、第 1 のソース領域 14 は、第 3 の方向 (Z 方向) において有限の深さを有するため、第 3 の方向において幅  $L_S$  が変化する場合がある。幅  $L_S$  が第 3 の方向において変化すれば、必然的に幅  $L_B$  も変化することとなる。本開示では、幅  $L_S$ 、幅  $L_B$  というとき、第 3 の方向における任意の位置の幅  $L_S$ 、幅  $L_B$  を指すものであり、必ずしも、半導体層 40 の表面における幅  $L_S$ 、幅  $L_B$  に限定するものではない。

【0202】

次に、図 26 に示すように、半導体層 40 の平面視において複数の第 1 の開口部 135

50

に位置する半導体層 40 の部分のそれぞれに、第 1 導電型の不純物を注入して、複数の第 1 のソース領域 14 を形成する。

【0203】

次に、図 27 に示すように、半導体層 40 の平面視において、複数の第 1 のゲートトレンチ 17 が形成される領域のうちの、接続領域 81 が形成される領域を除く領域に開口を有するレジスト 153 を形成し、レジスト 153 を利用して、図 28 に示すように、複数の第 1 のゲートトレンチ 17 に充填されたポリシリコン 15 のそれぞれに対してエッチングを行って、複数の第 1 のゲートトレンチ 17 のそれぞれにおいて当該第 1 のゲートトレンチ 17 の内部の側壁が露出するように、複数の第 1 のゲートトレンチ 17 のそれぞれに 1 対 1 で対応する複数のリセス 136 を形成する。

10

【0204】

これら複数のリセス 136 の内部には、後の工程において、第 1 のソース電極 11 を構成する金属が形成される。このように、複数のリセス 136 の内部に、第 1 のソース電極 11 を構成する金属を形成することで、複数のリセス 136 が形成されない場合に比べて、第 1 のソース電極 11 と、第 1 のソース領域 14 および第 1 のボディ領域 18 との接触面積を増加させることができる、すなわち、第 1 のソース電極 11 と、第 1 のソース領域 14 および第 1 のボディ領域 18 とのコンタクト抵抗を低減することができる。

【0205】

また、上述した通り、レジスト 153 には、複数の第 1 のゲートトレンチ 17 が形成される領域のうちの、接続領域 81 が形成される領域に開口を有さない。これにより、複数の接続領域 81 の内部に備わるポリシリコンの上面のそれぞれは、第 2 の酸化膜 6 の最上面と高さが一致する。

20

【0206】

次に、図 29 に示すように、半導体層 40 の平面視における全面に、酸化膜からなる層間絶縁膜 36 を形成する。そして、図 30 に示すように、層間絶縁膜 36 に開口部を形成するための開口部を有するレジスト 154 を形成する。そして、レジスト 154 を利用して、図 31 に示すように、層間絶縁膜 36 を除去する。そして、図 32 に示すように、複数の第 1 のソース領域 14 および第 1 のボディ領域 18 と、第 1 のツェナーダイオード 52 の一方の端子とに接続する第 1 のソース電極 11 と、複数の接続領域 81 に備わるポリシリコンに接続する、すなわち、複数の第 1 のゲート導体 15 に接続する第 1 のゲート配線 53 と、第 1 のツェナーダイオード 52 の他方の端子に接続する第 1 のゲート電極 19 とを形成する。

30

【0207】

上述した通り、複数の接続領域 81 の内部に備わるポリシリコンの上面のそれぞれは、第 2 の酸化膜 6 の最上面と高さが一致する。したがって、第 1 のゲート配線 53 と複数の接続領域 81 に備わるポリシリコンとの接触面 37 のそれぞれは、第 2 の酸化膜 6 の最上面と高さが一致する。

【0208】

なお、化学的機械研磨により、複数の第 1 のゲートトレンチ 17 に充填されたポリシリコンと、第 2 の溝 72 に充填されたポリシリコンと、複数の接続領域 81 に充填されたポリシリコンとを並行して除去する工程において、酸化膜とポリシリコンとの研磨率の違いで、出来栄えにおいて、ポリシリコン上面の方が第 2 の酸化膜 6 の最上面よりも低くなる可能性がある。このため、第 1 のゲート配線 53 と複数の接続領域 81 に備わるポリシリコンとの接触面のそれぞれは、上記工程における出来栄えの範囲内において、表面酸化膜 34 の上面の高さよりも低くなる可能性がある。

40

(補足)

以上、本開示の一態様に係る製造方法および半導体装置について、実施の形態に基づいて説明したが、本開示は、この実施の形態に限定されるものではない。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形をこの実施の形態に施したのものや、異なる変形例における構成要素を組み合わせる構築される形態も、本開示の 1 つまたは複数の態様の

50

範囲内に含まれてもよい。

【産業上の利用可能性】

【0209】

本開示は、半導体装置を製造する方法および半導体装置に等に広く利用可能である。

【符号の説明】

【0210】

1	半導体装置	
5	第1の酸化膜	
6	第2の酸化膜	
7	第3の酸化膜	10
10	第1の縦型MOSトランジスタ	
11	第1のソース電極	
12	第1の活性領域	
14	第1のソース領域	
15	第1のゲート導体(ポリシリコン)	
16	第1のゲート酸化膜	
17	第1のゲートトレンチ	
18	第1のボディ領域	
19	第1のゲート電極	
20	第2の縦型MOSトランジスタ	20
21	第2のソース電極	
22	第2の活性領域	
24	第2のソース領域	
25	第2のゲート導体(ポリシリコン)	
26	第2のゲート酸化膜	
27	第2のゲートトレンチ	
28	第2のボディ領域	
29	第2のゲート電極	
32	半導体基板	
33	低濃度不純物層	30
34	表面酸化膜	
35	パッシベーション層	
36	層間絶縁膜	
37	接触面	
40	半導体層	
41	第1の中央領域	
42	第2の中央領域	
43	周辺領域	
45	第1の電極対向領域	
51	第1の抵抗素子	40
52	第1のツェナーダイオード	
53	第1のゲート配線	
61	第2の抵抗素子	
62	第2のツェナーダイオード	
71	第1の溝	
72	第2の溝	
81	接続領域	
91	酸化膜	
111、111a、111b、111c、111d、111e	第1のソースパッド	
119	第1のゲートパッド	50

- 1 2 1、1 2 1 a、1 2 1 b、1 2 1 c、1 2 1 d、1 2 1 e 第 2 のソースパッド
- 1 2 9 第 2 のゲートパッド
- 1 3 1、1 3 3、1 3 5 開口部
- 1 3 2、1 3 4 接続領域開口部
- 1 3 6 リセス
- 1 4 1、5 0 2 ポリシリコン
- 1 5 1、1 5 2、1 5 3、1 5 4 レジスト
- 5 0 0 縦型MOSトランジスタ
- 5 0 1 ゲートトレンチ
- 5 0 3 ボディ領域
- 5 0 4 ソース領域
- A 1 第 1 の半導体層内領域
- A 2 第 2 の半導体層内領域
- B 1 第 1 の範囲
- B 2 第 2 の範囲

10

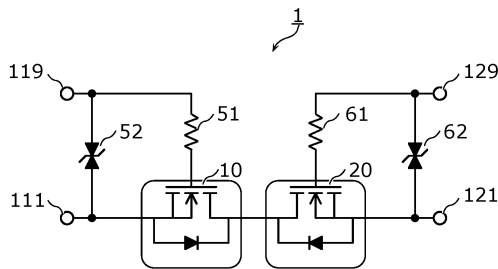
【要約】

半導体装置 ( 1 ) の製造方法であって、半導体層 ( 4 0 ) に対して深さHの第 1 の溝 ( 7 1 ) を形成する工程と、第 1 の溝 ( 7 1 ) を酸化膜で充填し、酸化膜と高さが一致するように、半導体層 ( 4 0 ) の上面に厚さ a の表面酸化膜 ( 3 4 ) を形成する工程と、第 3 の酸化膜 ( 7 ) の最上面から a より深い深さ h の第 2 の溝 ( 7 2 ) を形成する工程と、半導体層 ( 4 0 ) に対して深さHより深いゲートトレンチ ( 1 7 ) を形成する工程と、少なくともゲートトレンチ ( 1 7 ) および第 2 の溝 ( 7 2 ) にポリシリコンが充填されるまでポリシリコンを堆積する工程と、第 2 の溝 ( 7 2 ) に堆積されたポリシリコンに不純物を注入して周辺素子 ( 5 1 ) を形成する工程と、ゲートトレンチ ( 1 7 ) に堆積されたポリシリコンと第 2 の溝 ( 7 2 ) に堆積されたポリシリコンとを、高さが一致するように並行に除去して周辺素子 ( 5 1 ) の厚さを深さ h と一致させる工程とを含む。

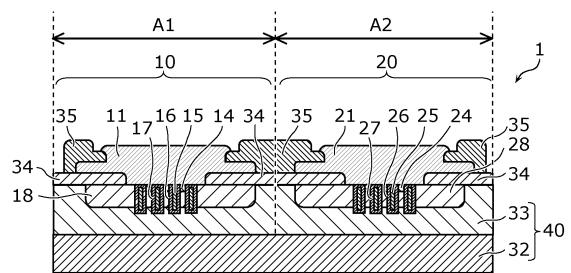
20

【図面】

【図 1】



【図 2】

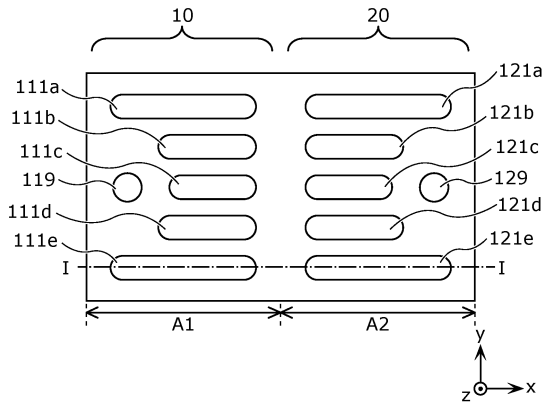


30

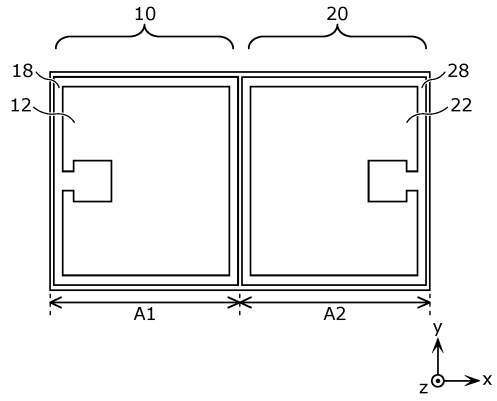


40

【図3】

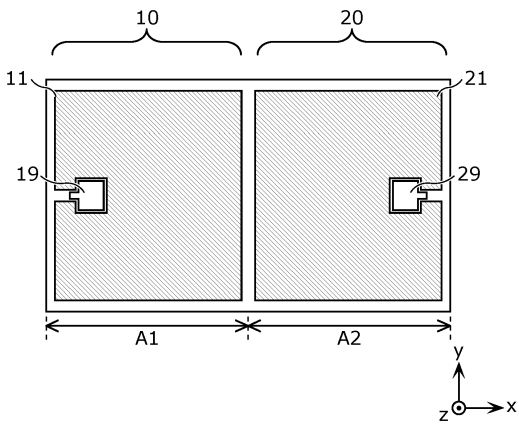


【図4】

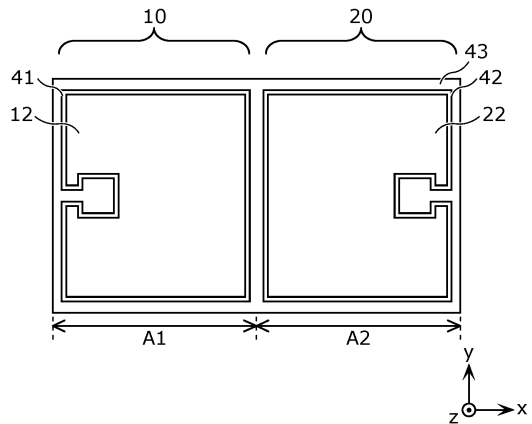


10

【図5】



【図6】



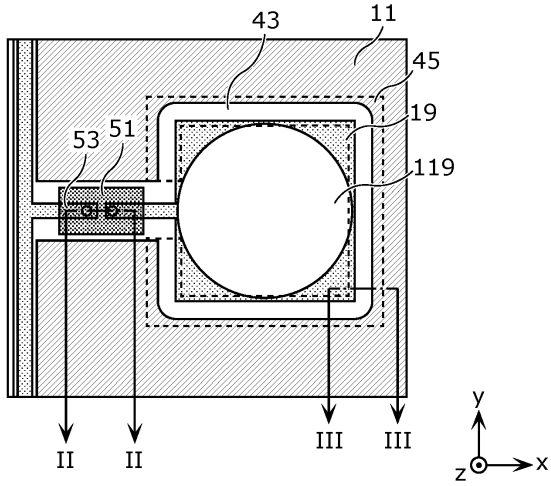
20

30

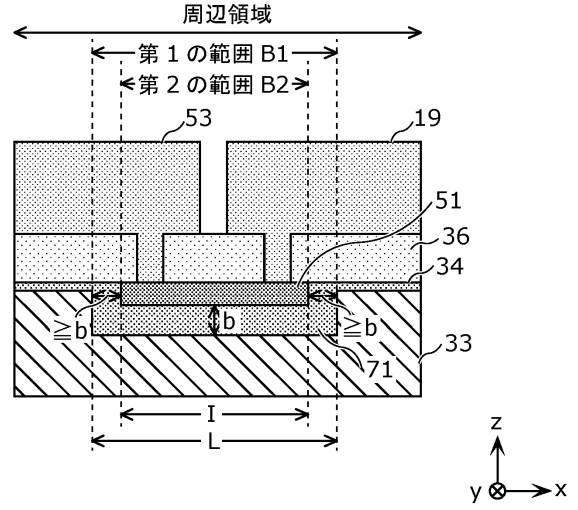
40

50

【図 7】

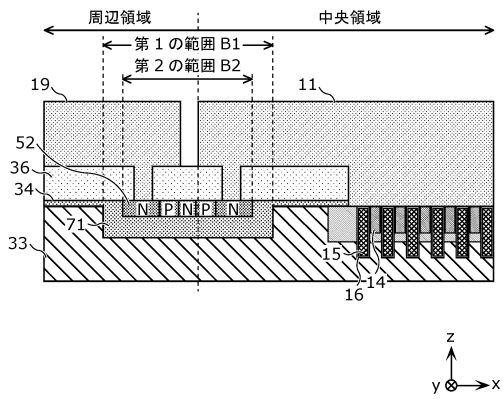


【図 8】

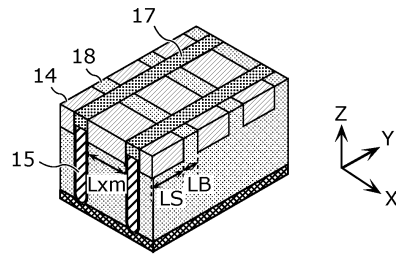


10

【図 9】



【図 10】



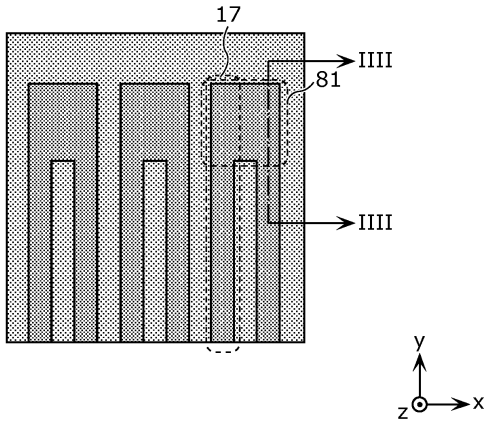
20

30

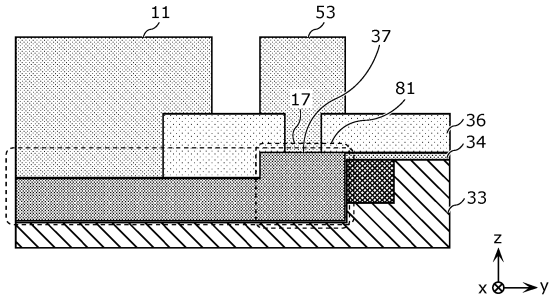
40

50

【図 1 1】

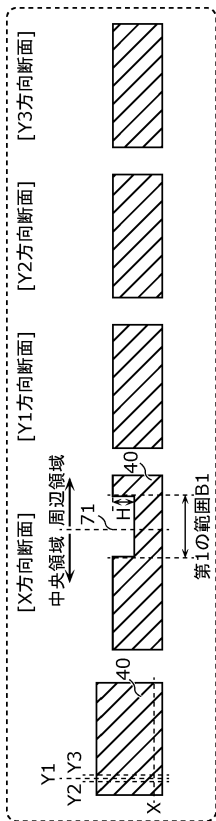


【図 1 2】

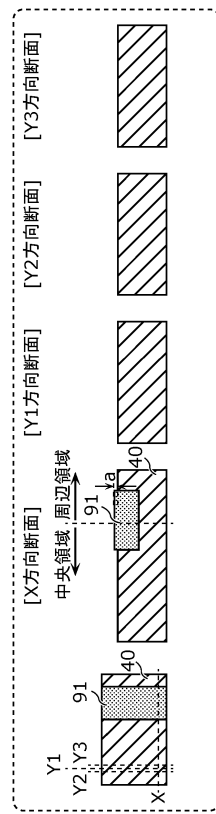


10

【図 1 3】



【図 1 4】



20

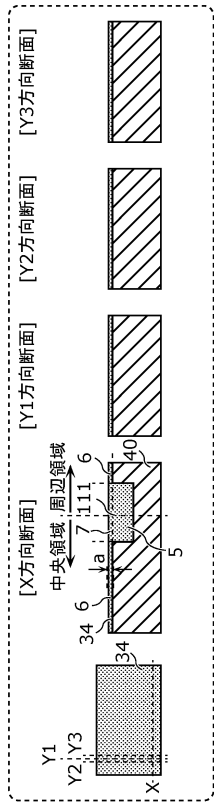
30

40

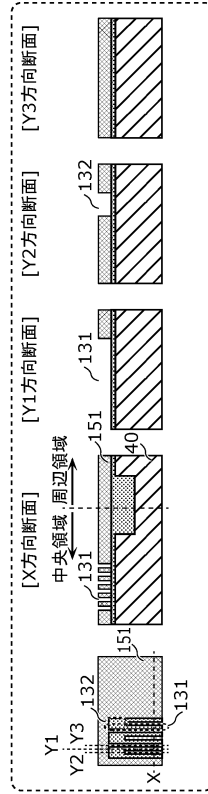
50



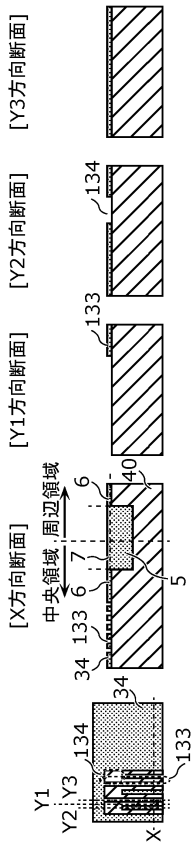
【图 15】



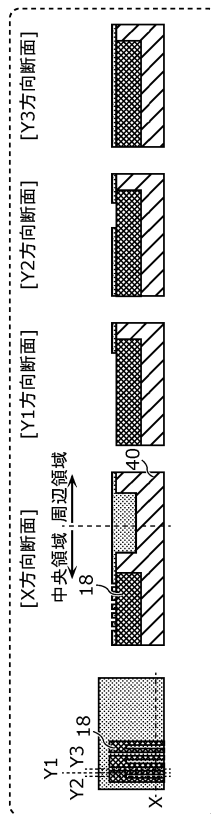
【图 16】



【图 17】



【图 18】



10

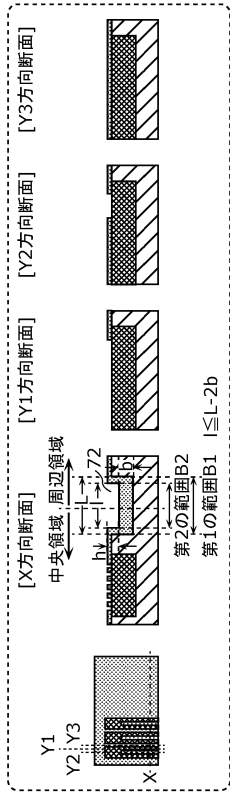
20

30

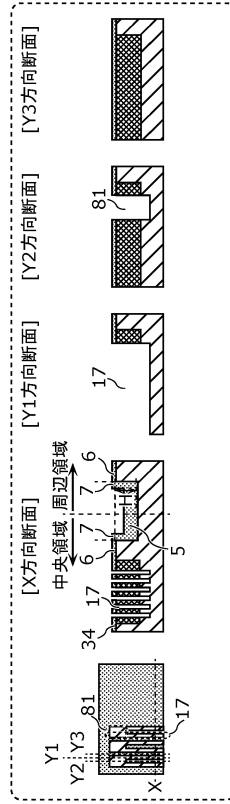
40

50

【 図 1 9 】



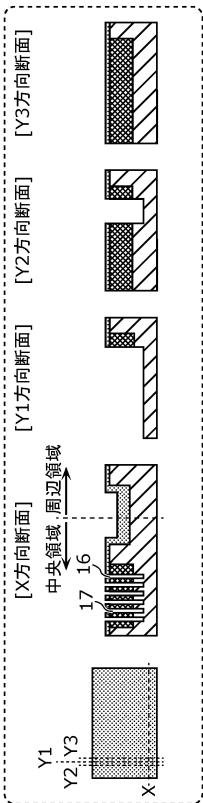
【 図 2 0 】



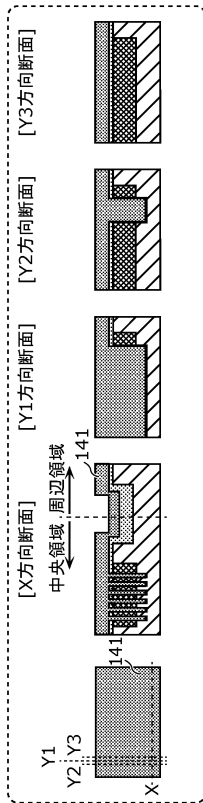
10

20

【 図 2 1 】



【 図 2 2 】

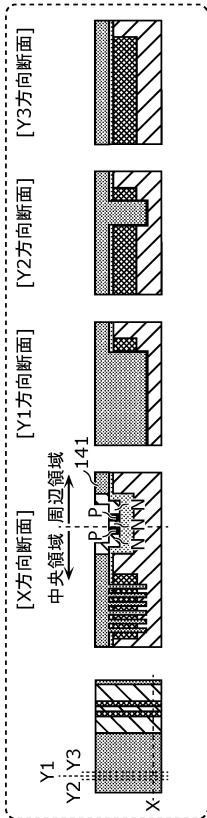


30

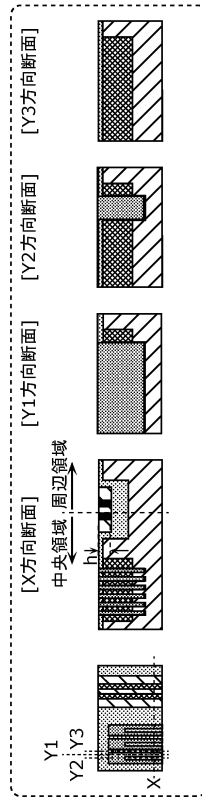
40

50

【图 2 3】



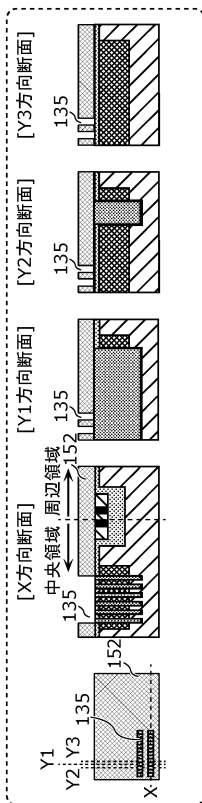
【图 2 4】



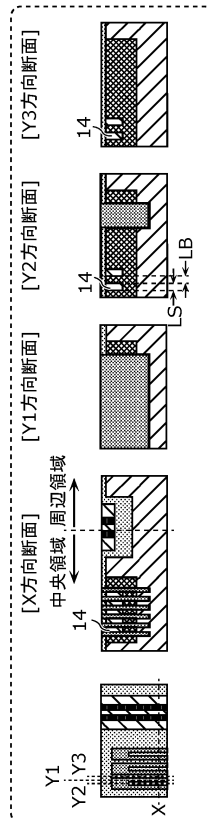
10

20

【图 2 5】



【图 2 6】

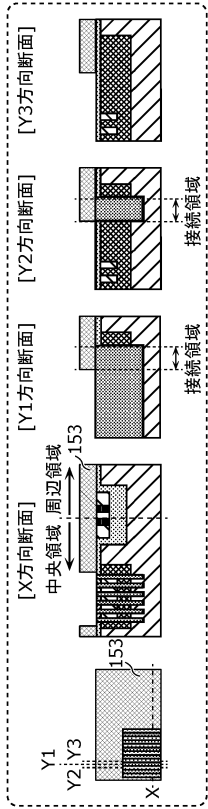


30

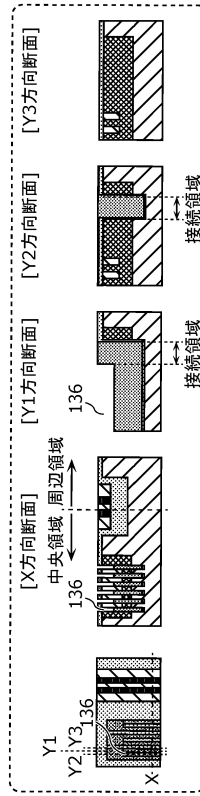
40

50

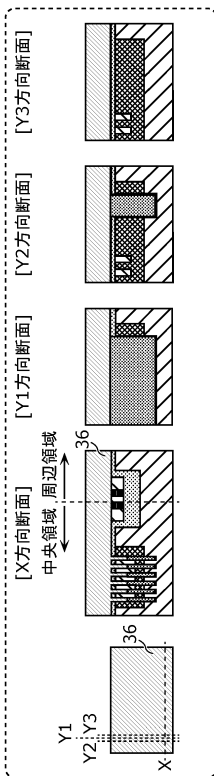
【图 27】



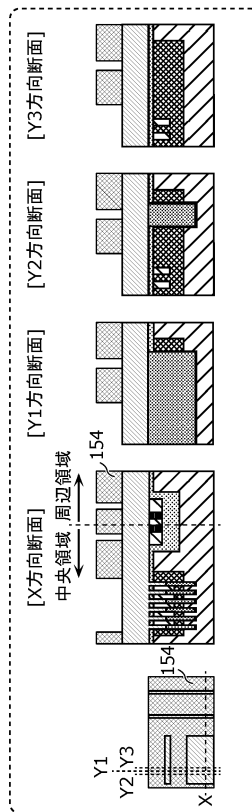
【图 28】



【图 29】



【图 30】



10

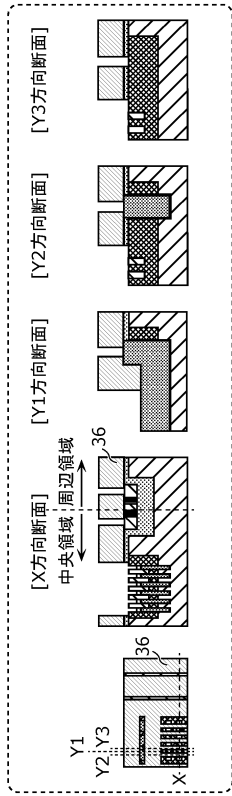
20

30

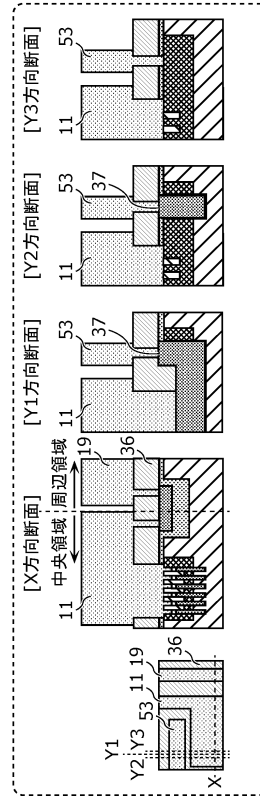
40

50

【图 3 1】



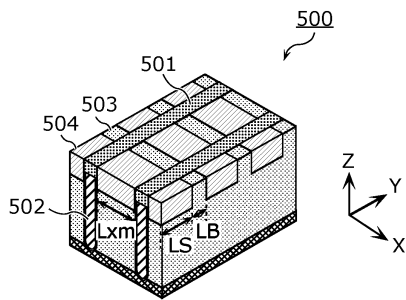
【图 3 2】



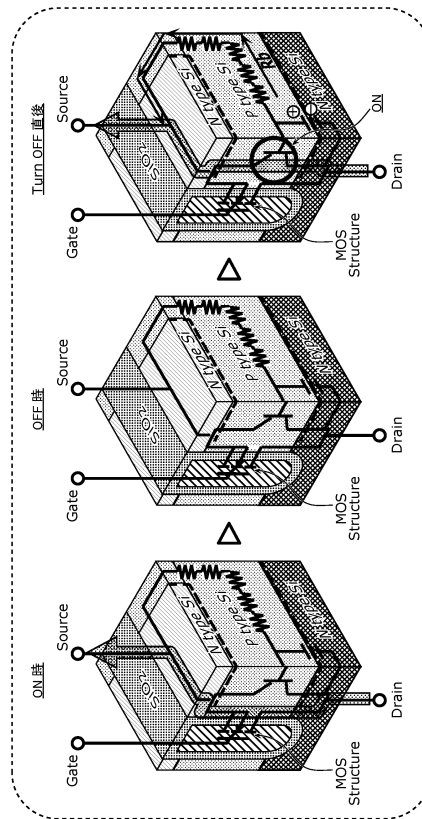
10

20

【图 3 3】



【图 3 4】



30

40

50

## フロントページの続き

## (51)国際特許分類

F I		
H 0 1 L	29/78	6 5 8 G
H 0 1 L	29/78	6 5 8 Z
H 0 1 L	29/90	D

日本国京都府長岡京市神足焼町1番地 ヌヴォトンテクノロジージャパン株式会社内

## (72)発明者 村山 啓一

日本国京都府長岡京市神足焼町1番地 ヌヴォトンテクノロジージャパン株式会社内

審査官 恩田 和彦

## (56)参考文献

国際公開第2018/123799(WO, A1)

特開2018-098476(JP, A)

米国特許出願公開第2020/0135713(US, A1)

特開2016-178197(JP, A)

中国特許出願公開第108389858(CN, A)

米国特許出願公開第2013/0075810(US, A1)

## (58)調査した分野 (Int.Cl., DB名)

H 0 1 L 2 9 / 7 8

H 0 1 L 2 9 / 8 6 1

H 0 1 L 2 9 / 8 6 8

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 1 / 3 2 9