

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5000130号  
(P5000130)

(45) 発行日 平成24年8月15日(2012.8.15)

(24) 登録日 平成24年5月25日(2012.5.25)

(51) Int.Cl.		F I		
HO 1 L 27/04	(2006.01)	HO 1 L 27/04		H
HO 1 L 21/822	(2006.01)	HO 1 L 21/92	6 O 2 N	
HO 1 L 21/60	(2006.01)	HO 1 L 27/04		E
		HO 1 L 27/04		D

請求項の数 5 (全 7 頁)

(21) 出願番号	特願2005-363836 (P2005-363836)	(73) 特許権者	000116024
(22) 出願日	平成17年12月16日(2005.12.16)		ローム株式会社
(65) 公開番号	特開2007-165800 (P2007-165800A)		京都府京都市右京区西院溝崎町2 1 番地
(43) 公開日	平成19年6月28日(2007.6.28)	(74) 代理人	100087701
審査請求日	平成20年12月3日(2008.12.3)		弁理士 稲岡 耕作
		(74) 代理人	100101328
			弁理士 川崎 実夫
		(72) 発明者	官田 修
			京都市右京区西院溝崎町2 1 番地
			ローム株式会社内
		審査官	宇多川 勉

最終頁に続く

(54) 【発明の名称】 半導体チップ

(57) 【特許請求の範囲】

【請求項 1】

機能素子を含む内部回路が形成された矩形の回路形成領域を表面の中央部に有し、その表面を固体装置の表面に対向させて接合される半導体チップであって、

前記回路形成領域上において、前記半導体チップの表面上に隆起して形成され、前記固体装置の表面に当接されて、前記内部回路と前記固体装置とを電氣的に接続するための複数のバンプと、

前記回路形成領域の周囲の領域に形成され、電源電圧が供給される電源配線と、

前記回路形成領域の周囲の領域に前記電源配線から所定間隔を隔てて形成され、グランド電位に接地されるグランド配線と、

前記電源配線と前記グランド配線との間に形成され、前記バンプと前記電源配線および前記グランド配線との各間に電氣的に介在された保護素子とを含み、

前記複数のバンプが、前記固体装置から電源電圧が供給される電源用のバンプと、前記固体装置からグランド電圧が供給される接地用のバンプとを含み、

前記電源配線が、前記電源用のバンプに接続され、前記電源用のバンプから前記回路形成領域の周囲の領域に引き出され、前記矩形の回路形成領域の第1辺に沿って延び、さらに前記第1辺の隣の第2辺に沿うように曲げられて当該第2辺に沿って延び、さらに前記第2辺の隣の第3辺に沿うように曲げられて当該第3辺に沿って延び、さらに前記第3辺の隣の第4辺に沿うように曲げられて当該第4辺に沿って延び、当該第4辺に対向する位置で終端するように引き回されており、

前記接地用のバンブが、前記電源用のバンブよりも前記第4辺に近い位置に配置されており、

前記グランド配線が、前記接地用のバンブに接続され、前記接地用のバンブから前記回路形成領域の周囲の領域に引き出され、前記矩形の回路形成領域の前記第1辺に沿って前記電源配線とは反対方向に向かって延び、さらに前記第1辺の隣の前記第4辺に沿うように曲げられて当該第4辺に沿って延び、さらに前記第4辺の隣の前記第3辺に沿うように曲げられて当該第3辺に沿って延び、さらに前記第3辺の隣の前記第2辺に沿うように曲げられて当該第2辺に沿って延び、当該第2辺に対向する位置で終端するように引き回されている

ことを特徴とする半導体チップ。

10

【請求項2】

前記電源配線および前記グランド配線が、前記半導体チップ上の同じ層に設けられている、請求項1に記載の半導体チップ。

【請求項3】

前記保護素子が、前記電源供給用のバンブおよび前記接地用のバンブ以外の全てのバンブに対応してそれぞれ設けられている、請求項1または2に記載の半導体チップ。

【請求項4】

前記半導体チップが、前記固体装置としての配線基板にフリップ・チップ・ボンディングにより接合されるものである、請求項1～3のいずれか一項に記載の半導体チップ。

【請求項5】

前記半導体チップが、前記固体装置としての他の半導体チップに接合されてチップ・オン・チップ構造を構成するものである、請求項1～3のいずれか一項に記載の半導体チップ。

20

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、チップ・オン・チップ構造やフリップ・チップ・ボンディング構造に用いられる半導体チップに関する。

【背景技術】

【0002】

半導体装置の小型化および高集積化を図るための構造として、半導体チップの表面を他の半導体チップの表面に対向させて接合する、チップ・オン・チップ構造や、半導体チップの表面を配線基板に対向させて接合する、フリップ・チップ・ボンディング構造が知られている。

30

これらの構造に適用される半導体チップは、その表面に、金(Au)などの金属からなる複数のバンブを有している。各バンブは、半導体チップの表面の中央部に形成された内部回路と電気的に接続されている。そして、チップ・オン・チップ構造では、一方の半導体チップのバンブと他方の半導体チップのバンブとを突き合わせて接合することにより、それらの半導体チップ間の機械的な接続が達成されるとともに、各半導体チップの内部回路間の電気的な接続が達成される。また、フリップ・チップ・ボンディング構造では、半導体チップのバンブを配線基板上のパッドに突き当てて接合することにより、配線基板上に半導体チップが支持されるとともに、配線基板上の配線と半導体チップの内部回路間の電気的な接続が達成される。

40

【0003】

バンブからサージが入力されると、そのサージにより内部回路を構成する機能素子が破壊されるおそれがある。このため、バンブと内部回路との間には、バンブからのサージの入力を阻止するための保護素子が介在されている。

【特許文献1】特開2000-223652号公報

【発明の開示】

【発明が解決しようとする課題】

50

## 【 0 0 0 4 】

ところが、バンプと内部回路との間に保護素子が設けられていると、バンプを半導体チップの表面の周縁部の狭い領域にしか配置することができず、バンプのレイアウトの自由度が大幅に制限されてしまう。

そこで、この発明の目的は、サージによる内部回路の破壊を防止することができながら、バンプのレイアウトの自由度の増大を図ることができる半導体チップを提供することである。

## 【課題を解決するための手段】

## 【 0 0 0 5 】

前記の目的を達成するための請求項 1 記載の発明に係る半導体チップは、機能素子を含む内部回路が形成された矩形の回路形成領域を表面の中央部に有し、その表面を固体装置の表面に対向させて接合される半導体チップであって、前記回路形成領域上において、前記半導体チップの表面上に隆起して形成され、前記固体装置の表面に当接されて、前記内部回路と前記固体装置とを電気的に接続するための複数のバンプと、前記回路形成領域の周囲の領域に形成され、電源電圧が供給される電源配線と、前記回路形成領域の周囲の領域に前記電源配線から所定間隔を隔てて形成され、グランド電位に接地されるグランド配線と、前記電源配線と前記グランド配線との間に形成され、前記バンプと前記電源配線および前記グランド配線との各間に電気的に介在された保護素子とを含む。前記複数のバンプは、前記固体装置から電源電圧が供給される電源用のバンプと、前記固体装置からグランド電圧が供給される接地用のバンプとを含む。前記電源配線は、前記電源用のバンプに接続され、前記電源用のバンプから前記回路形成領域の周囲の領域に引き出され、前記矩形の回路形成領域の第 1 辺に沿って延び、さらに前記第 1 辺の隣の第 2 辺に沿うように曲げられて当該第 2 辺に沿って延び、さらに前記第 2 辺の隣の第 3 辺に沿うように曲げられて当該第 3 辺に沿って延び、さらに前記第 3 辺の隣の第 4 辺に沿うように曲げられて当該第 4 辺に沿って延び、当該第 4 辺に対向する位置で終端するように引き回されている。前記接地用のバンプは、前記電源用のバンプよりも前記第 4 辺に近い位置に配置されている。前記グランド配線は、前記接地用のバンプに接続され、前記接地用のバンプから前記回路形成領域の周囲の領域に引き出され、前記矩形の回路形成領域の前記第 1 辺に沿って前記電源配線とは反対方向に向かって延び、さらに前記第 1 辺の隣の前記第 4 辺に沿うように曲げられて当該第 4 辺に沿って延び、さらに前記第 4 辺の隣の前記第 3 辺に沿うように曲げられて当該第 3 辺に沿って延び、さらに前記第 3 辺の隣の前記第 2 辺に沿うように曲げられて当該第 2 辺に沿って延び、当該第 2 辺に対向する位置で終端するように引き回されている。

## 【 0 0 0 6 】

この構成によれば、バンプからサージが入力されたときに、そのサージ電流を、バンプから保護素子を介して電源配線およびグランド配線に逃がすことができる。そのため、バンプからのサージの入力による内部回路（機能素子）の破壊を防止することができる。また、保護素子は、回路形成領域の周囲の領域に配置された電源配線とグランド配線との間に形成されているので、保護素子の配置と無関係に、バンプのレイアウトを決定することができる。すなわち、バンプを半導体チップの表面の中央部に設けられた回路形成領域上に配置することができ、もちろん、回路形成領域の周囲の領域上にバンプを配置することもできる。そのため、バンプのレイアウトの自由度を増すことができる。

請求項 2 に記載されているように、前記電源配線および前記グランド配線が、前記半導体チップ上の同じ層に設けられていることが好ましい。

また、請求項 3 に記載されているように、前記保護素子が、前記電源供給用のバンプおよび前記接地用のバンプ以外の全てのバンプに対応してそれぞれ設けられていることが好ましい。

前記半導体チップは、請求項 4 に記載されているように、前記固体装置としての配線基板にフリップ・チップ・ボンディングにより接合されるものであってもよい。

また、請求項 5 に記載されているように、前記半導体チップが、前記固体装置としての

10

20

30

40

50

他の半導体チップに接合されてチップ・オン・チップ構造を構成するものであってもよい。

【発明を実施するための最良の形態】

【0007】

以下では、この発明の実施の形態を、添付図面を参照して詳細に説明する。

図1は、この発明の一実施形態に係る半導体チップの図解的な平面図である。また、図2は、図1に示す半導体チップをその表面に直交する平面で切断したときの断面図である。

この半導体チップは、いわゆるチップ・オン・チップ構造やフリップ・チップ・ボンディング構造に適用され、その表面1を他の半導体チップや配線基板などの固体装置に対向させて接合される。

10

【0008】

半導体チップの表面1には、半導体チップの基体をなす半導体基板（たとえば、シリコン基板）において回路形成領域2が形成される側の表面であり、その最表面は、たとえば、窒化シリコンからなる表面保護膜3で覆われている。

回路形成領域2は、半導体チップの表面1の中央部に設けられた矩形の領域であり、トランジスタなどの機能素子を含む内部回路が作り込まれている。この回路形成領域2上には、たとえば、金（Au）などの金属材料からなる複数のバンプ4が互いに間隔を空けて整列配置されている。各バンプ4は、表面保護膜3から突出する略球状に形成されている。すなわち、図2に示すように、表面保護膜3には、回路形成領域2に形成された内部回路と電氣的に接続されたパッド5を露出させる開口6が形成されており、各バンプ4は、パッド5上に設けられて、開口6から表面保護膜3上に隆起する略球状に形成されている。

20

【0009】

回路形成領域2の周囲には、電源配線7およびグランド配線8がそれぞれ回路形成領域2を取り囲むように形成されている。図2に表れているように、電源配線7およびグランド配線8は、半導体チップ上の同じ層に設けられている。電源配線7の一端は、固体装置から電源電圧（たとえば、5V）が供給される電源供給用のバンプ4Aに接続されている。また、グランド配線8の一端は、グランド電位（0V）に接地（固体装置からグランド電圧が供給）される接地用のバンプ4Bに接続されている。

30

より詳細に説明すると、電源配線7は、電源用のバンプ4Aから回路形成領域2の周囲の領域に引き出され、矩形の回路形成領域2の第1辺に沿って延び、さらに前記第1辺の隣の第2辺に沿うように曲げられて当該第2辺に沿って延び、さらに前記第2辺の隣の第3辺に沿うように曲げられて当該第3辺に沿って延び、さらに前記第3辺の隣の第4辺に沿うように曲げられて当該第4辺に沿って延び、当該第4辺に対向する位置で終端するように引き回されている。接地用のバンプ4Bは、電源用のバンプ4Aよりも前記第4辺に近い位置に配置されている。そして、グランド配線8は、接地用のバンプ4Bから回路形成領域2の周囲の領域に引き出され、矩形の回路形成領域2の前記第1辺に沿って電源配線7とは反対方向に向かって延び、さらに前記第1辺の隣の第4辺に沿うように曲げられて当該第4辺に沿って延び、さらに前記第4辺の隣の第3辺に沿うように曲げられて当該第3辺に沿って延び、さらに前記第3辺の隣の第2辺に沿うように曲げられて当該第2辺に沿って延び、当該第2辺に対向する位置で終端するように引き回されている。

40

【0010】

電源配線7とグランド配線8とは、所定間隔を隔てて配置されており、それらの間には、電源供給用のバンプ4Aおよび接地用のバンプ4B以外の各バンプ4に対応づけられた複数の保護回路9が介在されている。各保護回路9は、電源配線7とグランド配線8との間に2つの保護素子（保護ダイオード）11, 12を直列に接続した構成を有している。そして、保護回路9は、2つの保護素子11, 12の接続部分において、それぞれ対応するバンプ4の下方のパッド5と電氣的に接続されている。

50

## 【 0 0 1 1 】

この構成により、バンプ 4 から正のサージが入力されると、そのサージ電流は、バンプ 4 から保護素子 1 1 を介して電源配線 7 に流れ込み、この電源配線 7 から電源供給用のバンプ 4 A を介して逃がされる。一方、バンプ 4 から負のサージが入力されると、そのサージ電流は、バンプ 4 から保護素子 1 2 を介してグランド配線 8 に流れ込み、このグランド配線 8 から接地用のバンプ 4 B を介して逃がされる。そのため、バンプ 4 からのサージの入力による内部回路（機能素子）の破壊を防止することができる。

## 【 0 0 1 2 】

また、保護回路 9 は、回路形成領域 2 の周囲の領域（半導体チップの表面 1 の周縁部）に配置された電源配線 7 とグランド配線 8 との間に形成されているので、保護回路 9 の配置と無関係に、バンプ 4 のレイアウトを決定することができる。すなわち、この実施形態に係る半導体チップのように、バンプ 4 を半導体チップの表面 1 の中央部に設けられた回路形成領域 2 上に配置することができ、もちろん、回路形成領域 2 の周囲の領域上にバンプ 4 を配置することもできる。そのため、バンプ 4 のレイアウトの自由度を増すことができる。

10

## 【 0 0 1 3 】

以上、この発明の一実施形態について説明したが、この発明は、他の形態で実施することもできる。たとえば、バンプ 4 が略球状に形成されるとしたが、円柱状や角柱状に形成されてもよい。また、バンプ 4 は、表面保護膜 3 上に大きく突出する必要はなく、固体装置の表面にバンプが設けられている場合には、扁平な形状に形成されて、表面保護膜 3 上に小さな突出量で突出させてもよい。

20

## 【 0 0 1 4 】

また、半導体基板と表面保護膜 3 との間に層間絶縁膜が介在されるとともに、層間絶縁膜上に内部配線が形成されて、その内部配線が層間絶縁膜に形成された開口を介して内部回路と電気的に接続され、表面保護膜 3 に形成された開口から内部配線の一部を露出させることによりパッド 5 が形成されてもよい。このような内部配線の引き回しにより、パッド 5 の位置を自由に変更することができ、バンプ 4（パッド 5）のレイアウトの自由度をさらに増すことができる。

## 【 0 0 1 5 】

その他、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

30

## 【 図面の簡単な説明 】

## 【 0 0 1 6 】

【 図 1 】 この発明の一実施形態に係る半導体チップの図解的な平面図である。

【 図 2 】 図 1 に示す半導体チップをその表面に直交する平面で切断したときの断面図である。

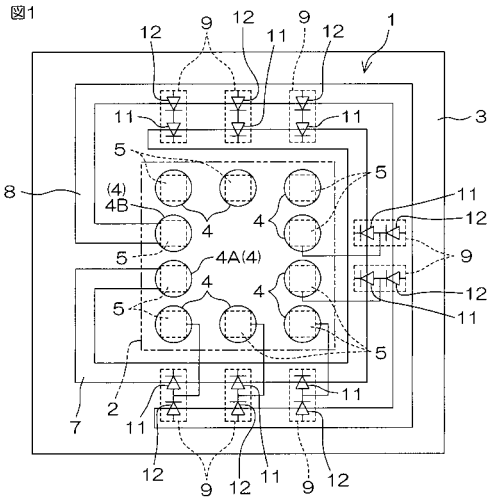
## 【 符号の説明 】

## 【 0 0 1 7 】

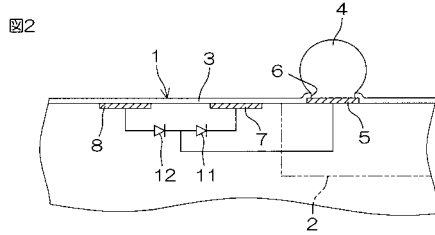
- 1 表面
- 2 回路形成領域
- 4 バンプ
- 7 電源配線
- 8 グランド配線
- 1 1 保護素子
- 1 2 保護素子

40

【 図 1 】



【 図 2 】



---

フロントページの続き

- (56)参考文献 特開平04 - 196464 (JP, A)  
特開平04 - 061371 (JP, A)  
特開2003 - 163278 (JP, A)  
特開2001 - 237317 (JP, A)  
特開2004 - 266044 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82  
H01L 21/60  
H01L 27/04