



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I580001 B

(45)公告日：中華民國 106 (2017) 年 04 月 21 日

(21)申請案號：104103013

(22)申請日：中華民國 104 (2015) 年 01 月 29 日

(51)Int. Cl. : **H01L23/60 (2006.01)**

(30)優先權：2014/11/13 中國大陸 201410640008.4

(71)申請人：旺宏電子股份有限公司(中華民國) MACRONIX INTERNATIONAL CO., LTD.
(TW)

新竹科學工業園區力行路 16 號

(72)發明人：何介曄 HE, CHIEH-WEI (TW)；許杞安 XU, QI-AN (CN)；俞軍軍 YU, JUN-JUN
(CN)；郝晗 HAO, HAN (CN)

(74)代理人：葉璟宗

(56)參考文獻：

US 6433979B1

US 2007/0025034A1

US 2012/0257317A1

審查人員：湯欽全

申請專利範圍項數：10 項 圖式數：6 共 28 頁

(54)名稱

靜電放電保護電路、結構及其製造方法

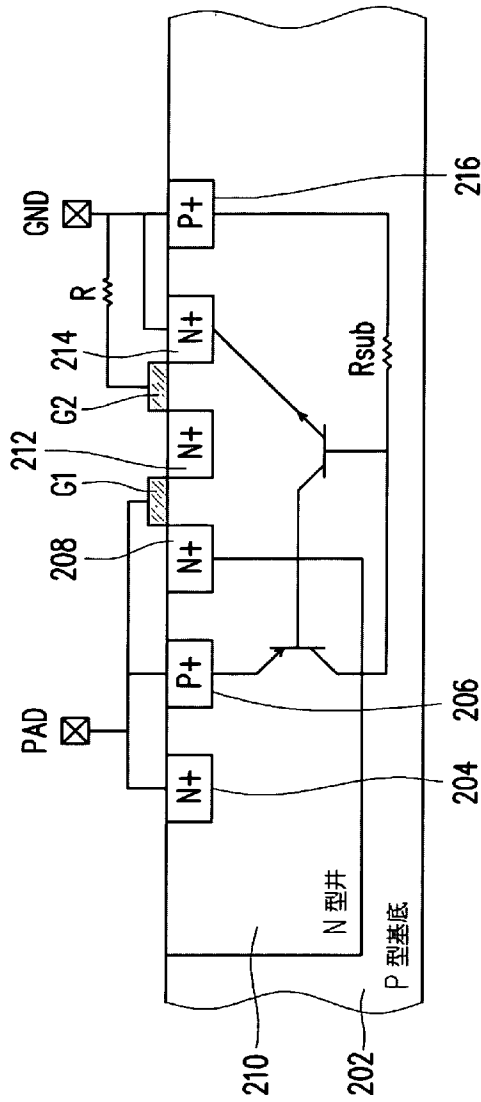
ELECTRSTATIC DISCHARGE PROTECTION CIRCUIT, STRUCTURE AND METHOD OF MAKING
THE SAME

(57)摘要

一種靜電放電保護結構，包括第一導電型基底、基底中的第二導電型井區、第一導電型的第一與第二摻雜區、第二導電型的第四至第六摻雜區以及第一與第二閘極。第一與第二摻雜區分別在井區、基底中。第一與第二閘極分別在非井區之基底表面上。第三摻雜區在基底中且在第一與第二閘極間。第四摻雜區在基底中且在第一與第二閘極一側，且鄰近第二摻雜區。第五摻雜區在基底中並沿伸到井區，且在第一與第二閘極另一側。第一摻雜區位於第五與六摻雜區間。第一、第六摻雜區與第一閘極電連接一起。第四、第二摻雜區與第二閘極電連接一起。

An ESD structure, including a first conductive type substrate, a second conductive type well region in the substrate, first/second doped regions (the first type), fourth to sixth doped regions (second conductive type), and first/second gates, is provided. The first/second doped regions are respectively disposed in the well region and the substrate. The first/second gates are on the substrate surface with no well region below. A third doped region is between the first and second gates in the substrate. The fourth doped region is in the substrate and on one side of the first/second gates. The fifth doped region is in the substrate, extends into the well region, and on another side of the first/second gates. The first doped region is located between the fifth and sixth doped region. The first/sixth doped regions and the first gate are connected. The fourth/second doped region and the second gate are connected.

指定代表圖：



200

符號簡單說明：

200 . . . 靜電放電保護電路

202 . . . P 型基底

204 . . . 第六摻雜區 (N+)

206 . . . 第一摻雜區 (P+)

208 . . . 第五摻雜區 (N+)

210 . . . N 型井區

212 . . . 第三摻雜區 (N+)

214 . . . 第四摻雜區 (N+)

216 . . . 第二摻雜區 (P+)

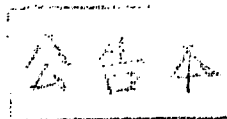
G1、G2 . . . 第一、第二閘極

PAD、GND . . . 第一、第二焊墊

R . . . 電阻

Rsub . . . 基底電阻

【圖3】



申請日: 104.1.29

IPC分類: H01L 23/60 (2006.1)

【發明摘要】**【中文發明名稱】** 靜電放電保護電路、結構及其製造方法**【英文發明名稱】** ELECTRSTATIC DISCHARGE PROTECTION

CIRCUIT, STRUCTURE AND METHOD OF MAKING THE SAME

【中文】一種靜電放電保護結構，包括第一導電型基底、基底中的第二導電型井區、第一導電型的第一與第二摻雜區、第二導電型的第四至第六摻雜區以及第一與第二閘極。第一與第二摻雜區分別在井區、基底中。第一與第二閘極分別在非井區之基底表面上。第三摻雜區在基底中且在第一與第二閘極間。第四摻雜區在基底中且在第一與第二閘極一側，且鄰近第二摻雜區。第五摻雜區在基底中並沿伸到井區，且在第一與第二閘極另一側。第一摻雜區位於第五與六摻雜區間。第一、第六摻雜區與第一閘極電連接一起。第四、第二摻雜區與第二閘極電連接一起。

【英文】 An ESD structure, including a first conductive type substrate, a second conductive type well region in the substrate, first/second doped regions (the first type), fourth to sixth doped regions (second conductive type), and first/second gates, is provided. The first/second doped regions are respectively disposed in the well region and the substrate. The first/second gates are on the substrate surface with no well region below. A third doped region is between the first and second gates in the substrate. The fourth doped region is in the substrate and on one side of the first/second gates. The fifth doped region is in the substrate, extends into the well region, and on another side of the first/second gates. The first doped region is located between the fifth and sixth doped region. The first/sixth doped regions and the first gate are connected. The fourth/ second doped region and the second gate are connected.

【指定代表圖】 圖3。

【代表圖之符號簡單說明】

200：靜電放電保護電路

202：P型基底

204：第六摻雜區(N+)

206：第一摻雜區(P+)

208：第五摻雜區(N+)

210：N型井區

212：第三摻雜區(N+)

214：第四摻雜區(N+)

216：第二摻雜區(P+)

G1、G2：第一、第二閘極

PAD、GND：第一、第二焊墊

R：電阻

Rsub：基底電阻

【發明說明書】

【中文發明名稱】 靜電放電保護電路、結構及其製造方法

【英文發明名稱】 ELECTRSTATIC DISCHARGE PROTECTION

CIRCUIT, STRUCTURE AND METHOD OF MAKING THE SAME

【技術領域】

【0001】 本發明是有關於一種靜電放電保護電路、結構及其製造方法。

【先前技術】

【0002】 靜電放電 (electrostatic discharge, ESD) 是電荷在非導體或未接地的導體上累積後，經由放電路徑，在短時間內快速移動放電的現象。靜電放電會造成積體電路中的電路之損害。例如，人體、封裝積體電路的機器或測試積體電路的儀器都是常見的帶電體，當前述帶電體與晶片接觸時，即有可能向晶片放電。靜電放電的瞬間功率可能造成晶片中的積體電路損壞或失效。

【0003】 圖 1 繪示習知的靜電放電保護電路的佈局剖面圖，圖 2 為圖 1 所之習知靜電放電保護電路的等效電路圖。如圖 1 所示，適於高電壓輸入之靜電放電保護電路 100 形成在 P 型基底 102 上，基底 102 形成有做為二極體 D2 (參考圖 2) 之 P+ 摻雜區 104、N+ 摻雜區 106，此外還形成有做為串疊 MOS 電晶體 M1、M2 之 N+ 摻雜區 114、116、118 和閘極 G1、G2。此外，P+ 摻雜區 104 更連接到焊墊 PAD，P 型基底 102 更透過 P+ 摻雜區

120 連接到接地端 GND。

【0004】 在上述圖 1、2 所示的電路架構，為了防止閃鎖效應 (latch-up)，必須要在二極體 D2 和串疊 NMOS 之間額外設置雙重護環 (double guard ring)，亦即圖 1 所示 N+ 摻雜區 110 和 P+ 摻雜區 112。此雙重護環至少要 $20\mu\text{m}$ 以隔開二極體 D2 和串疊 NMOS。另外，有時還需要另外設置一個反向二極體 D1 (見圖 2，未繪於圖 1)。但是，設置了雙重護環便讓靜電放電保護電路的佈局面積大幅增加。而且特別設置的反向二極體 D1 也增加了靜電放電保護電路的佈局面積大幅增加。此外，在這種習知的架構下，其二次崩潰電流約為 $7.1\text{ mA}/\mu\text{m}$ ，靜電放電保護的效能不算高。

【0005】 因此，如何設計出一種靜電放電保護電路，其可以使用更小的面積但有可以有效提升靜電放電保護的效能便是本技術領域需要努力的課題。

【發明內容】

【0006】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【0007】 本發明提供一種靜電放電保護電路，其能縮小面積並提供更優越的靜電放電保護效果。

【0008】 根據本發明之一實施例，提供一種靜電放電保護結構，其包括：基底，具有第一導電型；井區，具有第二導電型，配置在基底中；第一摻雜區，具有第一導電型，配置在井區中；第二摻雜區，具有第一導電

型，配置在基底中；第一與一第二閘極，分別配置在非井區所在區域之基底的表面上；第三摻雜區，具有第二導電型，配置在基底中，且位於第一與第二閘極之間；第四摻雜區，具有第二導電型，配置在基底中，且位於第一與第二閘極的一側，且鄰近第二摻雜區；第五摻雜區，具有第二導電型，配置在基底中並且沿伸到井區中，且位於第一閘極與第二閘極的另一側；以及第六摻雜區，具有第二導電型，配置在井區中，並使第一摻雜區位於第五與該六摻雜區之間。其中，第一摻雜區、第六摻雜區與第一閘極電性連接到第一焊墊；第四摻雜區、第二摻雜區與第二閘極電性連接到第二焊墊。

【0009】 根據一實施例，上述靜電放電保護結構可更包括電阻，配置在第二閘極與第二焊墊之間。此外，在一實施例中，第一焊墊為輸入焊墊，第二焊墊為接地焊墊。在一實施例中，第一摻雜區、井區與基底構成第一雙載子界面電晶體；井區、基底與第四摻雜區構成第二雙載子界面電晶體。第一雙載子界面電晶體與第二雙載子界面電晶體構成矽控整流器。

【0010】 根據一實施例，第一導電型為 P 型，第二導電型為 N 型。

【0011】 本發明更提供一種一種靜電放電保護結構的製造方法，包括：提供基底，具有第一導電型；形成井區，井區具有第二導電型，配置在基底中；在井區中形成第一摻雜區，其具有第一導電型；在基底中形成第二摻雜區，其具有第一導電型；形成第一閘極與第二閘極，使其分別配置在非井區所在區域之基底的表面上；形成第三摻雜區，具有第二導電型，位於基底中，且位於第一閘極與第二閘極之間；形成第四摻雜區，具有第二導電型，位於基底中，且位於第一閘極與第二閘極的一側，且鄰近第二摻

雜區；形成第五摻雜區，具有第二導電型，位於在基底中並且沿伸到井區中，且位於第一閘極與第二閘極的另一側；以及形成第六摻雜區，具有第二導電型，位於井區中，並使第一摻雜區位於第五與六摻雜區之間；將第一摻雜區、第六摻雜區與第一閘極電性連接到第一焊墊；以及將第四摻雜區、第二摻雜區與第二閘極電性連接到第二焊墊。

【0012】 根據一實施例，上述方法更包括形成電阻於在第二閘極與第二焊墊之間。此外，第一焊墊為輸入焊墊，第二焊墊為接地焊墊。此外，第一導電型可為 P 型，第二導電型為 N 型。

【0013】 本發明更提供一種靜電放電保護電路，包括：第一焊墊與第二焊墊；第一 MOS 電晶體，具有第一閘極、第一源極/汲極端與共用源極/汲極端，第一閘極耦接至第一焊墊；第二 MOS 電晶體，具有第二閘極、第二源極/汲極端與共用源極/汲極端，第二閘極耦接至第二焊墊，第二源極/汲極端耦接至第二焊墊，其中第一與第二 MOS 電晶體經由共用源極/汲極端串聯一起；第一雙載子接面電晶體，具有射極耦接至第一焊墊，基極耦接至第一 MOS 電晶體之第一源極/汲極端，集極耦接至第二焊墊；以及第二雙載子接面電晶體，具有射極耦接至第二焊墊，基極耦接至第一雙載子接面電晶體的集極與第二焊墊，集極耦接至第一雙載子接面電晶體的基極與第一 MOS 電晶體的第一源極/汲極端。

【0014】 根據一實施方式，靜電放電保護電路更包括第一電阻，耦接在第二 MOS 電晶體之第二閘極與第二焊墊之間；第二電阻，耦接在第一 MOS 電晶體的第一源極/汲極端與第一焊墊之間；以及第三電阻，耦接在第一雙載子接面電晶體的集極與第二焊墊之間。根據一實施方式，靜電放

電保護電路更包括二極體，耦接在第一與第二焊墊之間。上述第一焊墊可為輸入焊墊，第二焊墊為接地。

【0015】 綜上所述，藉由本發明的靜電放電保護電路、結構及其製造方法，其為一種串疊 NMOS 電晶體觸發的 SCR 結構，可以有效地將 ESD 放電，大幅地改善靜電放電保護電路的效能。

【0016】 此外，因為不需要雙重護環以及反向二極體，故可以省下習知數倍的佈局面積。

【0017】 為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0018】

圖 1 繪示習知的靜電放電保護電路的佈局剖面圖。

圖 2 繪示圖 1 所示之習知靜電放電保護電路的等效電路圖。

圖 3 繪示根據本揭露實施例所繪示的靜電放電保護電路的剖面圖。

圖 4 為對應圖 3 之靜電放電保護電路的等效電路圖。

圖 5 繪示依據本實施例的靜電放電保護電路之測試結果的電壓電流圖。

圖 6A、6B 與 6C 繪示本實施例與習知結構的導通速度的測試圖。

【實施方式】

【0019】圖 3 是根據本揭露內容實施例所繪示的金氧半導體元件的剖面圖，其為一種靜電放電保護電路。圖 4 為對應圖 3 的等效電路圖。本實施例的靜電放電保護電路可適用於高電壓輸入焊墊的靜電放電保護電路，且為一種串疊 MOS 電晶體觸發之 SCR 結構。

【0020】請參照圖 3，在靜電放電保護電路 200，其包括基底 202，以及配置在基底 206 的一井區 210。此井區 210 例如是與基底不同的導電型。在本實施例中，基底 202 之摻雜則為第一導電型，如 P 型摻雜(以下稱 P 型基底 202)。做為井區 210 之摻雜為第二導電型，在本實施例為 N 型摻雜(以下稱 N 型井區 210)。此外，需理解的是，在實施例描述中使用 N 型井區 210 和 P 型基底 202 僅為了理解方便，非用以限制本發明的實施方式。對於本技術領域者，實施例可以做適當地變化，P 和 N 型導電型可以適當地改變，進而整體結構的配置與導電型的摻雜也對應地修改。

【0021】如圖 3 所示，靜電放電保護電路 200 在 P 型基底 202 更包括第一摻雜區(P+) 206、第二摻雜區(P+) 216、第三摻雜區(N+) 212、第四摻雜區(N+) 214、第五摻雜區(N+) 208 與第六摻雜區(N+) 204。此外，在 P 型基底 202 的表面更包括第一閘極 G1 與第二閘極 G2。

【0022】在本實施例中，第一摻雜區 206，為例如具有第一導電型，即 P 型，其配置在 N 型井區 210 中。第二摻雜區 216 也是具有第一電型(P 型)，並配置在 P 型基底 202 中。第一閘極 G1 與第二閘極 G2 則分別配置在非 N 型井區 210 所在區域之 P 型基底 202 的表面上。第三摻雜區 212 具有第二導電型，即 N 型，其配置在 P 型基底 202 中，且位於第一閘極 G1 與第二閘極 G2 之間。第四摻雜區 214 具有第二導電型，即 N 型，其配置

在 P 型基底 202 中，且位於第一閘極 G1 與第二閘極 G2 的一側，並且鄰近第二摻雜區(P+)216。第五摻雜區 208 也具有第二導電型，即 N 型，配置在 P 型基底 202 中並且沿伸到 N 型井區 210，且位於第一閘極 G1 與第二閘極 G2 的另一側。

【0023】 此外，同樣具有第二導電型(即 N 型)的第六摻雜區 204 是配置在 N 型井區 210 中，並使第一摻雜區(P+)206 位於第五摻雜區(N+)208 與第六摻雜區(N+) 204 之間。

【0024】 此外，上第一摻雜區(P+) 206、第六摻雜區(N+) 204 以及第一閘極 G1 是電性連接到第一焊墊 PAD。此第一焊墊 PAD 例如可接收輸入的電壓，亦即當靜電放電事件產生時，可經由此第一焊墊 PAD 進入到靜電放電保護電路 200。另外，第四摻雜區(N+) 214、第二摻雜區(P+) 216 以及第二閘極 G2 則電性連接到第二焊墊 GND，一般可為接地端。

【0025】 在上述的結構中，第一閘極 G1、第三摻雜區(N+) 212 與第五摻雜區(N+) 208 形成第一 NMOS 電晶體 M1，其中第三摻雜區(N+) 212 與第五摻雜區(N+) 208 做為第一 NMOS 電晶體的源極/汲極端。此外，第二閘極 G2、第三摻雜區(N+) 212 與第四摻雜區(N+) 214 形成第二 NMOS 電晶體 M2，其中第三摻雜區(N+) 212 與第四摻雜區(N+) 214 做為第二 NMOS 電晶體的源極/汲極端。第三摻雜區(N+) 212 為第一與第二 NMOS 電晶體 M1、M2 的共用端，藉此形成一串疊 MOS 電晶體(cascade MOS transistor)架構。

【0026】 此外，第一摻雜區(P+) 206、N 型井 210 與 P 型基底 202 形成第一雙載子接面電晶體 T1 之射極、基極與集極。第四摻雜區(N+) 214、

P 型基底 202 與 N 型井 210 形成第二雙載子接面電晶體 T2 之射極、基極與集極。藉此，第一與第二載子電晶體 T1、T2 形成一矽控整流器 SCR。

【0027】此外，N 型井區 210 形成一井區電阻 R_{nwell} ，而 P 型基底形成一基底電阻 R_{sub} 。此外，可以根據需要在第二焊墊 GND 與第二閘極 G2 之間設置一電阻 R。

【0028】另外，P 型基底 202 與 N 型井 210 構成一寄生的反向二極體 D。因此，本實施例並不像習知技術一般，需要額外配置一反向二極體。

【0029】接著，說明本實施例之靜電放電保護電路的操作。本實施例的等效電路圖如圖 4 所示，基本上主要包括由第一與第二雙載子二極體 T1、T2 所構成的矽控整流器 SCR；以及第一與第二 NMOS 電晶體 M1、M2 所構成的串疊 NMOS 電晶體。

【0030】接著，配合圖 3、圖 4 來說明本實施例的等效電路圖及其操作方式。如圖 4 所示，其為圖 3 靜電放電電路之等效電路圖。由圖 4 可知，此靜電放電保護電路至少包括一矽控整流電路 SCR 以及串疊 NMOS 電路。此矽控整流電路 SCR 以及串疊 MOS 電路連接於第一焊墊 PAD 與第二焊墊 GND (本例為接地端)之間。

【0031】矽控整流電路 SCR 包括第一雙載子接面電晶體 T1 (PNP 結構)與第二雙載子接面電晶體 T2 (NPN 結構)，其中雙載子接面電晶體 T1 之射極耦接至第一焊墊 PAD，集極可經電阻 R_{sub} 耦接至第二焊墊 GND，基極則耦接至第二雙載子接面電晶體 T2 的集極。電阻 R_{sub} 即為圖 3 所示之基底電阻。此外，第二雙載子接面電晶體 T2 的基極耦接至第一雙載子接面電晶體 T1 的集極，並可經電阻 R_{sub} 耦接至第二焊墊 GND。

【0032】串疊 NMOS 電路包括第一 NMOS 電晶體 M1 與第二 NMOS 電晶體 M2。第一 NMOS 電晶體 M1 具有源極/汲極端 S/D1、共用源極/汲極端 S/D 與第一閘極 G1，第二 NMOS 電晶體 M1 具有源極/汲極端 S/D2、共用源極/汲極端 S/D 與第二閘極 G2。第一 NMOS 電晶體 M1 與第二 NMOS 電晶體 M2 經由共用源極/汲極端 S/D 以串聯方式串接一起。第一 NMOS 電晶體 M1 之第一閘極 G1 耦接至第一焊墊 PAD，第二 NMOS 電晶體 M2 之第二閘極 G2 耦接至第二焊墊 GND。此外，第一 NMOS 電晶體 M1 的源極/汲極端 S/D1 耦接至第一雙載子界面電晶體 T1 的基極，第二 NMOS 電晶體 M2 的源極/汲極端 S/D2 耦接至第二雙載子界面電晶體 T2 的射極以及第二焊墊 GND。此實施例是以 NMOS 電晶體為例，熟悉此技藝者可以將其改為 PMOS 電晶體或類似，當然對應的其他部分也需要對應地變更，在此便不冗述。

【0033】此外，在另一實施方式，第二 NMOS 電晶體 M2 之第二閘極 G2 還可經由電阻 R 耦接至第二焊墊 GND。此外，N 型井區 210 中可形成一電阻 R_{nwell}。

【0034】在操作時，如圖 3 所示，因為第六摻雜區(N+)204 和第一摻雜區(P+) 206 是一起接到第一焊墊 PAD，使其具有等電位的效果。因此，當有 ESD 事件時，高電壓施加於第一焊墊 PAD 時，第六摻雜區(N+) 204 和第一摻雜區(P+) 206 之間基本上是等電位，沒有電位差，故不會有順向偏壓。亦即，此時圖 4 所示的第一雙載子界面電晶體 T1 不會被導通，亦即矽控整流器 SCR 在 ESD 事件發生一開始的瞬間並不會被輕易觸發而發生作用。

【0035】 當有 ESD 事件時，施加在第一焊墊 PAD 的電壓會使串疊 MOS 的第一 NMOS 電晶體 M1 與第二 NMOS 電晶體 M2 導通。此時，第一 NMOS 電晶體 M1 與第二 NMOS 電晶體 M2 的導通會提供一放電電流路徑，使靜電放電電流從第一焊墊 PAD，經第一 NMOS 電晶體 M1 與第二 NMOS 電晶體 M2，而到達第二焊墊 GND。也就是說，如圖 3 所示，此時提供了一條從第一焊墊 PAD，經 N 型井區 210、P 型基底 202、第二摻雜區(P+) 216 而到達第二焊墊 GND (接地)的放電路徑。

【0036】 當串疊 MOS 電晶體導通，第一焊墊 PAD 上的電壓會被拉低，進而使第六摻雜區(N+) 204 與第一摻雜區(P+) 206 產生電位差，此順向偏壓使第一雙載子接面電晶體 T1 通，進而第二雙載子接面電晶體 T2 也隨者導通。亦即，矽控整流器 SCR 部分開始運作，以提供一靜電放電路徑。也就是說，如圖 3 所示，此時提供了一條從第一焊墊 PAD，經 N 型井區 210、P 型基底 202、第二摻雜區(P+) 216 而到達第二焊墊 GND (接地)的放電路徑。

【0037】 在本實施例的架構下，由於 MOS 部分要先導通，以後續觸發 SCR，因此 MOS 的維持電壓可以提高。此外，本實施例的架構主要是利用 SCR，故 MOS 部分的面積可以不用太大，而 SCR 本身的面積本來也不大，故本實施例的靜電放電保護電路的面積更可以進一步地縮小。亦即，根據本實施例的靜電放電保護電路/結構，不但可以提供優異的靜電放電保護效果，更可以縮小靜電放電保護電路所占據的面積。

【0038】 圖 5 繪示依據本實施例的靜電放電保護電路之測試結果的電壓電流圖。此測試是利用傳輸線脈衝產生系統(TLP, transmission line

pulse)來進行。依此測試結果，可以看出觸發電壓電流 $(it_1, vt_1) = (0.017977, 16.9358)$ ，二次崩潰電流電壓 $(it_2, vt_2) = (5.3209, 24.5672)$ ，保持電流電壓 $(it_h, vt_h) = (0.56639, 12.8665)$ 。

【0039】由上述結果可以得知，在本實施例的架構下，保持電壓 vt_h 可以達到 12.8665V，高於習知的靜電放電保護電路。此外，二次崩潰電流 it_2 也達到 53.2mA/ μm ，其為習知結構 7.1 mA/ μm 的數倍。因此，在本實施例的架構下，確實可以提供優異的靜電放電保護效果。

【0040】圖 6A、6B 與 6C 繪示本實施例與習知結構的導通速度的測試圖。圖 6A 為本實施例的導通速度測試，圖 6B、6C 是用來比較用的測試鍵 PMSCR 與 MD NMOS 的導通速度測試結果。在 40V TLP 測試下，如圖 6B 所示，雖然電壓、電流的變化呈現穩定，但是導通的速度較慢。圖 6C 則顯示電壓會隨時間的增加而呈現不穩定。反之，圖 6A 可以看出，在相同的測試條件下，本實施例的測試結果是非常穩定，而且導通的速度非常迅速。

【0041】此外，根據本發明另一實施例，其提供一種靜電放電保護電路的製造方法。如圖 3 所示，此方法首先提供一基底 202，而此基底 202 在此實施例中可例如為 P 型。

【0042】接著，在 P 型基底 202 內形成井區，例如 N 型井區 210。於 N 型井區 210 和 P 型基底 202 中形成第一與第二摻雜區(P+) 206、216。

【0043】在非 N 型井區 210 所在區域的 P 型基底 202 表面上形成第一閘極 G1 與第二閘極 G2。在 P 型基底 202 中形成第三摻雜區(N+) 212、第四摻雜區(N+) 214 與第五摻雜區(N+) 208。第三摻雜區(N+)212 是形成

在 P 型基底 202 中，且位於第一閘極 G1 與第二閘極 G2 之間。第四摻雜區 (N+) 214 形成在 P 型基底 202 中，且位於第一閘極 G1 與第二閘極 G2 的一側，且鄰近第二摻雜區 (P+) 216。第五摻雜區 (N+) 208 形成在 P 型基底 202 中並且沿伸到 N 型井區 210 中，且位於第一閘極 G1 與第二閘極 G2 的另一側。

【0044】 在 N 型井區 210 中形成第六摻雜區 (N+) 204，其位於 N 型井區 210 中，並使第一摻雜區 (P+) 206 位於第五摻雜區 (N+) 208 與第六摻雜區 (N+) 204 之間。

【0045】 接著，將第一摻雜區 (P+) 206、第六摻雜區 (N+) 204 與第一閘極 G1 電性連接到第一焊墊 PAD，並且將第四摻雜區 (N+) 214、第二摻雜區 (P+) 216 與第二閘極 G2 電性連接到二焊墊 GND。

【0046】 上述的製造方式僅為一個說明例，任何適用的半導體製程，例如微影蝕刻、離子植入、閘極的形成方法等等均可以加以應用。此外，上述各摻雜區的形成順序並非固定。亦即，只要最終可以形成圖 3 所示的結構，任何方式均可以採用。

【0047】 此外，上述基底、第一與第二摻雜區是以 P 型摻雜為例，井區和其他摻雜區是以 N 型為例。但對於本技術領域者，摻雜型可以依據所需做適當地調整。

【0048】 綜上所述，本發明為一種串疊 NMOS 電晶體觸發的 SCR 結構，其可以有效地將 ESD 放電，大幅地改善靜電放電保護電路的效能，而且還可以省下習知數倍的佈局面積。

【0049】 例如，在本實施例的架構下，在二極體和串疊 NMOS 之間

也不需要雙重護環，故可以節省習知架構中護環所占用的佈局面積。

【0050】此外，在本實施例的架構下，不需要特別設計一個反向二極體，而利用 P 型基底(如圖 3 的 202)和 N 型井(如圖 3 的 210)所形成的寄生二極體便可以提供良好的 ESD 保護。因此，省下習知反向二極體所占用的佈局面積。

【0051】因此，藉由本實施例的靜電放電電路佈局架構，可以達成具有非常小的佈局面積且具有非常好的 ESD 效能。

【0052】此外，根據本實施例的靜電放電電路，其在 ESD 事件發生時，可以快速導通。故可以確保有效的 ESD 保護。

【0053】雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0054】

100、200：靜電放電保護電路

102、202：P 型基底

104、112、120：P+摻雜區

106、110、114、116、118：N+摻雜區

204：第六摻雜區(N+)

206：第一摻雜區(P+)

208：第五摻雜區(N+)

210：N型井區

212：第三摻雜區(N+)

214：第四摻雜區(N+)

216：第二摻雜區(P+)

G1、G2：第一、第二閘極

PAD、GND：第一、第二焊墊

R：電阻

Rsub：基底電阻

Rnwell：井區電阻

M1、M2：MOS電晶體

T1、T2：雙載子接面電晶體

D、D1、D2：二極體

【發明申請專利範圍】

【第1項】一種靜電放電保護結構，包括：

一基底，具有一第一導電型；

一井區，具有一第二導電型，配置在該基底中；

一第一摻雜區，具有該第一導電型，配置在該井區中；

一第二摻雜區，具有該第一導電型，配置在該基底中；

一第一閘極與一第二閘極，分別配置在非該井區所在區域之的該基底的表面上；

一第三摻雜區，具有該第二導電型，配置在該基底中，且位於該第一閘極與該第二閘極之間；

一第四摻雜區，具有該第二導電型，配置在該基底中，且位於該第一閘極與第二閘極的一側，且鄰近該第二摻雜區；

一第五摻雜區，具有該第二導電型，配置在該基底中並且沿伸到該井區中，且位於該第一閘極與該第二閘極的另一側；以及

一第六摻雜區，具有該第二導電型，配置在該井區中，並使該第一摻雜區位於該第五與該六摻雜區之間，

其中該第一摻雜區、該第六摻雜區與該第一閘極電性連接到一第一焊墊，

該第四摻雜區、該第二摻雜區與該第二閘極電性連接到一第二焊墊。

【第2項】如申請專利範圍第1項所述之靜電放電保護結構，更包括一電阻，配置在該第二閘極與該第二焊墊之間。

【第3項】如申請專利範圍第1項所述之靜電放電保護結構，其中該第一焊墊為輸入焊墊，該第二焊墊為接地焊墊，以及

該第一導電型為 P 型，該第二導電型為 N 型。

【第4項】如申請專利範圍第 1 項所述之靜電放電保護結構，其中該第一摻雜區、該井區與該基底構成一第一雙載子接面電晶體；該井區、該基底與該第四摻雜區構成一第二雙載子接面電晶體，

其中該第一雙載子接面電晶體與該第二雙載子接面電晶體構成矽控整流器。

【第5項】一種靜電放電保護結構的製造方法，包括：

提供一基底，具有一第一導電型；

形成一井區，該井區具有一第二導電型，配置在該基底中；

在該井區中形成一第一摻雜區，其具有該第一導電型；

在該基底中形成一第二摻雜區，其具有該第一導電型；

形成一第一閘極與一第二閘極，使其分別配置在非該井區所在區域之該基底的表面上；

形成一第三摻雜區，具有該第二導電型，位於該基底中，且位於該第一閘極與該第二閘極之間；

形成一第四摻雜區，具有該第二導電型，位於該基底中，且位於該第一閘極與第二閘極的一側，且鄰近該第二摻雜區；

形成一第五摻雜區，具有該第二導電型，位於在該基底中並且沿伸到該井區中，且位於該第一閘極與該第二閘極的另一側；以及

形成一第六摻雜區，具有該第一導電型，位於該井區中，並使該第一摻雜區位於該第五與該六摻雜區之間；

將該第一摻雜區、該第六摻雜區與該第一閘極電性連接到一第一焊墊；
以及

將該第四摻雜區、該第二摻雜區與該第二閘極電性連接到一第二焊墊。

【第6項】如申請專利範圍第5項所述之靜電放電保護結構的製造方法，更包括形成一電阻於在該第二閘極與該第二焊墊之間。

【第7項】如申請專利範圍第5項所述之靜電放電保護結構的製造方法，其中該第一焊墊為輸入焊墊，該第二焊墊為接地焊墊，以及該第一導電型為P型，該第二導電型為N型。

【第8項】一種靜電放電保護電路，包括：

一第一焊墊與一第二焊墊；

一第一 MOS 電晶體，具有一第一閘極、一第一源極/汲極端與一共用源極/汲極端，該第一閘極耦接至該第一焊墊，

一第二 MOS 電晶體，具有一第二閘極一第二源極/汲極端與該共用源極/汲極端，該第二閘極耦接至該第二焊墊，該第二源極/汲極端耦接至該第二焊墊，該第一與該第二 MOS 電晶體經由該共用源極/汲極端串聯一起；

一第一雙載子界面電晶體，具有一射極耦接至該第一焊墊，一基極耦接至該第一 MOS 電晶體之該第一源極/汲極端，一集極耦接至該第二焊墊；

以及

一第二雙載子接面電晶體，具有一射極耦接至該第二焊墊，一基極耦接至該第一雙載子接面電晶體的該集極與該第二焊墊，一集極耦接至該第一雙載子接面電晶體的該基極與該第一 MOS 電晶體的該第一源極/汲極端。

【第9項】如申請專利範圍第8項所述之靜電放電保護電路，更包括：

一第一電阻，耦接在該第二 MOS 電晶體之該第二閘極與該第二焊墊之間；

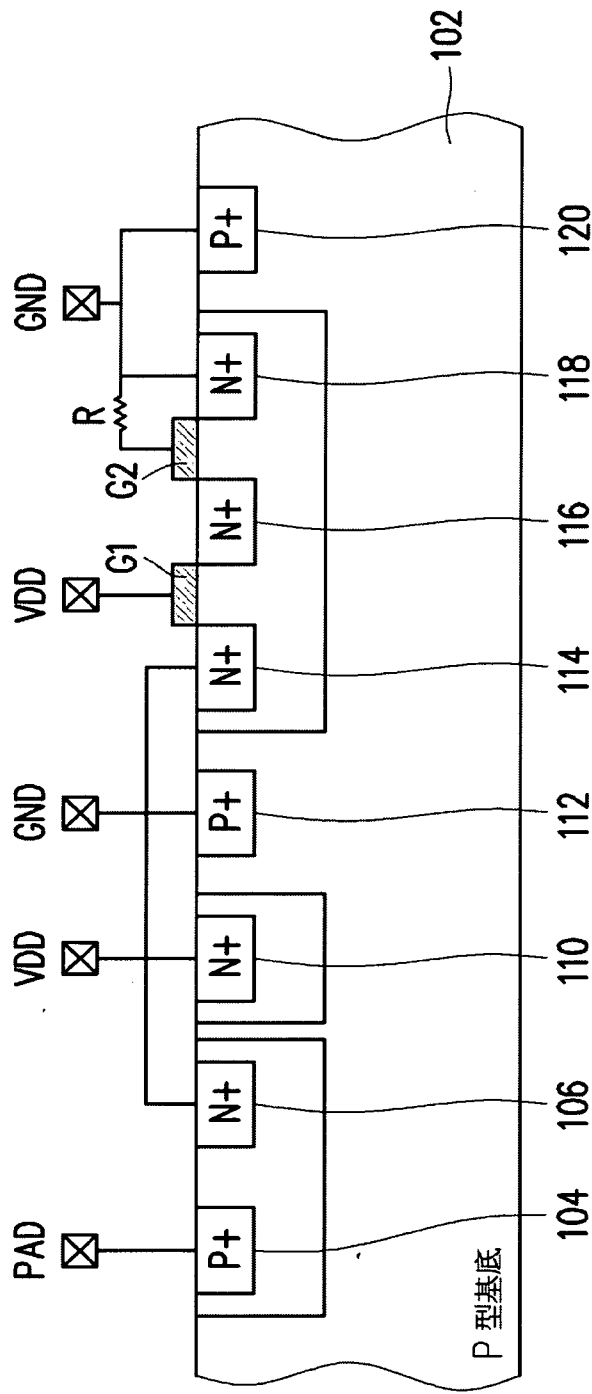
一第二電阻，耦接在該第一 MOS 電晶體的該第一源極/汲極端與該第一焊墊之間；以及

一第三電阻，耦接在該第一雙載子接面電晶體的該集極與該第二焊墊之間。

【第10項】如申請專利範圍第8項所述之靜電放電保護電路，更包括一二極體，耦接在該第一與該第二焊墊之間，以及

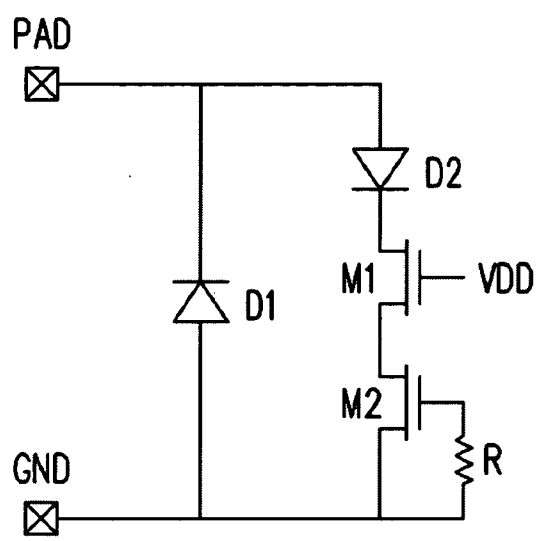
該第一焊墊為輸入焊墊，該第二焊墊為接地焊墊。

【發明圖式】



100

【圖1】



【圖2】

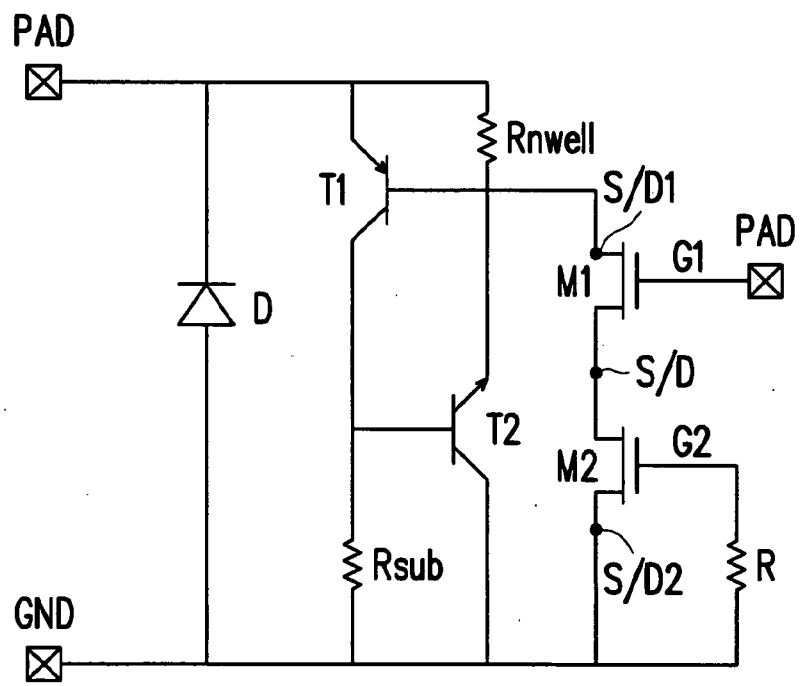
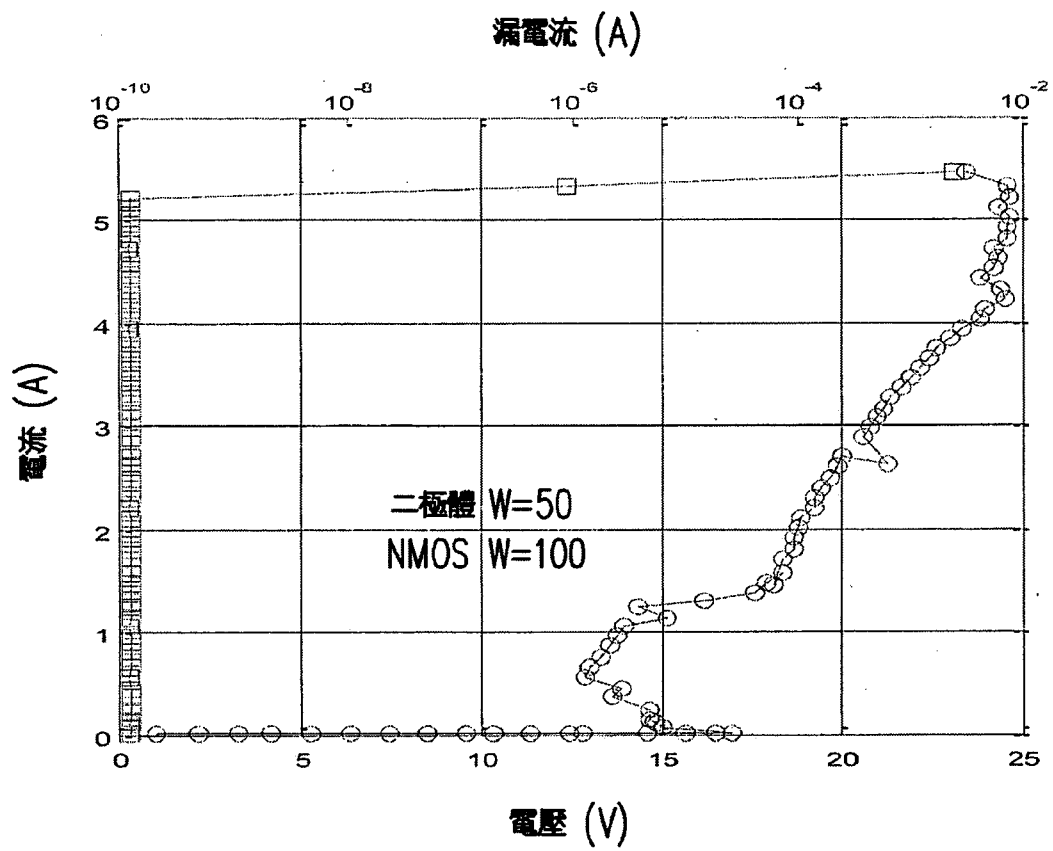
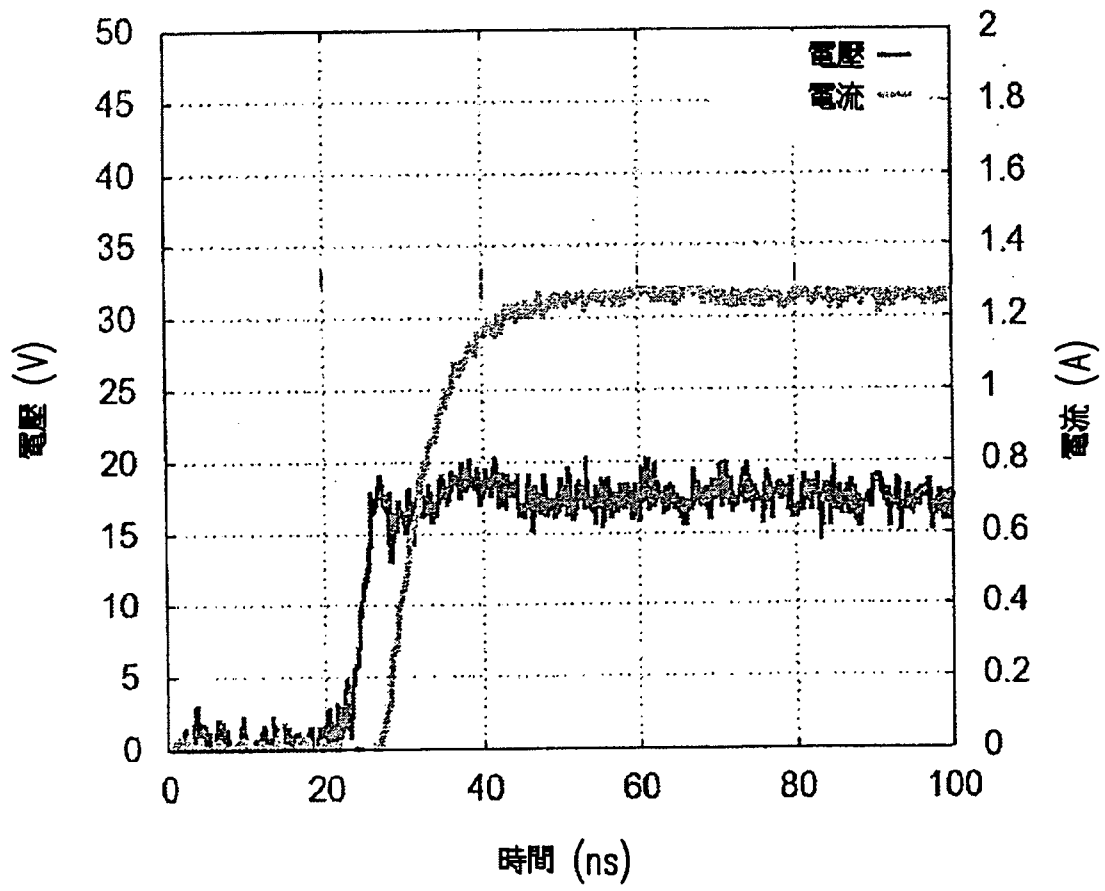


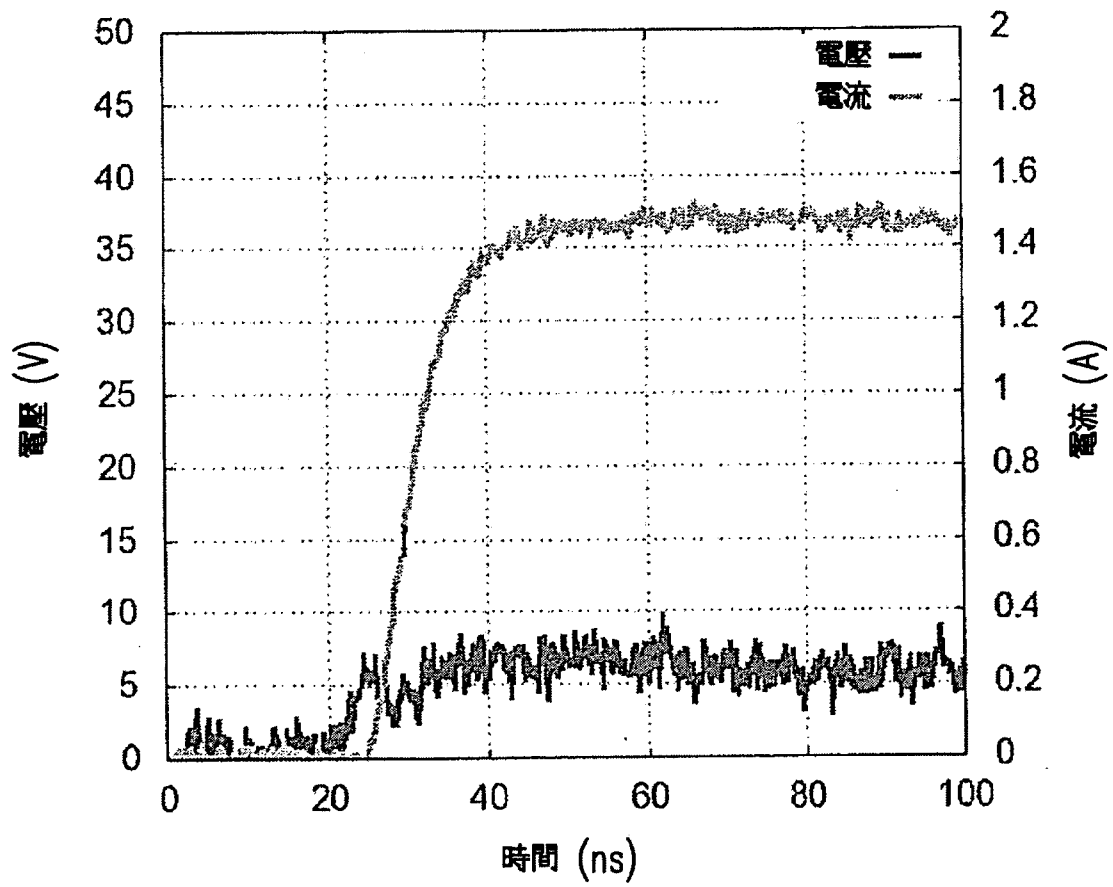
圖 4



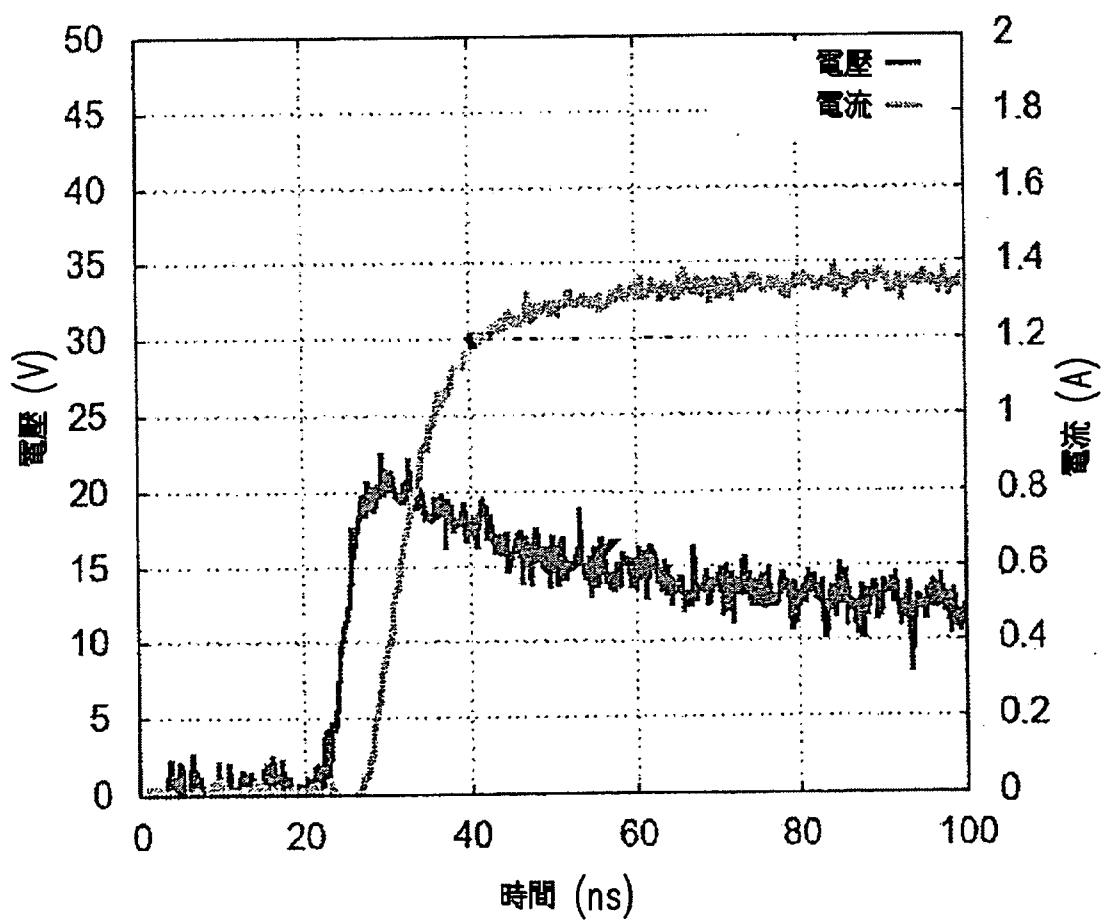
【圖5】



【圖6A】



【圖6B】



【圖6C】