

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年5月16日(16.05.2019)



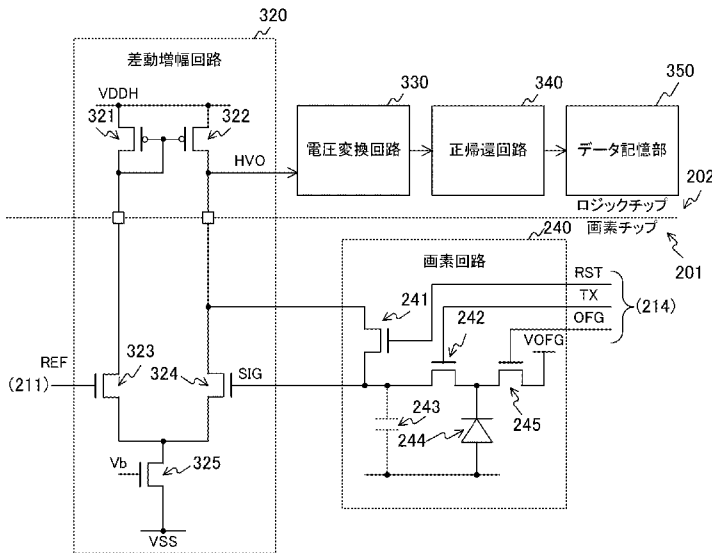
(10) 国際公開番号
WO 2019/092999 A1

- (51) 国際特許分類: *H04N 5/3745* (2011.01) 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2018/035401 (72) 発明者: 君塚 直彦 (KIMIZUKA, Naohiko); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).
- (22) 国際出願日: 2018年9月25日(25.09.2018)
- (25) 国際出願の言語: 日本語 (74) 代理人: 丸島 敏一 (MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).
- (26) 国際公開の言語: 日本語 (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
- (30) 優先権データ: 特願 2017-217865 2017年11月13日(13.11.2017) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT AND IMAGING DEVICE

(54) 発明の名称: 半導体集積回路、および、撮像装置

[図6]



- 201... PIXEL CHIP
- 202... LOGIC CHIP
- 240... PIXEL CIRCUIT
- 320... DIFFERENTIAL AMPLIFICATION CIRCUIT
- 330... VOLTAGE CONVERSION CIRCUIT
- 340... POSITIVE FEEDBACK CIRCUIT
- 350... DATA STORAGE UNIT

(57) Abstract: The purpose of the present invention is to reduce noise in a signal from a differential pair of transistors disposed in a solid-state image sensor. The semiconductor integrated circuit is equipped with a pixel circuit and one pair of tunnel field-effect transistors (TFET). The pixel circuit of this semiconductor integrated circuit generates a pixel signal through photoelectric conversion of incident light. In addition, said one pair of TFETs of the semiconductor integrated circuit amplifies the difference between the pixel signal generated by the pixel circuit and a predetermined reference signal



WO 2019/092999 A1

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

which changes over time and outputs the amplified difference as a differential amplified signal.

(57) 要約 : 差動対のトランジスタを設けた固体撮像素子において、差動対からの信号の雑音を低減する。半導体集積回路は、画素回路と、一对のTFET (Tunnel Field Effect Transistor) とを具備する。この半導体集積回路において、画素回路は、入射光を光電変換して画素信号を生成する。また、半導体集積回路において、一对のTFETは、画素回路により生成された画素信号と時間の経過に伴って変化する所定の参照信号との差を増幅して差動増幅信号として出力する。

明 細 書

発明の名称：半導体集積回路、および、撮像装置

技術分野

[0001] 本技術は、半導体集積回路、および、撮像装置に関する。詳しくは、画素信号と参照信号とを比較する比較器を設けた半導体集積回路、および、撮像装置に関する。

背景技術

[0002] 従来より、撮像装置などにおいてアナログの画素信号をデジタル信号に変換するためにADC (Analog to Digital Converter) が用いられている。例えば、画素毎にADCを配置した撮像装置が提案されている（例えば、特許文献1参照。）。この撮像装置において、ADCのそれぞれには、アナログの画素信号と参照信号とを比較する比較器が設けられる。この比較器内には、差動対を構成する一対のMOSFET (Metal Oxide Semiconductor Field Effect Transistor) が配置される。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第2016/136448号

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術では、画素毎にADCを配置したため、カラムごとにADCを配置する場合と比較して、画像データの読出し速度を向上させることができる。しかしながら、この従来技術では、差動対のトランジスタ (MOSFET) からの信号の熱雑音を低減することが困難である。この熱雑音は、自由電子の不規則な熱振動により生じる雑音の一種であり、トランジスタのサブスレッショルド係数を小さくすれば低減することが知られている。ここで、サブスレッショルド係数は、ドレイン電流の対数値とゲート電圧との比率である。上述の従来技術では、差動対にMOSFETを用いており、この

MOSFETでは、サブスレッショルド係数に理論的な下限値が存在する。このため、その下限値に応じたノイズレベル未満に熱雑音を抑制することができず、その熱雑音の成分を含む雑音を低減することが困難である、という問題がある。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、差動対のトランジスタを設けた固体撮像素子において、差動対からの信号の雑音を低減することを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、入射光を光電変換して画素信号を生成する画素回路と、上記画素信号と時間の経過に伴って変化する所定の参照信号との差を増幅して差動増幅信号として出力する一対のTFET (Tunnel Field Effect Transistor) とを具備する半導体集積回路である。これにより、画素データの熱雑音が低減するという作用をもたらす。

[0007] また、この第1の側面において、上記一対のTFETに一定の電流を供給するMOSFET (Metal Oxide Semiconductor Field Effect Transistor) をさらに具備し、上記MOSFETのゲートの面積は、上記一対のTFETのそれぞれのゲート面積と略同一であってもよい。これにより、実装面積の増大が抑制されるという作用をもたらす。

[0008] また、この第1の側面において、上記画素回路は、二次元格子状に所定数配列され、上記一対のTFETは、上記画素回路ごとに設けられてもよい。これにより、画素毎に差動増幅信号が生成されるという作用をもたらす。

[0009] また、この第1の側面において、上記差動増幅信号が初期値と異なる値に変化するまでの時間を示すデータを画素データとして取得して記憶するデータ記憶部をさらに具備してもよい。これにより、画素データが取得されるという作用をもたらす。

[0010] また、この第1の側面において、上記データ記憶部は、上記画素回路ごとに設けられてもよい。これにより、画素回路ごとに、アナログ信号がデジタ

ル信号に変換されるという作用をもたらす。

[0011] また、この第1の側面において、上記記憶部は、所定方向に配列された上記画素回路の集合であるカラムごとに設けられてもよい。これにより、列ごとに、アナログ信号がデジタル信号に変換されるという作用をもたらす。

[0012] また、この第1の側面において、基板と、上記基板に形成されたNウェル層と、N型半導体からなる一对のN層と、P型半導体からなるP層とをさらに具備し、上記P層と上記一对のN層とは、上記Nウェル層に設けられ、上記P層は、上記Nウェル層において上記一对のN層の間に配置され、上記一对のTFETのそれぞれのソースは、上記P層に形成され、上記一对のTFETのそれぞれのドレインは、上記一对のN層のそれぞれに形成されてもよい。これにより、ソースを共有する一对のTFETが基板に形成されるという作用をもたらす。

[0013] また、本技術の第2の側面は、入射光を光電変換して画素信号を生成する画素回路と、上記画素信号と時間の経過に伴って変化する所定の参照信号との差を増幅して差動増幅信号として出力する一对のTFET (Tunnel Field Effect Transistor) と、上記差動増幅信号が初期値と異なる値に変化するまでの時間を示すデータを画素データとして取得して記憶するデータ記憶部と、上記画素データに対して所定の処理を実行する処理部とを具備する撮像装置である。これにより、画像データの雑音が低減するという作用をもたらす。

発明の効果

[0014] 本技術によれば、差動対のトランジスタを設けた固体撮像素子において、差動対からの信号の雑音を低減することができるという優れた効果を奏し得る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0015] [図1]本技術の第1の実施の形態における撮像装置の一構成例を示すブロック図である。

[図2]本技術の第1の実施の形態における固体撮像素子の一構成例を示すブロック図である。

[図3]本技術の第1の実施の形態における固体撮像素子の積層構造の一例を示す図である。

[図4]本技術の第1の実施の形態における画素の一構成例を示すブロック図である。

[図5]本技術の第1の実施の形態におけるADCの一構成例を示すブロック図である。

[図6]本技術の第1の実施の形態における画素回路および差動増幅回路の一構成例を示す回路図である。

[図7]本技術の第1の実施の形態におけるTFET (Tunnel Field Effect Transistor) とMOSFETとの電流－電圧特性の一例を示すグラフである。

[図8]本技術の第1の実施の形態における画素内の素子の配置レイアウトの一例を示す図である。

[図9]本技術の第1の実施の形態における画素の断面図の一例である。

[図10]本技術の第1の実施の形態における電圧変換回路および正帰還回路の一構成例を示す回路図である。

[図11]本技術の第2の実施の形態における固体撮像素子の一構成例を示すブロック図である。

[図12]本技術の第2の実施の形態における画素の一構成例を示すブロック図である。

[図13]本技術の第2の実施の形態におけるカラム信号処理部の一構成例を示すブロック図である。

[図14]本技術の第2の実施の形態におけるADCの一構成例を示すブロック図である。

[図15]車両制御システムの概略的な構成例を示すブロック図である。

[図16]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0016] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（差動対にT F E Tを用いた例）
2. 第2の実施の形態（列ごとにA D Cを配置し、差動対にT F E Tを用いた例）
3. 移動体への応用例

[0017] <1. 第1の実施の形態>

[撮像装置の構成例]

図1は、本技術の第1の実施の形態における撮像装置100の一構成例を示すブロック図である。この撮像装置100は、画像データを撮像するための装置であり、光学部110、固体撮像素子200およびデジタルシグナルプロセッサ120を備える。さらに撮像装置100は、表示部130、操作部140、バス150、フレームメモリ160、記録部170および電源部180を備える。撮像装置100としては、例えば、デジタルスチルカメラなどのデジタルカメラの他、撮像機能を持つスマートフォンやパーソナルコンピュータ、車載カメラ等が想定される。

[0018] 光学部110は、被写体からの光を集光して固体撮像素子200に導くものである。固体撮像素子200は、垂直同期信号V S Y N Cに同期して画像データを生成するものである。ここで、垂直同期信号V S Y N Cは、撮像のタイミングを示す所定周波数（例えば、30ヘルツ）の周期信号である。固体撮像素子200は、生成した画像データをデジタルシグナルプロセッサ120に信号線209を介して供給する。

[0019] デジタルシグナルプロセッサ120は、固体撮像素子200からの画像データに対し、デモザイク処理やノイズ低減処理などの所定の信号処理を実行するものである。このデジタルシグナルプロセッサ120は、処理後の画像データをバス150を介してフレームメモリ160などに出力する。なお、デジタルシグナルプロセッサは、特許請求の範囲に記載の処理部の一例である。

[0020] 表示部130は、画像データを表示するものである。表示部130としては、例えば、液晶パネルや有機EL (Electro Luminescence) パネルが想定される。操作部140は、ユーザの操作に従って操作信号を生成するものである。

[0021] バス150は、光学部110、固体撮像素子200、デジタルシグナルプロセッサ120、表示部130、操作部140、フレームメモリ160、記録部170および電源部180が互いにデータをやりとりするための共通の経路である。

[0022] フレームメモリ160は、画像データを保持するものである。記録部170は、画像データなどの様々なデータを記録するものである。電源部180は、固体撮像素子200、デジタルシグナルプロセッサ120や表示部130などに電源を供給するものである。

[0023] [固体撮像素子の構成例]

図2は、本技術の第1の実施の形態における固体撮像素子の一構成例を示すブロック図である。この固体撮像素子200は、DAC (Digital to Analog Converter) 211と、複数の時刻コード発生部212とを備える。また、固体撮像素子200は、垂直駆動回路213、画素アレイ部220、画素駆動回路214、タイミング生成回路215および出力部250を備える。

[0024] また、画素アレイ部220は、複数の時刻コード転送部221と、複数の画素230とを備える。時刻コード転送部221は、時刻コード発生部212ごとに配置される。また、複数の画素230は、二次元格子状に配列される。

[0025] 以下、水平方向に配列された画素230の集合を「行」と称し、行に垂直方向に配列された画素230の集合を「列」と称する。

[0026] DAC 211は、DA (Digital to Analog) 変換により、時間の経過に伴って変化するスロープ状の参照信号を生成するものである。このDAC 211は、参照信号を画素アレイ部220に供給する。

[0027] 時刻コード発生部212は、時刻コードを発生するものである。この時刻

- コードは、参照信号がスロープ状に変化する期間内の時刻を示す。時刻コード発生部212は、発生した時刻コードを画素アレイ部220に供給する。
- [0028] タイミング生成回路215は、垂直同期信号VSYNCに同期して様々なタイミング信号を生成し、垂直駆動回路213や出力部250などに供給するものである。
- [0029] 垂直駆動回路213は、タイミング信号に同期して画素230内で生成された画素データを出力部250に出力させる制御を行うものである。画素駆動回路214は、画素230を駆動するものである。
- [0030] 出力部250は、画素データに対して、CDS処理を含む信号処理を実行するものである。この出力部250は、処理後の画素データをデジタルシグナルプロセッサ120に出力する。
- [0031] 時刻コード転送部221は、対応する時刻コード発生部212からの時刻コードを転送するものである。この時刻コード転送部221は、対応する時刻コード発生部212からの時刻コードを画素230へ転送し、また、画素230からの画素データを出力部250に転送する。画素230は、画素データを生成するものである。
- [0032] 図3は、本技術の第1の実施の形態における固体撮像素子200の積層構造の一例を示す図である。この固体撮像素子200は、画素チップ201と、ロジックチップ202とを備える。固体撮像素子200から光学部110への方向を上方向として、ロジックチップ202の上方に、画素チップ201が積層される。それぞれのチップに設けられる回路については後述する。
- [0033] 図4は、本技術の第1の実施の形態における画素230の一構成例を示すブロック図である。この画素230は、画素回路240およびADC300を備える。
- [0034] 画素回路240は、画素駆動回路214の制御に従って、受光量に応じたアナログ信号を画素信号SIGとして生成するものである。画素回路240は、画素信号SIGをADC300に供給する。
- [0035] ADC300は、垂直駆動回路213の制御に従って画素信号SIGをデ

デジタル信号に変換するものである。このADC300は、DAC211からの参照信号REFと画素信号SIGとを比較し、その比較結果VCOに基づいてデジタル信号を生成する。そして、ADC300は、生成したデジタル信号を時刻コード転送部221へ供給する。

[0036] [ADCの構成例]

図5は、本技術の第1の実施の形態におけるADC300の一構成例を示すブロック図である。このADC300は、比較回路310およびデータ記憶部350を備える。比較回路310は、差動増幅回路320、電圧変換回路330および正帰還回路340を備える。データ記憶部350は、ラッチ制御部351およびラッチ記憶部352を備える。

[0037] 差動増幅回路320は、DAC211からの参照信号REFと、画素回路240からの画素信号SIGとの差分を増幅するものである。この差動増幅回路320は、差分を増幅した信号を差動増幅信号HVOとして電圧変換回路330に出力する。この差動増幅信号HVOは、例えば、画素信号SIGが参照信号REFより高いときにハイレベルとなる。初期状態において参照信号REFのレベルは最小であり、時間の経過に伴って増大する。このため、差動増幅信号HVOの初期値はハイレベルであり、その後参照信号REFが画素信号SIG以上になったタイミングで反転してローレベルになる。

[0038] 電圧変換回路330は、差動増幅信号HVOの電圧を、正帰還回路340が動作可能な低電位に変換し、変換信号LVIとして正帰還回路340に供給するものである。

[0039] 正帰還回路340は、変換信号LVIに基づいて、参照信号REFが画素信号SIG以上になった際に反転する比較結果VCOをデータ記憶部350に出力するものである。また、正帰還回路340は、垂直駆動回路213からの初期化信号INIにより、初期化される。

[0040] ラッチ制御部351は、垂直駆動回路213からの制御信号に従ってラッチ記憶部352の読出し動作と書込み動作とを制御するものである。このラッチ制御部351は、比較結果VCOが反転するまでの間、時刻コード転送

部 2 2 1 からの時刻コードをラッチ記憶部 3 5 2 に記憶させる。この時刻コードは、単位時間ごとに更新される。そして、比較結果 V C O が反転したときにラッチ制御部 3 5 1 は、時刻コードの更新を中止させ、その時点の時刻コードを保持させる。これにより、差動増幅信号 H V O が反転したとき（すなわち、比較結果 V C O が反転したとき）までの時間を示すデータ（時刻コード）が画素データとして取得され、ラッチ記憶部 3 5 2 に記憶される。この画素データは、画素 2 3 0 の受光量を表す。

[0041] また、参照信号 R E F の掃引が完了した後に画素データ（時刻コード）の読出し動作が開始される。ラッチ制御部 3 5 1 は、画素 2 3 0 の読出しタイミングにおいてラッチ記憶部 3 5 2 に画素データを出力させる。時刻コード転送部 2 2 1 は、出力された画素データを出力部 2 5 0 に転送する。

[0042] 図 6 は、本技術の第 1 の実施の形態における画素回路 2 4 0 および差動増幅回路 3 2 0 の一構成例を示す回路図である。画素回路 2 4 0 は、リセットトランジスタ 2 4 1、転送トランジスタ 2 4 2、浮遊拡散層 2 4 3、フォトダイオード 2 4 4 および排出トランジスタ 2 4 5 を備える。例えば、n M O S トランジスタが、リセットトランジスタ 2 4 1、転送トランジスタ 2 4 2、フォトダイオード 2 4 4 および排出トランジスタ 2 4 5 として用いられる。なお、差動増幅回路 2 3 0 および画素回路 2 4 0 からなる回路は、特許請求の範囲に記載の半導体集積回路の一例である。

[0043] フォトダイオード 2 4 4 は、入射光を光電変換して電荷を生成するものである。排出トランジスタ 2 4 5 は、画素駆動回路 2 1 4 からの排出制御信号 O F G に従ってフォトダイオード 2 4 4 の電荷を排出するものである。

[0044] 転送トランジスタ 2 4 2 は、画素駆動回路 2 1 4 からの転送信号 T X に従って、フォトダイオード 2 4 4 から浮遊拡散層 2 4 3 へ電荷を転送するものである。

[0045] 浮遊拡散層 2 4 3 は、転送された電荷を蓄積し、蓄積した電荷の量に応じた電圧を生成するものである。この電圧の信号が画素信号 S I G として差動増幅回路 3 2 0 へ出力される。

- [0046] リセットトランジスタ241は、画素駆動回路214からのリセット信号RSTに従って、浮遊拡散層243の電荷量を初期化するものである。
- [0047] また、差動増幅回路320は、MOSFET321、322および325と、TFET323および324とを備える。MOSFET321および322として、例えば、P型のトランジスタが用いられる。また、TFET323および324と、MOSFET325として、例えば、N型のトランジスタが用いられる。
- [0048] MOSFET321および322は、カレントミラー回路を構成する。MOSFET321および322のソースには、電源電圧VDDHが印加される。MOSFET321のドレインは、MOSFET321および322のゲートに共通に接続される。MOSFET322のドレインは、電圧変換回路330に接続される。
- [0049] TFET323および324は、差動対を構成し、これらのトランジスタのソースは、MOSFET325のドレインに共通に接続される。TFET323のドレインは、MOSFET321のドレインに接続され、TFET324のドレインは、MOSFET322のドレインに接続される。また、TFET323のゲートにはDAC211からの参照信号REFが入力され、TFET324のゲートには、画素回路240からの画素信号SIGが入力される。これらの差動対のTFET323および324に入力される参照信号REFと画素信号SIGの差分を増幅した信号が、差動増幅信号HVOとして電圧変換回路330へ出力される。
- [0050] MOSFET325のゲートには、所定のバイアス電圧Vbが印加され、ソースには、所定の基準電位VSSが印加される。このMOSFET325は、バイアス電圧Vbに応じた定電流を供給する定電流源として機能する。この定電流は、例えば、1乃至100ナノアンペア(nA)に設定される。一般に、ランダムノイズを低減するには、この定電流の値を増やす必要があるが、その代わりに消費電力が増大してしまうおそれがある。
- [0051] また、画素回路240と、TFET323および324と、MOSFET

325とは、画素チップ201に配置される。一方、MOSFET321および322と、その後段の電圧変換回路330、正帰還回路340およびデータ記憶部350などは、ロジックチップ202に配置される。なお、画素チップ201およびロジックチップ202への回路の配置は、図6に例示した構成に限定されない。

[0052] 図7は、本技術の第1の実施の形態におけるTFETとMOSFETとの電流－電圧特性の一例を示すグラフである。一点鎖線は、MOSFET（MOSFET321など）の特性を示し、実線は、TFET（TFET323など）の特性を示す。同図における縦軸は、ドレイン電流の対数値であり、横軸は、ゲート電圧である。ここで、サブスレッシュヨルド係数Sは、次の式により表される。

$$S = dV_g / d(\log_{10} I_d) \quad \dots \text{式1}$$

上式において、 V_g は、ゲート電圧であり、単位は、例えば、ボルト（V）である。 I_d は、ドレイン電流であり、単位は、例えば、アンペア（A）である。

[0053] ドレイン電流が飽和するまでのサブスレッシュヨルド領域において、TFETの曲線の傾きは、MOSFETよりも大きい。したがって、式1より、TFETのサブスレッシュヨルド係数Sは、MOSFETのサブスレッシュヨルド係数よりも小さい。例えば、MOSFETのサブスレッシュヨルド係数Sが、桁当たり70ミリボルト（mV/déc）であるのに対し、TFETのサブスレッシュヨルド係数は、52ミリボルト（mV/déc）程度である。

[0054] また、サブスレッシュヨルド領域における出力雑音電流 S_{I_d} は、次の式により表される。

$$S_{I_d} = 2qI_d \quad \dots \text{式2}$$

上式において、 q は、電気素量である。また、式2は、「G. REIMBOLD, et al., White Noise of MOS Transistors Operating in Weak Inversion, IEEE TRANSACTIONS ON ELECTRON DEVICES 1982」に記載されている。

[0055] 次に入力雑音電圧 S_{V_g} は、次の式により表される。

$$S_{V_g} = S_{I_d} / g m^2 \quad \dots \text{式 3}$$

上式における $g m$ は、相互コンダクタンスであり、単位は、例えば、ジーメンス (S) である。

[0056] 式 2 を式 3 に代入すると、次の式が得られる。

$$S_{V_g} = (2 q I_d) / g m^2 \quad \dots \text{式 4}$$

[0057] また、式 1 を変形すると、次の式が得られる。

[数1]

$$S = \frac{\partial V_g}{\partial (\log_{10} I_d)} = \frac{\partial V_g}{\partial I_d} \cdot \frac{\partial I_d}{\partial (\log_{10} I_d)} = \frac{1}{g m} \left(\frac{\partial}{\partial I_d} \log_{10} I_d \right)^{-1} = \frac{1}{g m} \left(\frac{1}{\ln_{10} \cdot I_d} \right)^{-1} = \frac{I_d}{g m} \cdot \ln 10 \dots \text{式 5}$$

[0058] 式 4 および式 5 より、次の式が得られる。

$$S_{V_g} = (2 q / I_d) \cdot (S / \text{Log } 10)^2$$

[0059] 上式より、サブスレッシュヨルド係数 S が小さいほど、熱雑音に応じた入力雑音電圧 S_{V_g} が小さくなる。そして、前述のように、TFET のサブスレッシュヨルド係数 S は、MOSFET のサブスレッシュヨルド係数よりも小さい。したがって、差動対に TFET を用いた場合、差動増幅信号 HVO の熱雑音は、差動対に MOSFET を用いた場合よりも小さくなることがわかる。

[0060] このように、差動対に TFET を用いることにより、熱雑音を抑制し、その熱雑音の成分を含むランダムノイズを低減することができる。このため、ランダムノイズ低減を目的として定電流を増大する必要性が低くなり、差動対に MOSFET を用いた場合と比較して、ランダムノイズを許容値未満にする際の定電流の値が小さくて済む。これにより、固体撮像素子 200 の消費電力を低減することができる。

[0061] ただし、同図からも明らかのように、TFET の飽和電流は MOSFET より小さいため、TFET を用いた論理回路では、MOSFET を用いた場合と比較して動作速度が低下するおそれがある。しかしながら、差動増幅回路 320 は、論理回路ではないため、飽和電流が小さくても問題にならない。

- [0062] 図8は、本技術の第1の実施の形態における画素230内の素子の配置レイアウトの一例を示す図である。以下、受光面に平行な所定方向をX方向とし、受光面に垂直な方向をZ方向とし、X方向およびZ方向に垂直な方向をY方向とする。
- [0063] フォトダイオード244には、排出トランジスタ245および転送トランジスタ242が接続される。また、リセットトランジスタ241、TFET323、TFET324およびMOSFET325は、X方向に沿って配列される。
- [0064] 図9は、本技術の第1の実施の形態における画素230の断面図の一例である。同図は、図8のA-A'軸に沿って画素230を切断した場合の断面図である。
- [0065] 基板401に、N型半導体からなるN層402、404、412および414が形成される。N層402および404の間には、ゲート403が形成され、N層412および424の間にはゲート413が形成される。N層402および404にソースおよびドレインが形成され、これらのソースおよびドレインとゲート403とは、リセットトランジスタ241を形成する。また、N層412および414にもソースおよびドレインが形成され、これらのソースおよびドレインとゲート413とは、MOSFET325を形成する。
- [0066] また、基板401には、n型不純物の濃度が基板401より高いNウェル層415が形成され、Nウェル層415には、N層406および410と、P型半導体からなるP層408とが形成される。P層408は、フォトリソグラフィおよびイオン注入により形成される。N層404および406の間には、素子間分離領域405が設けられる。N層410および412の間にも素子間分離領域411が設けられる。N層406とP層408の間には、ゲート407が形成され、P層408とN層410の間には、ゲート409が形成される。これらのゲートの下部には、P層408の一部が入り込んでおり、その部分は、他の部分より浅く、エクステンションと呼ばれる。

[0067] N層406およびP層408にドレインおよびソースが形成され、これらのドレインおよびソースとゲート407とは、TFET324を形成する。また、N層410およびP層408にドレインおよびソースが形成され、これらのドレインおよびソースとゲート409とは、TFET323を形成する。また、これらのTFET323および324のゲート酸化膜は、例えば、3.0乃至6.0ナノメートル（nm）の膜厚に設定され、その周辺のトランジスタ（MOSFET325など）のゲート酸化膜と同時に形成される。

[0068] また、TFET323および324のそれぞれのゲート面積は、MOSFET325等の周囲のトランジスタのゲート面積と略同一に設定される。従来（カラムADC）のCMOS（Complementary MOS）イメージセンサにて、例えば解像度より感度を優先する場合など、比較的大面積の画素セルが用いられることがある。この場合、 $1/f$ ノイズ低減のために大きな面積のゲートを有するアンプトランジスタを画素トランジスタとして適用する場合があります、熱ノイズがランダムノイズを支配する状況になる。アンプトランジスタをサブスレッショルド領域で動作させる場合、本案に従いTFETを適用して熱ノイズを抑制することにより、更なる低ノイズ化が可能になる。

[0069] 図10は、本技術の第1の実施の形態における電圧変換回路330および正帰還回路340の一構成例を示す回路図である。

[0070] 電圧変換回路330は、nMOSトランジスタ331を備える。このnMOSトランジスタ331のゲートには電源電圧 V_{DDH} より低い電源電圧 V_{DDL} が印加される。また、nMOSトランジスタ331のドレインおよびソースは、差動増幅回路320および正帰還回路340に接続される。

[0071] 正帰還回路340は、pMOSトランジスタ341、342および344と、nMOSトランジスタ343および345とを備える。pMOSトランジスタ341および342とnMOSトランジスタ343とは、電源電圧 V_{DDL} に直列に接続される。また、pMOSトランジスタ344およびnMOSトランジスタ345は、電源電圧 V_{DDL} に直列に接続される。

[0072] また、pMOSトランジスタ341およびnMOSトランジスタ343のゲートには、垂直駆動回路213からの初期化信号|N|が入力される。pMOSトランジスタ342のゲートは、pMOSトランジスタ344およびnMOSトランジスタ345の接続点に接続される。また、pMOSトランジスタ344およびnMOSトランジスタ345のゲートは、電圧変換回路330と、pMOSトランジスタ342およびnMOSトランジスタ343の接続点とに共通に接続される。pMOSトランジスタ344およびnMOSトランジスタ345の接続点の電位は、比較結果VCOとして、データ記憶部350に出力される。

[0073] なお、電圧変換回路330および正帰還回路340のそれぞれは、図5で説明した機能を持つのであれば、図10に例示した回路に限定されない。

[0074] このように、本技術の第1の実施の形態によれば、画素信号SIGと参照信号REFとの差を増幅する差動対としてTFET323および324を用いたため、MOSFETを用いる場合と比較して、熱雑音を抑制することができる。これにより、熱雑音の成分を含む雑音を低減することができる。

[0075] <2. 第2の実施の形態>

上述の第1の実施の形態では、画素ごとにADC300を配置していたが、画素数の増大に伴ってADC300の個数が増大し、画素アレイ部220の回路規模が大きくなるという問題がある。この第2の実施の形態の固体撮像素子200は、列ごとにADCを配置した点において第1の実施の形態と異なる。

[0076] 図11は、本技術の第2の実施の形態における固体撮像素子200の一構成例を示すブロック図である。この固体撮像素子200は、DAC211、垂直駆動回路213、タイミング生成回路215、画素アレイ部220、カラム信号処理部260および水平走査回路270を備える。画素アレイ部220には、二次元格子状に複数の画素230が配列される。

[0077] 第2の実施の形態の垂直駆動回路213は、行を順に選択して駆動する。第2の実施の形態のDAC211およびタイミング生成回路215の構成は

、第1の実施の形態と同様である。

[0078] 第2の実施の形態の画素230は、差動増幅信号HVOをカラム信号処理部260に供給する。

[0079] カラム信号処理部260は、列のそれぞれからの差動増幅信号HVOをA/D (Analog to Digital) 変換して画素データとして保持するものである。水平走査回路270は、列を順に選択して、その列の画素データをデジタルシグナルプロセッサ120に出力させるものである。

[0080] 図12は、本技術の第2の実施の形態における画素230の一構成例を示すブロック図である。第2の実施の形態の画素230は、画素回路240および差動増幅回路320を備える。

[0081] 第2の実施の形態の画素回路240は、垂直駆動回路213の制御に従って画素信号SIGを生成し、差動増幅回路320に供給する。第2の実施の形態の差動増幅回路320は、画素信号SIGと参照信号REFとの差分を増幅して差動増幅信号HVOとして、カラム信号処理部260へ供給する。

[0082] 図13は、本技術の第2の実施の形態におけるカラム信号処理部260の一構成例を示すブロック図である。カラム信号処理部260は、列ごとにADC261、スイッチ263およびメモリ264を備える。

[0083] ADC261は、タイミング生成回路215の制御に従って、対応する列からの差動増幅信号HVOをデジタルの画素データに変換するものである。スイッチ263は、タイミング生成回路215の制御に従って、ADC261からの画素データをメモリ264に記憶させるものである。

[0084] メモリ264は、画素データを記憶するものである。このメモリ264は、水平走査回路270の制御に従って、画素データをデジタルシグナルプロセッサ120に出力する。なお、メモリ264は、特許請求の範囲に記載のデータ記憶部の一例である。

[0085] 図14は、本技術の第2の実施の形態におけるADC261の一構成例を示すブロック図である。このADC261は、電圧変換回路330、正帰還回路340およびカウンタ262を備える。第2の実施の形態の電圧変換回

路 330 および正帰還回路 340 の構成は、第 1 の実施の形態と同様である。正帰還回路 340 は、比較結果 VCO をカウンタ 262 に供給する。

[0086] カウンタ 262 は、タイミング生成回路 215 の制御に従って、比較結果 VCO が反転するまでの期間に亘って、タイミング生成回路 215 からのクロック信号に同期して計数値を計数するものである。この計数値は、比較結果 VCO が反転するまでの時間を示す。カウンタ 262 は、計数値を示すデータを画素データとしてスイッチ 263 に供給する。

[0087] このように、本技術の第 2 の実施の形態では、列ごとに ADC 261 を配置したため、画素ごとに ADC を配置する第 1 の実施の形態と比較して画素アレイ部 220 の回路規模を削減することができる。

[0088] <移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0089] 図 15 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0090] 車両制御システム 12000 は、通信ネットワーク 12001 を介して接続された複数の電子制御ユニットを備える。図 15 に示した例では、車両制御システム 12000 は、駆動系制御ユニット 12010、ボディ系制御ユニット 12020、車外情報検出ユニット 12030、車内情報検出ユニット 12040、及び統合制御ユニット 12050 を備える。また、統合制御ユニット 12050 の機能構成として、マイクロコンピュータ 12051、音声画像出力部 12052、及び車載ネットワーク I/F (interface) 12053 が図示されている。

[0091] 駆動系制御ユニット 12010 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 120

10は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0092] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0093] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0094] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0095] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転

者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0096] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0097] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0098] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0099] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図15の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボード

ディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0100] 図16は、撮像部12031の設置位置の例を示す図である。

[0101] 図16では、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0102] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0103] なお、図16には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0104] 撮像部12101ないし12104の少なくとも一つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも一つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0105] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0106] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0107] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパ

ターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0108] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。具体的には、図1の撮像装置100を、撮像部12031に適用することができる。撮像部12031に本開示に係る技術を適用することにより、熱雑音を低減して、より見やすい撮影画像を得ることができるため、ドライバの疲労を軽減することが可能になる。

[0109] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0110] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0111] なお、本技術は以下のような構成もとることができる。

(1) 入射光を光電変換して画素信号を生成する画素回路と、

前記画素信号と時間の経過に伴って変化する所定の参照信号との差を増幅して差動増幅信号として出力する一対のT F E T (Tunnel Field Effect Transistor) と

を具備する半導体集積回路。

(2) 前記一対の T F E T に一定の電流を供給する M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) をさらに具備し、

前記 M O S F E T のゲートの面積は、前記一対の T F E T のそれぞれのゲート面積と略同一である

前記 (1) 記載の半導体集積回路。

(3) 前記画素回路は、二次元格子状に所定数配列され、

前記一対の T F E T は、前記画素回路ごとに設けられる

前記 (1) または (2) に記載の半導体集積回路。

(4) 前記差動増幅信号が初期値と異なる値に変化するまでの時間を示すデータを画素データとして取得して記憶するデータ記憶部をさらに具備する

前記 (1) 記載の半導体集積回路。

(5) 前記データ記憶部は、前記画素回路ごとに設けられる

前記 (4) 記載の半導体集積回路。

(6) 前記記憶部は、所定方向に配列された前記画素回路の集合である列ごとに設けられる

前記 (4) 記載の半導体集積回路。

(7) 基板と、

前記基板に形成された N ウェル層と、

N 型半導体からなる一対の N 層と、

P 型半導体からなる P 層と

をさらに具備し、

前記 P 層と前記一対の N 層とは、前記 N ウェル層に設けられ、

前記 P 層は、前記 N ウェル層において前記一対の N 層の間に配置され、

前記一対の T F E T のそれぞれのソースは、前記 P 層に形成され、

前記一対の T F E T のそれぞれのドレインは、前記一対の N 層のそれぞれに形成される

前 (1) から (6) のいずれかに記載の半導体集積回路。(8) 入射光を光電変換して画素信号を生成する画素回路と、

前記画素信号と時間の経過に伴って変化する所定の参照信号との差を増幅して差動増幅信号として出力する一対のT F E T (Tunnel Field Effect Transistor) と、

前記差動増幅信号が初期値と異なる値に変化するまでの時間を示すデータを画素データとして取得して記憶するデータ記憶部と、

前記画素データに対して所定の処理を実行する処理部とを具備する撮像装置。

符号の説明

- [0112] 1 0 0 撮像装置
- 1 1 0 光学部
- 1 2 0 デジタルシグナルプロセッサ
- 1 3 0 表示部
- 1 4 0 操作部
- 1 5 0 バス
- 1 6 0 フレームメモリ
- 1 7 0 記録部
- 1 8 0 電源部
- 2 0 0 固体撮像素子
- 2 0 1 画素チップ
- 2 0 2 ロジックチップ
- 2 1 1 D A C
- 2 1 2 時刻コード発生部
- 2 1 3 垂直駆動回路
- 2 1 4 画素駆動回路
- 2 1 5 タイミング生成回路
- 2 2 0 画素アレイ部
- 2 2 1 時刻コード転送部
- 2 3 0 画素

- 240 画素回路
- 241 リセットトランジスタ
- 242 転送トランジスタ
- 243 浮遊拡散層
- 244 フォトダイオード
- 245 排出トランジスタ
- 250 出力部
- 260 カラム信号処理部
- 261、300 ADC
- 262 カウンタ
- 263 スイッチ
- 264 メモリ
- 270 水平走査回路
- 310 比較回路
- 320 差動増幅回路
- 321、322、325 MOSFET
- 323、324 TFET
- 330 電圧変換回路
- 331、343、345 nMOSトランジスタ
- 340 正帰還回路
- 341、342、344 pMOSトランジスタ
- 350 データ記憶部
- 351 ラッチ制御部
- 352 ラッチ記憶部
- 12031 撮像部

請求の範囲

- [請求項1] 入射光を光電変換して画素信号を生成する画素回路と、
前記画素信号と時間の経過に伴って変化する所定の参照信号との差を増幅して差動増幅信号として出力する一対の T F E T (Tunnel Field Effect Transistor) と
を具備する半導体集積回路。
- [請求項2] 前記一対の T F E T に一定の電流を供給する M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) をさらに具備し、
前記 M O S F E T のゲートの面積は、前記一対の T F E T のそれぞれのゲート面積と略同一である
請求項 1 記載の半導体集積回路。
- [請求項3] 前記画素回路は、二次元格子状に所定数配列され、
前記一対の T F E T は、前記画素回路ごとに設けられる
請求項 1 記載の半導体集積回路。
- [請求項4] 前記差動増幅信号が初期値と異なる値に変化するまでの時間を示すデータを画素データとして取得して記憶するデータ記憶部をさらに具備する
請求項 1 記載の半導体集積回路。
- [請求項5] 前記データ記憶部は、前記画素回路ごとに設けられる
請求項 4 記載の半導体集積回路。
- [請求項6] 前記記憶部は、所定方向に配列された前記画素回路の集合である列ごとに設けられる
請求項 4 記載の半導体集積回路。
- [請求項7] 基板と、
前記基板に形成された N ウェル層と、
N 型半導体からなる一対の N 層と、
P 型半導体からなる P 層と
をさらに具備し、

前記P層と前記一对のN層とは、前記Nウェル層に設けられ、
前記P層は、前記Nウェル層において前記一对のN層の間に配置され、

前記一对のTFETのそれぞれのソースは、前記P層に形成され、
前記一对のTFETのそれぞれのドレインは、前記一对のN層のそれぞれに形成される

請求項1記載の半導体集積回路。

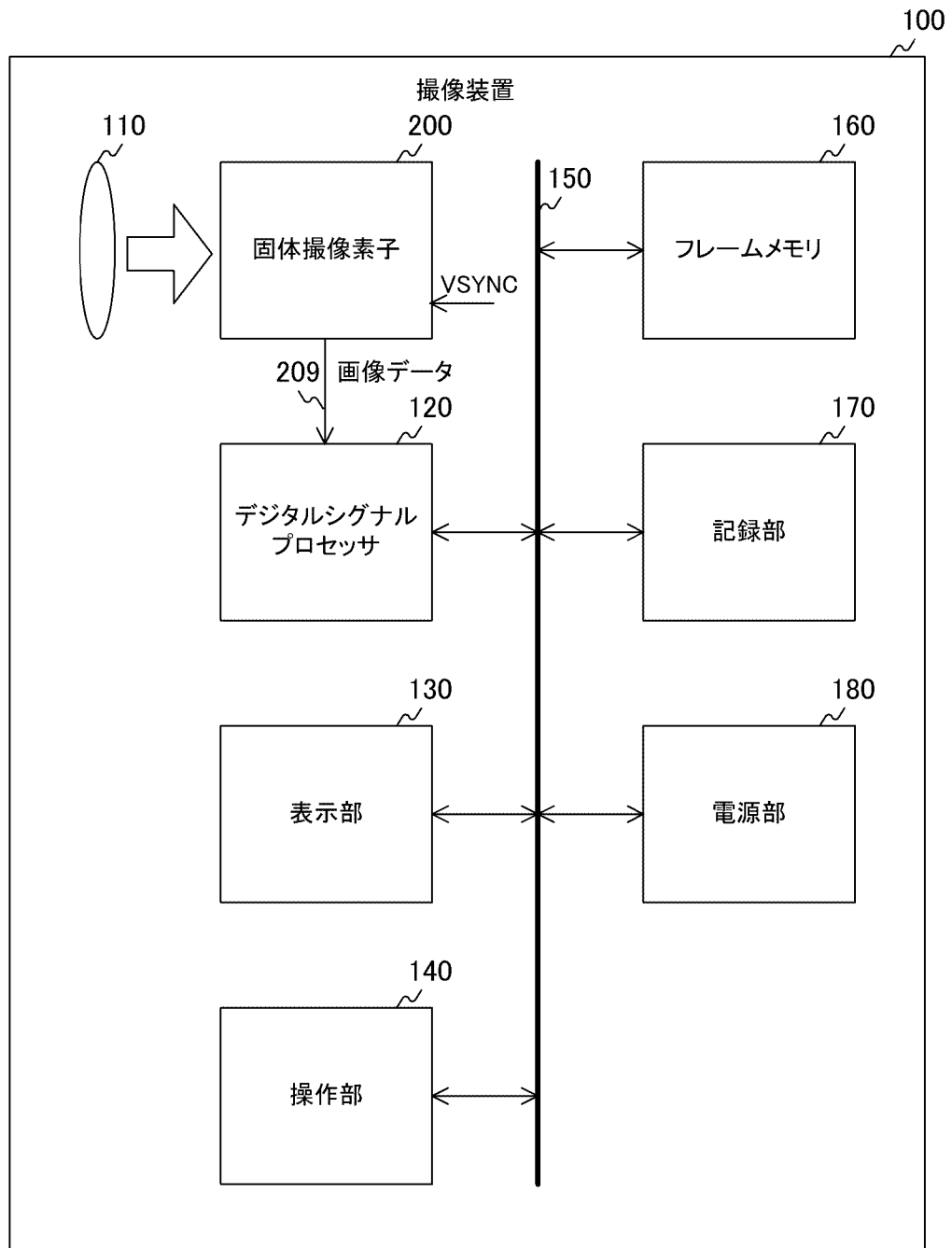
[請求項8]

入射光を光電変換して画素信号を生成する画素回路と、
前記画素信号と時間の経過に伴って変化する所定の参照信号との差を増幅して差動増幅信号として出力する一对のTFET (Tunnel Field Effect Transistor) と、

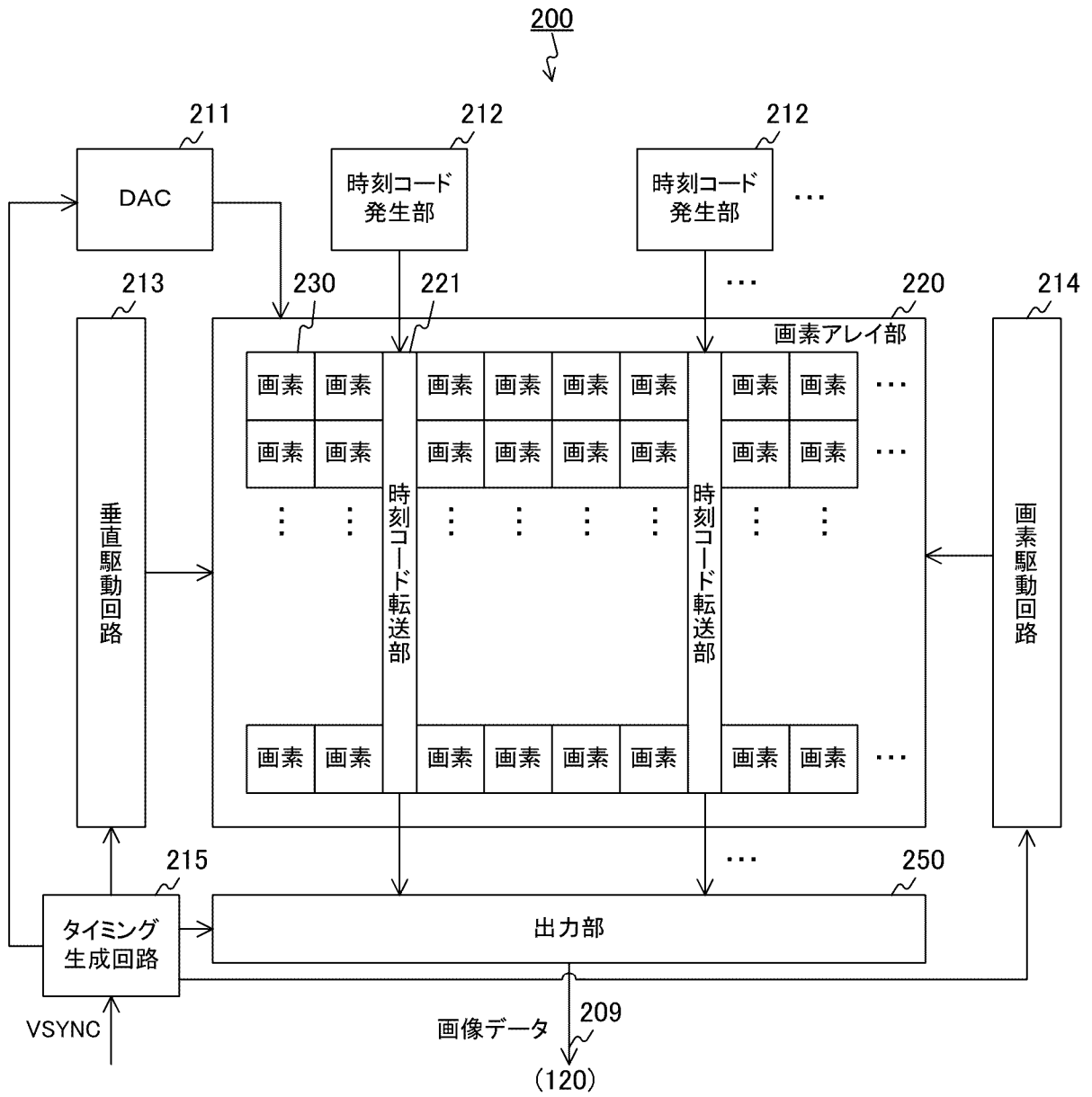
前記差動増幅信号が初期値と異なる値に変化するまでの時間を示す時間情報を画素データとして取得して記憶するデータ記憶部と、

前記画素データに対して所定の処理を実行する処理部と
を具備する撮像装置。

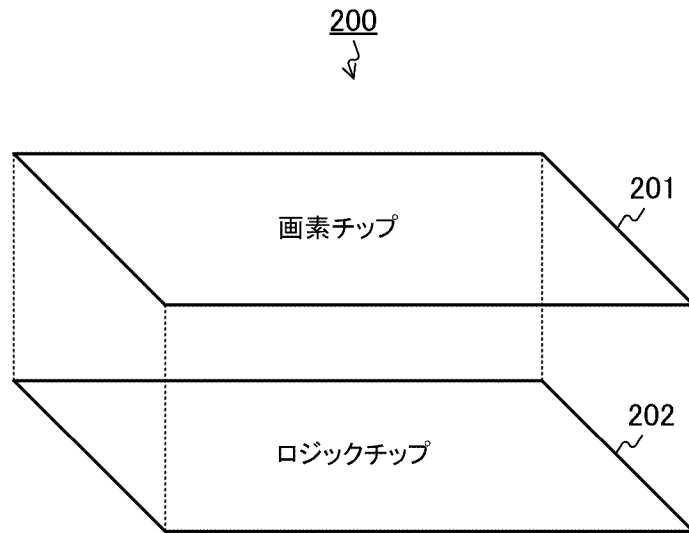
[図1]



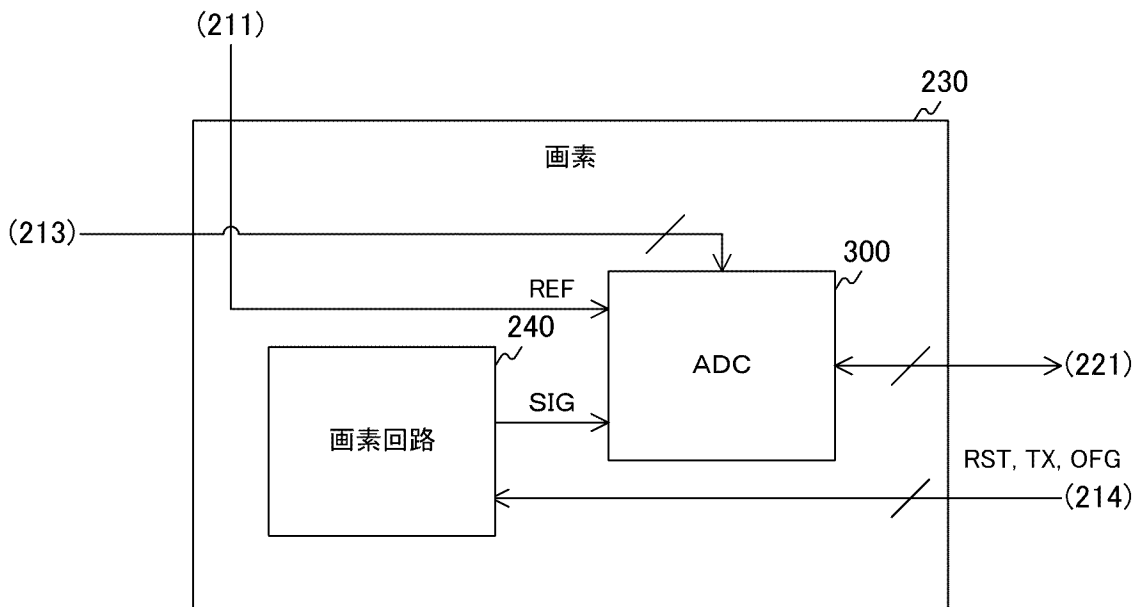
[図2]



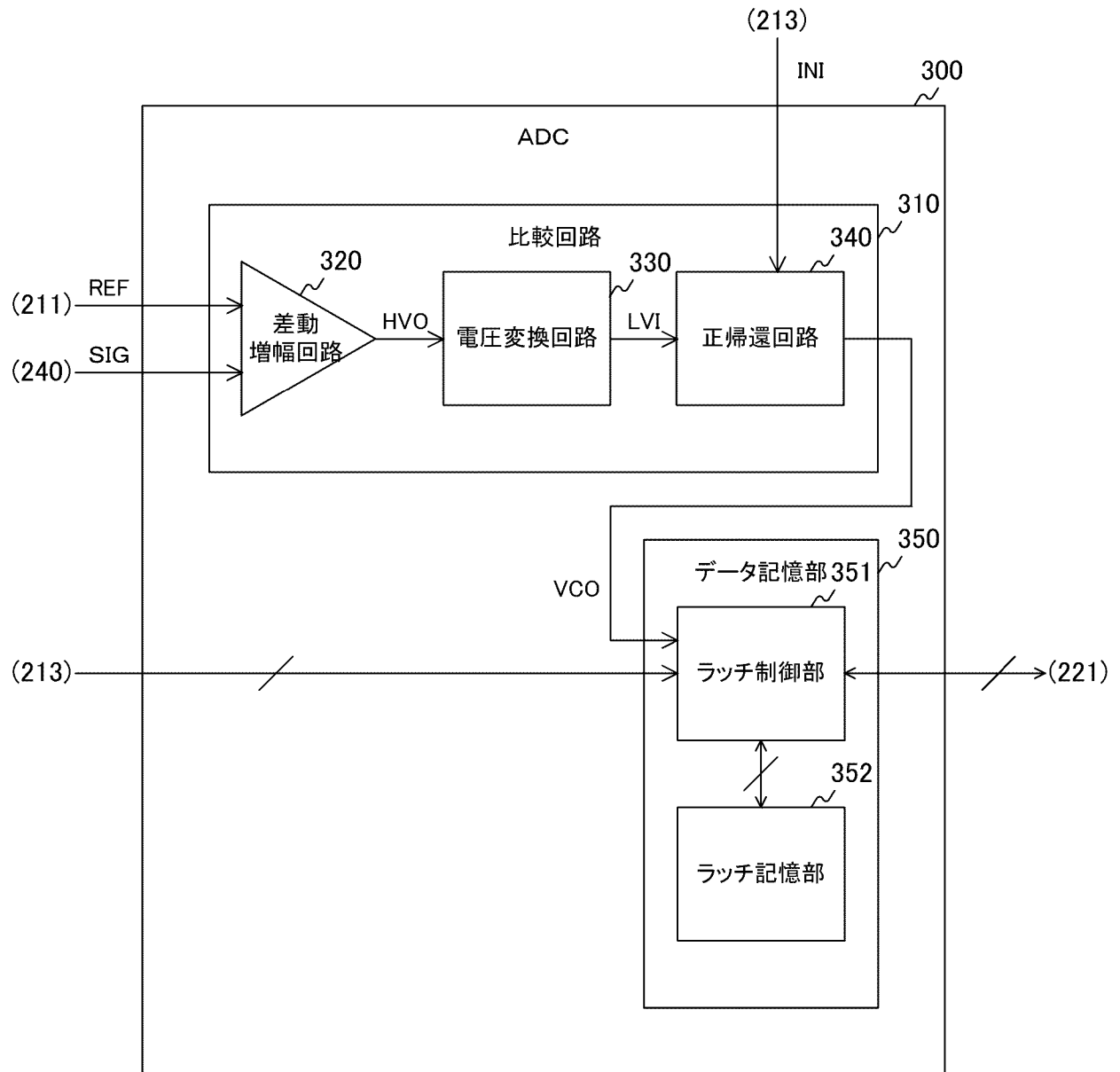
[図3]



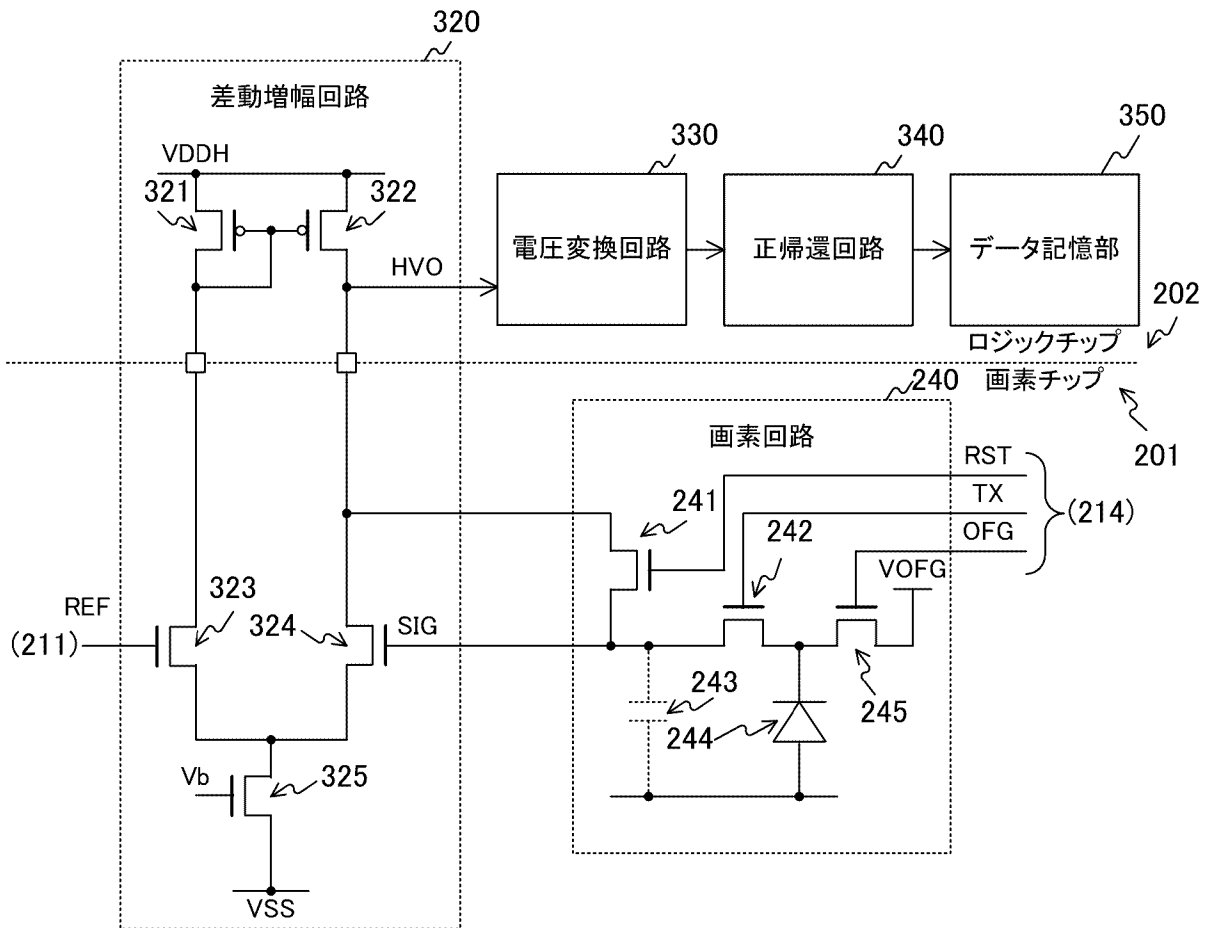
[図4]



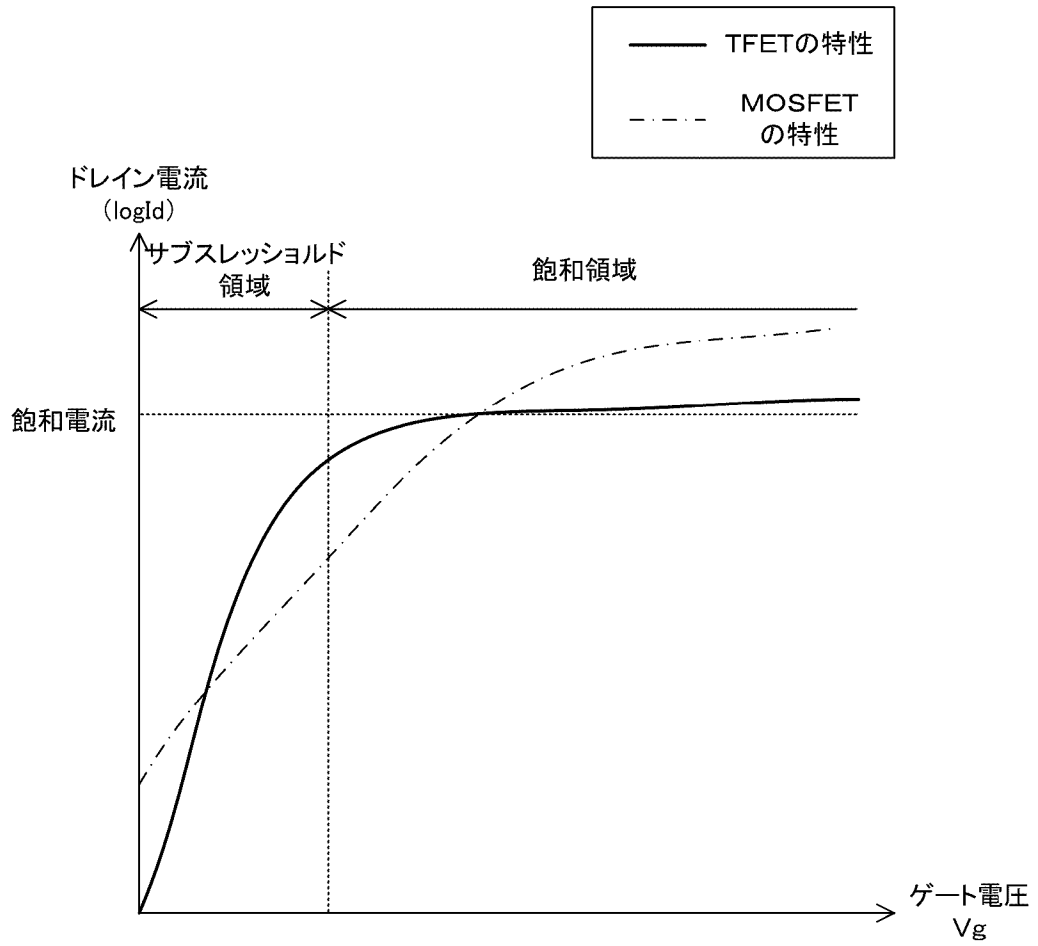
[図5]



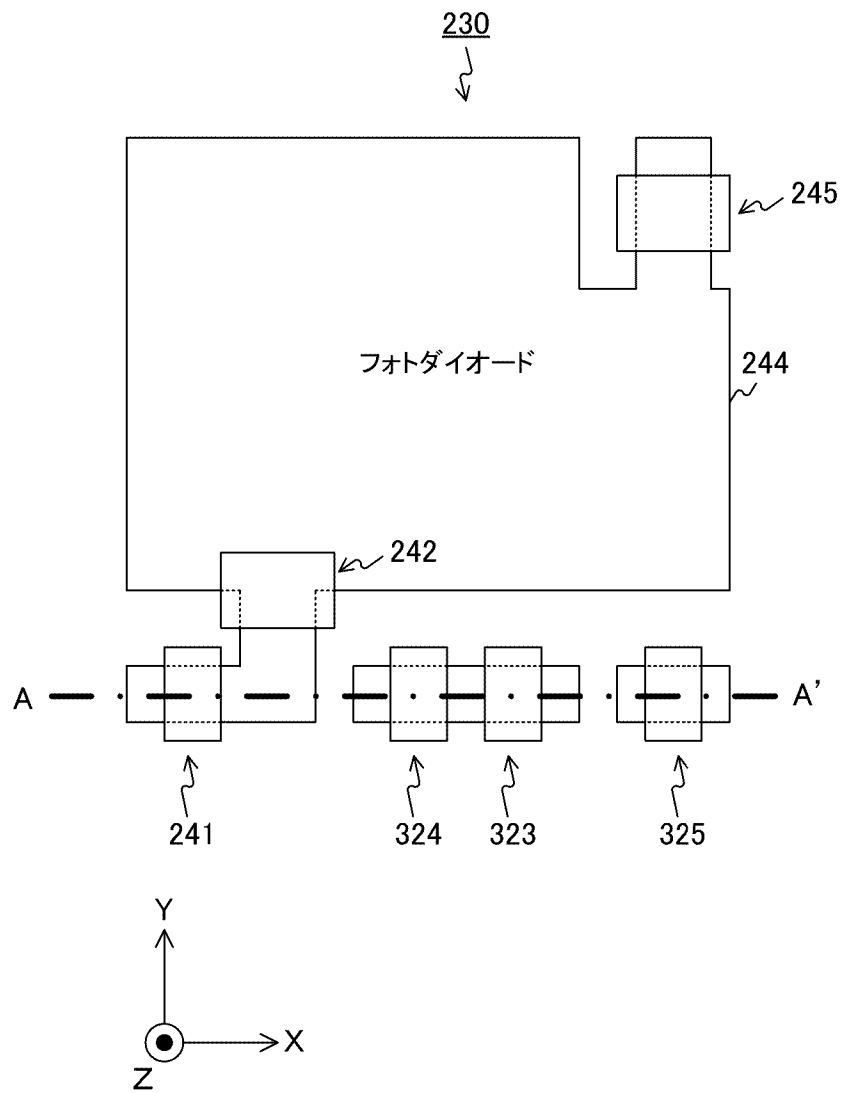
[図6]



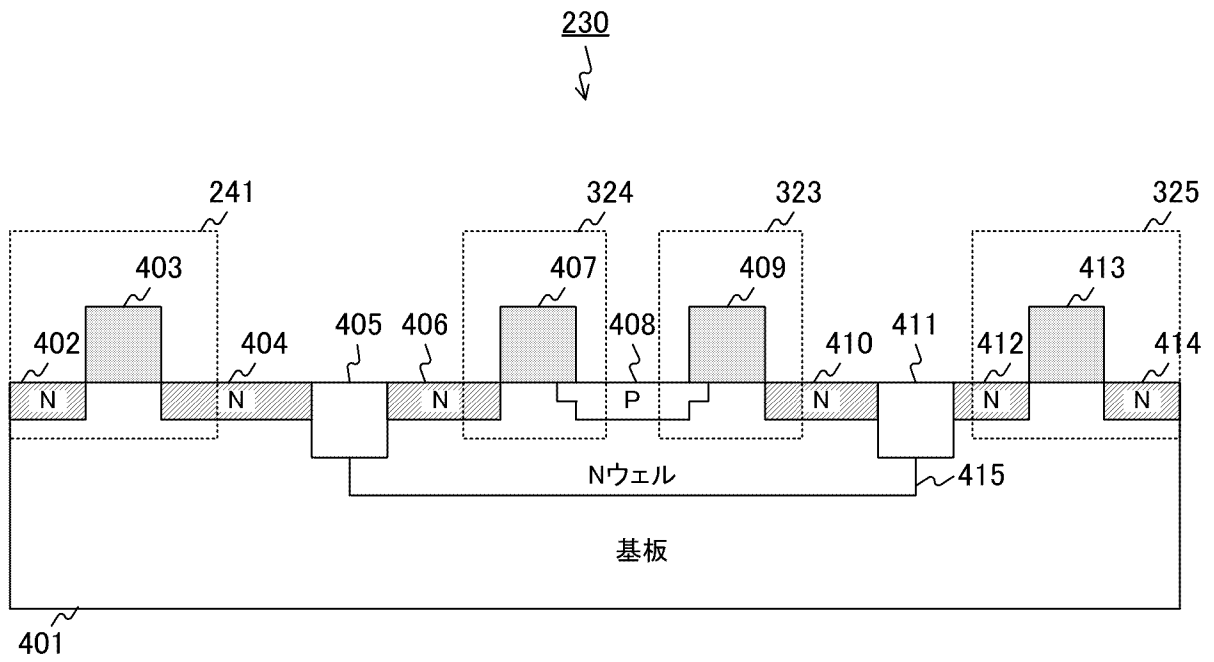
[図7]



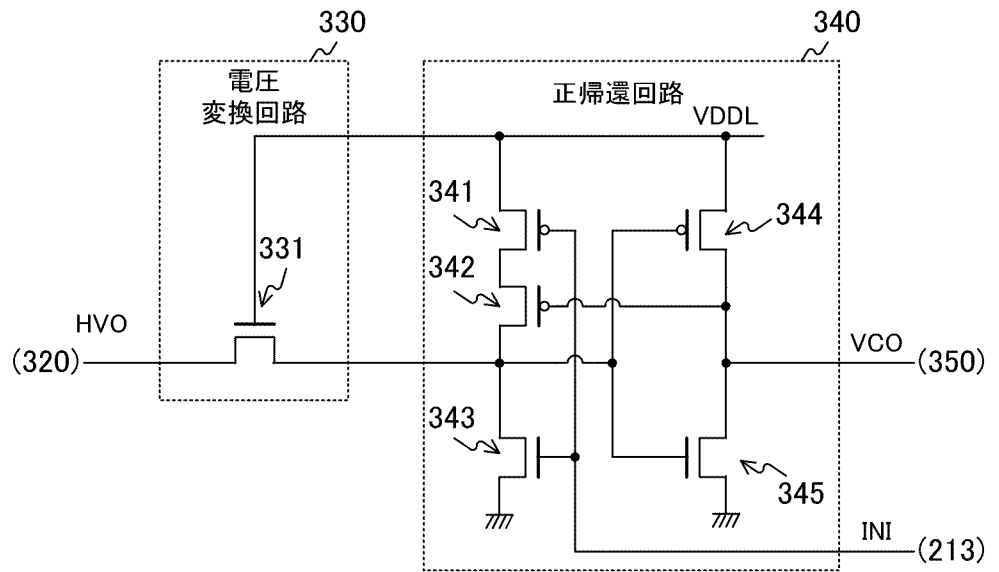
[図8]



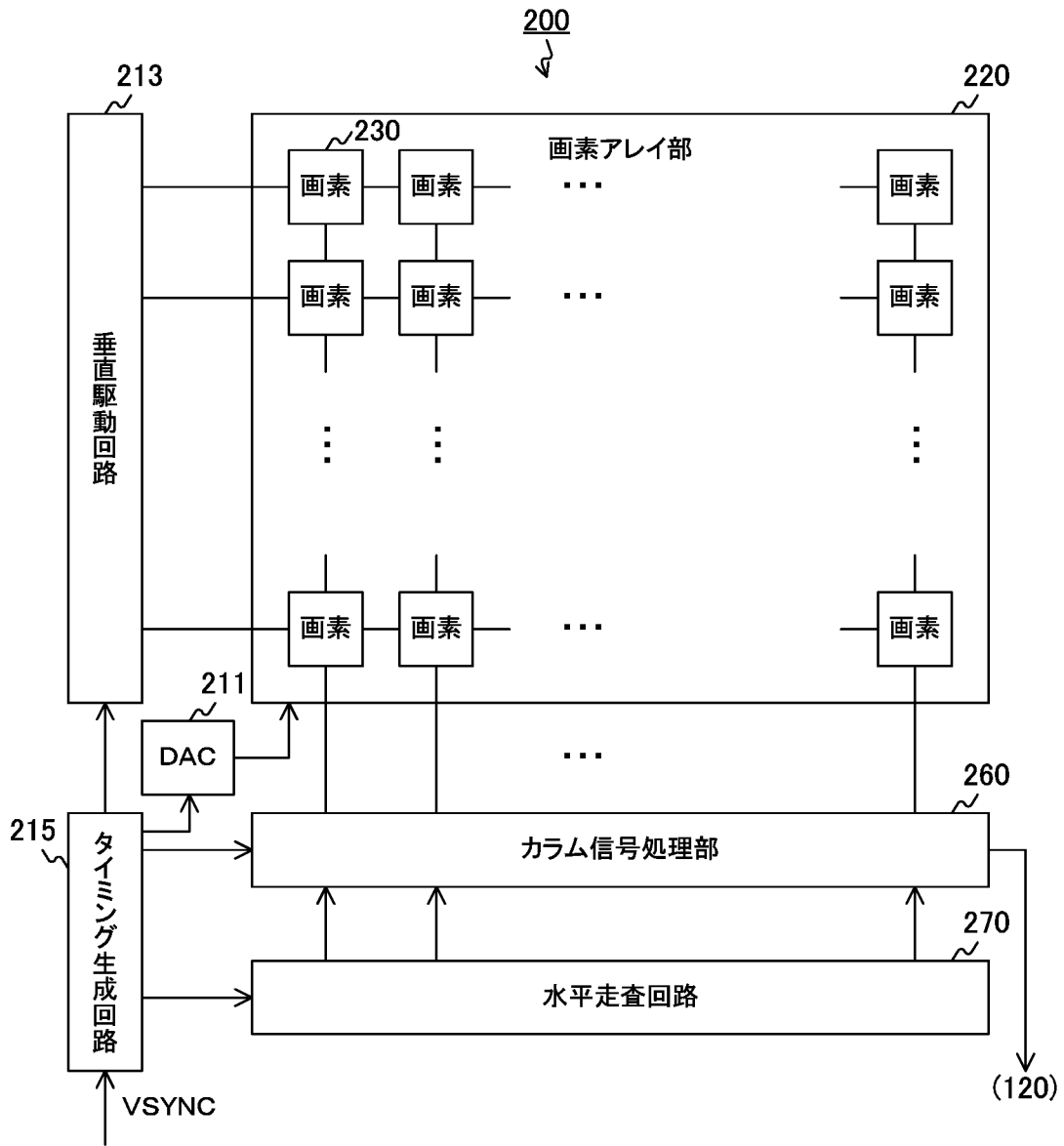
[図9]



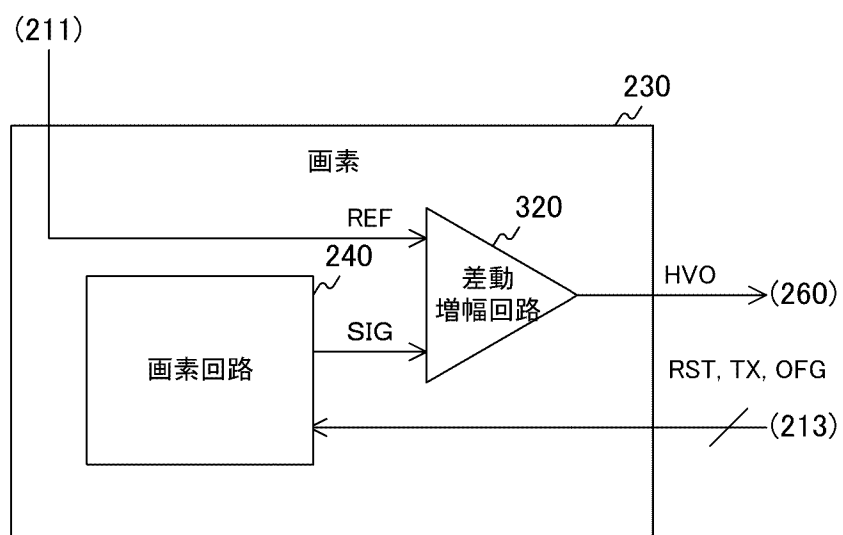
[図10]



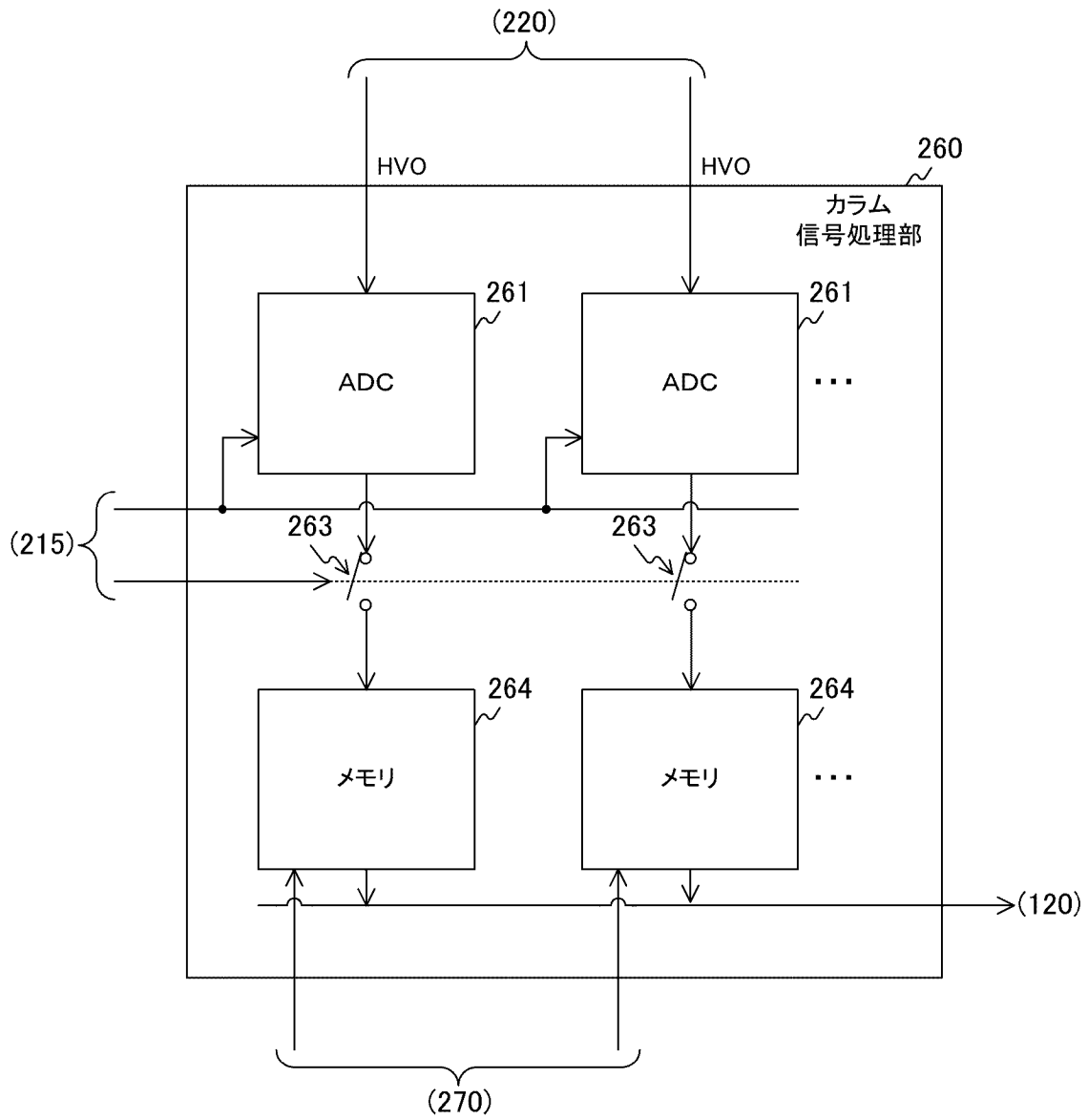
[図11]



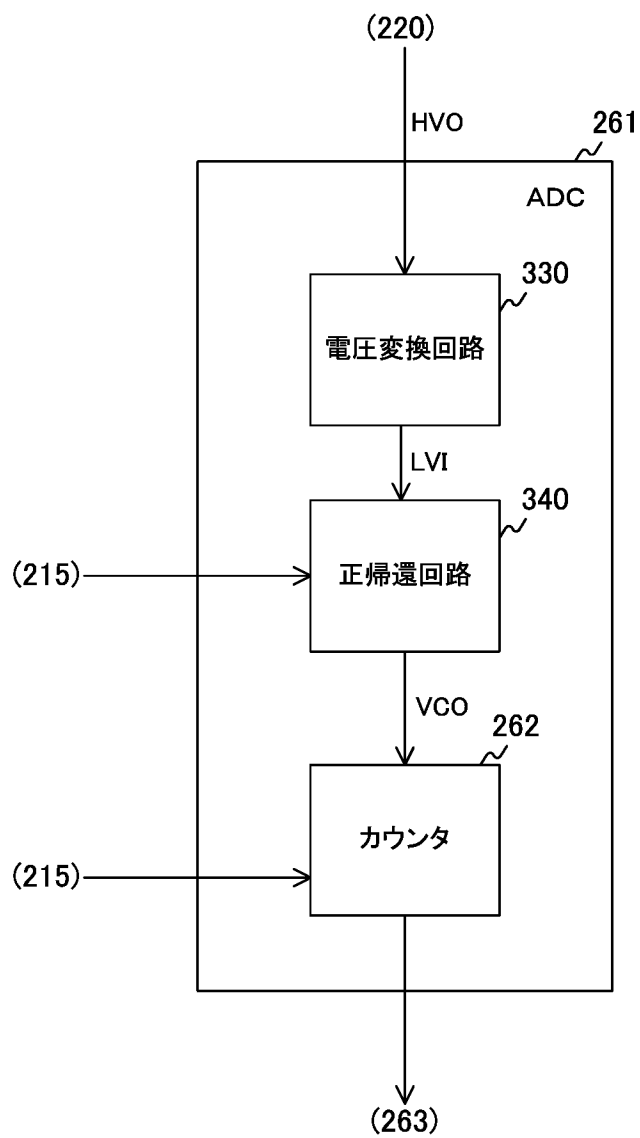
[図12]



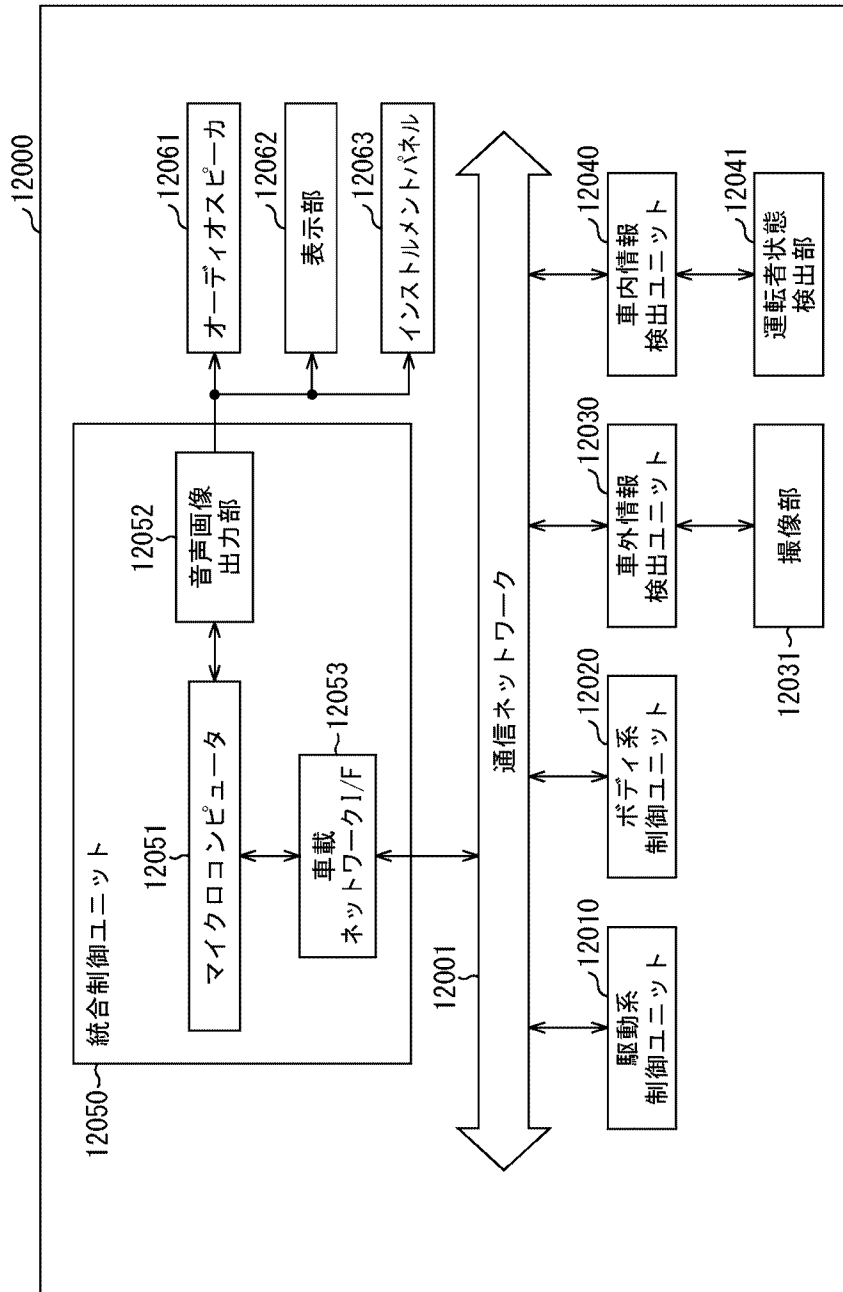
[図13]



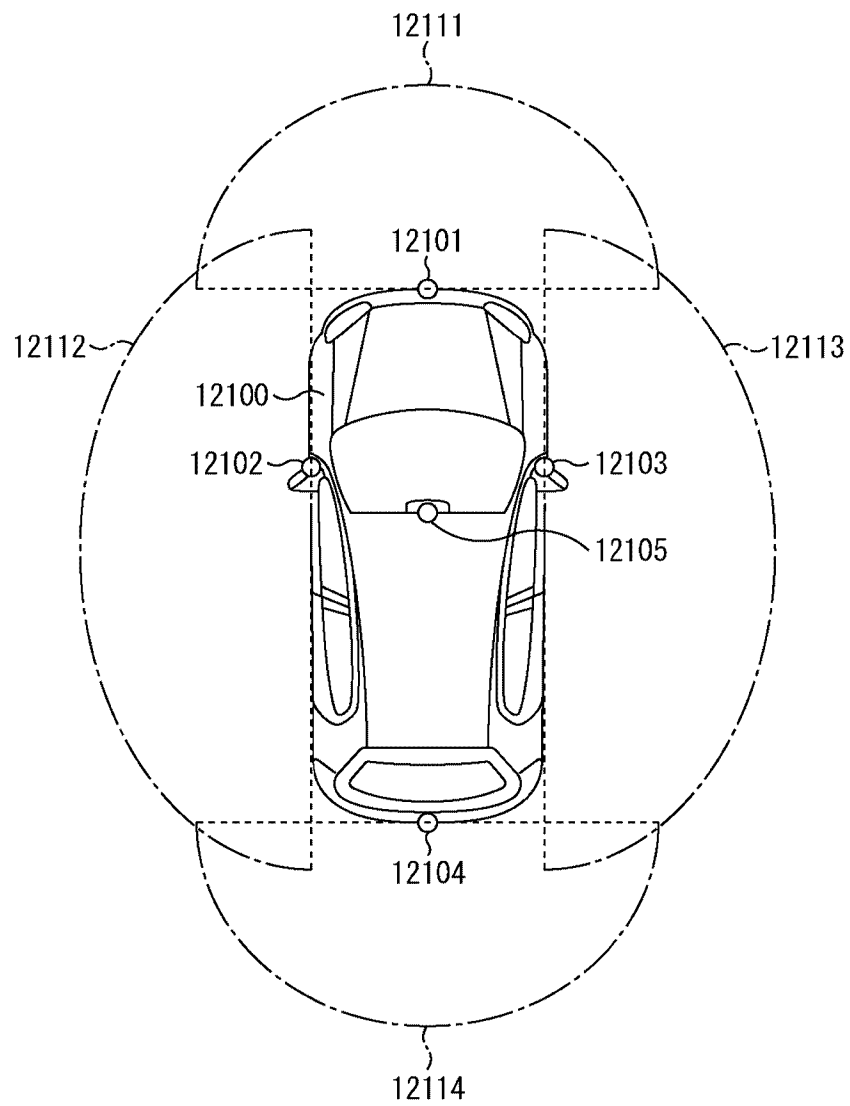
[図14]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/035401

A. CLASSIFICATION OF SUBJECT MATTER
Int. Cl. H04N5/3745 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int. Cl. H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2016/136448 A1 (SONY CORP.) 01 September 2016, paragraphs [0029], [0040], [0046]-[0048], [0250], [0266], fig. 2, 3, 30, 36 (Family: none)	1-8
Y	KIM et al., A Steep-Slope Tunnel FET Based SAR Analog-to-Digital Converter, IEEE Transactions on Electron Devices, vol. 61, no. 11, IEEE, 14 October 2014, pp. 3661-7, in particular, p. 3664, right column to p. 3665, left column "B.HTFET Comparator Design", fig. 8	1-8

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
10.12.2018

Date of mailing of the international search report
18.12.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2018/035401

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	SEDIGHI et al., Analog Circuit Design Using Tunnel-FETs, IEEE Transactions on Circuits and Systems-1: Regular Papers, vol. 62, no. 1, IEEE, 12 August 2014, pp. 39-48, in particular, p.44, left column, lines 1-14, fig. 12, table 3	1-8
Y	MARTINO et al., Analysis of TFET and FinFET Differential Pairs with Active Load from 300K to 450K, 2016 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS), IEEE, 24 March 2016, pp. 246-9, in particular, p. 246, left column "1. INTRODUCTION", fig. 2	1-8
Y A	JP 2013-69977 A (TOSHIBA CORP.) 18 April 2013, paragraphs [0009], [0010], [0015], [0017], fig. 6 & US 2013/0075830 A1, paragraphs [0012], [0013], [0018], [0021], fig. 6	7 1-6, 8
Y A	WO 2016/042876 A1 (TOSHIBA CORP.) 24 March 2016, paragraph [0017], fig. 2 (Family: none)	7 1-6, 8

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H04N5/3745(2011.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H04N5/3745											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2018年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2018年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2018年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2018年	日本国実用新案登録公報	1996-2018年	日本国登録実用新案公報	1994-2018年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2018年										
日本国実用新案登録公報	1996-2018年										
日本国登録実用新案公報	1994-2018年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
Y	WO 2016/136448 A1 (ソニー株式会社) 2016.09.01, 段落[0029], [0040], [0046]-[0048], [0250], [0266], 図 2-3, 30, 36 (ファミリーなし)	1-8									
Y	KIM et al., A Steep-Slope Tunnel FET Based SAR Analog-to-Digital Converter, IEEE Transactions on Electron Devices, VOL. 61, NO.11, IEEE, 2014.10.14, p.3661-7, 特に p.3664 右欄-p.3665 左欄	1-8									
☑ C欄の続きにも文献が列挙されている。		☐ パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 10.12.2018		国際調査報告の発送日 18.12.2018									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 花田 尚樹	5V 5889								
		電話番号 03-3581-1101 内線	3571								

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	"B.HTFET Comparator Design", 図 8	
Y	SEDIGHI et al., Analog Circuit Design Using Tunnel-FETs, IEEE Transactions on Circuits and Systems-1: Regular Papers, VOL. 62, NO.1, IEEE, 2014.08.12, p.39-48, 特に p.44 左欄第1行-14行, 図12, 表3	1-8
Y	MARTINO et al., Analysis of TFET and FinFET Differential Pairs with Active Load from 300K to 450K, 2016 Joint International EUROSOI Workshop and International Conference on Ultimate Integration on Silicon (EUROSOI-ULIS), IEEE, 2016.03.24, p.246-9, 特に p.246 左欄 "1. INTRODUCTION", 図2	1-8
Y	JP 2013-69977 A (株式会社東芝)	7
A	2013.04.18, 段落[0009]-[0010], [0015], [0017], 図6 & US 2013/0075830 A1, 段落[0012]-[0013], [0018], [0021], 図6	1-6, 8
Y	WO 2016/042876 A1 (株式会社東芝)	7
A	2016.03.24, 段落[0017], 図2 (ファミリーなし)	1-6, 8