

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5063640号
(P5063640)

(45) 発行日 平成24年10月31日(2012.10.31)

(24) 登録日 平成24年8月17日(2012.8.17)

(51) Int.Cl.	F I	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	3 O 1 H
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 1 8 B
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 8 C
HO 1 L 21/8234 (2006.01)	HO 1 L 29/78	6 1 8 F
HO 1 L 27/088 (2006.01)	HO 1 L 27/08	1 O 2 B
請求項の数 12 (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2009-107365 (P2009-107365)
 (22) 出願日 平成21年4月27日(2009.4.27)
 (62) 分割の表示 特願平10-44657の分割
 原出願日 平成10年2月9日(1998.2.9)
 (65) 公開番号 特開2009-200515 (P2009-200515A)
 (43) 公開日 平成21年9月3日(2009.9.3)
 審査請求日 平成21年4月28日(2009.4.28)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 小山 満

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

ソース領域、ドレイン領域、及び活性領域が設けられた単結晶シリコン基板を有し、
 前記活性領域は、複数の Si_xGe_{1-x} ($0 < X < 1$) 領域と複数の Si 領域とを有し、

前記複数の Si_xGe_{1-x} ($0 < X < 1$) 領域は、チャネル形成領域として機能し、
 前記複数の Si_xGe_{1-x} ($0 < X < 1$) 領域と前記複数の Si 領域とは、互いに概略平行に、且つ、チャネル幅方向に交互に並んで設けられ、

前記複数の Si_xGe_{1-x} ($0 < X < 1$) 領域はそれぞれ、前記ドレイン領域と接しないことを特徴とする半導体装置。

【請求項2】

請求項1において、
 前記単結晶シリコン基板は、N型シリコン基板又はP型シリコン基板であることを特徴とする半導体装置。

【請求項3】

絶縁表面上に、ソース領域、ドレイン領域、及び活性領域が設けられた結晶性半導体膜を有するトランジスタを有し、

前記活性領域は、複数の Si_xGe_{1-x} ($0 < X < 1$) 領域と複数の Si 領域とを有し、

前記複数の Si_xGe_{1-x} ($0 < X < 1$) 領域は、チャネル形成領域として機能し、

前記複数の Si_xGe_{1-x} ($0 < X < 1$) 領域と前記複数の Si 領域とは、互いに概略平行に、且つ、チャンネル幅方向に交互に並んで設けられ、

前記複数の Si_xGe_{1-x} ($0 < X < 1$) 領域はそれぞれ、前記ドレイン領域と接しないことを特徴とする半導体装置。

【請求項 4】

請求項 3 において、

前記トランジスタは、ゲイト電極と、前記結晶性半導体膜と前記ゲイト電極との間に設けられたゲイト絶縁膜と、を有することを特徴とする半導体装置。

【請求項 5】

請求項 3 または請求項 4 において、

前記結晶性半導体膜は、単結晶半導体膜であることを特徴とする半導体装置。

10

【請求項 6】

請求項 3 乃至請求項 5 のいずれか一項において、

前記結晶性半導体膜は、多結晶半導体膜であることを特徴とする半導体装置。

【請求項 7】

請求項 3 乃至請求項 6 のいずれか一項において、

前記トランジスタは、Nチャネル型トランジスタ又はPチャネル型トランジスタであることを特徴とする半導体装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一項において、

前記 Si 領域は、前記ソース領域及び前記ドレイン領域の接合深さよりも深くなるように設けられていることを特徴とする半導体装置。

20

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一項において、

前記 Si_xGe_{1-x} ($0 < X < 1$) 領域は、前記 Si 領域よりもバンドギャップが小さいことを特徴とする半導体装置。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一項において、

前記 Si_xGe_{1-x} ($0 < X < 1$) 領域には、 X が $0.05 < X < 0.95$ の範囲の濃度でゲルマニウムが添加されていることを特徴とする半導体装置。

30

【請求項 11】

請求項 1 乃至請求項 10 のいずれか一項に記載の半導体装置を用いることを特徴とする電子機器。

【請求項 12】

請求項 11 に記載された電子機器は、携帯電話、カメラ、コンピュータ、ディスプレイ、又はプロジェクターであることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書で開示する発明は、結晶性半導体を利用した半導体装置、特に絶縁ゲイト型トランジスタの構成に関する。また、その様なトランジスタ等で構成された半導体回路、電気光学装置及びそれらを複合化した電子機器の構成に関する。

40

【0002】

なお、本明細書中では上記トランジスタ、半導体回路、電気光学装置および電子機器を全て「半導体装置」の範疇に含めて扱う。即ち、半導体特性を利用して機能しうる装置を全て半導体装置と呼ぶ。従って、上記特許請求の範囲に記載された半導体装置は、トランジスタ等の単体素子だけでなく、それを集積化した半導体回路、電気光学装置及び電子機器をも包含する。

【背景技術】

50

【 0 0 0 3 】

現状のVLSI、ULSIではさらなる集積度向上を求めて素子サイズが微細化の一途を辿る傾向にある。この流れはバルク単結晶を用いたMOSFETでも薄膜を用いたTFETでも同様に見られる。現在では、チャンネル長が1 μ m以下、さらには0.2 μ m以下といった素子が求められる様になっている。

【 0 0 0 4 】

ところが、微細化を妨げる要因として短チャンネル効果という現象が知られている。短チャンネル効果とは、チャンネル長が短くなるにつれて引き起こされるソース/ドレイン間耐圧の低下、しきい値電圧の低下などの諸問題である(サブミクロンデバイスI; 小柳光正他, pp88~138, 丸善株式会社, 1987参照)。

【 0 0 0 5 】

同参考書によれば、耐圧低下の原因の一つとしてパンチスルー現象が最もよく知られている。この現象は、チャンネル長が短くなることでドレイン側空乏層の電位的な影響がソース側に及び、ソース側の拡散電位が下げられる(ドレイン誘起障壁低下現象)ことでゲート電圧による多数キャリアの制御が困難な状況になる現象である。

【 0 0 0 6 】

この様な短チャンネル効果は微細化を行う上で乗り越えなくてはならない課題となっている。また、短チャンネル効果の代表例としてしきい値電圧の低下が挙げられる。これも空乏層の広がりによって引き起こされると考えられる。

【 0 0 0 7 】

以上の様な短チャンネル効果に対して様々な対策がなされているが、最も一般的に行なわれている対策はチャンネルドーピングである。チャンネルドーピングとは、チャンネル形成領域全体に浅くP(リン)、B(ボロン)といった不純物元素を微量に添加し、短チャンネル効果を抑制する技術である(特開平4-206971号公報、特開平4-286339号公報等)。

【 0 0 0 8 】

チャンネルドーピングはしきい値電圧の制御とパンチスルーの抑制とを目的として行われる。しかしながら、チャンネルドーピング技術はTFETの電界効果移動度(以下、モビリティと呼ぶ)に重大な制約を与えるという欠点を持っている。即ち、意図的に添加された不純物元素によってキャリアの移動が阻害され、キャリア移動度が大幅に低下してしまうのである。

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

本願発明は上記問題点を鑑みて成されたものであり、高い動作性能(高いモビリティ)と高い信頼性(高い耐圧特性)とを同時に実現しうる全く新しい構造の半導体装置およびその作製方法を提供することを課題とする。

【 課題を解決するための手段 】

【 0 0 1 0 】

本明細書で開示する発明の構成は、

結晶性半導体を利用して形成されたソース領域、ドレイン領域および活性領域を構成に含むトランジスタでなる回路を有する半導体装置であって、

前記活性領域は局所的にゲルマニウムを添加して形成された $Si_x Ge_{1-x}$ ($0 < x < 1$) 領域と前記ゲルマニウムが添加されなかったSi領域とで構成され、

前記Si領域によって前記ドレイン領域から前記ソース領域に向かって広がる空乏層が抑制されることを特徴とする。

【 0 0 1 1 】

また、他の発明の構成は、

結晶性半導体を利用して形成されたソース領域、ドレイン領域および活性領域を構成に含むトランジスタでなる回路を有する半導体装置であって、

前記活性領域は局部的にゲルマニウムを添加して形成された $Si_x Ge_{1-x}$ ($0 < x < 1$) 領域と13族又は15族から選ばれた元素が添加されたSi領域とで構成され、前記Si領域によ

10

20

30

40

50

って前記ドレイン領域から前記ソース領域に向かって広がる空乏層が抑止され、且つしきい値電圧が制御されることを特徴とする。

【0012】

なお、上記構成において前記活性領域は前記 $\text{Si}_x \text{Ge}_{1-x}$ ($0 < x < 1$) 領域及び前記Si領域が互いに概略平行に、且つ、交互に並んで構成され、

前記 $\text{Si}_x \text{Ge}_{1-x}$ ($0 < x < 1$) 領域は前記ソース領域から前記ドレイン領域にかけて形成されている構造とすることが好ましい。

【0013】

また、他の発明の構成は、

結晶性半導体を利用して形成されたソース領域、ドレイン領域および活性領域を構成に含むトランジスタでなる回路を有する半導体装置であって、

前記活性領域にはゲルマニウムを添加して形成された $\text{Si}_x \text{Ge}_{1-x}$ ($0 < x < 1$) 領域とゲルマニウムが添加されなかったSi領域とが互いに概略平行に、且つ、交互に並んで配置され、前記 $\text{Si}_x \text{Ge}_{1-x}$ ($0 < x < 1$) 領域が前記ソース領域から前記ドレイン領域に渡って形成されていることを特徴とする。

【0014】

また、他の発明の構成は、

結晶性半導体を利用して形成されたソース領域、ドレイン領域および活性領域を構成に含むトランジスタでなる回路を有する半導体装置であって、

前記活性領域と前記ソース領域との接合部にはゲルマニウムを添加して形成された $\text{Si}_x \text{Ge}_{1-x}$ ($0 < x < 1$) 領域が間隔を空けて局所的に設けられていることを特徴とする。

【0015】

また、他の発明の構成は、

結晶性半導体を利用して形成されたソース領域、ドレイン領域および活性領域を構成に含むトランジスタでなる回路を有する半導体装置であって、

前記活性領域と前記ドレイン領域との接合部にはゲルマニウムを添加して形成された $\text{Si}_x \text{Ge}_{1-x}$ ($0 < x < 1$) 領域が間隔を空けて局所的に形成されていることを特徴とする。

【0016】

本願発明の主旨は、活性領域に対して局所的にゲルマニウムを添加することで意図的にバンド構造の異なる2種類の領域を形成し、そのバンド構造の差を利用してドレイン側からソース側に向かって広がる空乏層を抑止することにある。なお、活性領域とはソース/ドレイン領域間（またはLDD領域間）に挟まれた領域のことを指す。

【0017】

また、本発明者らは空乏層を抑止する効果があたかも空乏層をピン止めする様に捉えられることから、「抑止」という意味で「ピニング」という言葉を定義している。そして、本願発明を利用した半導体装置をピニングFET（またはピニングTFET）と呼び、従来の半導体装置とは明確に区別している。

【0018】

上述の構成からなる本願発明の半導体装置は、高い動作性能と高い信頼性とを同時に実現する。本願発明の半導体装置に関する詳細について以下に示す実施例でもって説明する。

【発明の効果】

【0019】

本願発明によりチャンネル長およびチャンネル幅が極めて小さい微細な半導体装置においても短チャンネル効果による悪影響を抑制または防止することができる。即ち、パンチスルーによるソース-ドレイン間耐圧の低下としきい値電圧の低下とを解決することができる。

【0020】

さらに、上記効果はチャンネル形成領域（キャリアが移動する領域）に余計な不純物を含ませることなく得られるので、キャリア移動度を損なうことがない。その結果、非常に高いモビリティが実現され、高速動作特性（高周波特性）に優れるという利点がある。

10

20

30

40

50

【 0 0 2 1 】

また、 $\text{Si}_x \text{Ge}_{1-x}$ 領域を少数キャリアの引き出し配線として活用することで、衝突電離によるソース - ドレイン間耐圧の低下を防ぐことが可能である。

【 0 0 2 2 】

以上の相乗効果によって、高い動作性能と高い信頼性とを同時に実現する半導体装置を実現することができる。また、本願発明の半導体装置を採用した電気光学装置および半導体回路並びにそれらを搭載した電子機器は、非常に高い性能と高い信頼性を得ることができる。

【 図面の簡単な説明 】

【 0 0 2 3 】

【 図 1 】 本願発明の半導体装置 (F E T) の構成を示す図。

【 図 2 】 活性領域のバンド構造を示す図。

【 図 3 】 チャネル長及びチャネル幅の定義を示す図。

【 図 4 】 活性領域のエネルギー状態を示す図。

【 図 5 】 活性領域のエネルギー状態を模式的に示す図。

【 図 6 】 本願発明の半導体装置 (T F T) の構成を示す図。

【 図 7 】 活性領域の構成を示す図。

【 図 8 】 活性領域の構成を示す図。

【 図 9 】 活性領域の構成を示す図。

【 図 1 0 】 活性領域の構成を示す図。

【 図 1 1 】 C M O S 回路の構成を説明するための図。

【 図 1 2 】 電気光学装置の概略の構成を示す図。

【 図 1 3 】 半導体回路の構成を示す図。

【 図 1 4 】 電子機器の一例を説明するための図。

【 実施例 1 】

【 0 0 2 4 】

本願発明のピンニング F E T の構造について図 1 を用いて説明する。図 1 (A) は上面図、図 1 (B) は上面図を A - A ' で切断した断面図、図 1 (C) は上面図を B - B ' で切断した断面図である。

【 0 0 2 5 】

図 1 (A) において、1 0 1 はソース領域、1 0 2 は活性領域、1 0 3 はドレイン領域、1 0 4 はフィールド酸化膜である。また、活性領域 1 0 2 を横切る様にして複数設けられた領域 1 0 5 は、局部的にゲルマニウム (G e) を添加した領域 (以下、 $\text{Si}_x \text{Ge}_{1-x}$ ($0 < x < 1$) 領域と略記する) である。

【 0 0 2 6 】

なお、 $\text{Si}_x \text{Ge}_{1-x}$ で示される組成では $0 < x < 1$ の関係が成り立つ。即ち、 $\text{Si}_x \text{Ge}_{1-x}$ 領域は Si のみ又は Ge のみといった組成にはならない。具体的には $x = 0.05 \sim 0.95$ の範囲に収まる様な濃度でゲルマニウムが添加されている。

【 0 0 2 7 】

また、活性領域 1 0 2 内において、ゲルマニウムが添加されなかった領域 1 0 6 は、真性または実質的に真性なシリコンからなる領域 (以下、Si 領域と略記する) である。

【 0 0 2 8 】

また、活性領域 1 0 2 の両端には L D D 領域 1 0 7 が設けられ、活性領域 1 0 2 の上にはゲイト絶縁膜を介してゲイト電極 1 0 8 が設けられている。このゲイト電極 1 0 8 は導電性を付与したシリコンを用いる。他にもアルミニウムを主成分とする材料、タンタル、タングステン、モリブデン等を用いることもできる。さらに、層間絶縁膜を介してソース電極 1 0 9、ドレイン電極 1 1 0 が設けられ、それぞれソース領域 1 0 1、ドレイン領域 1 0 3 と接している。

【 0 0 2 9 】

ここで、本願発明の特徴である $\text{Si}_x \text{Ge}_{1-x}$ 領域と Si 領域とについて説明を行う。上述の

10

20

30

40

50

様に、本願発明では活性領域 102 が $\text{Si}_x \text{Ge}_{1-x}$ 領域 105 と Si 領域 106 とで構成されている。最も典型的な構成は、図 1 (A) に示す様に $\text{Si}_x \text{Ge}_{1-x}$ 領域 105 と Si 領域 106 とが互いに概略平行に、且つ、交互に並んだ構成である。なお、この様な構成では活性領域 102 が $\text{Si}_x \text{Ge}_{1-x}$ 領域 105 によって複数の Si 領域 106 に分断されているとも見なせる。

【0030】

この $\text{Si}_x \text{Ge}_{1-x}$ 領域 105 は質量分離したイオンインプランテーション法を用いてゲルマニウムを添加することで形成することができる。ここでゲルマニウムを添加した場合のバンドギャップの変化について図 2 を用いて説明する。

【0031】

図 2 に示すエネルギーバンド図は、隣接する $\text{Si}_x \text{Ge}_{1-x}$ 領域と Si 領域とのバンド構造の変化を模式的に示したものである。Si/Si_xGe_{1-x} 界面におけるバンド構造に関しては未だ研究過程にあるが、 $\text{Si}_x \text{Ge}_{1-x}$ 層と Si 層との界面付近では図 2 に示す様なバンド構造が形成されると報告されている。

【0032】

即ち、 $\text{Si}_x \text{Ge}_{1-x}$ 領域では価電子帯 (E_v) が伝導帯 (E_c) に比べて大幅に持ち上がるためその部分が極端にナローギャップになる。そのため、図 2 に示した模式図の様に $\text{Si}_x \text{Ge}_{1-x}$ 領域のバンドギャップ (E_{g2}) は、Si 領域のバンドギャップ (E_{g1}) に比べて小さい。

【0033】

この時、 $\text{Si}_x \text{Ge}_{1-x}$ 領域のバンドギャップは組成中に含まれるゲルマニウム量で変化する。本願発明では $\text{Si}_x \text{Ge}_{1-x}$ で示される組成において $0 < x < 1$ 、好ましくは $0.05 < x < 0.95$ (代表的には $0.5 < x < 0.95$) となる様に x を変化させる。また、この制御により $\text{Si}_x \text{Ge}_{1-x}$ 領域のバンドギャップ (E_{g2}) は $0.66 < E_{g2} < 1.6$ (代表的には $0.66 < E_{g2} < 1.1$) の間で変化する。

【0034】

この様なバンド構造となる場合、FET 動作時のキャリア (電子または正孔) はエネルギーギャップの狭い $\text{Si}_x \text{Ge}_{1-x}$ 領域を優先的に移動する様な傾向にある。従って、 $\text{Si}_x \text{Ge}_{1-x}$ 領域がキャリアの移動経路として機能する。この様な傾向は N チャネル型でも P チャネル型でも同様である。

【0035】

ここでチャネル長およびチャネル幅の定義を図 3 を用いて行う。図 3 においてソース領域 301 とドレイン領域 302 との間の距離 (活性領域 303 の長さに相当する) をチャネル長 (L) と定義する。本願発明はこの長さが $2 \mu\text{m}$ 以下、典型的には $30 \sim 500 \text{ nm}$ (さらに好ましくは $50 \sim 200 \text{ nm}$) である場合に特に有効である。また、このチャネル長に沿った方向をチャネル長方向と呼ぶ。

【0036】

また、チャネル長方向と直交する方向における活性領域 303 の長さを総合チャネル幅 (W) と呼ぶ。この総合チャネル幅に沿った方向をチャネル幅方向と呼ぶことにする。

【0037】

次に、任意の $\text{Si}_x \text{Ge}_{1-x}$ 領域 304 の幅 (チャネル幅と呼ぶ) を w_i とする。幅 w_i の最小幅は量子効果が起こらない程度 (約 3 nm) とし、最大幅はドレイン側空乏層の最大空乏層幅と同程度とすることが望ましい。

【0038】

最大空乏層幅は基板濃度 (又はウェル濃度) とドレイン領域の不純物濃度が決まれば必然的に決まる。例えば、基板またはウェル濃度が $1 \times 10^{16} \text{ atoms/cm}^3$ 程度ならば約 300 nm である。

【0039】

以上の様な理由から $\text{Si}_x \text{Ge}_{1-x}$ 領域 304 の幅 (w_i) は $2 \mu\text{m}$ 未満、好ましくは $50 \sim 300 \text{ nm}$ (さらに好ましくは $1 \sim 50 \text{ nm}$) とすれば良い。そして、活性領域 303 内に存在す

10

20

30

40

50

る全ての $\text{Si}_x \text{Ge}_{1-x}$ 領域の幅の総和を W とすると、次式の様に定義される。

【0040】

【数1】

$$W = \sum_{i=1}^m v_i$$

【0041】

なお、 $\text{Si}_x \text{Ge}_{1-x}$ 領域304はキャリアが移動する領域（以下、チャンネル形成領域と呼ぶ）として機能する。そのため、活性領域303に対して少なくとも一つの $\text{Si}_x \text{Ge}_{1-x}$ 領域を設ける必要がある。即ち、 $i = 1 \sim m$ となり、1本乃至 m 本の $\text{Si}_x \text{Ge}_{1-x}$ 領域を形成する。また、上述のチャンネル幅 v_i の総和（ W ）を有効チャンネル幅と呼ぶ。

10

【0042】

また、 $\text{Si}_x \text{Ge}_{1-x}$ 領域304は $1 \times 10^{17} \sim 5 \times 10^{19} \text{atoms/cm}^3$ （好ましくは $1 \times 10^{18} \sim 1 \times 10^{19} \text{atoms/cm}^3$ ）の範囲でゲルマニウムを添加することで形成することができる。この添加濃度によって $\text{Si}_x \text{Ge}_{1-x}$ 領域304のバンドギャップが変化する。ただし、過剰にゲルマニウムを添加すると却ってキャリアの移動を妨げる恐れもあるので $1 \times 10^{19} \text{atoms/cm}^3$ 程度を上限とすると良い。

【0043】

次に、Si領域305の幅（ピング幅と呼ぶ）を v_j とする。ピング幅 v_j も $\text{Si}_x \text{Ge}_{1-x}$ 領域304と同様に $1 \mu\text{m}$ 以下、好ましくは $50 \sim 300 \text{nm}$ （さらに好ましくは $1 \sim 50 \text{nm}$ ）とすればピング効果を得ることができる。また、上記Si領域305の幅 v_j の総和を V とすると次式の様に定義される。

20

【0044】

【数2】

$$V = \sum_{j=1}^n v_j$$

【0045】

なお、Si領域305は、空乏層の広がりを抑止するための領域として機能するため、活性領域303に対して少なくとも一つのSi領域を設ける必要がある。即ち、 $j = 1 \sim n$ となり、1本乃至 n 本のSi領域を形成する。また、上述のピング幅 v_j の総和（ V ）を有効ピング幅と呼ぶ。

30

【0046】

そして、上記有効チャンネル幅（ W ）と有効ピング幅（ V ）とを加えた総和を総合チャンネル幅（ W_{total} ）とし、次式で定義する。

【0047】

【数3】

$$W_{\text{total}} = W + V$$

40

【0048】

以上の様に定義される本願発明の半導体装置は、特にチャンネル長が極めて小さい半導体装置に適用することを念頭に置いているので、 $\text{Si}_x \text{Ge}_{1-x}$ 領域の形成は極めて微細な寸法で行わなくてはならない。

【0049】

そのため、図1(A)における $\text{Si}_x \text{Ge}_{1-x}$ 領域105の形成には極めて微細な露光技術及びイオン注入技術が必要となる。即ち、エキシマレーザー、電子ビームまたはX線等に

50

よる露光技術とイオンインプランテーション、プラズマドーピング、レーザードーピング等によるイオン注入技術とを組み合わせることが好ましい。また、集束イオンビーム(FIB)等を用いてマスクレスで不純物添加を行うことも可能である。

【0050】

特に、ゲルマニウムの導入量を精密に制御するためにもイオン注入技術は精密な濃度制御の可能な技術を利用することが好ましい。

【0051】

次に、図1(B)についての説明を行う。なお、図1(B)において、図1(A)で説明した部分については同一の符号を用いて説明することにする。

【0052】

図1(B)において、111は単結晶シリコン基板であり、N型またはP型シリコン基板を用いる。なお、シリコン基板111としては、通常のCZ法、FZ法またはその他の方法で形成された全てのシリコン基板を用いることができる。ただし、キャリアの移動度を高めるためには、ドーパント量(不純物元素の添加濃度)の少ない高抵抗シリコン基板を用いることが好ましい。

【0053】

なお、本実施例ではシリコン基板をそのまま利用してピンングFETを形成する例を示しているが、N型またはP型の不純物ウェルを形成して、その中にピンングFETを形成する構成としても良い。

【0054】

また、112はフィールド酸化膜104の下に形成されたチャンネルストップパー、113はゲイト絶縁膜、114は層間絶縁膜である。また、活性領域102内において $Si_x Ge_{1-x}$ 領域105以外の領域がSi領域106となる。

【0055】

そして、活性領域102に対してストライプ状に $Si_x Ge_{1-x}$ 領域105が形成されることで、やはりストライプ状にSi領域106が形成される。このSi領域106はドレイン側からソース側に向かって広がる空乏層を効果的にピンングする様に深く形成することが好ましい。基本的には、ソース/ドレイン領域の接合深さよりも深くすると良い。

【0056】

次に、図1(C)について説明を行う。図1(C)において、ソース領域101及びドレイン領域103の内側に設けられた領域107がLDD領域である。このLDD領域107はサイドウォール115を利用して形成される。

【0057】

なお、図1(C)に示す様に $Si_x Ge_{1-x}$ 領域105をLDD領域107の内部にまで食い込む様に形成すると、LDD領域に到達するまでキャリアの移動がスムーズに行われるので有効である。勿論、ドレイン領域103の内部にまで食い込む様に形成することもできるし、LDD領域内に食い込まない様に形成しておくことも可能である。

【0058】

本願発明のピンングFETは、以上に示した様な構成を基本とする。ただし、最も重要なのは活性領域の構成であり、活性領域とは直接関係しない素子構造に関しては図1の構造に限定されるものではない。

【0059】

次に、 $Si_x Ge_{1-x}$ 領域105及びSi領域106の果たす役割と、それによって得られる効果についてNチャンネル型FETを例にとって説明する。

【0060】

まず、第1の効果について説明する。本願発明の最も大きな目的は、ドレイン側からソース側に向かって広がる空乏層を抑止(ピンング)し、ドレイン電圧によるソース側の電位障壁の低下を防止することにある。そして、空乏層の広がりを抑止することでしきい値電圧の低下やパンチスルーによる耐圧の低下を十分に防ぐことが可能となる。

【0061】

10

20

30

40

50

図1において、活性領域102に局部的に残存したSi領域106は、ドレイン側から広がる空乏層に対して電位的なストッパー（障壁）として働き、空乏層の広がりを効果的に抑止する。従って、空乏層の広がりによってソース側の拡散電位が引き下げられることもなくなり、パンチスルー現象が防止される。また、空乏層の広がりによる空乏層電荷の増加が抑制されるので、しきい値電圧の低下も避けられる。

【0062】

以上の様に、活性領域に対して $\text{Si}_x\text{Ge}_{1-x}$ 領域105を形成することでストライプ状のチャンネル形成領域とピンング領域とに区別されるため、微細化に際して非常に重大な問題であった短チャンネル効果を抑止または防止することが可能となる。この効果は本願発明の半導体装置の最も重要な効果である。

10

【0063】

次に第2の効果について説明する。本願発明のNチャンネル型FETではストライプ状に設けられた $\text{Si}_x\text{Ge}_{1-x}$ 領域がチャンネル形成領域として機能するのでキャリアの移動経路が規定され、余計なキャリア散乱を防ぐことができる。

【0064】

図4は本実施例のピンングFETが動作した際の活性領域102のエネルギー状態（電位状態）を示している。図4において、401、402で示される領域がSi領域106のエネルギー状態に相当し、403で示される領域が $\text{Si}_x\text{Ge}_{1-x}$ 領域105のエネルギー状態に相当する。

【0065】

20

図4からも明らかな様に、 $\text{Si}_x\text{Ge}_{1-x}$ 領域105は $\text{Si}_x\text{Ge}_{1-x}$ 領域に較べてバンドギャップの大きいSi領域106に挟まれるため、結果的に電子はエネルギー状態の低い $\text{Si}_x\text{Ge}_{1-x}$ 領域105を優先的に移動する。

【0066】

この $\text{Si}_x\text{Ge}_{1-x}$ 領域およびSi領域はどちらも真性または実質的に真性な領域である。即ち、Nチャンネル型ピンングFETでは、チャンネル形成領域となる $\text{Si}_x\text{Ge}_{1-x}$ 領域105が真性または実質的に真性な領域で構成され、その領域を電子が移動するという構成になる。

【0067】

ここで真性な領域とは、N型やP型を付与する不純物元素および炭素、窒素、酸素といった不純物元素を意図的に添加しない領域を呼ぶ。また、実質的に真性な領域とは、逆導電型不純物の添加により意図的に導電型を相殺させた領域又はしきい値電圧の制御が可能な範囲において一導電型を示す領域を指す。

30

【0068】

例えば、ドーパント濃度（リン、砒素、ボロン、インジウム、アンチモン等の濃度）が $1 \times 10^{18} \text{atoms/cm}^3$ 以下（好ましくは $1 \times 10^{17} \text{atoms/cm}^3$ 以下）であり、含有する炭素、窒素、酸素の濃度が $2 \times 10^{18} \text{atoms/cm}^3$ 以下である様なシリコン基板は実質的に真性であるといつて差し支えない。

【0069】

そういった意味で、一般的に半導体用に用いられる単結晶シリコン基板はプロセス過程で意図的に一導電型を付与する不純物元素を添加しない限り全て実質的に真性であると言える。

40

【0070】

また、一般的なVLSIプロセスで用いられる様に $1 \times 10^{17} \sim 1 \times 10^{18} \text{atoms/cm}^3$ の濃度で形成されたN型またはP型のウェルも、しきい値電圧の制御が可能といった点で実質的に真性で見なすことができる。

【0071】

キャリアの移動する領域が真性または実質的に真性である場合、不純物散乱による移動度の低下は極めて小さくなり高いモビリティが得られる。この点が本願発明とチャンネルドープ法との大きな相違点である。

50

【 0 0 7 2 】

また、図 1 (A) に示す様に、ソース領域からドレイン領域にかけて線状の $\text{Si}_x \text{Ge}_{1-x}$ 領域を設けた場合、Si 領域によって電子の移動経路が規定されるという効果が得られる。

【 0 0 7 3 】

前述の様に、Si 領域に挟まれた $\text{Si}_x \text{Ge}_{1-x}$ 領域のエネルギー状態は図 4 に示す様な状態となっている。図 1 (A) に示す構成では、図 4 の様なエネルギー状態のスリットが複数並んでいると考えられる。

【 0 0 7 4 】

この様子を模式的に表したのが図 5 である。図 5 において、5 0 1 が Si 領域 (ピニング領域)、5 0 2 が $\text{Si}_x \text{Ge}_{1-x}$ 領域 (チャネル形成領域) を表している。また、5 0 3 が多数キャリア (ここでは電子) である。図 5 に示す様に、電子 5 0 3 はエネルギー的に低い $\text{Si}_x \text{Ge}_{1-x}$ 領域 5 0 2 を優先的に移動する。

10

【 0 0 7 5 】

この様に多数キャリアの移動経路を規定することでキャリア同士の自己衝突による散乱 (キャリア散乱) が低減する。この事は F E T のモビリティの向上に大きく寄与する。

【 0 0 7 6 】

さらに、 $\text{Si}_x \text{Ge}_{1-x}$ 層をチャネル形成領域とした場合の方が Si 層をチャネル形成領域とした場合よりもキャリア移動度が高いことが知られている。即ち、本願発明は $\text{Si}_x \text{Ge}_{1-x}$ 領域をキャリアの移動経路として活用するので、従来の M O S F E T よりも高いモビリティが実現できるという利点を有する。

20

【 0 0 7 7 】

次に、第 3 の効果について説明する。本願発明のピニング領域は衝突電離によるソース / ドレイン間耐圧の低下を防止する上で非常に重要な役割を果たしている。

【 0 0 7 8 】

衝突電離 (インパクトイオン化現象) によって生成した少数キャリア (ここでは正孔) は寄生バイポーラトランジスタを導通させたり、ソース近傍に蓄積してソース側の拡散電位を下げたりするなど、キャリア注入誘起型の降伏現象の原因となる。

【 0 0 7 9 】

しかしながら、図 1 に示した様な構造の N チャネル型ピニング F E T の場合、 $\text{Si}_x \text{Ge}_{1-x}$ 領域 1 0 5 は正孔にとって電位的な溝となる (図 2 参照) ため、衝突電離によって発生した正孔は $\text{Si}_x \text{Ge}_{1-x}$ 領域 1 0 5 に移動する。

30

【 0 0 8 0 】

ただし、 $\text{Si}_x \text{Ge}_{1-x}$ 領域の上部 (特にゲイト絶縁膜との界面近傍) はゲイト電圧によって電子が誘起されてチャネルを形成している。インパクトイオン化によって発生した正孔はゲイト電圧によってチャネルよりも下方に払われるので、 $\text{Si}_x \text{Ge}_{1-x}$ 領域の下部に集まることになる。

【 0 0 8 1 】

そして、正孔はソース - ドレイン間の電位差によってソース領域側に引かれ、 $\text{Si}_x \text{Ge}_{1-x}$ 領域の下部を流れてソース領域 1 0 1 に到達する。その様にしてソース領域に引かれた正孔は外部端子を通過して引き出されるので、基板端子への正孔の流出または蓄積を防ぐことができる。

40

【 0 0 8 2 】

この様に、本願発明のピニング領域は衝突電離によって発生した少数キャリア (ここでは正孔) を多数キャリア (ここでは電子) とは逆の方向に流し、そのまま外部へ引き出すためのパスとしても機能する。

【 0 0 8 3 】

この第 3 の効果によって衝突電離によるキャリア注入誘起型の降伏現象を防ぐことが可能であるため、第 1 の効果 (パンチスルーによる耐圧の低下防止) との相乗効果で、非常に高い耐圧を有する信頼性の高い半導体装置を実現できる。

【 0 0 8 4 】

50

以上の効果によって、本願発明のピニングTFTは高い信頼性と高いモビリティとを同時に実現することが可能である。なお、以上の説明はNチャネル型FETを例にとった説明であるが、Pチャネル型FETでも正孔と電子の取り扱いが異なるだけで基本的に同様の効果を得ることができる。

【実施例2】

【0085】

実施例1ではバルク単結晶を利用したMOSFETに対して本願発明を適用した場合の例について説明した。これ以外にも本願発明は結晶性半導体薄膜を利用した薄膜トランジスタ(TFT)に対して適用することもできる。

【0086】

結晶性半導体薄膜としては、単結晶半導体薄膜、多結晶半導体薄膜などを用いることができる。単結晶半導体薄膜は、酸素イオン注入による方法(SIMOX)、貼り合わせによる方法、ELTRAN法、スマートカット法などの公知技術を利用して得ることができる。

【0087】

また、多結晶半導体薄膜は特開平7-130652号公報、特開平9-312260号公報記載の技術、レーザーアニールを利用した技術などを利用して非晶質半導体薄膜を結晶化させる方法、減圧熱CVD法で直接成膜する方法などを利用して得ることができる。

【0088】

特に特開平9-312260号公報記載の技術を利用することで極めて結晶性に優れた連続粒界結晶シリコン膜(Continuous Grain Silicon: CGS)と呼ばれるシリコン薄膜が得られる。このシリコン膜を用いたTFTは従来のMOSFETをも凌駕する電気特性を有するので、この先のLSI技術においてMOSFETの代替素子として利用することができる。従って、この様なシリコン膜を用いたTFTに本願発明を適用することは非常に有効であると言える。

【0089】

また、この他にもあらゆる手段で形成された結晶性半導体薄膜を利用することが可能である。ここで、本願発明をTFTに適用した場合の構成を図6を用いて説明する。

【0090】

図6において、601はソース領域、602はドレイン領域、603は活性領域、604は $\text{Si}_x\text{Ge}_{1-x}$ 領域、605はSi領域、606はLDD領域である。これらは結晶性半導体薄膜を利用して形成される。

【0091】

また、607はアルミニウムを主成分とするゲイト電極、608はゲイト電極を陽極酸化して得られる陽極酸化膜、609はソース電極、610はドレイン電極である。なお、ゲイト電極607はタンタル、タングステン、モリブデンまたは導電性を付与したシリコンを用いることもできる。

【0092】

次に、図6(A)をA-A'で切断した断面図を図6(B)に示す。図6(B)において、611は絶縁表面を有する基板、612は下地膜であり、その上に結晶性半導体薄膜が形成される。基板611はプロセスの最高温度に耐えうる耐熱性を備えた基板を用いる。また、613はゲイト絶縁膜であり、その上のゲイト電極607、陽極酸化膜608上には層間絶縁膜614が設けられている。

【0093】

次に、図6(A)をB-B'で切断した断面図を図6(C)に示す。図6(C)に示す様に本願発明のTFTは、基本構造は特開平7-135318号公報に記載された技術を利用したTFTに似ているが、活性領域603に $\text{Si}_x\text{Ge}_{1-x}$ 領域604が設けられている点で異なる。

【0094】

この様に、本願発明は活性領域(ゲイト電極の直下)に対するエンジニアリングであり

10

20

30

40

50

、それ以外の T F T 構造に影響される技術ではない。即ち、本願発明は図 6 に示した T F T 構造に限定されず、あらゆる構造の T F T に適用することが可能である。

【実施例 3】

【0095】

実施例 1 に示したピニング F E T または実施例 2 に示したピニング T F T は、N チャネル型と P チャネル型とを相補的に組み合わせることで容易に C M O S 回路（インバータ回路）を構成することができる。

【0096】

その場合、N チャネル型と P チャネル型とで全く同じ構造のピニング F E T を組み合わせることもできるが、本実施例で示す様にピニング領域の構成を両者間で異なるものとする

10

【0097】

ここで図 7 に示したのは、N チャネル型ピニング F E T と P チャネル型ピニング F E T とを相補的に組み合わせた C M O S 回路の、活性領域とソース/ドレイン領域のみを示した上面図である。なお、701 は N チャネル型ピニング F E T のソース領域、702 は同ドレイン領域であり、704 は P チャネル型ピニング F E T のソース領域、705 は同ドレイン領域である。

【0098】

図 7 では P チャネル型ピニング F E T に形成する $\text{Si}_x \text{Ge}_{1-x}$ 領域 705 の幅を N チャネル型ピニング F E T に形成する $\text{Si}_x \text{Ge}_{1-x}$ 領域 706 の幅よりも太くしてある点に特徴がある。換言すれば、P チャネル型ピニング F E T の Si 領域 707 は N チャネル型ピニング F E T に形成する Si 領域 708 よりも細くなる。

20

【0099】

この様な構成とすると、N チャネル型ピニング F E T の方はピニング領域（Si 領域）708 の占める面積が大きいのので、よりドレイン側からの空乏層の広がりを抑止するのに適した構造となる。即ち、信頼性を重視した構造となる。

【0100】

一方、P チャネル型 F E T の方はチャネル形成領域（ $\text{Si}_x \text{Ge}_{1-x}$ 領域）705 の占める面積が大きくなるので、よりキャリアの移動量を多くするまたは移動度を高めるのに適した構造となる。即ち、大電流を流したり、高速動作を行わせることを重視した構造となる

30

【0101】

従来、C M O S 回路では N チャネル型の方はモビリティは高いが信頼性が悪いことが多く、逆に P チャネル型の方は信頼性は高いがモビリティが低いことが多いという問題があった。

【0102】

しかしながら、本実施例の構造を採用した場合、ピニング F E T で C M O S 回路を構成することによって N チャネル型と P チャネル型の両者の欠点を補う様な組み合わせが可能となる。その結果、両者の特性差を是正し、特性バランスが高く、且つ、信頼性も高い C M O S 回路を実現することができる。

40

【実施例 4】

【0103】

本実施例では、実施例 1 乃至実施例 3 に示した半導体装置において、ピニング領域として機能する領域に対してエネルギー障壁を高めるための不純物元素を添加する場合の例を示す。

【0104】

具体的には、N チャネル型ピニング F E T の場合にはピニング領域として振る舞う Si 領域に対して 13 族から選ばれた元素（代表的にはボロン、ガリウムまたはインジウム）を添加する。また、P チャネル型ピニング F E T の場合には Si 領域に対して 15 族から選ばれた元素（代表的にはリン、砒素またはアンチモン）を添加する。

50

【 0 1 0 5 】

Nチャネル型半導体装置では、多数キャリアが電子であるので電子の移動を妨げる方向にバンド構造をシフトさせる13族元素を用いる。この場合、13族元素はしきい値電圧を正の方向にシフトさせるため、これを利用してしきい値電圧の制御を行うことも可能である。

【 0 1 0 6 】

逆に、Pチャネル型半導体装置では、多数キャリアが正孔であるので正孔の移動を妨げる方向にバンド構造をシフトさせる15族元素を用いる。この時、15族元素はしきい値電圧を負の方向にシフトさせるため、これを利用してしきい値電圧を制御しても良い。

【 0 1 0 7 】

この様な構造とすることで、キャリアの移動する領域（チャネル形成領域）と空乏層の広がりを抑止する領域（ピニング領域）とがより明確に区別される。この様な不純物の添加はイオンプラントレーション、プラズマドーピング、レーザードーピングのいずれかの手段で行えば良い。

【 0 1 0 8 】

また、この時、13族または15族の元素を添加した領域に対して酸素を同時に添加しておくことはさらに効果的である。酸素が添加されることで、ドレイン領域との接合部における耐圧が高くなる。また、酸素の添加は13族または15族の元素を添加するのに利用したマスクをそのまま活用して上述の添加手段のいずれかを用いて行えば良い。

【 実施例 5 】

【 0 1 0 9 】

本実施例では、実施例1で説明した第4の効果を有効に活用するための構成について説明する。なお、説明には図8を用い、Nチャネル型半導体装置を例にとって説明を行う。

【 0 1 1 0 】

図8において、801はソース領域、802はドレイン領域、803は $\text{Si}_x\text{Ge}_{1-x}$ 領域（チャネル形成領域）である。また、804はソース電極（図示せず）とソース領域801との接続箇所（コンタクトホール位置）を表している。

【 0 1 1 1 】

第4の効果、即ち衝突電離によって発生した少数キャリア（正孔）の蓄積を防ぐ効果は、発生した正孔が $\text{Si}_x\text{Ge}_{1-x}$ 領域803の下部を伝ってソース領域に逃げることによって達成される。

【 0 1 1 2 】

そのため、図8に示す様に $\text{Si}_x\text{Ge}_{1-x}$ 領域803を接続箇所804の内部に到達する程度に長く形成しておけば、 $\text{Si}_x\text{Ge}_{1-x}$ 領域803に直接的にソース電極（図示せず）が接触する構成となる。こうすることで、 $\text{Si}_x\text{Ge}_{1-x}$ 領域803を伝ってソース領域801へと移動した正孔がソース電極によって外部へと引き出されるのである。

【 0 1 1 3 】

本実施例の効果は、Pチャネル型半導体装置でも同様に得ることができる。また、FETやTFET等の単体素子だけでなく、CMOS回路などに適用することも有効である。

【 0 1 1 4 】

ただし、もともとPチャネル型半導体装置は衝突電離による劣化現象が問題となりにくいので、Nチャネル型半導体装置のみに本実施例の構成を適用するのであっても良い。

【 実施例 6 】

【 0 1 1 5 】

本実施例では、実施例1とは異なる構成とした活性領域の例について説明する。なお、説明はNチャネル型を例にとって行う。

【 0 1 1 6 】

本願発明の最も重要な効果は、ドレイン側からソース側に向かって広がる空乏層を抑止することである。その効果を得るためには、空乏層を抑止するためのピニング領域が活性領域のどこかに設けられていれば良い。

10

20

30

40

50

【 0 1 1 7 】

その様な例として図 9 の様な構成が考えられる。図 9 の構成では、活性領域のほぼ全面にゲルマニウムを添加され、Si 領域 9 0 1 がソース領域 9 0 2、ドレイン領域 9 0 3 と接触しない様な構成となっている。

【 0 1 1 8 】

この場合、ドレイン側から広がった空乏層はSi 領域 9 0 1 の所でカットされる。また、活性領域とドレイン領域との接合部 9 0 4 にSi 領域 9 0 1 が接していないので、Si 領域とドレイン領域との接合部に電界集中が生じる様なこともなく、耐圧の向上に有効である。

【 実施例 7 】

【 0 1 1 9 】

本実施例では、 $Si_x Ge_{1-x}$ 領域の配置に関して実施例 1 ~ 6 とは異なる構造とした場合の例について図 1 0 を用いて説明する。

【 0 1 2 0 】

図 1 0 において、1 1 はソース領域、1 2 はドレイン領域、1 3 は $Si_x Ge_{1-x}$ 領域である。図 1 0 の構成では、 $Si_x Ge_{1-x}$ 領域 1 3 がソース領域 1 1 の内部には入り込み、ドレイン領域 1 2 には接しない構成となっている。

【 0 1 2 1 】

この様な構成とした場合、ソース領域から引き出された電子は $Si_x Ge_{1-x}$ 領域 1 1 を通ってドレイン領域 1 2 へと向かうが、途中で $Si_x Ge_{1-x}$ 領域 1 3 が途切れてしまうので、そこから先はSi 領域 1 4 を通ってドレイン領域 1 2 へと到達する構成となる。

【 0 1 2 2 】

この場合、衝突電離によって発生した少数キャリア（ここでは正孔）は $Si_x Ge_{1-x}$ 領域 1 3 の価電子帯に落ち、そのままソース領域 1 1 へと引き抜かれる。実施例 6 の構成と組み合わせればさらに顕著な効果を得ることができる。

【 0 1 2 3 】

なお、本実施例の構成は、P チャネル型半導体装置においても同様の効果を得ることができる。また、他の実施例の構成と組み合わせることで他の実施例の効果を付加し、本実施例の効果をさらに効果的に利用できる。

【 実施例 8 】

【 0 1 2 4 】

実施例 3 に示した CMOS 回路を構成する際、どちらか片方だけに本願発明を適用することもできる。例えば、図 1 1 (A) の構成ではN チャネル型 F E T は従来のチャネルドープを用いた F E T (チャネルドープ F E T) を用い、P チャネル型 F E T は本願発明のピニング F E T を用いる。

【 0 1 2 5 】

図 1 1 (A) の様な構成では、N チャネル型 F E T に従来のチャネルドープを用いているのでモビリティにある程度の制限が与えられる。逆にP チャネル型 F E T はピニングにより高いモビリティを実現する。従って、N チャネル型とP チャネル型の特性の出力差が緩和され、安定な動作の CMOS 回路を構成しやすくなる。

【 0 1 2 6 】

勿論、図 1 1 (B) の様な構成をとることも可能である。図 1 1 (B) の構成ではN チャネル型 F E T としてピニング F E T を用い、P チャネル型 F E T として従来のチャネルドープを利用した F E T を用いている。

【 0 1 2 7 】

なお、本実施例では F E T を例にとって説明しているが T F T に本願発明を適用する場合においても同様であることは言うまでもない。

【 0 1 2 8 】

本実施例の様に、より好適な回路を形成するためには本願発明のピニング半導体装置と従来のチャネルドープを利用した半導体装置とを適所に混在させる様な工夫も必要である。

【実施例 9】

【0129】

本願発明はトップゲイト型半導体装置（代表的にはプレーナ型半導体装置）に適用されるだけでなく、ボトムゲイト型半導体装置（代表的には逆スタガ型半導体装置）にも適用することができる。

【0130】

なお、ボトムゲイト型半導体装置に本願発明を適用した場合においても、他の実施例の構成と組み合わせることが可能である。

【実施例 10】

【0131】

本実施例では、本願発明のピニング T F T を用いて電気光学装置を構成する場合の例について説明する。なお、電気光学装置とは電気的信号を光学的信号に変換する装置またはその逆を行う装置と定義する。

【0132】

電気光学装置としてはアクティブマトリクス型の液晶表示装置、E L（エレクトロルミネッセンス）表示装置、E C（エレクトロクロミクス）表示装置などが挙げられる。また、イメージセンサや C C D を作製することも可能である。

【0133】

図 1 2 に示すのは液晶モジュールの一部（素子形成側基板）の配置例を示している。2 1 は絶縁表面を有する基板、2 2 は画素マトリクス回路、2 3 はソース側駆動回路、2 4 はゲイト側駆動回路、2 5 はロジック回路である。

【0134】

ソース側駆動回路 2 3 は主にシフトレジスタ回路、サンプリング回路、バッファ回路等から構成される。また、ゲイト側駆動回路 2 4 は主にシフトレジスタ回路、バッファ回路等から構成される。ロジック回路 2 5 はクロック発生回路、メモリ回路、演算回路、信号変換回路など各種信号処理回路から構成される。

【0135】

本願発明のピニング T F T は上記全ての回路に対して適用することができる。また、必要とする性能に応じて部分的に採用する様なこともできる。例えば、高速動作特性を必要とする回路（ロジック回路やシフトレジスタ回路等）にピニング T F T を適用することは有効である。また、高耐圧特性を必要とする画素マトリクス回路にピニング T F T を適用することも有効である。

【0136】

一方、バッファ回路やサンプリング回路などの様に大電流を必要とする様な回路に対してはピニング T F T を使うメリットが生かされない。本願発明のピニング T F T はピニング領域を形成する分だけ有効チャネル幅が狭まるので、同一サイズの従来型 T F T に比べてオン電流を稼ぎにくい。

【0137】

従って、大電流を必要とする回路には従来のチャネルドープを用いた T F T を用い、大電流を取り扱うことなく高速動作性と高耐圧性を重視する回路には本願発明のピニング T F T を用いる様なシステムが好ましい。

【0138】

なお、本実施例では実施例 2 に示したピニング T F T を用いて電気光学装置を構成する例を示したが、駆動回路やロジック回路は実施例 3 に示した C M O S 回路を基本回路として組まれる。また、実施例 1 に示したピニング F E T を用いて本実施例の液晶モジュールを構成することもできる。

【実施例 11】

【0139】

本願発明のピニング F E T またはピニング T F T は実施例 1 0 に示した様な電気光学装置だけでなく、V L S I、U L S I といった半導体回路を構築することも可能である。な

10

20

30

40

50

お、半導体回路とは半導体特性を利用して電気信号の制御、変換を行う電気回路と定義する。

【0140】

例えば、ワンチップ上に集積化されたRISCプロセッサ、ASICプロセッサ等のマイクロプロセッサに適用しうる。また、D/Aコンバータ等の信号処理回路から携帯機器（携帯電話、PHS、モバイルコンピュータ）用の高周波回路に至るまで、半導体を利用する全ての集積化回路に適用しうる。

【0141】

図13に示すのは、マイクロプロセッサの一例である。マイクロプロセッサは典型的にはCPUコア31、RAM32、クロックコントローラ33、キャッシュメモリー34、

10

【0142】

キャッシュコントローラ35、シリアルインターフェース36、I/Oポート37等から構成される。

【0143】

勿論、図13に示すマイクロプロセッサは簡略化した一例であり、実際のマイクロプロセッサはその用途によって多種多様な回路設計が行われる。

【0144】

しかし、どのような機能を有するマイクロプロセッサであっても中枢として機能するのはIC(Integrated Circuit)38である。IC38は半導体チップ39上に形成された集積化回路をセラミック等で保護した機能回路である。

20

【0145】

そして、その半導体チップ39上に形成された集積化回路を構成するのが本願発明の構造を有するMOSFET40(Nチャネル型)、41(Pチャネル型)である。なお、基本的な回路はCMOS回路を最小単位として構成することで消費電力を抑えることができる。

【0146】

また、本実施例に示したマイクロプロセッサは様々な電子機器に搭載されて中枢回路として機能する。代表的な電子機器としてはパーソナルコンピュータ、携帯型情報端末機器、その他あらゆる家電製品が挙げられる。また、車両(自動車や電車等)の制御用コンピュータなども挙げられる。

30

【0147】

また、これ以外にもピニングFETは携帯電話の入出力信号制御回路などの様に、高周波を利用する回路、具体的にはMMIC(マイクロウェーブモジュールIC)などに適用することも有効である。

【0148】

勿論、実施例10と同様に大電流を取り扱う必要のある部分には従来のチャンネルドープを用いた半導体装置を用い、高速動作性能と高耐圧性能とを必要とする部分には本願発明のピニング半導体装置を用いる様な構成が望ましい。

40

【0149】

また、高耐圧と高速動作を同時に実現するという特徴を生かして静電対策用の回路を構成する場合にも本願発明のピニング半導体装置は有効である。

【0150】

以上の様に、本願発明のピニング半導体装置は高い動作性能と高い耐圧特性(高い信頼性)とを同時に満足する半導体装置であるので、あらゆる半導体回路に対して適用することが可能である。

【実施例12】

【0151】

本願発明のピニング半導体装置を用いて構成した電気光学装置や半導体回路は、様々な電子機器の構成部品として利用される。なお、本実施例に挙げる電子機器とは、半導体回路または電気光学装置を搭載した製品と定義する。

50

その様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話等）などが挙げられる。それらの一例を図14に示す。

【0152】

図14(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明は音声出力部2002、音声出力部2003、表示装置2004等に適用することができる。

【0153】

図14(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明は表示装置2102、音声入力部2103、受像部2106等に適用することができる。

10

【0154】

図14(C)はモバイルコンピュータ（モビルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明はカメラ部2202、受像部2203、表示装置2205等に適用できる。

【0155】

図14(D)はヘッドマウントディスプレイであり、本体2301、表示装置2302、バンド部2303で構成される。本発明は表示装置2302に適用することができる。

20

【0156】

図14(E)はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に適用することができる。

【0157】

図14(F)はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に適用することができる。

【0158】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、実施例10の電気光学装置や実施例11の半導体回路を必要とする製品であれば全てに適用できる。

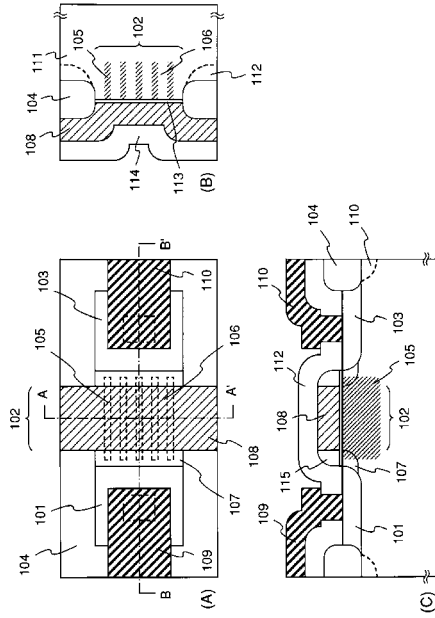
30

【符号の説明】

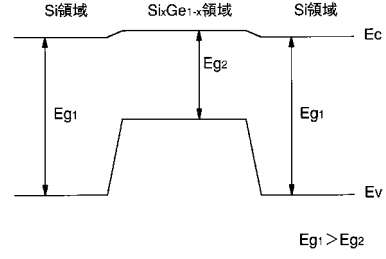
【0159】

101	ソース領域	
102	活性領域	
103	ドレイン領域	
104	フィールド酸化膜	
105	Si _x Ge _{1-x} 領域	40
106	Si領域	
107	LDD領域	
108	ゲイト電極	
109	ソース電極	
110	ドレイン電極	
111	単結晶シリコン基板	
112	チャネルストッパー	
113	ゲイト絶縁膜	
114	層間絶縁膜	
115	サイドウォール	50

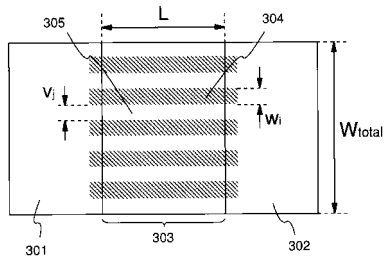
【図1】



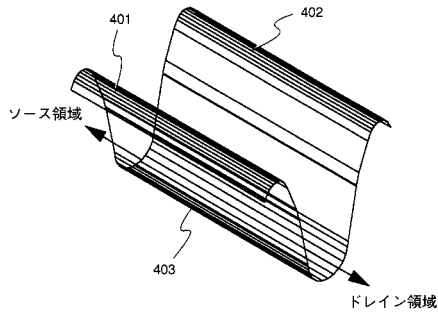
【図2】



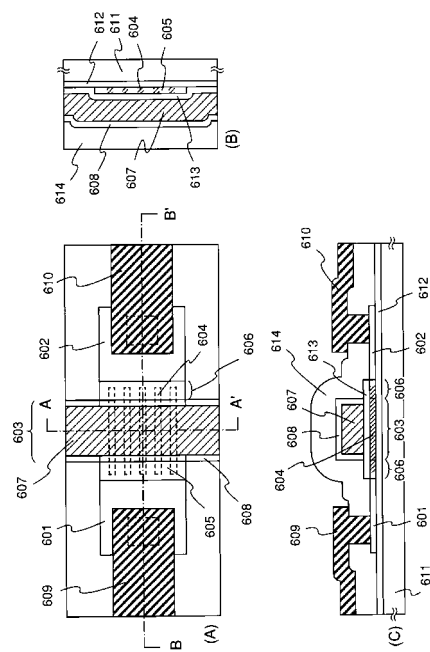
【図3】



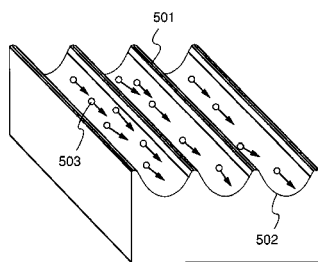
【図4】



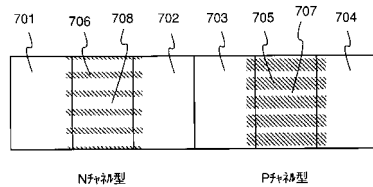
【図6】



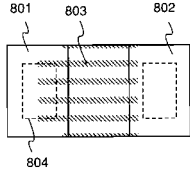
【図5】



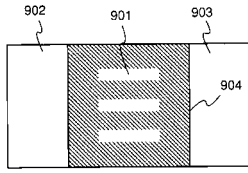
【図7】



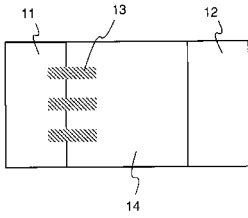
【図8】



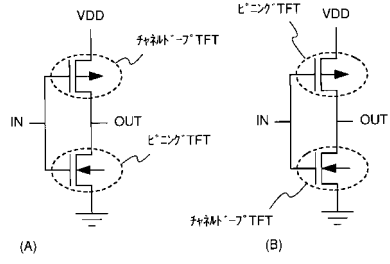
【図9】



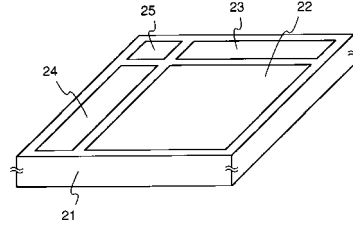
【図10】



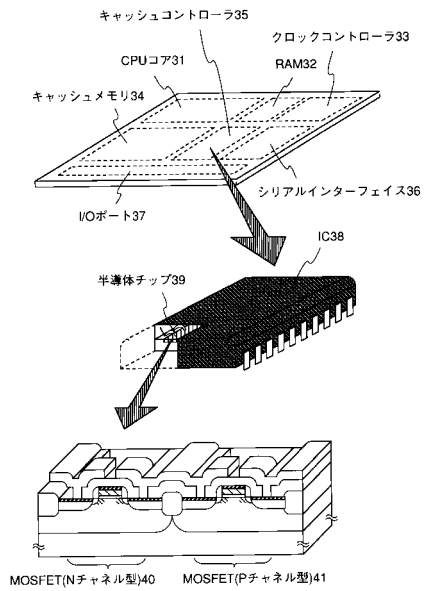
【図11】



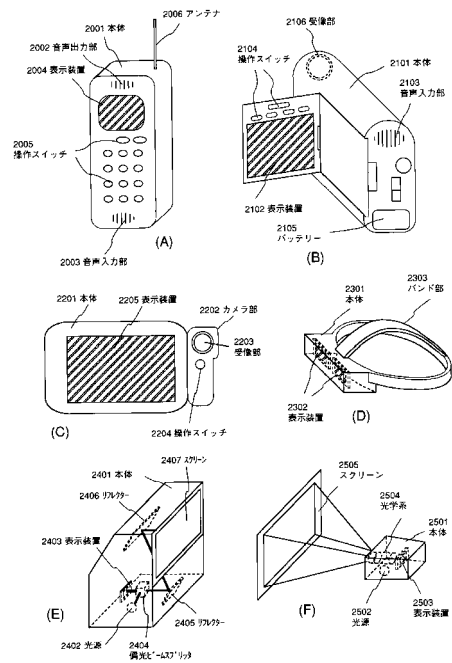
【図12】



【図13】



【図14】



フロントページの続き

(51) Int.Cl.		F I		
<i>H 0 1 L</i>	<i>21/8238</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/08 3 2 1 C</i>
<i>H 0 1 L</i>	<i>27/092</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/08 3 3 1 E</i>
<i>H 0 1 L</i>	<i>27/08</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78 3 0 1 B</i>

- (56) 参考文献 特開平 0 8 - 2 9 3 5 9 8 (J P , A)
特開平 0 3 - 2 8 0 4 3 7 (J P , A)
特開平 0 5 - 0 5 5 5 8 2 (J P , A)
特開平 0 9 - 2 8 9 1 6 8 (J P , A)
特開平 1 0 - 0 7 4 9 4 3 (J P , A)
特開平 0 8 - 2 7 4 3 3 0 (J P , A)

(58) 調査した分野 (Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 1 / 8 2 3 8
H 0 1 L 2 7 / 0 8
H 0 1 L 2 7 / 0 8 8
H 0 1 L 2 7 / 0 9 2
H 0 1 L 2 9 / 7 8
H 0 1 L 2 9 / 7 8 6