



(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 29/786 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년01월12일 10-0668272 2007년01월08일
--	-------------------------------------	--

(21) 출원번호	10-2005-0065151	(65) 공개번호	10-2006-0053881
(22) 출원일자	2005년07월19일	(43) 공개일자	2006년05월22일
심사청구일자	2005년07월19일		

(30) 우선권주장	JP-P-2004-00215333	2004년07월23일	일본(JP)
	JP-P-2005-00114230	2005년04월12일	일본(JP)

(73) 특허권자            세이코 엡슨 가부시키키가이샤  
일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1

(72) 발명자                에구치 츠카사  
일본국 나가노켄 스와시 오와 3-3-5 세이코 엡슨 가부시키키가이샤내

마츠모토 도모타카  
일본국 나가노켄 스와시 오와 3-3-5 세이코 엡슨 가부시키키가이샤내

후지타 신  
일본국 나가노켄 스와시 오와 3-3-5 세이코 엡슨 가부시키키가이샤내

(74) 대리인                문두현  
문기상

심사관 : 박혜련

전체 청구항 수 : 총 16 항

(54) 박막 반도체 장치와 그 제조 방법, 전기 광학 장치 및 전자기기

(57) 요약

본 발명은 서지 전압으로부터 내부 회로를 양호하게 보호할 수 있는 보호 회로를 구성할 수 있고, 과대 전압에 의해 파괴된 경우에도 회로 동작에 불량 발생하지 않는 신뢰성이 뛰어난 보호 회로 소자를 구비한 박막 반도체 장치를 제공하는 것을 과제로 한다.

기체(基體)와 상기 기체 위에 형성된 반도체막을 구비한 박막 반도체 장치에서, 상기 기체 위에 내부 회로(주회로부)(17)와, 보호 회로부(18)와, 단자부(19)가 설치되어 있으며, 상기 보호 회로부(18)에 상기 반도체막을 갖는 PIN 다이오드와, 상기 PIN 다이오드의 I층과 절연막을 통해서 대향 배치된 부유 전극을 구비한 보호 회로 소자(181, 182)가 설치되어 있는 구성으로 함으로써 상기 과제를 해결한다.

대표도

도 1

## 특허청구의 범위

### 청구항 1.

기체(基體)와, 상기 기체 위에 형성된 반도체막을 구비한 박막 반도체 장치로서,

상기 반도체막을 갖는 PIN 다이오드와, 상기 PIN 다이오드의 I층과 절연막을 통해서 대향 배치된 부유(浮遊) 전극을 구비한 보호 회로 소자가 설치되어 있는 것을 특징으로 하는 박막 반도체 장치.

### 청구항 2.

기체 위에, 반도체 소자를 구비한 주(主)회로부와, 상기 주회로부로부터 연장된 단자부와, 상기 주회로부와 단자부 사이에 삽입된 보호 회로부가 설치되어 있고,

상기 보호 회로부가 제 1 항에 기재된 보호 회로 소자를 구비하고 있는 것을 특징으로 하는 박막 반도체 장치.

### 청구항 3.

제 2 항에 있어서,

상기 PIN 다이오드를 구성하는 반도체막과, 상기 주회로부의 반도체 소자를 구성하는 반도체막이 상기 기체 위의 동일 층에 형성된 반도체막인 것을 특징으로 하는 박막 반도체 장치.

### 청구항 4.

제 2 항 또는 제 3 항에 있어서,

상기 주회로부에 구비된 반도체 소자가 박막 트랜지스터이고,

상기 부유 전극을 구성하는 도전막과, 상기 박막 트랜지스터의 게이트 전극을 구성하는 도전막이 상기 기체 위의 동일 층에 형성되어 있는 것을 특징으로 하는 박막 반도체 장치.

### 청구항 5.

제 1 항 또는 제 2 항에 있어서,

상기 부유 전극과, 상기 PIN 다이오드의 I층이 평면에서 보아 대략 동일 위치에 형성되어 있는 것을 특징으로 하는 박막 반도체 장치.

### 청구항 6.

제 1 항 또는 제 2 항에 있어서,

상기 PIN 다이오드가 그 P층 또는 N층과 I층 사이에, 상기 P층 또는 N층보다 불순물 농도가 낮은 저농도 불순물 영역을 갖고 있는 것을 특징으로 하는 박막 반도체 장치.

### 청구항 7.

제 6 항에 있어서,

상기 저농도 불순물 영역이 상기 부유 전극과 평면적으로 겹쳐지는 영역에 형성되어 있는 것을 특징으로 하는 박막 반도체 장치.

### 청구항 8.

제 1 항 또는 제 2 항에 있어서,

상기 PIN 다이오드의 I층과 절연막을 통해서 대향 배치된 부유 전극은 상기 PIN 다이오드의 P층, 또는 N층의 일부와 평면적으로 겹쳐지는 부분을 갖는 것을 특징으로 하는 박막 반도체 장치.

### 청구항 9.

제 2 항에 있어서,

상기 보호 회로 소자가 상기 단자부에 직접 접속되어 있는 것을 특징으로 하는 박막 반도체 장치.

### 청구항 10.

기체와, 상기 기체 위에 형성된 반도체막을 구비한 박막 반도체 장치의 제조 방법으로서,

기체 위에 형성된 반도체막 위에 절연막을 형성하는 공정과,

상기 절연막 위에 도전막을 패턴 형성함으로써 상기 반도체막과 평면적으로 겹쳐지는 부유 전극을 형성하는 공정과,

상기 부유 전극을 마스크로 하여 상기 반도체막에 불순물을 도입함으로써, 상기 반도체막에 P층, N층 및 I층을 형성해서 PIN 다이오드를 형성하는 공정

을 갖는 보호 회로 소자의 형성 공정을 포함하는 것을 특징으로 하는 박막 반도체 장치의 제조 방법.

### 청구항 11.

기체 위에 반도체 소자를 구비한 주회로부와, 상기 주회로부로부터 연장된 단자부와, 상기 주회로부와 단자부 사이에 삽입된 보호 회로부가 설치된 박막 반도체 장치의 제조 방법으로서,

상기 보호 회로부를 형성하는 공정이 제 10 항에 기재된 보호 회로 소자의 형성 공정을 포함하는 것을 특징으로 하는 박막 반도체 장치의 제조 방법.

### 청구항 12.

제 11 항에 있어서,

상기 주회로부가 반도체막과, 상기 반도체막에 절연막을 통해서 대향하는 게이트 전극을 구비한 박막 트랜지스터를 포함하고 있고,

상기 박막 트랜지스터를 구성하는 반도체막과, 상기 보호 회로 소자를 구성하는 반도체막을 동일한 공정으로 형성하는 동시에,

상기 박막 트랜지스터를 구성하는 게이트 전극과, 상기 보호 회로 소자를 구성하는 부유 전극을 동일한 공정으로 형성하는 것을 특징으로 하는 박막 반도체 장치의 제조 방법.

### 청구항 13.

제 12 항에 있어서,

상기 박막 트랜지스터의 소스 또는 드레인과, 상기 PIN 다이오드의 P층 또는 N층을 동일한 불순물 도입 공정에 의해 형성하는 것을 특징으로 하는 박막 반도체 장치의 제조 방법.

### 청구항 14.

제 13 항에 있어서,

상기 불순물 도입 공정에서,

상기 박막 트랜지스터의 반도체막과 상기 보호 회로 소자의 반도체막에, 인접하는 불순물 도입 영역보다 낮은 불순물 농도의 저농도 불순물 영역을 형성하는 것을 특징으로 하는 박막 반도체 장치의 제조 방법.

### 청구항 15.

제 1 항 또는 제 2 항에 기재된 박막 반도체 장치를 포함하는 것을 특징으로 하는 전기 광학 장치.

### 청구항 16.

제 15 항에 기재된 전기 광학 장치를 구비한 것을 특징으로 하는 전자 기기.

명세서

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 반도체 장치와 그 제조 방법, 전기 광학 장치 및 전자 기기에 관한 것이다.

종래로부터 반도체 집적 회로 장치나 액티브 매트릭스 방식의 전기 광학 장치에는 내부 회로를 정전기로부터 보호하기 위한 보호 회로가 설치되어 있으며, 예를 들면 전기 광학 장치에서는 화소 스위칭 소자나 구동 회로 등의 내부 회로와, 전극 취출(取出)용의 패드 사이에 보호 회로가 설치되어 있다. 반도체 집적 회로 장치에서는 보호 회로로서 다이오드가 사용되

고 있으며, 전기 광학 장치에서는 다이오드 접속한 박막 트랜지스터(TFT)가 사용되고 있다. 그 이유는 전기 광학 장치에서는 절연 기판 위에 형성한 박막 반도체층을 이용하여 TFT를 형성하고 있는 것 및 다이오드의 PN 접합을 박막 반도체층에 형성하는 것이 곤란하기 때문이다(예를 들면, 특허문헌 1 참조.)

[특허문헌 1] 일본국 특개평6-51346호 공보

**발명이 이루고자 하는 기술적 과제**

도 9의 (a)는 다이오드 접속 TFT를 이용한 보호 회로의 회로 구성도이며, 도 9의 (b)는 상기 다이오드 접속 TFT의 개략적인 단면도이다. 도 9의 (a)에 나타낸 바와 같이, 접속 패드(219)와 내부 회로(217) 사이에 2개의 저항 소자(R1, R2)가 삽입되는 동시에 이들의 저항 소자(R1, R2) 사이와, 접속 패드(219b(Vdd), 219c(Vss))를 접속하는 경로 중에 각각 다이오드 접속 TFT(30D)가 하나씩 삽입되어 있다. 도 9의 (b)에 나타내는 단면 구조를 보면, 다이오드 접속 TFT(30D)는 기판(211) 위에 형성된 반도체막(201)과, 이 반도체막(201)에 게이트 절연막(212)을 통해서 대향하는 게이트 전극(213a)과, 절연막(212, 216)에 관통 설치된 콘택트홀 내를 통해서 반도체막(201)에 접속된 소스 전극(208), 드레인 전극(209)을 구비하고 있다. 그리고, 절연막(216)에 관통 설치된 콘택트홀을 통해서 게이트 전극(213a)에 접속된 접속 전극(213d)과 드레인 전극(209)이 단락됨으로써 다이오드 접속 구조의 TFT를 구성하고 있다.

이러한 구성을 기초로, 예를 들면 접속 패드(219a)로부터 정전기 등의 플러스의 서지 전압이 입력되면, 다이오드 접속 TFT(30D)에 전류(i)가 흐르고 내부 회로(217)로의 과대 전류의 유입을 방지하도록 되어 있다.

상기 구성의 보호 회로와 같이 다이오드 접속한 TFT를 보호 회로에 사용하면, 내부 회로를 구성하는 TFT의 프로세스를 이용하여 보호 회로를 형성할 수 있다는 이점이 있다. 그러나, 이러한 구성에서는 도 9의 (b)와 같이 다이오드 접속 TFT(30D)의 내압을 초과하는 서지 전압이 입력되면, 다이오드 접속 TFT(30D) 중, 박층의 절연막인 게이트 절연막(212)을 전하가 관통해서 단락로(短絡路)(bd)가 형성되는 경우가 있으며, 이러한 단락 상태가 되면, 반도체막(201)의 소스 영역(201b)으로부터 단락로(bd)를 통해서 게이트 전극(213a)이 도통(導通)하고, 그 결과 게이트 전극(213a)과 접속되어 있는 드레인 전극(209)과 소스 전극(208)이 도통 상태가 된다. 그렇게 하면, 도 9의 (a)에 나타내는 접속 패드(219)와, 다른 접속 패드(219b 내지 219c)가 도통하게 되고, 접속 패드(219a)는 정상적으로 기능하지 않게 되므로, 반도체 장치 자체에 불량 발생하게 된다.

본 발명은 상기 종래 기술의 문제점을 감안하여 이루어진 것으로서, 서지 전압으로부터 내부 회로를 양호하게 보호할 수 있는 보호 회로를 구성할 수 있고, 과대 전압에 의해 파괴된 경우에도 회로 구조에 불량 발생하지 않는 신뢰성이 뛰어난 보호 회로 소자를 구비한 박막 반도체 장치와 그 제조 방법을 제공하는 것을 목적으로 하고 있다.

**발명의 구성**

본 발명은 상기 과제를 해결하기 위해서, 기체(基體)와 상기 기체 위에 형성된 반도체막을 구비한 박막 반도체 장치로서, 상기 반도체막을 갖는 PIN 다이오드와, 상기 PIN 다이오드의 I층과 절연막을 통해서 대향 배치된 부유(浮遊) 전극을 구비한 보호 회로 소자가 설치되어 있는 것을 특징으로 하는 박막 반도체 장치를 제공한다.

상기 PIN 다이오드는 주지와 같이 P층(P형 반도체층)과 I층(진성 또는 미량농도로 불순물이 유입된 반도체층)과 N층(N형 반도체층)이 구획 형성된 반도체막을 구비한 다이오드이다. 또한 부유 전극은 다른 전기적으로 제어된 도전막 또는 반도체층의 구성 부재에 접속되지 않고, 전기적으로 「뜬」 상태로 되어 있는 전극이다.

본 발명의 박막 반도체 장치에 구비되는 보호 회로 소자에서는 PIN 다이오드와, 그 I층에 대향 배치된 부유 전극을 구비하고 있으므로, 과대한 전류가 보호 회로 소자에 흘러서 게이트 절연막이 파괴되어 전기적으로 관통한 경우에는 PIN 다이오드의 P층(또는 N층)과 부유 전극이 단락하는 구조로 되어 있다. 그러나, 부유 전극은 다른 전기적으로 제어된 도전층 또는 반도체층에는 접속되어 있지 않으므로 보호 회로 소자가 파괴된 후에도 PIN 다이오드의 절연성을 확보할 수 있다. 따라서, 상기 보호 회로 소자를 사용하여 보호 회로를 구성하면, 양호하게 정전기 등에 기인하는 서지 전압을 바이패스하는 정전 보호 회로를 구성할 수 있는 동시에, 보호 회로 소자를 파괴할 정도의 서지 전압이 입력된 후에도 동작 가능한 박막 반도체 장치를 제공할 수 있다.

아울러 상기 부유 전극을 부착한 경우와 부착하지 않는 경우에는 역방향의 보호 성능에 큰 차이가 얻어진다. 양질의 반도체층일수록 부유 전극이 없는 상태에서는 항복 전압에 대응한 전압까지 보호 기능은 갖지 않지만, 부유 전극을 가짐으로써, 약간의 누설되는 전류가 발생한다. 이에 따라, 경미하지만 TFT 디바이스에 악영향을 끼치는 역방향 서지 전압에 대해서도 보호 기능을 가질 수 있다.

본 발명의 박막 반도체 장치는 상기 기체 위에 반도체 소자를 구비한 주(主)회로부와, 상기 주회로부로부터 연장된 단자부와, 상기 주회로부와 단자부 사이에 삽입된 보호 회로부가 설치되어 있으며, 상기 보호 회로부가 앞서 기재한 본 발명의 보호 회로 소자를 구비하고 있는 구성으로 할 수 있다.

상기 보호 회로 소자는 과대한 전류가 흘러서 파괴된 경우에도 PIN 다이오드 자체의 절연성이 확보되도록 되어 있다. 그 때문에 이 보호 회로 소자를 구비한 보호 회로부가 설치되어 있으면, 단자부로부터 과대한 서지 전류가 입력되고, 그 전류에 의해 보호 회로 소자가 파괴되었다고 해도, 종래의 다이오드 접속 TFT로 이루어지는 보호 회로 소자와는 달리, 단자부와 주회로부를 연결하는 회로 구조가 변경되어 버리지 않는다. 따라서 본 발명에 의하면, 보호 회로 소자가 파괴될 정도의 서지 전압이 입력된 후에도 정상적으로 동작 가능하며, 높은 신뢰성과 장수명의 박막 반도체 장치를 제공할 수 있다.

본 발명의 박막 반도체 장치에서는 상기 PIN 다이오드를 구성하는 반도체막과, 상기 주회로부의 반도체 소자를 구성하는 반도체막이 상기 기체 위의 동일 층에 형성된 반도체막인 것이 바람직하다. 이러한 구성으로 하면, 주회로부의 반도체 소자와 PIN 다이오드를 동일한 공정에 의해 형성할 수 있으므로, 제조 공정의 변경을 수반하지 않고 박막 반도체 장치의 신뢰성 향상을 실현할 수 있다.

본 발명의 박막 반도체 장치에서는 상기 주회로부에 구비된 반도체 소자가 박막 트랜지스터이며, 상기 부유 전극을 구성하는 도전막과, 상기 박막 트랜지스터의 게이트 전극을 구성하는 도전막이 상기 기체 위의 동일 층에 형성되어 있는 구성으로 하는 것이 바람직하다. 이 구성에 의하면, 주회로부의 박막 트랜지스터와 보호 회로 소자를 동일한 공정에 의해 형성할 수 있다는 이점을 얻을 수 있다.

본 발명의 박막 반도체 장치에서는 상기 부유 전극과, 상기 PIN 다이오드의 I층이 평면에서 보아 대략 동일 위치에 형성되어 있는 것이 바람직하다. 이 구성에 의하면, 상기 부유 전극을 마스크로 사용해서 반도체막으로의 불순물 도입을 행함으로써 자기 정합적으로 PIN 다이오드의 I층을 형성할 수 있으므로, 간편한 공정에 의해 제작 가능한 보호 회로 소자가 된다. 이러한 구성에서 상기 주회로부에 박막 트랜지스터가 구비되어 있으면, 박막 트랜지스터의 게이트 전극을 마스크로 하여 채널 영역을 자기 정합적으로 형성하는 공정에 의해 상기 PIN 다이오드의 I층을 동시에 형성할 수 있으므로, 더욱 제조 효율이 뛰어난 박막 반도체 장치가 된다.

본 발명의 박막 반도체 장치에서는 상기 PIN 다이오드가 그 P층과 I층, 또는 N층과 I층 사이에, 상기 P층 또는 N층보다 불순물 농도가 낮은 저농도 불순물 영역을 갖고 있는 구성이라도 좋다. 일반적인 반도체 장치와 마찬가지로 박막 반도체 장치에 구비되는 박막 트랜지스터에서도, 핫캐리어에 기인하는 전기적 특성의 열화를 방지하기 위해서, LDD(Lightly Doped Drain) 구조를 채용하는 경우가 많다. 그리고, 본 구성에 따른 PIN 다이오드를 채용하면, 상기 LDD 구조의 박막 트랜지스터와 동시에 상기 보호 회로 소자를 형성할 경우에 제조 공정의 공통화를 도모할 수 있고, 유효하다. 또한 전기 특성 면에서도 PIN 다이오드의 내압을 더욱 높이는 것이 가능해 지고, 신뢰성이 높은 보호 회로 소자를 제공할 수 있다.

본 발명의 박막 반도체 장치에서는 상기 저농도 불순물 영역이 상기 부유 전극과 평면적으로 겹쳐지는 영역에 형성되어 있는 구성이라도 좋다. 이러한 구성으로 하면, 주회로부의 박막 트랜지스터가 GOLDD(Gate Overlapped Lightly Doped Drain) 구조를 구비한 것이라도 제조 공정을 공통화할 수 있고, 또한 PIN 다이오드의 내압을 더욱 높이는 것이 가능하다.

본 발명의 박막 반도체 장치에서는 상기 PIN 다이오드의 I층과 절연막을 통해서 대향 배치된 부유 전극이 상기 PIN 다이오드의 P층, 또는 N층의 일부와 평면적으로 겹쳐지는 부분을 갖는 구성이어도 좋다.

이러한 구성으로 하면, 반도체막과 일부 평면적으로 겹쳐져서 배치된 부유 전극을 마스크로 사용해서 반도체막으로의 불순물 도입을 행하는 소위 자기 정합적으로 채널 영역을 형성하는 방법에 구속될 필요는 없다. 따라서, 일반적인 절연막 위에 패턴 형성한 포토레지스트를 마스크로 하여 반도체막으로의 불순물 도입을 행해도 좋고, 그 경우에는 제조 공정의 자유도를 향상시킬 수 있다. 즉, 주회로와 보호 회로 소자를 공통 제조 공정에 의해 제작해도 좋고, 또한 별도 공정에 의해 제작해도 좋다. 이렇게 상황에 따라 제조 공정이 달라도, 얻어지는 보호 회로 소자의 전기 특성은 상술한 대로 재현되고, 변화가 없는 것은 말할 필요도 없다.

본 발명의 박막 반도체 장치에서는 상기 보호 회로 소자가 상기 단자부에 직접 접속되어 있는 것이 바람직하다.

도 9에 나타낸 바와 같이, 종래의 다이오드 접속 TFT를 보호 회로 소자에 사용한 보호 회로에서는 접속 패드(219a)와 다이오드 접속 TFT(30D) 사이에, 저항 소자(R1)가 설치되어 있다. 이 저항 소자(R1)는 보통 N형 또는 P형 반도체층으로 이루어지는 소자이지만, 접속 패드(219a)로부터 입력되는 서지에 의한 급격한 전압 상승을 억제하는 기능을 구비하고, 다이오드 접속 TFT(30D)를 보호하는 것이다. 또한, 다이오드 접속 TFT(30D)가 파괴되어 도통 상태가 되었을 때에도, 전원선(Vdd 또는 Vss)이 직접 접속 패드(219a)와 단락하는 것을 피하는 역할을 하고 있다. 이에 대하여 본 발명에 따른 박막 반도체 장치에서는 앞서 기재한 바와 같이 보호 회로 소자가 파괴되어도, 패드(219a)는 직접 전원선의 Vdd 또는 Vss와 단락하지 않으므로, 단자부와 주회로부의 도통을 확보할 수 있다. 그러나, 반대로 보호 회로 소자와 단자부 사이에 저항 소자가 삽입되어 있으면, 입력되는 서지 전압이 과대한 경우에 이 저항 소자가 파괴되는 경우도 있으며, 단자부와 내부 회로가 단선되므로, 박막 반도체 장치가 정상적으로 동작하지 않게 되어 바람직하지 않다. 그래서, 본 구성과 같이 보호 회로 소자와 단자부를 직접적으로 접속한 구조를 채용함으로써 보호 회로부의 소자가 파괴될 만큼의 전압이 입력되었다고 해도, 주회로부의 정상 동작을 확보할 수 있는 박막 반도체 장치가 된다.

본 발명의 박막 반도체 장치의 제조 방법은 기체와, 상기 기체 위에 형성된 반도체막을 구비한 박막 반도체 장치의 제조 방법으로서, 기체 위에 반도체막을 형성하는 공정과, 상기 반도체막 위에 절연막을 형성하는 공정과, 상기 절연막 위에 도전막을 패턴 형성함으로써 상기 반도체막과 평면적으로 겹쳐지는 부유 전극을 형성하는 공정과, 상기 부유 전극을 마스크로 하여 상기 반도체막에 불순물을 도입함으로써, 상기 반도체막에 P층, N층 및 I층을 형성해서 PIN 다이오드를 형성하는 공정을 갖는 보호 회로 소자의 형성 공정을 포함하는 것을 특징으로 하고 있다.

이 제조 방법에 의하면, 상기 부유 전극을 마스크에 사용해서 반도체막에 불순물을 도입하고, PIN 다이오드의 각 층을 형성하므로, 효율적이며 신뢰성이 뛰어난 보호 회로 소자를 형성할 수 있고, 따라서 신뢰성이 뛰어난 박막 반도체 장치를 용이하며 또한 효율 좋게 제조할 수 있다.

본 발명의 박막 반도체 장치의 제조 방법에서는 기체 위에 반도체 소자를 구비한 주회로부와, 상기 주회로부로부터 연장된 단자부와, 상기 주회로부와 단자부 사이에 삽입된 보호 회로부가 설치된 박막 반도체 장치의 제조 방법으로서, 상기 보호 회로부를 형성하는 공정이 상기 본 발명에 따른 보호 회로 소자의 형성 공정을 포함하는 것이 바람직하다.

이 제조 방법에 의하면, 외부 접속 단자를 구비한 박막 반도체 장치로서, 단자부를 통해서 입력되는 서지 전압으로부터 주회로부를 양호하게 보호할 수 있는 박막 반도체 장치를 용이하며 또한 효율 좋게 제조할 수 있다.

본 발명의 박막 반도체 장치의 제조 방법에서는 상기 주회로부가 반도체막과, 상기 반도체막에 절연막을 통해서 대향하는 게이트 전극을 구비한 박막 트랜지스터를 포함하고 있으며, 상기 박막 트랜지스터를 구성하는 반도체막과, 상기 보호 회로 소자를 구성하는 반도체막을 동일한 공정에 의해 형성하는 동시에, 상기 박막 트랜지스터를 구성하는 게이트 전극과, 상기 보호 회로 소자를 구성하는 부유 전극을 동일한 공정에 의해 형성하는 제조 방법으로 할 수 있다. 또한, 본 발명의 박막 반도체 장치의 제조 방법에서는 상기 박막 트랜지스터의 소스 또는 드레인과, 상기 PIN 다이오드의 P층 또는 N층을 동일한 불순물 도입 공정에 의해 형성하는 것이 바람직하다.

이 제조 방법에 의하면, 상기 주회로부를 구성하는 박막 트랜지스터와 보호 회로 소자를 상기 공정에 의해 제조할 수 있고, 종래로부터의 제조 프로세스의 변경을 수반하지 않고 신뢰성이 뛰어난 박막 반도체 장치를 제조하는 것이 가능하다.

본 발명의 박막 반도체 장치의 제조 방법에서는 상기 불순물 도입 공정에서, 상기 박막 트랜지스터의 반도체막과 상기 보호 회로 소자의 반도체막에 인접하는 불순물 도입 영역보다 낮은 불순물 농도의 저농도 불순물 영역을 형성할 수도 있다. 이러한 제조 방법에 의하면, LDD 구조를 구비한 박막 트랜지스터와 상술한 PIN 다이오드 이상의 내압을 갖는 구조를 구비한 보호 회로 소자를 동일한 공정에 의해 형성할 수 있다.

본 발명의 전기 광학 장치는 앞서 기재한 박막 반도체 장치를 포함하는 것을 특징으로 하고 있다. 먼저의 본 발명에 따른 박막 반도체 장치는 예를 들면 액티브 매트릭스 방식 전기 광학 장치의 TFT 어레이 기관으로서 사용할 수 있다. 이러한 TFT 어레이 기관에서는 화상 표시 영역을 구성하는 화소의 스위칭 소자로서 TFT가 사용되고 있으며, 또한 가장자리 영역에 설치되는 구동 회로에도 TFT를 사용한 인버터 등이 형성되어 있다. 또한, 외부 접속 단자인 단자부도 설치되어 있다. 그리고, 이러한 TFT 어레이 기관에 본 발명의 구성이 적용되어 있으면, 내부 회로를 구성하는 상기 화상 표시 영역의 스위칭 소자나 구동 회로를 보호 회로부에 의해 양호하게 보호할 수 있고, 신뢰성이 뛰어난 수명이 긴 전기 광학 장치를 구성할 수 있다.

이어서, 본 발명의 전자 기기는 앞서 기재한 본 발명의 전기 광학 장치를 구비한 것을 특징으로 한다. 이 구성에 의하면, 서지 전압 등의 과대 전압으로부터 내부 회로를 양호하게 보호할 수 있는 보호 회로를 구비하고, 신뢰성이 뛰어난 장수명의 표시부를 구비한 전자 기기를 제공할 수 있다.

[제 1 실시예]

이하, 본 발명의 실시예를 도면을 참조하면서 설명한다. 본 시예에서는 본 발명에 따른 박막 반도체 장치의 기본 구성과 박막 반도체 장치를 구비한 전기 광학 장치를 예시해서 설명한다.

(박막 반도체 장치)

도 1은 본 발명에 따른 박막 반도체 장치의 회로 구성을 나타내는 개략적인 구성도이다. 도 1에 나타낸 바와 같이, 본 실시예의 박막 반도체 장치는 내부 회로(주회로부)(17)와, 보호 회로부(18)와, 단자부(19)를 구비해서 구성되어 있다. 단자부(19)에는 복수의 접속 패드(19a~19c)가 설치되어 있으며, 이들 접속 패드(19a~19c)와 내부 회로(17) 사이에, 보호 회로부(18)가 삽입되어 있다. 접속 패드(19b, 19c)는 전원 입력 단자(Vdd, Vss)이다.

보호 회로부(18)는 직렬로 접속된 복수의 보호 회로 소자(181, 182)를 구비하고 있으며, 먼저의 접속 패드(19a)로부터 연장된 신호 배선(23)은 저항 소자(18b)를 통해서 2개의 보호 회로 소자(181, 182) 사이에 접속되어 있다. 한편, 내부 회로(17)로부터 연장된 신호 배선(24)은 저항 소자(18c)를 통해서 보호 회로 소자(181, 182) 및 신호 배선(23)에 접속되어 있다.

또한, 보호 회로 소자(181)의 일단(캐소드측)은 신호 배선을 통해서 전원 입력 단자인 접속 패드(19b)(Vdd)에 접속되고, 보호 회로 소자(182)의 일단(애노드측)은 신호 배선을 통해서 접속 패드(19c)(Vss)에 접속되어 있다.

도 2의 (a)는 도 1에 나타낸 보호 회로 소자(181)의 구체적인 구조예를 나타내는 평면 구성도이며, 도 2의 (b)는 도 2의 (a)의 A-A'선에 따르는 단면 구성도이다.

또한, 도 2에는 보호 회로 소자(181)의 요부만을 나타내고 있으며, 상기 소자에 접속되는 배선 등은 도시를 생략하고 있다. 또한, 다른 한쪽 보호 회로 소자(182)도 보호 회로 소자(181)와 동일한 구성을 구비한 것이다.

도 2에 나타낸 바와 같이, 본 실시예에 따른 보호 회로 소자(181)는 PIN 다이오드(181a)와, 이 PIN 다이오드(181a)와 일부 평면적으로 겹쳐져서 배치된 부유 전극(118g)을 구비하고 있다. PIN 다이오드(181a)는 반도체막(118s)과, 반도체막(118s)에 접속된 복수(도면에 나타내는 것에서는 4개)의 애노드 전극(118a) 및 복수(도면에 나타내는 것에서는 4개)의 캐소드 전극(118c)을 구비하고 있다. 반도체막(118s)에는 P층(118p)과, N층(118n)과, 이들 사이에 배치된 I층(118i)이 형성되어 있으며, 애노드 전극(118a)은 P층(118p)에 도전 접속되고, 캐소드 전극(118c)은 N층(118n)에 도전 접속되어 있다. 그리고, PIN 다이오드(181a)의 I층(118i)에 부유 전극(118g)이 대향 배치되어 있다.

도 2의 (b)에 나타내는 단면 구조를 보면, 기판(11) 위에, 예를 들면 폴리실리콘막으로 이루어지는 반도체막(118s)이 형성되어 있으며, 반도체막(118s)을 덮어서, 예를 들면 산화실리콘으로 이루어지는 제 1 절연막(2)이 형성되어 있다. 제 1 절연막(2) 위에, 예를 들면 알루미늄이나 탄탈, 몰리브덴, 폴리실리콘으로 이루어지는 부유 전극(118g)이 형성되어 있으며, 부유 전극(118g)을 덮어서 제 2 절연막(6)이 형성되어 있다. 그리고, 제 2 절연막(6) 및 제 1 절연막(2)을 관통해서 반도체막(118s)에 이르는 콘택트홀에 애노드 전극(118a)과 캐소드 전극(118c)이 매립 설치되고, 각각 P층(118p), N층(118n)에 전기적으로 접속되어 있다.

상기 보호 회로 소자(181)에 구비된 부유 전극(118g)은 도 2의 (b)에 나타낸 바와 같이, 제 1 절연막(2)과 제 2 절연막(6) 사이에 매립된 도전막으로 이루어지고, 다른 부재와는 전기적으로 접속되어 있지 않으며, 또한 접지도 되어 있지 않은 임의의 전위를 받아들일 수 있는 전극이다.

또한, 도 1에 나타낸 내부 회로(17)는 보호 회로부(18)와 마찬가지로 기판(11) 위에 형성된 박막의 반도체막을 이용하여 형성된 반도체 소자를 포함하는 것이며, 예를 들면 TFT(박막 트랜지스터)를 포함해서 구성되어 있다.

이상의 구성을 구비한 본 실시예의 박막 반도체 장치에 의하면, 보호 회로 소자(181)를 구비한 보호 회로부(18)에 의해, 예를 들면 접속 패드(19a)를 통해서 입력되는 정전기 등의 플러스 서지 전압으로부터 내부 회로(17)를 양호하게 보호할 수 있다. 즉, 접속 패드(19a)로부터 서지 전압이 입력되면, PIN 다이오드(181, 182) 사이에 전류가 흘러서 전원 입력 단자측에 서지 전류가 바이패스되고, 내부 회로(17)측에 과대 전류가 유입하는 것을 저지할 수 있도록 되어 있다.

또한, 본 실시예의 박막 반도체 장치는 내압을 초과하는 서지 전압에 의해 보호 회로 소자(181, 182)가 파괴된 경우에도, 내부 회로(17)와 접속 패드(19a)의 도전 접속 구조에 불량 발생하지 않는 종래의 다이오드 접속 TFT를 사용한 보호 회로에서는 얻을 수 없는 이점을 갖고 있다.

도 2에 나타난 보호 회로 소자(181)에 보다 구체적으로 설명하면, 부유 전극(118g)을 갖는 보호 회로 소자(181)가 파괴되는 경우에는 도 9에 나타난 다이오드 접속 TFT(30D)와 마찬가지로, 박층의 절연막으로 이루어지는 제 1 절연막(2)이 관통 전하에 의해 열화하고, PIN 다이오드(181a)의 P층(118p)(또는 N층(118n))과, 부유 전극(118g)이 단락한 상태가 되는 경우가 많다. 그리고, 이러한 단락 상태에서, 종래의 다이오드 접속 TFT(30D)는 도통 상태가 되는 것에 대하여, 본 실시예에 따른 보호 회로 소자(181)에서는 P층(118p)과 부유 전극(118g) 사이는 단락하지만, 부유 전극(118g)은 다른 구성 부재와 전기적 접속은 되어 있지 않으므로, PIN 다이오드(181a)의 애노드 전극(118a)과 캐소드 전극(118c)이 단락하는 경우는 없다. 그 때문에 파괴 후의 보호 회로 소자(181)는 단순한 절연체로서 작용한다. 따라서, 접속 패드(19a)와 내부 회로(17)를 연결하는 회로 구조가 유지되고, 보호 회로의 내압을 초과하는 서지 전압이 입력된 후에도 박막 반도체 장치에 불량 발생하지 않아 정상적으로 동작시킬 수 있다.

아울러 본 실시예의 보호 회로 소자는 역방향의 서지 전압에 대해서도 효과를 발휘한다. 도 10은 부유 전극의 유무에 의한 PIN 다이오드의 TLP(Transmission Line Pulse) 측정 결과이다. 가로축은 역방향의 보호 회로 소자로의 부하 전압을 나타내고, 세로축은 그 때의 보호 회로 소자에 흐르는 전류를 나타내고 있다. 또한 도면 중의 실선은 부유 전극이 있는 경우이며, 파선은 부유 전극이 없는 경우이다. 이 도면에서 명백한 바와 같이, 부하 전압이 20V를 초과하는 영역에서 부유 전극을 갖는 다이오드의 그래프의 기울기가 커지고 있다. 즉, 본 실시예는 역방향의 전압에 대해서도 비교적 저부하 전압 영역에서 전류가 흐르는 특성을 갖고 있다. 따라서, 본 실시예의 보호 소자를 사용하고, 순방향은 물론 역방향의 낮은 서지 전압에 대해서도 바이패스를 형성하는 보호 회로를 구성할 수 있다. 이와 같이, 본 발명은 양극성의 보호 소자로서 그 보호 성능이 양호하게 발휘된다.

또한, 상기 작용 효과를 나타내는 보호 회로부(18)를 구비한 박막 반도체 장치에서는 도 11과 같이, 도 1에 나타내는 저항 소자(18b)를 설치하지 않는 구성으로 하고, 보호 회로 소자(181, 182)와 접속 패드(19a)가 배선(23)을 통해서 직접적으로 접속되어 있는 구성으로 할 수도 있다. 저항 소자(18b)는 접속 패드(19a)로부터 서지 전압이 입력된 경우에, 회로 중의 전압의 급격한 상승을 억제하고, 회로를 보호하는 작용을 나타내지만, 과도한 서지 전압이 입력된 경우에는 이 저항 소자(18b)도 파괴되어 단선되는 경우가 있다. 그리고, 이렇게 저항 소자(18b)가 단선되면, 접속 패드(19a)와 내부 회로(17)가 단선되게 되고, 박막 반도체 장치의 동작에 지장을 초래한다. 이에 대하여 보호 회로 소자(181, 182)를 설치하고, 또한 저항 소자(18b)를 설치하지 않는 구성으로 하면, 과도한 서지 전압의 입력에 의해 보호 회로 소자가 파괴된 경우에도, 접속 패드(19a)와 내부 회로(17)의 도통은 확보되기 때문에, 보호 회로부(18)의 파손에 의해 박막 반도체 장치 자체가 동작하지 않게 되는 경우가 없어지고, 박막 반도체 장치의 수명을 연장시킬 수 있다.

(전기 광학 장치)

상술한 본 발명에 따른 박막 반도체 장치는 액티브 매트릭스 방식의 전기 광학 장치로서 구성할 수 있다. 이하, 도 1에 나타난 박막 반도체 장치를 포함하는 전기 광학 장치의 일례로서, 액티브 매트릭스 방식의 투과형 액정 표시 장치를 들어서 설명한다.

도 3의 (a)는 본 실시예의 액정 표시 장치를 각 구성 요소와 함께 대향 기관측으로부터 본 평면도이며, 도 3의 (b)는 도 3의 (a)의 H-H'선에 따른 단면도이다. 또한, 이하의 설명에 사용한 각 도면에서는 각 층이나 각 부재를 도면상에서 인식 가능한 정도의 크기로 하기 위해서, 각 층이나 각 부재마다 축척을 다르게 한다.

본 실시예의 액정 표시 장치(10)는 도 3의 (a) 및 (b)에 나타난 바와 같이, 투명 기관으로 이루어지는 TFT 어레이 기관(11)(기체)과 대향 기관(12)이 밀봉 재료(13)에 의해 접합되고, 이 밀봉 재료(13)에 의해 구획된 공간 내에 액정층(14)이 밀봉된 구성을 구비하고 있다. TFT 어레이 기관(11)의 개략 중앙부에 화상 표시 영역(17c)이 형성되어 있으며, 그 외측의 가장자리 영역(16)으로서, TFT 어레이 기관(11)의 1개의 긴 변(도 3에서 X 방향으로 연장하는 변)에 따른 영역에 데이터 선구동 회로(17a)가 설치되어 있다. 데이터선 구동 회로(17a)는 화상 표시 영역(17c)의 X 방향의 화소수와 동일한 수의 단

위 회로(도시 생략)로 구성되어 있다. 한편, 화상 표시 영역(17c)의 양측에서 TFT 어레이 기관(11)의 2개의 짧은 변(도 3의 (a)에서 Y 방향으로 연장하는 변)에 따라 2개의 주사선 구동 회로(17b)가 각각 설치되어 있다. 그리고, TFT 어레이 기관(11)의 남은 한 변에는 화상 표시 영역(17c)의 양측에 설치된 주사선 구동 회로(17b, 17b) 사이를 접속하는 복수의 배선(22)이 설치되어 있다.

또한, TFT 어레이 기관(11)의 데이터선 구동 회로(17a)의 변 가장자리 근처에 상기 TFT 어레이 기관(11)에 FPC를 접속하기 위한 복수의 접속 패드(19a)가 X 방향으로 일렬로 소정의 피치에 의해 설치되어 있다. 그리고, 이들 접속 패드(19a)와 데이터선 구동 회로(17a) 사이에, 보호 회로부(18)가 설치되어 있다. 접속 패드(19a)로부터 연장하는 복수의 배선(23, 24)이 보호 회로부(18)를 경유하여 데이터선 구동 회로(17a) 및 주사선 구동 회로(17b, 17b)와 접속 패드(19a)를 전기적으로 접속하고 있다.

따라서, 본 실시예의 액정 표시 장치(10)에서 데이터선 구동 회로(17a)와 2개의 주사선 구동 회로(17b) 및 화상 표시 영역(17c)이 도 1에 나타낸 내부 회로(주회로부)(17)에 상당하는 구성 요소이며, 이 내부 회로와, 복수의 접속 패드(19a)를 포함하는 접속부(19)가 보호 회로부(18)를 통해서 전기적으로 접속된 구성이 되어 있다.

또한, 데이터선 구동 회로(17a)와 접속 패드(19a...) 사이에 설치된 보호 회로부(18)는 도 1 및 도 2에 나타낸 바와 같이, 보호 회로 소자(181, 182)를 주체로 하여 이루어지는 정전 보호 회로이며, 보호 회로 소자(181, 182)에 의해 서지 전류를 바이패스함으로써 화상 표시 영역(17c) 내에 형성된 화소 스위칭 소자나, 구동 회로(17a, 17b)를 보호하게 되어 있다. 또한 본 실시예에서는 보호 회로부(18)가 화상 표시 영역(17c)의 우측용과 좌측용으로서 2개 설치되어 있다.

또한, 대향 기관(12)의 코너부에서는 TFT 어레이 기관(11)과 대향 기관(12) 사이에서 전기적 도통을 취하기 위한 기관간 도통 재료(25)(상하 도통부)가 배열 설치되어 있다. 대향 기관(12)에는 공통 전극(도시 생략)이 설치되어 있다. 이 공통 전극에 공통 전위를 공급하기 위한 배선(32)이 기관간 도통 재료(25)를 통해서 TFT 어레이 기관(11) 위에 설치되어 있으며, TFT 어레이 기관(11) 위의 가장 바깥 둘레부에 배치되어 있다. 도 3의 (b)에 부호 9를 붙여서 나타내는 구성 요소는 화상 표시 영역(17c) 내의 각 화소마다 설치된 화소 전극이다.

이어서, 도 4의 (a)는 액정 표시 장치(10)의 회로 구성도이며, 도 4의 (b)는 도 4의 (a)에 나타내는 TFT(30)의 개략적인 단면 구조를 나타내는 도면이다. 도 4의 (a)에 나타낸 바와 같이, 액정 표시 장치(10)의 화상 표시 영역(17c)에는 서로 교차해서 연장하는 복수의 데이터선(6a)과 주사선(3a)이 형성되어 있으며, 데이터선(6a)과 주사선(3a)에 의해 둘러싸여지는 사각형 형상의 영역에 화소(X)가 설치되어 있다. 도 4에서는 1개의 화소(X)만을 나타내고 있지만, 화상 표시 영역(17c)에는 복수의 화소(X)가 평면에서 보아 매트릭스 형상으로 배열되어 있다.

각 화소(X)에서 데이터선(6a)과 주사선(3a)이 교차하는 위치에 대응해서 화소 스위칭 소자인 TFT(30)가 설치되어 있다. TFT(30)의 게이트에 주사선(3a)이 접속되고, 소스에 데이터선(6a)이 접속되어 있으며, 드레인에 액정층(14)에 대하여 전계를 인가하는 화소 전극(9)이 접속되어 있다. 또한 화소 전극(9)과 병렬로 축적 용량(70)이 접속되어 있으며, 화소 전극(9)과 반대측의 전극은 용량선(3b)에 접속되어 있다.

도 4의 (b)에 나타내는 TFT(30)의 단면 구조를 보면, TFT 어레이 기관(11) 위에 반도체막(1a)이 형성되고, 반도체막(1a)을 덮어서 게이트 절연막(제 1 절연막)(2)이 형성되어 있으며, 게이트 절연막(2)을 통해서 반도체막(1a)과 대향하는 게이트 전극(주사선)(3a)이 형성되어 있다. 반도체막(1a)은 소스 영역(1b)과, 드레인 영역(1c) 및 채널 영역(1a')을 갖고 있으며, 반도체막(1a) 중 채널 영역(1a')이 게이트 전극(3a)과 대향하고 있다. 게이트 전극(3a) 및 게이트 절연막(2)을 덮어서 층간 절연막(제 2 절연막)(6)이 형성되어 있으며, 이 층간 절연막(6)과 게이트 절연막(2)을 관통해서 반도체막(1a)의 소스 영역(1b) 및 드레인 영역(1c)에 이르는 콘택트홀이 설치되어 있으며, 상기 콘택트홀을 통해서 데이터선(6a)과 소스 영역(1b)이 전기적으로 접속되고, 화소 전극(9)과 드레인 영역(1c)이 전기적으로 접속되어 있다. 이 TFT(30)는 P채널형, N채널형 중 어느 것이라도 좋다.

도 4의 (c)는 데이터선 구동 회로(17a) 및 주사선 구동 회로(17b)에 설치되어 있는 인버터(CMOS-TFT)(117)의 개략적인 단면도이다. 인버터(117)는 P채널 TFT(117P)와 N채널 TFT(117N)를 전극(출력 단자)(117c)을 통해서 서로 접속한 구조를 구비하고 있으며, TFT(117P, 117N)는 각각 TFT 어레이 기관(11) 위에 형성된 반도체막(117s)을 이용하여 형성되어 있으며, 반도체막(117s)을 덮어서 형성된 게이트 절연막(2)을 통해서 게이트 전극(입력 단자)(117g)과 반도체막(117s)이 대향 배치되어 있다.

본 실시예에서는 도 4의 (b)에 나타낸 TFT(30)의 반도체막(1a)과, 도 4의 (c)에 나타낸 인버터(117)의 반도체막(117s)과, 도 2의 (b)에 나타낸 보호 회로 소자(181)의 반도체막(118s)이 모두 TFT 어레이 기관(11) 위의 동일 층에 형성된 반

도체막을 이용하여 형성되어 있다. 또한 TFT(30)의 게이트 전극(3a)과, 인버터(117)의 게이트 전극(117g)과, 보호 회로 소자(181)의 부유 전극(118g)이 모두 상기 반도체막을 덮어서 형성된 게이트 절연막(제 1 절연막)(2) 위에 형성된 도전막을 이용하여 형성되어 있다. 그리고, 어느쪽의 반도체 소자도 반도체막과 게이트 전극(또는 부유 전극)이 평면적으로 겹쳐지는 영역에 진성 반도체 영역 또는 미량 농도로 불순물이 유입된 영역인 채널 영역(1a'), I층(118i) 등이 설치되어 있다.

상기 구성의 본 실시예의 액정 표시 장치(10)에서는 앞서 설명한 박막 반도체 장치의 구성을 구비하고 있으므로, 보호 회로부(18)에 의해 접속 패드(19a)를 통해서 입력되는 서지 전압으로부터 내부 회로(데이터선 구동 회로(17a), 주사선 구동 회로(17b) 및 화상 표시 영역(17c))를 보호할 수 있다. 이에 따라 제조시나 사용시에 내부 회로의 파손이 발생하기 어렵고, 신뢰성이 뛰어난 수명이 긴 액정 표시 장치로 되어 있다. 또한 보호 회로부(18)에서는 그것을 구성하는 PIN 다이오드의 내압을 초과하는 서지 전압이 입력되어 PIN 다이오드가 파괴된 경우에도, 접속 패드(19a)끼리가 단락하지 않는다는 이점을 갖고 있으며, 액정 표시 장치의 동작에 불량이 발생하지 않는다는 효과를 얻을 수 있게 되어 있다.

또한, 상술한 바와 같이, 액정 표시 장치(10)에 구비된 반도체 소자(TFT(30), 인버터(117) 및 보호 회로 소자(181))는 반도체막에 절연막을 통해서 도전막이 대향 배치되어 있는 구조를 공통으로 하고 있으므로, 반도체막(1a, 117s, 118s)의 형성 공정 및 게이트 전극(3a, 117g), 부유 전극(118g)의 형성 공정을 공통의 공정으로 할 수 있다. 또한, 반도체막으로 불순물을 도입할 때에도, 게이트 전극(3a, 117g) 및 부유 전극(118g)을 마스크로서 이용하여 반도체막으로의 불순물주입을 행함으로써 트랜지스터의 채널 영역과 PIN 다이오드의 I층을 자기 정합적으로 형성할 수 있다.

따라서, 본 실시예의 액정 표시 장치(10)에서는 내부 회로를 구성하는 데이터선 구동 회로(17a), 주사선 구동 회로(17b) 및 화상 표시 영역(17c)의 정전 보호 회로로서 기능하는 보호 회로부(18)를 내부 회로의 형성 공정에서 동시에 형성할 수 있고, 제조 공정의 복잡화를 수반하지 않고 액정 표시 장치의 신뢰성을 향상시킬 수 있다.

[제 2 실시예]

이어서, 본 발명의 제 2 실시예에 대해서 설명한다. 도 5는 제 2 실시예에 따른 박막 반도체 장치에 구비되는 보호 회로 소자의 개략적인 단면도이다. 도 5는 먼저의 제 1 실시예에서의 도 2의 (b)에 상당하는 도면이며, 본 실시예에 따른 보호 회로 소자(281)의 평면 구조는 도 2의 (a)에 나타낸 보호 회로 소자(181)의 것과 대략 동일하다.

도 5에 나타내는 보호 회로 소자(281)는 PIN 다이오드(281a)와 부유 전극(118g)을 주체로서 구성되어 있다. 그리고, PIN 다이오드(281a)의 반도체막(118s)과 부유 전극(118g)이 평면적으로 겹쳐지는 위치에 설치된 I층(118i)과, N층(118n) 사이에, N층(118n)에 비해서 불순물 농도가 낮은 영역인 저농도 불순물 영역(218n)이 형성되어 있는 점에 특징을 갖고 있다.

도 12는 본 실시예에 의한 보호 회로 소자의 전압-전류 특성을 제 1 실시예에 의한 보호 회로 소자와 비교한 도면이다. 또한, 가로축은 인가 전압, 세로축은 전류이며, 도면 중의 실선은 I층, N층 사이에 저농도 영역이 없는 제 1 실시예에 의한 소자의 특성, 파선은 I층, N층 사이에 저농도 영역을 갖는 제 2 실시예에 의한 보호 소자의 특성을 나타낸다. 이 도면에서 파선은 15V 이상으로 신장하고 있으며, 본 실시예의 보호 회로 소자의 내압이 상승하고 있는 것이 명백하다. 이와 같이 PIN 다이오드의 I층, N층 사이, 또는 I층, P층 사이에 저농도 불순물 영역을 설치하면, 보호 회로 소자 내(耐)전압이 높아지는 동시에 보호 회로의 내전압도 증가하여 신뢰성을 더욱 향상하는 것이 가능해 진다.

그런데, 화소 스위칭 소자나 구동 회로에 사용되는 TFT에서는 게이트 절연막에 주입되는 핫캐리어를 원인으로 하는 전기적 특성(임계값( $V_{th}$ ), 전달 컨덕턴스(gm), 드레인 전류( $I_{ds}$ ) 등)의 변동을 억제하기 위해서, 드레인 근방에 고저항층을 설치한 LDD(Lightly Doped Drain) 구조를 채용하고, 채널 경계에서의 전계를 완화하는 것이 행해져있다. 그래서, 본 실시예에 따른 PIN 다이오드(218a)와 같이, I층(118i)과 N층(118n) 사이에 저농도 불순물 영역(고저항 영역)(218n)을 설치하는 구성으로 함으로써 먼저의 제 1 실시예에 따른 보호 회로 소자(181)와 마찬가지로, 내부 회로의 TFT와 상기 공정에 의해 용이하게 형성할 수 있다.

[제 3 실시예]

이어서, 본 발명의 제 3 실시예에 대해서 설명한다. 도 6은 제 3 실시예에 따른 박막 반도체 장치에 구비되는 보호 회로 소자의 개략적인 단면도이다. 도 6은 먼저의 제 1 실시예에서의 도 2의 (b)에 상당하는 도면이며, 본 실시예에 따른 보호 회로 소자(381)의 평면 구조는 도 2의 (a)에 나타낸 보호 회로 소자(181)의 것과 동일하다.

도 6에 나타내는 보호 회로 소자(381)는 PIN 다이오드(381a)와 부유 전극(118g)을 주체로서 구성되어 있다. PIN 다이오드(381a)의 반도체막(118s)과 부유 전극(118g)이 평면적으로 겹쳐지는 위치에 설치된 I층(118i)과, N층(118n) 사이에, N층(118n)에 비해서 불순물 농도가 낮은 영역인 저농도 불순물 영역(318n)이 형성되어 있는 점에서는 도 5에 나타낸 PIN 다이오드(281a)와 동일하지만, 본 실시예에 따른 PIN 다이오드(381a)에서는 저농도 불순물 영역(318n)이 부유 전극(118g)과 평면적으로 겹쳐지는 위치에 형성되어 있다.

이러한 보호 회로 소자(381)의 구조는 소위 GOLDD(Gate Overlapped Lightly Doped Drain) 구조를 구비한 TFT와 유사한 것으로 되어 있다. 따라서, 내부 회로를 구성하는 TFT가 이러한 GOLDD 구조를 구비한 것일 경우에는 보호 회로 소자를 구성하는 PIN 다이오드(381a)에 대해서도, 본 실시예와 같이 저농도 불순물 영역(318n)이 부유 전극과 평면적으로 겹쳐져서 배치된 구성으로 하면, 보호 회로 소자를 내부 회로와 상기 공정에 의해 용이하게 형성할 수 있고, 또한 제 2 실시예와 마찬가지로 고내압의 PIN 다이오드를 형성할 수 있다.

또한, GOLDD 구조의 TFT를 형성할 경우, 예를 들면 게이트 전극을 2층 구조의 금속막에 의해 형성하는 동시에, 상기 게이트 전극의 상층측(반도체막과 반대측)의 금속막의 면적을 하층측의 금속막보다 좁게 한 구조로 하고, 이러한 게이트 전극을 마스크로 하여 반도체막으로의 불순물 도입을 행한다. 그렇게 함으로써 상기 하층측의 금속막이 상층측의 금속막보다 돌출한 영역에 대응하여 반도체막에 저농도 불순물 영역이 자기 정합적으로 형성된다.

따라서, 본 실시예의 보호 회로 소자(381)를 제조할 때에도, 부유 전극(118g)을 상기 GOLDD 구조 TFT의 게이트 전극과 마찬가지로 2층 구조로 하고, N층(118n)으로의 불순물 도입을 행함으로써 저농도 불순물 영역(318n)을 부유 전극(118g)의 평면 영역 내에 형성할 수 있다.

#### [제 4 실시예]

이어서, 본 발명의 제 4 실시예에 대해서 설명한다. 도 7은 제 4 실시예에 따른 박막 반도체 장치에 구비되는 보호 회로 소자의 개략적인 단면도이다. 도 7은 먼저의 제 1 실시예에서의 도 2의 (b)에 상당하는 도면이며, 본 실시예에 따른 보호 회로 소자(481)의 평면 구조는 도 2의 (a)에 나타낸 보호 회로 소자(181)의 것과 동일하다.

도 7에 나타내는 보호 회로 소자(481)는 PIN 다이오드(481a)와 부유 전극(118g)을 주체로서 구성되어 있다. PIN 다이오드(481a)의 반도체막(118s)과 부유 전극(118g)이 평면적으로 겹쳐지는 위치에 I층(118i)이 설치되어 있는 점에서는 먼저의 제 1 내지 제 3 실시예와 동일하지만, 본 실시예에서는 N층(118n)이 부유 전극(118g)과 반도체막(118s)이 평면적으로 겹쳐져 있는 영역에까지 돌출하고 있다는 점에서 다른 실시예와 다르다. 이러한 N층의 돌출부(418n)를 갖는 PIN 다이오드(481a)를 이용하여도, 먼저의 실시예와 동일한 작용 효과를 얻을 수 있다. 또한 제 2, 제 3 실시예에서 나타낸 P층(118p), I층(118i), 또는 N층(118n), I층(118i) 사이에 저농도 불순물 영역(218n, 318n)을 갖는 PIN 다이오드의 P층(118p), 또는 N층(118n) 위까지 부유 전극(118g)이 돌출해도, 마찬가지로 고내압이며, 또한 역(逆)서지 전압에 대해서도 보호 기능을 갖는 보호 회로 소자를 제공할 수 있다.

먼저의 제 1 내지 제 3 실시예에서는 반도체막(118s)과 일부 평면적으로 겹쳐져서 배치된 부유 전극(118g)을 마스크로 사용하여 반도체막(118s)으로의 불순물 도입을 행하는 경우를 설명했지만, 내부 회로를 구성하는 TFT의 형성 공정에서, 반드시 자기 정합적으로 채널 영역을 형성하는 방법을 채용할 필요는 없다. 예를 들면, 게이트 절연막 위에 패터닝 형성한 포토레지스트를 마스크로 하여 반도체막으로의 불순물 도입을 행해도 좋고, 그 경우에는 불순물 도입 후에 게이트 전극을 형성하게 되어 게이트 전극과 불순물 도입 영역(예를 들면 드레인 영역)이 일부 평면적으로 겹쳐진 구성도 채용할 수 있다. 따라서, 이러한 구성의 TFT를 내부 회로로서 형성하는 경우에는 보호 회로 소자로서, 본 실시예의 PIN 다이오드(481a)를 구비한 것을 사용하는 것이 제조 공정의 공통화 면에서 유효하다.

#### [전자 기기]

이어서, 본 발명의 상기 실시예의 액정 표시 장치를 구비한 전자 기기의 구체적인 예에 대해서 설명한다.

도 8은 휴대 전화의 일례를 나타낸 사시도이다. 도 8에서, 부호 1300은 휴대 전화 본체를 나타내고, 부호 1301은 상기 액정 표시 장치를 사용한 표시부를 나타내고 있다. 부호 1302는 조작부, 1303, 1304는 각각 수화부 및 송화부이다.

도 8에 나타내는 전자 기기는 상기 실시예의 액정 표시 장치를 사용한 표시부를 구비하고 있으므로, 높은 신뢰성에 장수명의 액정 표시부를 구비한 전자 기기를 실현할 수 있다.

또한, 본 발명의 기술 범위는 상기 실시예에 한정되는 것이 아니며, 본 발명의 취지를 일탈하지 않는 범위에서 다양한 변형을 가하는 것이 가능하다. 예를 들면 본 발명은 액티브 매트릭스 기판을 사용한 전기 광학 장치에 적용이 가능하며, 액정 표시 장치 뿐만 아니라, 예를 들면 유기 EL 디스플레이 등의 전류 구동형의 발광 장치에도 적용할 수 있다. 또한, 데이터선 구동 회로, 주사선 구동 회로 등의 주변 회로의 배치에 관해서는 상기 실시예에 한정되지 않고, 적절한 변경이 가능하다.

**발명의 효과**

이상의 설명에 의하면, 본원 발명은 서지 전압으로부터 내부 회로를 양호하게 보호할 수 있는 보호 회로를 구성할 수 있고, 과대 전압에 의해 파괴된 경우에도 회로 구조에 불량이 발생하지 않는 신뢰성이 뛰어난 보호 회로 소자를 구비한 박막 반도체 장치와 그 제조 방법을 제공할 수 있는 효과가 있다.

**도면의 간단한 설명**

- 도 1은 본 발명의 제 1 실시예에 따른 박막 반도체 장치의 보호 회로 구성도.
- 도 2는 본 발명의 제 1 실시예에 따른 보호 회로 소자의 평면 구성도 및 단면 구성도.
- 도 3은 본 발명의 실시예에 따른 액정 표시 장치를 나타내는 도면.
- 도 4는 본 발명의 액정 표시 장치의 회로 구성도 및 박막 트랜지스터(TFT) 단면도.
- 도 5는 본 발명의 제 2 실시예에 따른 보호 회로 소자의 개략적인 단면도.
- 도 6은 본 발명의 제 3 실시예에 따른 보호 회로 소자의 개략적인 단면도.
- 도 7은 본 발명의 제 4 실시예에 따른 보호 회로 소자의 개략적인 단면도.
- 도 8은 전자 기기의 일례를 나타내는 사시 구성도.
- 도 9는 종래의 박막 반도체 장치의 보호 회로를 나타내는 도면.
- 도 10은 본 발명에 따른 부유 전극의 유무를 비교한 PIN 다이오드의 TLP 특성을 나타내는 도면.
- 도 11은 본 발명에 따른 다른 박막 반도체 장치의 보호 회로 구성도.
- 도 12는 본 발명에 따른 저농도 영역의 유무를 비교한 PIN 다이오드의 전기 특성을 나타내는 도면.

\*도면의 주요 부분에 대한 부호의 설명\*

- 11 : 기판(기체)
- 2 : 제 1 절연막(게이트 절연막)
- 6 : 제 2 절연막(층간 절연막)
- 181a : PIN 다이오드
- 118p : P층
- 118n : N층
- 118i : I층

118s : 반도체막

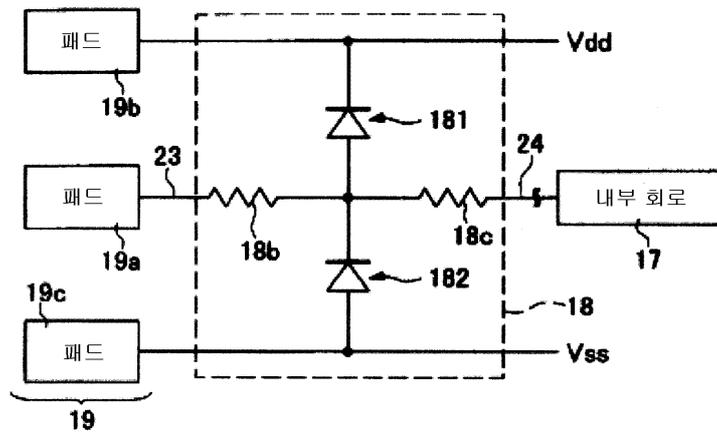
118g : 부유 전극

181, 182, 281, 381, 481 : 보호 회로 소자(박막 반도체 소자)

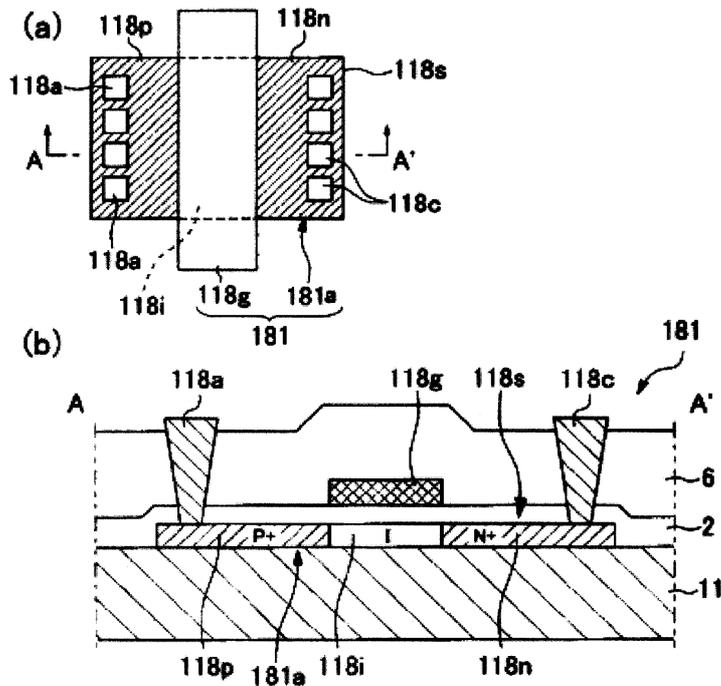
218n, 318n : 저농도 불순물 영역.

도면

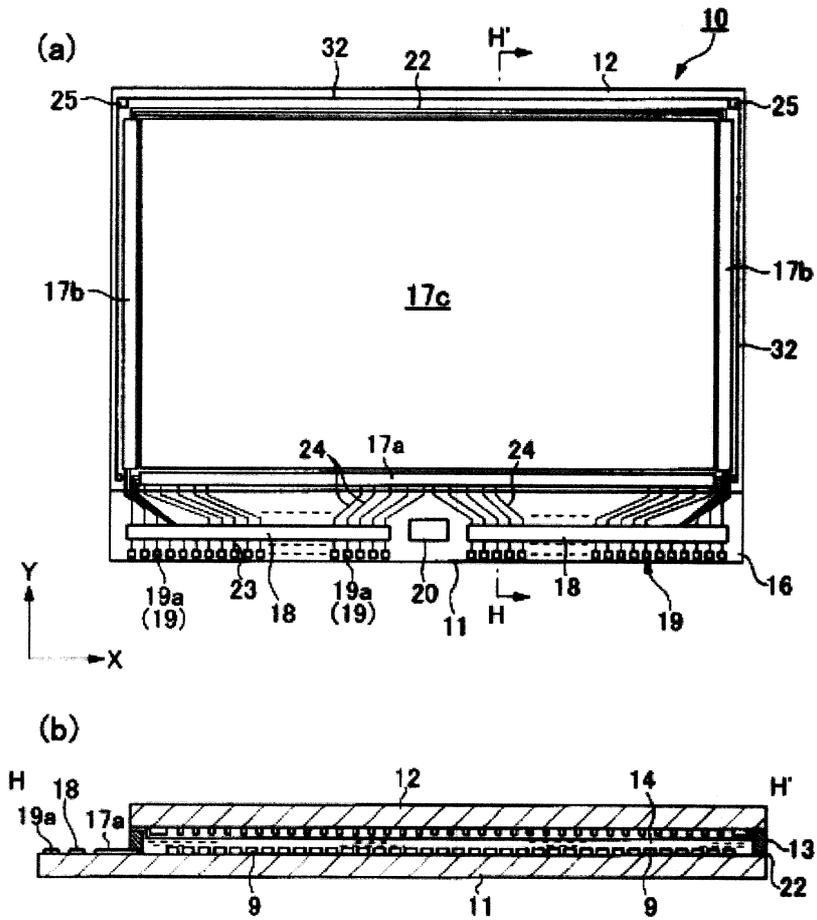
도면1



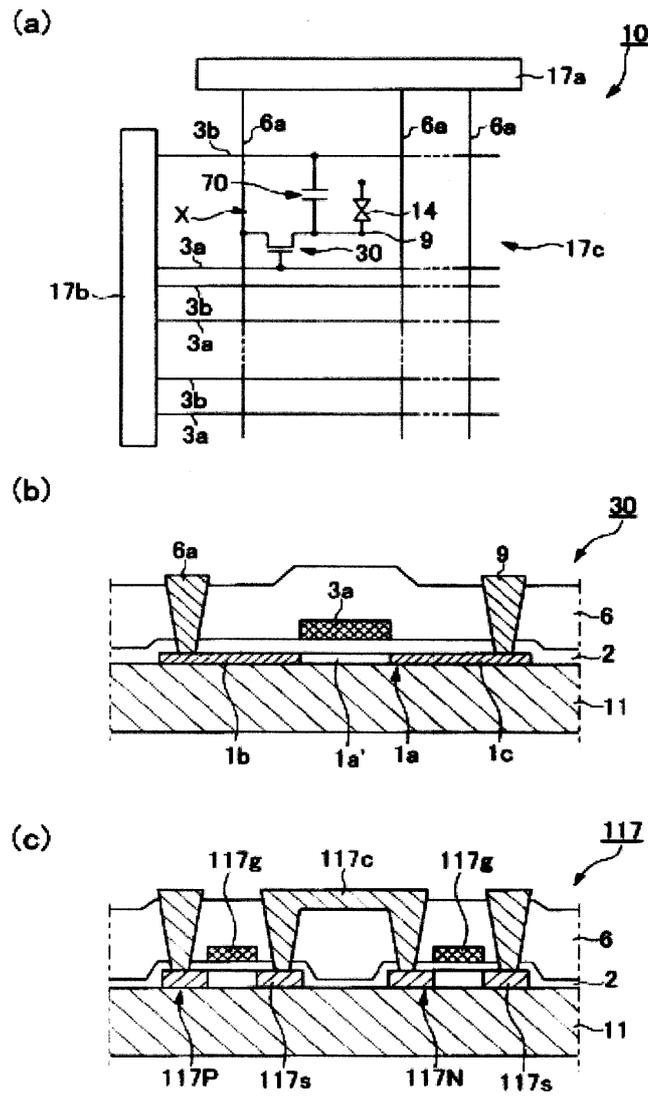
도면2



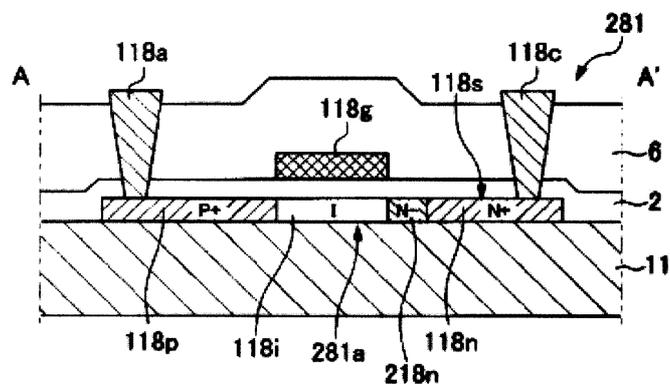
도면3



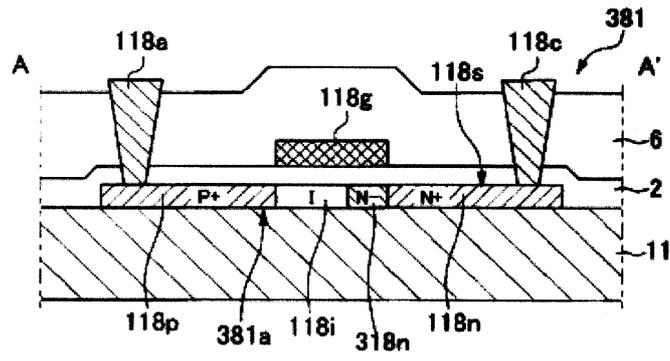
도면4



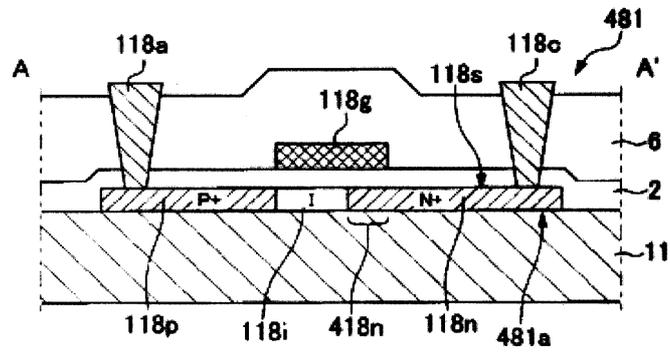
도면5



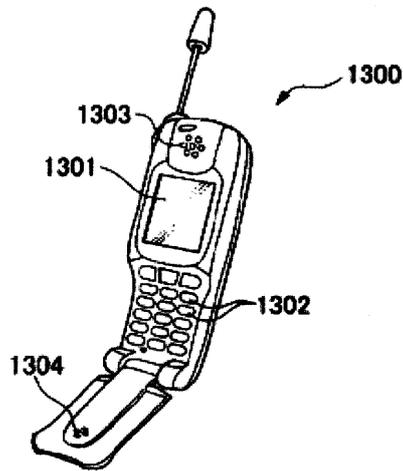
도면6



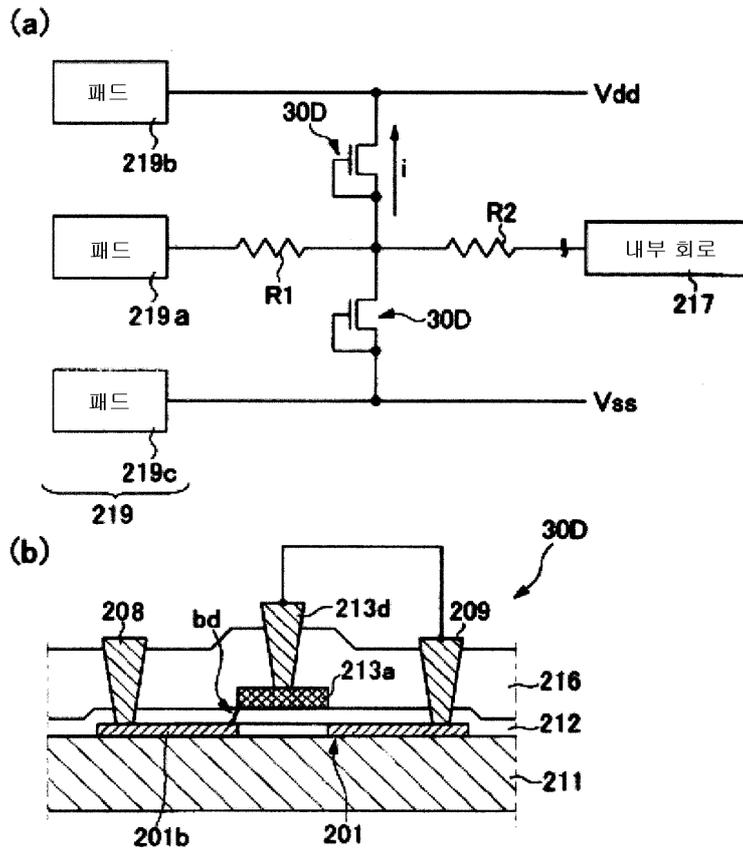
도면7



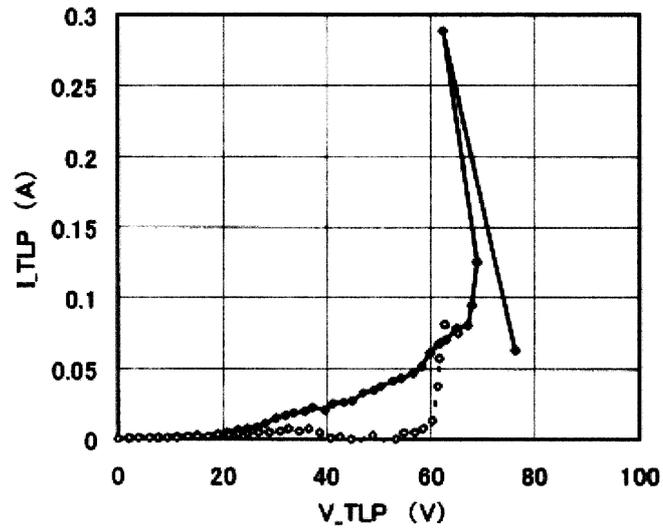
도면8



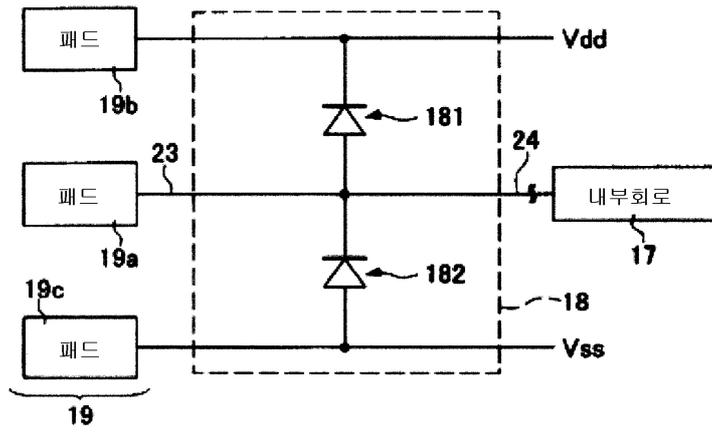
도면9



도면10



도면11



도면12

