

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6592948号
(P6592948)

(45) 発行日 令和1年10月23日(2019.10.23)

(24) 登録日 令和1年10月4日(2019.10.4)

(51) Int.Cl.		F I			
HO 1 L	23/12	(2006.01)	HO 1 L	23/12	SO 1 P
HO 1 L	25/04	(2014.01)	HO 1 L	23/12	B
HO 1 L	25/18	(2006.01)	HO 1 L	25/04	Z

請求項の数 5 (全 23 頁)

(21) 出願番号	特願2015-86732 (P2015-86732)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成27年4月21日 (2015.4.21)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2016-207802 (P2016-207802A)	(74) 代理人	100107766 弁理士 伊東 忠重
(43) 公開日	平成28年12月8日 (2016.12.8)	(74) 代理人	100070150 弁理士 伊東 忠彦
審査請求日	平成30年2月6日 (2018.2.6)	(74) 代理人	100192636 弁理士 加藤 隆夫
		(72) 発明者	岡本 直哉 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	木下 直哉

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

表面側に形成された電極と表面側から裏面側に貫通する貫通電極とを有する第1の半導体チップと、表面側に形成された電極と表面側から裏面側に貫通する貫通電極とを有する第2の半導体チップとを、前記第1の半導体チップ及び前記第2の半導体チップの裏面側において、樹脂により固定する工程と、

前記樹脂をエッチングにより除去することにより、前記第1の半導体チップの裏面側及び第2の半導体チップの裏面側を露出させる工程と、

前記第1の半導体チップの裏面側及び第2の半導体チップの裏面側に、共通電極を形成する工程と、

を有し、

前記第1の半導体チップは、SiC基板の表面側に窒化物半導体層により半導体素子が形成されており、

前記第2の半導体チップは、Si基板の表面側に、抵抗、キャパシタ、インダクタンスのうちの1または2以上が形成されており、

前記第1の半導体チップの裏面側及び第2の半導体チップの裏面側を露出させる工程は

前記第1の半導体チップ及び前記第2の半導体チップの裏面側より、前記樹脂を所定の厚さになるまで研削する工程と、

前記研削された面の上にレジストパターンを形成し、前記レジストパターンの形成され

ていない領域の樹脂をエッチングにより除去することにより、前記第1の半導体チップの裏面側及び前記第2の半導体チップの裏面側を露出させる工程と、
を有することを特徴とする半導体装置の製造方法。

【請求項2】

前記所定の厚さは、 $10\ \mu\text{m}$ 以下であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】

前記樹脂により固定する工程後、

前記第1の半導体チップ及び前記第2の半導体チップの表面側に配線を形成することにより、前記第1の半導体チップの表面側の電極と前記第2の半導体チップの表面側の電極とを接続する再配線を形成する工程を含むことを特徴とする請求項1または2に記載の半導体装置の製造方法。

10

【請求項4】

前記共通電極を形成する工程は、

前記第1の半導体チップの裏面側及び第2の半導体チップの裏面側に第1の金属膜を形成する工程と、

前記第1の金属膜の上に、メッキにより第2の金属膜を形成する工程と、

を含むものであることを特徴とする請求項1から3のいずれかに記載の半導体装置の製造方法。

【請求項5】

前記第1の半導体チップと前記第2の半導体チップとを前記樹脂により固定する工程は、

支持基板の上の粘着層に、前記第1の半導体チップ及び前記第2の半導体チップの表面側を貼り付ける工程と、

前記支持基板の前記粘着層に貼り付けられた、前記第1の半導体チップ及び前記第2の半導体チップの裏面側に樹脂を供給した後、硬化させる工程と、

前記樹脂により前記第1の半導体チップと前記第2の半導体チップとが固定されたものより、前記粘着層及び前記支持基板を剥離する工程と、

を含むものであることを特徴とする請求項1から4のいずれかに記載の半導体装置の製造方法。

20

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法及び半導体装置に関するものである。

【背景技術】

【0002】

窒化物半導体は、高い飽和電子速度及びワイドバンドギャップ等の特徴を利用し、高耐圧及び高出力の半導体デバイスへの適用が検討されている。例えば、窒化物半導体である GaN のバンドギャップは $3.4\ \text{eV}$ であり、Si のバンドギャップ ($1.1\ \text{eV}$) 及び GaAs のバンドギャップ ($1.4\ \text{eV}$) よりも大きく、高い破壊電界強度を有する。そのため、GaN 等の窒化物半導体は、高電圧動作かつ高出力を得る電源用の半導体デバイスの材料として極めて有望である。

40

【0003】

窒化物半導体を用いた半導体デバイスとしては、電界効果トランジスタ、特に高電子移動度トランジスタ (High Electron Mobility Transistor: HEMT) についての報告が数多くなされている。例えば、GaN 系の HEMT (GaN-HEMT) では、GaN を電子走行層として、AlGaN を電子供給層として用いた AlGaN/GaN からなる HEMT が注目されている。AlGaN/GaN からなる HEMT では、GaN と AlGaN との格子定数差に起因した歪みが AlGaN に生じる。これにより発生したピエゾ分極及び AlGaN の自発分極差により、高濃度の 2DEG (Two-Dimensional Electron Gas

50

： 2次元電子ガス）が得られる。

【0004】

GaN-HEMTを用いたデバイスとしては、GaN-HEMTモノリシックマイクロ波集積回路（MMIC：Monolithic Microwave Integrated Circuit）があり、ミリ波帯無線通信システム、マイクロ波レーダーシステム等への応用が期待されている。一般的に、GaN-HEMT-MMICは、同一のSiC基板等の上に形成されたGaN-HEMT-HPA（ハイパワーアンプ）と入出力整合回路とにより形成されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2001-332866号公報

【特許文献2】特開2006-270037号公報

【特許文献3】特開2012-216601号公報

【特許文献4】特開2013-16753号公報

【特許文献5】特開2013-98373号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、SiC基板は、Si基板等と比べて高価であり、また、大きな基板を形成することが困難であることから、GaN-HEMT-MMICは高価なものとなってしまふ。従って、GaN-HEMT-MMICの低コスト化のためには、例えば、GaN-HEMT-HPAチップと、安価なSi基板を用いて作製した入出力整合回路チップとを用いて、異種チップ集積化及び再配線プロセスによりMMIC化することが極めて有効である。

【0007】

GaN-HEMT-MMICの場合、GaN-HEMT-HPAチップの放熱、及び、入出力整合回路チップのTSV（Through Substrate Via：基板貫通ビア配線）を介したグランド接地のため、各々のチップ裏面に金属膜が形成されている。このため、各々のチップを集積化及び再配線を行った後、各々のチップの裏面が露出するまで、モールド樹脂等をバックグラインド（研削）する工程が行われる。しかしながら、GaN-HEMT-HPAチップと入出力整合回路チップとでは、形成している基板の材料が異なるため、基板の厚み精度や研削レートの差により、歩留まりの低下や信頼性の低下を招いていた。

【0008】

このため、異なる材料からなる基板を用いた複数のチップによりICを形成する場合において、低価格で、信頼性の高い半導体装置の製造方法が求められている。

【課題を解決するための手段】

【0009】

本実施の形態の一観点によれば、表面側に形成された電極と表面側から裏面側に貫通する貫通電極とを有する第1の半導体チップと、表面側に形成された電極と表面側から裏面側に貫通する貫通電極とを有する第2の半導体チップとを、前記第1の半導体チップ及び前記第2の半導体チップの裏面側において、樹脂により固定する工程と、前記樹脂をエッチングにより除去することにより、前記第1の半導体チップの裏面側及び第2の半導体チップの裏面側を露出させる工程と、前記第1の半導体チップの裏面側及び第2の半導体チップの裏面側に、共通電極を形成する工程と、を有し、前記第1の半導体チップは、SiC基板の表面側に窒化物半導体層により半導体素子が形成されており、前記第2の半導体チップは、Si基板の表面側に、抵抗、キャパシタ、インダクタンスのうちの1または2以上が形成されており、前記第1の半導体チップの裏面側及び第2の半導体チップの裏面側を露出させる工程は、前記第1の半導体チップ及び前記第2の半導体チップの裏面側より、前記樹脂を所定の厚さになるまで研削する工程と、前記研削された面の上にレジストパターンを形成し、前記レジストパターンの形成されていない領域の樹脂をエッチングに

10

20

30

40

50

より除去することにより、前記第1の半導体チップの裏面側及び前記第2の半導体チップの裏面側を露出させる工程と、を有することを特徴とする。

【発明の効果】

【0010】

開示の半導体装置の製造方法によれば、異なる材料からなる基板を用いた複数のチップにより形成されるICを低価格で、高い信頼性で、製造することができる。

【図面の簡単な説明】

【0011】

【図1】基板材料の異なる複数のチップにより形成されている半導体装置の構造図

【図2】基板材料の異なる複数のチップにより形成されている半導体装置の説明図

【図3】第1の実施の形態における半導体装置の製造方法の工程図(1)

【図4】第1の実施の形態における半導体装置の製造方法の工程図(2)

【図5】疑似ウェハの説明図

【図6】第1の実施の形態における半導体装置の製造方法の工程図(3)

【図7】第1の実施の形態における半導体装置の製造方法の工程図(4)

【図8】第1の実施の形態における半導体装置の製造方法の工程図(5)

【図9】第1の実施の形態における半導体装置の製造方法の工程図(6)

【図10】第1の実施の形態における半導体装置の製造方法の工程図(7)

【図11】第1の実施の形態における半導体装置の製造方法の工程図(8)

【図12】第1の実施の形態における半導体装置の製造方法の工程図(9)

【図13】第1の実施の形態における半導体装置の製造方法の工程図(10)

【図14】第1の実施の形態における半導体装置の製造方法の工程図(11)

【図15】第1の実施の形態における半導体装置の製造方法の工程図(12)

【図16】第1の実施の形態における半導体装置の製造方法の工程図(13)

【図17】第1の実施の形態における半導体装置の説明図

【図18】第2の実施の形態における半導体装置の製造方法の工程図(1)

【図19】第2の実施の形態における半導体装置の製造方法の工程図(2)

【図20】第2の実施の形態における半導体装置の製造方法の工程図(3)

【図21】第2の実施の形態における半導体装置の製造方法の工程図(4)

【図22】第2の実施の形態における半導体装置の製造方法の工程図(5)

【図23】第2の実施の形態における半導体装置の製造方法の工程図(6)

【図24】第2の実施の形態における半導体装置の製造方法の工程図(7)

【図25】第2の実施の形態における半導体装置の製造方法の工程図(8)

【図26】第2の実施の形態における半導体装置の製造方法の工程図(9)

【図27】第2の実施の形態における半導体装置の製造方法の工程図(10)

【図28】第2の実施の形態における半導体装置の製造方法の工程図(11)

【図29】第3の実施の形態における高周波幅器の構造図

【発明を実施するための形態】

【0012】

実施するための形態について、以下に説明する。尚、同じ部材等については、同一の符号を付して説明を省略する。

【0013】

〔第1の実施の形態〕

最初に、異なる材料からなる基板を用いた複数のチップにより形成されるMMICについて説明する。このMMICは、図1に示されるように、例えば、3つのチップ、即ち、SiC基板11を用いた第1の半導体チップ10、Si基板21を用いた第2の半導体チップ20、Si基板31を用いた第3の半導体チップ30により形成されている。第1の半導体チップ10、第2の半導体チップ20及び第3の半導体チップ30の表面側には、

10

20

30

40

50

層間絶縁膜 5 1 と金属により形成された配線 5 2 により再配線層 5 0 が形成されており、再配線層 5 0 により、各々の半導体チップ間が電氣的に接続されている。第 1 の半導体チップ 1 0、第 2 の半導体チップ 2 0 及び第 3 の半導体チップ 3 0 の裏面側には、放熱のため、及び、グランド接地のため、共通電極となる金属膜 6 0 が形成されている。尚、第 1 の半導体チップ 1 0、第 2 の半導体チップ 2 0、第 3 の半導体チップ 3 0 の厚さは、約 1 0 0 μm であり、第 1 の半導体チップ 1 0、第 2 の半導体チップ 2 0、第 3 の半導体チップ 3 0 は、モールド樹脂 4 0 により接合されている。

【 0 0 1 4 】

第 1 の半導体チップ 1 0 は、G a N - H E M T - H P A チップである。具体的には、第 1 の半導体チップ 1 0 の表面に形成された G a N 等の窒化物半導体層 1 2 には半導体回路が形成されており、窒化物半導体層 1 2 の上には、ゲート電極 (G)、ソース電極 (S)、ドレイン電極 (D) 等の表面側電極 1 3 が形成されている。第 2 の半導体チップ 2 0 は、入力側整合回路チップであり、S i 基板 2 1 の表面及び裏面には、酸化シリコン膜 2 2 a、2 2 b が形成されている。また、表面側の酸化シリコン膜 2 2 a の上には、表面側電極 2 3、キャパシタ 2 4 や抵抗 2 5 等の電子素子が形成されている。第 3 の半導体チップ 3 0 は、出力側整合回路チップであり、S i 基板 3 1 の表面及び裏面には、酸化シリコン膜 3 2 a、3 2 b が形成されている。また、表面側の酸化シリコン膜 3 2 a の上には、表面側電極 3 3、キャパシタ 3 4 やインダクタンス 3 5 等の電子素子が形成されている。

【 0 0 1 5 】

また、第 1 の半導体チップ 1 0、第 2 の半導体チップ 2 0 及び第 3 の半導体チップ 3 0 には、表面側電極 1 3、2 3、3 3 の一部と裏面側に形成される金属膜 6 0 とを接続するための貫通電極となる T S V 配線 1 7、2 7、3 7 が、銅等により形成されている。

【 0 0 1 6 】

図 1 に示すような M M I C を作製する際には、最初に、図 2 (a) に示すように、第 1 の半導体チップ 1 0、第 2 の半導体チップ 2 0、第 3 の半導体チップ 3 0 の表面側を揃えて配置し、半導体チップの裏面側よりモールド樹脂 4 0 で固める。この後、モールド樹脂 4 0 により固められた第 1 の半導体チップ 1 0、第 2 の半導体チップ 2 0、第 3 の半導体チップ 3 0 の表面側に再配線層 5 0 を形成する。再配線層 5 0 は、層間絶縁膜 5 1 及び配線 5 2 より形成されている。具体的には、再配線層 5 0 は、層間絶縁膜 5 1 となる絶縁膜の成膜、貫通電極を形成するための絶縁膜のエッチング、絶縁膜が除去された領域及び絶縁膜の表面において配線 5 2 を形成するための金属膜を成膜することにより形成されている。

【 0 0 1 7 】

次に、図 2 (b) に示すように、各々の半導体チップの裏面側に金属膜 6 0 を形成するため、各々の半導体チップの裏面側のモールド樹脂 4 0 を研削により除去し、第 1 の半導体チップ 1 0、第 2 の半導体チップ 2 0、第 3 の半導体チップ 3 0 の裏面を露出させる。しかしながら、第 1 の半導体チップ 1 0 を形成している S i C 基板 1 1 の厚さと、第 2 の半導体チップ 2 0 及び第 3 の半導体チップ 3 0 を形成している S i 基板 2 1、3 1 の厚さが、許容精度の範囲内で僅かにずれている場合がある。また、各々の半導体チップを形成している基板の材料により研削レートも異なる。

【 0 0 1 8 】

このため、図 2 (b) に示されるように、第 2 の半導体チップ 2 0 及び第 3 の半導体チップ 3 0 の裏面側における酸化シリコン膜 2 2 b 及び 3 2 b までも、研削により除去されてしまう場合がある。このように、第 2 の半導体チップ 2 0 及び第 3 の半導体チップ 3 0 の裏面側における酸化シリコン膜 2 2 b 及び 3 2 b が除去されてしまうと、S i 基板 2 1 及び 3 1 の裏面に、共通電極となる金属膜 6 0 が直接成膜されるため、S i と金属とが接触する。このため、製造される半導体装置の信頼性が低下してしまう。また、S i 基板 2 1 及び 3 1 を形成している S i と、S i C 基板 1 1 を形成している S i C とでは、研削レートが異なるため、裏面側において半導体チップにより凹凸が形成される場合がある。このように、裏面側において半導体チップにより凹凸が形成されると、裏面側に金属膜 6 0

10

20

30

40

50

を形成する際に、ボイドが形成され、放熱特性や、グランド電位等に悪影響を与える場合がある。

【0019】

(半導体装置の製造方法)

次に、本実施の形態における半導体装置の製造方法について説明する。本実施の形態における半導体装置の製造方法は、図1に示される構造のMMICを高い信頼性で製造することのできる半導体装置の製造方法である。

【0020】

最初に、図3に示すように、支持基板70の上に粘着層71を形成する。支持基板70にはガラス基板等を用いることができ、粘着層71には常温では粘着力があり、熱を加えることにより粘着力が弱まり、付着していたものを容易に剥がすことのできる粘着シートを用いることができる。

10

【0021】

次に、図4に示すように、第1の半導体チップ10、第2の半導体チップ20、第3の半導体チップ30の表面側が、粘着層71に接するように、フリップチップボンダーやチップマウンターにより粘着層71の上に実装し仮固定する。

【0022】

第1の半導体チップ10は、SiC基板11にGaN-HEMT-HPAが形成されているものである。具体的には、図5(a)に示されるようなSiCウェハ81に形成されたGaN-HEMT-HPAをダイシング等によりチップごとに分離することにより形成されたGaN-HEMT-HPAチップである。具体的には、第1の半導体チップ10の表面には窒化物半導体層12により半導体回路が形成されており、窒化物半導体層12の上には、ゲート電極、ソース電極、ドレイン電極等の表面側電極13が形成されている。また、第1の半導体チップ10の裏面側には裏面側電極16が形成されており、必要に応じて、表面側電極13の一部と裏面側電極16とは、第1の半導体チップ10を貫通する銅等により形成されたTSV配線17により接続されている。

20

【0023】

また、第2の半導体チップ20及び第3の半導体チップ30は、Si基板に整合回路が形成されているものであり、図5(b)に示されるようなSiウェハ82に形成された各々の整合回路をダイシング等によりチップごとに分離することにより形成される。尚、図5(c)は、SiCウェハ81、Siウェハ82より、各々分離された第1の半導体チップ10、第2の半導体チップ20及び第3の半導体チップ30をモールド樹脂40で固めることにより形成された後述する疑似ウェハ83の様子を示す。

30

【0024】

第2の半導体チップ20は、入力側整合回路チップであり、Si基板21の表面及び裏面には、酸化シリコン膜22a、22bが形成されている。表面側の酸化シリコン膜22aの上には、表面側電極23、キャパシタ24や抵抗25等の電子素子が形成されている。また、第2の半導体チップ20の裏面側の酸化シリコン膜22bの上には裏面側電極26が形成されており、表面側電極23の一部と裏面側電極26とは、第2の半導体チップ20を貫通する銅等により形成されたTSV配線27により接続されている。

40

【0025】

第3の半導体チップ30は、出力側整合回路チップであり、Si基板31の表面及び裏面には、酸化シリコン膜32a、32bが形成されている。表面側の酸化シリコン膜32aの上には、表面側電極33、キャパシタ34等の電子素子が形成されている。また、第3の半導体チップ30の裏面側の酸化シリコン膜32bの上には裏面側電極36が形成されており、表面側電極33の一部と裏面側電極36とは、第3の半導体チップ30を貫通する銅等により形成されたTSV配線37により接続されている。

【0026】

次に、図6に示すように、粘着層71の上に仮固定されている第1の半導体チップ10、第2の半導体チップ20、第3の半導体チップ30の裏面側に、液状のモールド樹脂4

50

0を塗布し、プレスにより平坦化した状態で、モールド樹脂40を硬化させて固める。これにより、硬化したモールド樹脂40により、第1の半導体チップ10、第2の半導体チップ20、第3の半導体チップ30が固定される。固められたモールド樹脂40の形状は、図5(c)に示されるような、疑似ウェハ83となるようにウェハ状に形成する。

【0027】

次に、図7に示すように、支持基板70及び粘着層71を加熱して、支持基板70及び粘着層71を剥離する。これにより、図5(c)に示されるような、第1の半導体チップ10、第2の半導体チップ20、第3の半導体チップ30をモールド樹脂40により固めた疑似ウェハ83が形成される。この疑似ウェハ83においては、第1の半導体チップ10、第2の半導体チップ20、第3の半導体チップ30の表面側が露出している。

10

【0028】

次に、図8に示すように、疑似ウェハ83において、第1の半導体チップ10、第2の半導体チップ20、第3の半導体チップ30の表面側に、層間絶縁膜51を形成する。層間絶縁膜51は、疑似ウェハ83の第1の半導体チップ10、第2の半導体チップ20、第3の半導体チップ30の表面側に、液体のポリイミド等の溶液を塗布した後、キュアすることにより形成する。

【0029】

次に、図9に示すように、層間絶縁膜51にビア電極を形成するためのビア開口51aを形成する。具体的には、層間絶縁膜51の上に、フォトレジストを塗布し、露光装置により露光、現像を行うことにより、ビア開口51aが形成される領域に開口部を有するレジストパターン72を形成する。この後、レジストパターン72が形成されていない領域の層間絶縁膜51をドライエッチングにより除去することにより、層間絶縁膜51にビア開口51aを形成する。尚、ビア開口51aが形成された層間絶縁膜51は、疑似ウェハ83に液体の感光性ポリイミド等の感光性樹脂を塗布し、露光装置による露光を行い、露光されていない領域の感光性樹脂を除去し、キュア等することにより形成してもよい。この後、レジストパターン72は有機溶剤等により除去する。

20

【0030】

次に、図10に示すように、ビア電極52a及び表面電極52bを形成することにより、配線52を形成する。尚、ビア電極52a及び表面電極52bにより形成される配線52は、再配線とも呼ばれる。具体的には、Ti/Cuにより形成された不図示のシードメタルをスパッタリングにより成膜し、シードメタルの上に不図示のレジストパターン等を形成した後、銅(Cu)メッキを行う。これにより、層間絶縁膜51におけるビア開口51aにビア電極52aを形成し、層間絶縁膜51の表面に表面電極52bを形成する。この後、レジストパターンを有機溶剤等により除去し、露出したシードメタルは、ミリング等により除去する。これにより、層間絶縁膜51と配線52により再配線層50が形成される。この際、ビア電極52aによりインダクタンス35も同時に形成される。尚、ビア電極52a及び表面電極52bは、スパッタリングによりAlを成膜することにより形成したものであってもよい。

30

【0031】

次に、図11に示すように、疑似ウェハ83の裏面側のモールド樹脂40を研削するために、サポート基板73に、疑似ウェハ83の表面側となる再配線層50が形成されている側を熱可塑性接着剤74により貼り付ける。サポート基板73は、例えば、ガラス基板等が用いられる。

40

【0032】

次に、図12に示すように、疑似ウェハ83の裏面側のモールド樹脂40を第1の半導体チップ10、第2の半導体チップ20、第3の半導体チップ30の裏面側が露出する手前まで、研削により除去する。即ち、疑似ウェハ83の裏面側において、第1の半導体チップ10、第2の半導体チップ20、第3の半導体チップ30の裏面が、モールド樹脂40により薄く覆われた状態、例えば、厚さが10 μ mとなるまで研削により除去する。

【0033】

50

次に、図13に示すように、第1の半導体チップ10の裏面側に開口部40a、第2の半導体チップ20の裏面側に開口部40b、第3の半導体チップ30の裏面側に開口部40cを形成する。具体的には、研削されたモールド樹脂40の表面に、フォトリソを塗布し、露光装置による露光、現像を行うことにより、開口部40a、40b、40cが形成される領域に開口部を有する不図示のレジストパターンを形成する。その後、レジストパターンが形成されていない領域のモールド樹脂40をドライエッチング等により除去することにより、開口部40a、40b、40cを形成し、第1の半導体チップ10、第2の半導体チップ20、第3の半導体チップ30の裏面を露出させる。これにより、第1の半導体チップ10の裏面側における裏面側電極16、第2の半導体チップ20の裏面側における裏面側電極26、第3の半導体チップ30の裏面側における裏面側電極36が露出する。このように形成される開口部40aは裏面側電極16よりも狭い領域に形成され、開口部40bは裏面側電極26よりも狭い領域に形成され、開口部40cは裏面側電極36よりも狭い領域に形成される。その後、不図示のレジストパターンは、有機溶剤等により除去する。

10

【0034】

次に、図14に示すように、第1の半導体チップ10の裏面側における裏面側電極16、第2の半導体チップ20の裏面側における裏面側電極26、第3の半導体チップ30の裏面側における裏面側電極36の上に、第1の金属膜61、62、63を形成する。第1の金属膜61、62、63は、Cu、Au、Ag、Pt、In、Sn、Ni等を含む単層膜や多層膜を無電解メッキにより形成する。尚、第1の金属膜61は、第1の半導体チップ10よりも狭い領域に形成されており、第1の金属膜62は、第2の半導体チップ20よりも狭い領域に形成されており、第1の金属膜63は、第3の半導体チップ30よりも狭い領域に形成されている。このように、開口部40a、40b、40cを第1の金属膜61、62、63により埋め込むことにより、モールド樹脂40と開口部40a、40b、40cに形成された第1の金属膜61、62、63との高さを略同じにすることができる。

20

【0035】

次に、図15に示すように、第1の金属膜61、62、63が形成されている疑似ウェハ83の裏面側に、シードメタルを成膜した後、Auメッキにより第2の金属膜64を形成する。シードメタルは、スパッタリングによりTi/Au(20nm/0.2μm)膜を成膜することにより形成し、Auメッキ膜は膜厚が3μmのAuメッキを行うことにより形成する。これにより、疑似ウェハ83の裏面側には、第1の金属膜61、62、63及び第2の金属膜64からなる共通電極となる金属膜60が形成される。

30

【0036】

次に、図16に示すように、疑似ウェハ83よりサポート基板73を剥離した後、熱可塑性接着剤74を除去する。これにより、本実施の形態における半導体装置であるGaN-HEMT-MMICを作製することができる。図17は、このGaN-HEMT-MMICのモールド樹脂の一部を透過した上面図である。

【0037】

本実施の形態においては、第2の半導体チップ20及び第3の半導体チップ30の裏面側のモールド樹脂40を除去する際に、裏面側の酸化シリコン膜22b、32bが除去されないため、半導体装置の信頼性が低下することを抑制することができる。また、第1の半導体チップ10、第2の半導体チップ20、第3の半導体チップ30の裏面は、研削により除去されないため、半導体チップ間において研削レートの相違による凹凸が生じることはない。また、第1の半導体チップ10、第2の半導体チップ20、第3の半導体チップ30の表面側及び裏面側の縁の一部にも、モールド樹脂40が形成されており、半導体チップ間は強く接合されているため、熱膨張等により半導体チップが分離することはない。

40

【0038】

〔第2の実施の形態〕

50

(半導体装置の製造方法)

次に、第2の実施の形態における半導体装置の製造方法について説明する。本実施の形態のける半導体装置の製造方法は、図1に示される構造のMMICを高い信頼性で製造することのできる半導体装置の製造方法である。

【0039】

最初に、図18に示すように、支持基板70の上に粘着層71を形成する。支持基板70にはガラス基板等を用いることができ、粘着層71には常温では粘着力があり、熱を加えることにより粘着力が弱まり、付着していたものを容易に剥がすことのできる粘着シートを用いることができる。

【0040】

次に、図19に示すように、第1の半導体チップ10、第2の半導体チップ20、第3の半導体チップ30の表面側が、粘着層71に接するように、フリップチップボンダーやチップマウンターにより粘着層71の上に実装し仮固定する。

【0041】

第1の半導体チップ10は、SiC基板11にGaN-HEMT-HPAが形成されているGaN-HEMT-HPAチップである。具体的には、第1の半導体チップ10の表面には窒化物半導体層12により半導体回路が形成されており、窒化物半導体層12の上には、ゲート電極、ソース電極、ドレイン電極等の表面側電極13が形成されている。また、第1の半導体チップ10の裏面側には裏面側電極16が形成されており、必要に応じて表面側電極13の一部と裏面側電極16とは、第1の半導体チップ10を貫通する銅等により形成されたTSV配線17により接続されている。裏面側電極16の上には、第1の金属膜61がメッキにより形成されている。

【0042】

第2の半導体チップ20は、入力側整合回路チップであり、Si基板21の表面及び裏面には、絶縁膜となる酸化シリコン膜22a、22bが形成されている。表面側の酸化シリコン膜22aの上には、表面側電極23、キャパシタ24や抵抗25等の電子素子が形成されている。また、第2の半導体チップ20の裏面側の酸化シリコン膜22bの上には裏面側電極26が形成されており、表面側電極23の一部と裏面側電極26とは、第2の半導体チップ20を貫通する銅等により形成されたTSV配線27により接続されている。裏面側電極26の上には、第1の金属膜62がメッキにより形成されている。

【0043】

第3の半導体チップ30は、出力側整合回路チップであり、Si基板31の表面及び裏面には、絶縁膜となる酸化シリコン膜32a、32bが形成されている。表面側の酸化シリコン膜32aの上には、表面側電極33、キャパシタ34等の電子素子が形成されている。また、第3の半導体チップ30の裏面側の酸化シリコン膜32bの上には裏面側電極36が形成されており、表面側電極33の一部と裏面側電極36とは、第3の半導体チップ30を貫通する銅等により形成されたTSV配線37により接続されている。裏面側電極36の上には、第1の金属膜63がメッキにより形成されている。

【0044】

尚、本実施の形態においては、第1の金属膜61、62、63は、Cu、Au、Ag、Pt、In、Sn、Ni等を含む単層膜や多層膜を膜厚が10 μ m以上となるように成膜することにより形成されている。また、第1の金属膜61は、第1の半導体チップ10よりも狭い領域に形成されており、第1の金属膜62は、第2の半導体チップ20よりも狭い領域に形成されており、第1の金属膜63は、第3の半導体チップ30よりも狭い領域に形成されている。

【0045】

次に、図20に示すように、粘着層71の上に仮固定されている第1の半導体チップ10、第2の半導体チップ20、第3の半導体チップ30の裏面側より、液状のモールド樹脂40を塗布し、プレスにより平坦化した状態で、モールド樹脂40を固める。これにより、硬化したモールド樹脂40により、第1の半導体チップ10、第2の半導体チップ2

10

20

30

40

50

0、第3の半導体チップ30が固定される。固められたモールド樹脂40の形状は、図5(c)に示されるように、疑似ウェハ83となるようにウェハ状に形成する。

【0046】

次に、図21に示すように、支持基板70及び粘着層71を加熱して、支持基板70及び粘着層71を剥離する。これにより、図5(c)に示されるような、第1の半導体チップ10、第2の半導体チップ20、第3の半導体チップ30をモールド樹脂40により固めた疑似ウェハ83が形成される。この疑似ウェハ83では、第1の半導体チップ10、第2の半導体チップ20、第3の半導体チップ30の表面側が露出している。

【0047】

次に、図22に示すように、疑似ウェハ83において、第1の半導体チップ10、第2の半導体チップ20、第3の半導体チップ30の表面側に、層間絶縁膜51を形成する。層間絶縁膜51は、疑似ウェハ83の第1の半導体チップ10、第2の半導体チップ20、第3の半導体チップ30の表面側に、液体のポリイミド等の溶液を塗布した後、キュアすることにより形成する。

【0048】

次に、図23に示すように、層間絶縁膜51にビア電極を形成するためのビア開口51aを形成する。具体的には、層間絶縁膜51の上に、フォトリソを塗布し、露光装置により露光、現像を行うことにより、ビア開口51aが形成される領域に開口部を有するレジストパターン72を形成する。この後、レジストパターン72が形成されていない領域の層間絶縁膜51をドライエッチングにより除去することにより、層間絶縁膜51にビア開口51aを形成する。尚、ビア開口51aが形成された層間絶縁膜51は、疑似ウェハ83に液体の感光性ポリイミド等の感光性樹脂を塗布し、露光装置による露光を行い、露光されていない領域の感光性樹脂を除去し、キュア等することにより形成してもよい。この後、レジストパターン72は有機溶剤等により除去する。

【0049】

次に、図24に示すように、ビア電極52a及び表面電極52bを形成することにより、配線52を形成する。尚、ビア電極52a及び表面電極52bにより形成される配線52は、再配線とも呼ばれる。具体的には、Ti/Cuにより形成された不図示のシードメタルをスパッタリングにより成膜し、シードメタルの上に不図示のレジストパターン等を形成した後、銅(Cu)メッキを行う。これにより、層間絶縁膜51におけるビア開口51aにビア電極52aを形成し、層間絶縁膜51の表面に表面電極52bを形成する。この後、レジストパターンを有機溶剤等により除去し、露出したシードメタルは、ミリング等により除去する。これにより、層間絶縁膜51と配線52により再配線層50が形成される。この際、ビア電極52aによりインダクタンス35も同時に形成される。尚、ビア電極52a及び表面電極52bは、スパッタリングによりAlを成膜することにより形成したものであってもよい。

【0050】

次に、図25に示すように、疑似ウェハ83の裏面側のモールド樹脂40を研削するために、サポート基板73に、疑似ウェハ83の表面側となる再配線層50が形成されている側を熱可塑性接着剤74により貼り付ける。サポート基板73は、例えば、ガラス基板等が用いられる。

【0051】

次に、図26に示すように、疑似ウェハ83の裏面側のモールド樹脂40を第1の半導体チップ10、第2の半導体チップ20、第3の半導体チップ30の裏面側における第1の金属膜61、62、63が露出するまで、研削により除去する。この際、半導体チップの高さの差が±2μm程度であっても、第1の金属膜61、62、63の厚さは10μm以上ある。よって、疑似ウェハ83の裏面側のモールド樹脂40を除去する際に、第1の金属膜61、62、63が多少除去されても完全に除去されることはない。

【0052】

次に、図27に示すように、第1の金属膜61、62、63が形成されている疑似ウェ

10

20

30

40

50

ハ 8 3 の裏面側に、シードメタルを成膜した後、Auメッキにより第 2 の金属膜 6 4 を形成する。シードメタルは、スパッタリングによりTi/Au(20nm/0.2μm)膜を成膜することにより形成し、Auメッキ膜は膜厚が3μmのAuメッキを行うことにより形成する。これにより、疑似ウェハ 8 3 の裏面側には、第 1 の金属膜 6 1、6 2、6 3 及び第 2 の金属膜 6 4 からなる共通電極となる金属膜 6 0 が形成される。

【 0 0 5 3 】

次に、図 2 8 に示すように、疑似ウェハ 8 3 よりサポート基板 7 3 を剥離した後、熱可塑性接着剤 7 4 を除去する。これにより、本実施の形態における半導体装置である GaN-HEMT-MMIC を作製することができる。

【 0 0 5 4 】

本実施の形態においては、第 2 の半導体チップ 2 0 及び第 3 の半導体チップ 3 0 の裏面側のモールド樹脂 4 0 を除去する際に、裏面側の酸化シリコン膜 2 2 b、3 2 b が除去されないため、半導体装置の信頼性が低下することを抑制することができる。また、第 1 の半導体チップ 1 0、第 2 の半導体チップ 2 0、第 3 の半導体チップ 3 0 の裏面は、研削により除去されないため、半導体チップ間において研削レートの相違による凹凸が生じることはない。また、第 1 の半導体チップ 1 0、第 2 の半導体チップ 2 0、第 3 の半導体チップ 3 0 の表面側及び裏面側の縁の一部にも、モールド樹脂 4 0 が形成されており、半導体チップ間は強く接合されているため、熱膨張等により半導体チップが分離することはない。

【 0 0 5 5 】

尚、上記以外の内容については、第 1 の実施の形態と同様である。

【 0 0 5 6 】

〔 第 3 の実施の形態 〕

次に、第 3 の実施の形態における高周波増幅器について、図 2 9 に基づき説明する。本実施の形態における高周波増幅器は、第 1 または第 2 の実施の形態における半導体装置を用いた高周波増幅器である。本実施の形態における高周波増幅器 4 7 0 は、例えば、携帯電話の基地局用パワーアンプに適用してもよい。この高周波増幅器 4 7 0 は、デジタル・プレディストーション回路 4 7 1、ミキサー 4 7 2 a、4 7 2 b、パワーアンプ 4 7 3 及び方向性結合器 4 7 4 を備えている。デジタル・プレディストーション回路 4 7 1 は、入力信号の非線形歪みを補償する。ミキサー 4 7 2 a、4 7 2 b は、非線形歪みが補償された入力信号と交流信号とをミキシングする。パワーアンプ 4 7 3 は、交流信号とミキシングされた入力信号を増幅する。本実施の形態においては、パワーアンプ 4 7 3 は、第 1 または第 2 の実施の形態における半導体装置を有している。方向性結合器 4 7 4 は、入力信号や出力信号のモニタリング等を行なう。また、本実施の形態における高周波増幅器は、例えば、スイッチの切り替えにより、ミキサー 4 7 2 により出力信号を交流信号とミキシングしてデジタル・プレディストーション回路 4 7 1 に送出することが可能である。

【 0 0 5 7 】

本実施の形態における高周波増幅器は、第 1 または第 2 の実施の形態における半導体装置を有しているため、信頼性の高い高周波高出力増幅器を得ることができる。また、このような高周波高出力増幅器を用いた送信・受信モジュールにおいては、信頼性の高い通信、レーダー、センサー、電波妨害器等のシステム機器を提供することができる。

【 0 0 5 8 】

以上、実施の形態について詳述したが、特定の実施形態に限定されるものではなく、特許請求の範囲に記載された範囲内において、種々の変形及び変更が可能である。

【 0 0 5 9 】

上記の説明に関し、更に以下の付記を開示する。

(付記 1)

表面側に形成された電極と表面側から裏面側に貫通する貫通電極とを有する第 1 の半導体チップと、表面側に形成された電極と表面側から裏面側に貫通する貫通電極とを有する

10

20

30

40

50

第2の半導体チップとを、前記第1の半導体チップ及び前記第2の半導体チップの裏面側において、樹脂により固定する工程と、

前記樹脂をエッチングにより除去することにより、前記第1の半導体チップの裏面側及び第2の半導体チップの裏面側を露出させる工程と、

前記第1の半導体チップの裏面側及び第2の半導体チップの裏面側に、共通電極を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

(付記2)

前記樹脂により固定する工程後、

前記第1の半導体チップ及び前記第2の半導体チップの表面側に配線を形成することにより、前記第1の半導体チップの表面側の電極と前記第2の半導体チップの表面側の電極とを接続する再配線を形成する工程を含むことを特徴とする付記1に記載の半導体装置の製造方法。

10

(付記3)

前記第1の半導体チップの裏面側及び第2の半導体チップの裏面側を露出させる工程は、

前記樹脂の上にレジストパターンを形成する工程と、

前記レジストパターンの形成されていない領域の樹脂をエッチングにより除去し、前記第1の半導体チップの裏面側及び第2の半導体チップの裏面側を露出させる工程と、

を含むものであることを特徴とする付記1または2に記載の半導体装置の製造方法。

20

(付記4)

前記第1の半導体チップの裏面側及び第2の半導体チップの裏面側を露出させる工程は、

前記第1の半導体チップ及び前記第2の半導体チップの裏面側より、前記樹脂を所定の厚さになるまで研削する工程と、

前記研削された面の上にレジストパターンを形成し、前記レジストパターンの形成されていない領域の樹脂をエッチングにより除去することにより、前記第1の半導体チップの裏面側及び第2の半導体チップの裏面側を露出させる工程と、

を有することを特徴とする付記1から3のいずれかに記載の半導体装置の製造方法。

(付記5)

前記共通電極を形成する工程は、

前記第1の半導体チップの裏面側及び第2の半導体チップの裏面側に第1の金属膜を形成する工程と、

前記第1の金属膜の上に、メッキにより第2の金属膜を形成する工程と、

を含むものであることを特徴とする付記1から4のいずれかに記載の半導体装置の製造方法。

(付記6)

表面側及び裏面側に形成された電極と表面側の電極と裏面側の電極とを接続する貫通電極とを有する第1の半導体チップと、表面側及び裏面側に形成された電極と表面側の電極と裏面側の電極とを接続する貫通電極とを有する第2の半導体チップとを、前記第1の半導体チップ及び前記第2の半導体チップの裏面側において、樹脂により固定する工程と、

40

前記樹脂を研削により除去することにより、前記第1の半導体チップの裏面側の電極及び第2の半導体チップの裏面側の電極を露出させる工程と、

前記第1の半導体チップの裏面側の電極と第2の半導体チップの裏面側の電極とを接続する共通電極を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

(付記7)

前記樹脂により固定する工程の後、

前記第1の半導体チップ及び前記第2の半導体チップの表面側に配線を形成することにより、前記第1の半導体チップの表面側の電極と前記第2の半導体チップの表面側の電極

50

とを接続する再配線を形成する工程を含むことを特徴とする付記 6 に記載の半導体装置の製造方法。

(付記 8)

前記研削の前における前記第 1 の半導体チップの裏面側の電極及び前記第 2 の半導体チップの裏面側の電極の厚さは、 $10\ \mu\text{m}$ 以上であることを特徴とする付記 7 に記載の半導体装置の製造方法。

(付記 9)

前記第 1 の半導体チップと前記第 2 の半導体チップとを前記樹脂により固定する工程は、

支持基板の上の粘着層に、前記第 1 の半導体チップ及び前記第 2 の半導体チップの表面側を貼り付ける工程と、

前記支持基板の前記粘着層に貼り付けられた、前記第 1 の半導体チップ及び前記第 2 の半導体チップの裏面側に樹脂を供給した後、硬化させる工程と、

前記樹脂により前記第 1 の半導体チップと前記第 2 の半導体チップとが固定されたものより、前記粘着層及び前記支持基板を剥離する工程と、

を含むものであることを特徴とする付記 1 から 8 のいずれかに記載の半導体装置の製造方法。

(付記 10)

前記第 1 の半導体チップは、SiC 基板の表面側に窒化物半導体層により半導体素子が形成されており、

前記第 2 の半導体チップは、Si 基板の表面側に、抵抗、キャパシタ、インダクタンスのうちの 1 または 2 以上が形成されていることを特徴とする付記 1 から 9 のいずれかに記載の半導体装置の製造方法。

(付記 11)

前記第 2 の半導体チップは、複数設けられていることを特徴とする付記 1 から 10 のいずれかに記載の半導体装置の製造方法。

(付記 12)

表面側に形成された電極と表面側から裏面側に貫通する貫通電極とを有する第 1 の半導体チップと、

表面側に形成された電極と表面側から裏面側に貫通する貫通電極とを有する第 2 の半導体チップと、

前記第 1 の半導体チップ及び前記第 2 の半導体チップを固定する樹脂と、

前記第 1 の半導体チップの裏面と前記第 2 の半導体チップの裏面とを接続する共通電極と、

を有し、

前記第 1 の半導体チップは、SiC 基板に形成されたものであって、

前記第 2 の半導体チップを形成している半導体基板は、前記第 1 の半導体チップを形成している半導体基板とは異なる材料により形成されていることを特徴とする半導体装置。

(付記 13)

前記第 1 の半導体チップは、SiC 基板に GaN を含む半導体層により半導体素子が形成されたものであって、

前記第 2 の半導体チップは、Si 基板に電子素子が形成されたものであることを特徴とする付記 12 に記載の半導体装置。

(付記 14)

前記第 2 の半導体チップは、複数設けられていることを特徴とする付記 12 または 13 に記載の半導体装置。

(付記 15)

付記 12 から 14 のいずれかに記載の半導体装置を有することを特徴とする増幅器。

【符号の説明】

【0060】

10

20

30

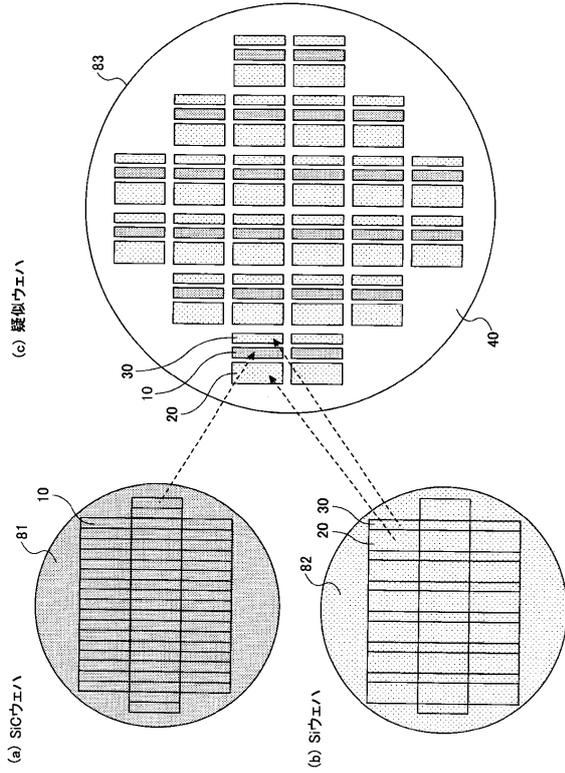
40

50

1 0	第 1 の半導体チップ	
1 1	S i C 基板	
1 2	窒化物半導体層	
1 3	表面側電極	
1 6	裏面側電極	
1 7	T S V 配線	
2 0	第 2 の半導体チップ	
2 1	S i 基板	
2 2 a、2 2 b	酸化シリコン膜	
2 3	表面側電極	10
2 4	キャパシタ	
2 5	抵抗	
2 6	裏面側電極	
2 7	T S V 配線	
3 0	第 3 の半導体チップ	
3 1	S i 基板	
3 2 a、3 2 b	酸化シリコン膜	
3 3	表面側電極	
3 4	キャパシタ	
3 5	インダクタンス	20
3 6	裏面側電極	
3 7	T S V 配線	
4 0	モールド樹脂	
5 0	再配線層	
5 1	層間絶縁膜	
5 2	配線	
6 0	金属膜	
7 0	支持基板	
7 1	粘着層	
7 2	レジストパターン	30
7 3	サポート基板	
7 4	熱可塑性接着剤	
8 1	S i C ウェハ	
8 2	S i ウェハ	
8 3	疑似ウェハ	

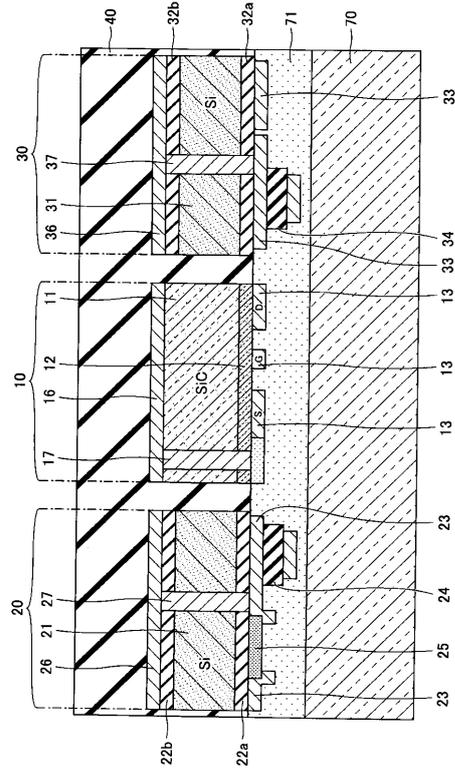
【図5】

疑似ウェハの説明図



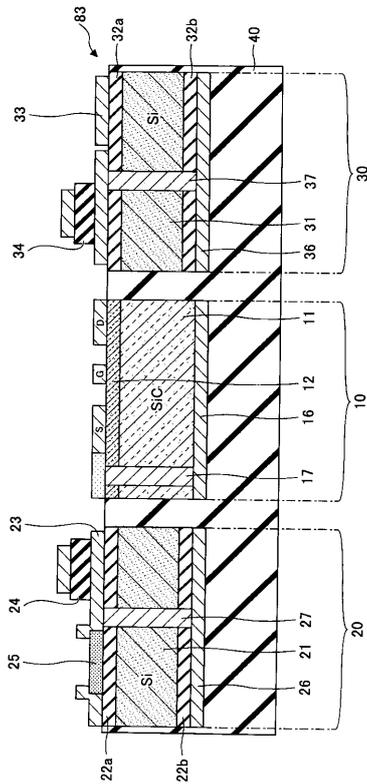
【図6】

第1の実施の形態における半導体装置の製造方法の工程図(3)



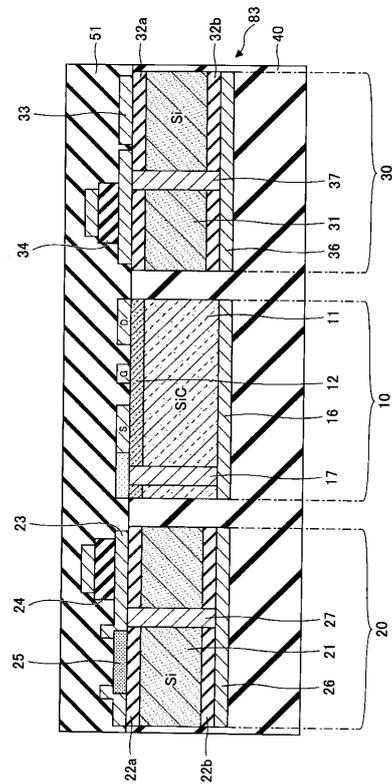
【図7】

第1の実施の形態における半導体装置の製造方法の工程図(4)



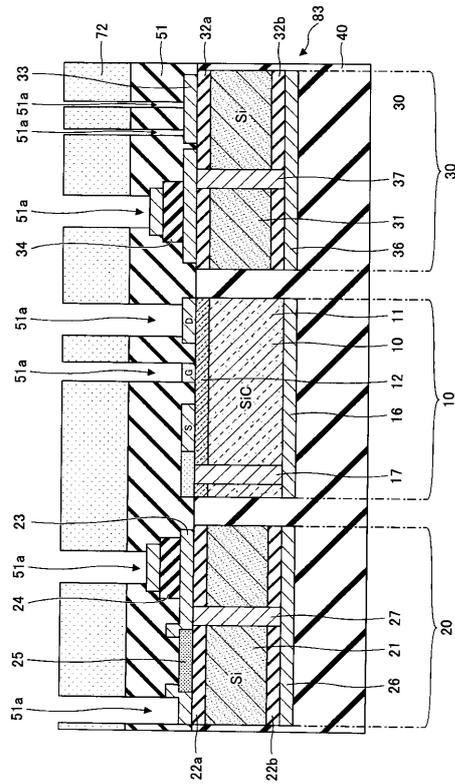
【図8】

第1の実施の形態における半導体装置の製造方法の工程図(5)



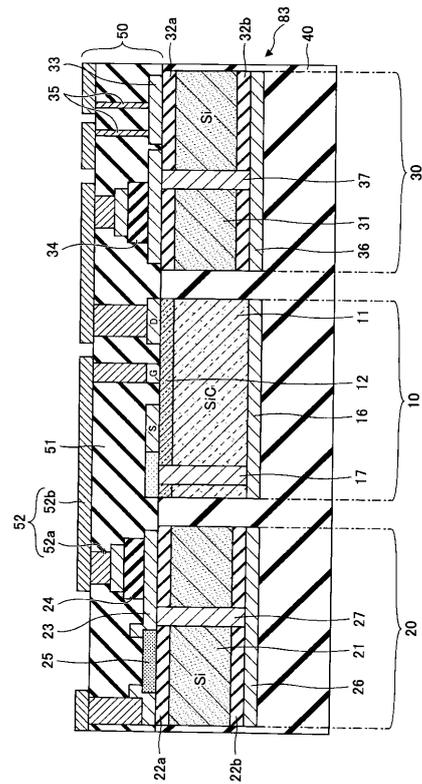
【図9】

第1の実施形態における半導体装置の製造方法の工程図(6)



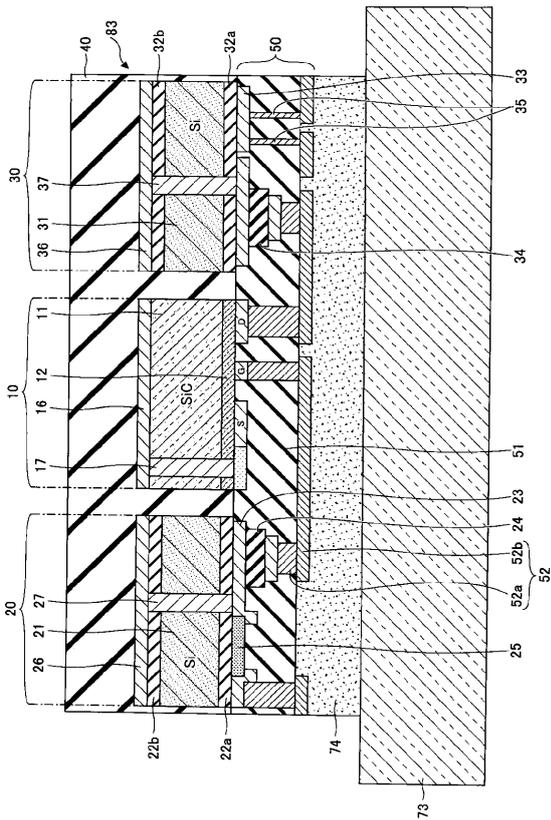
【図10】

第1の実施形態における半導体装置の製造方法の工程図(7)



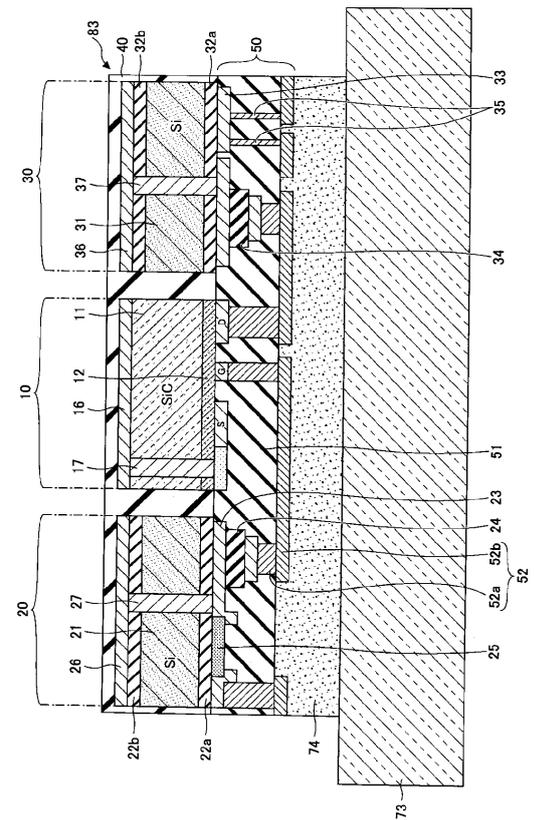
【図11】

第1の実施形態における半導体装置の製造方法の工程図(8)



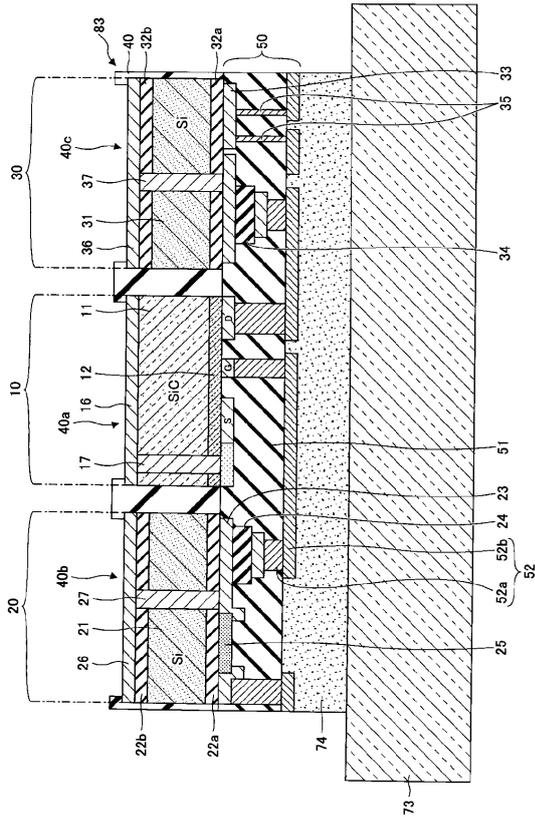
【図12】

第1の実施形態における半導体装置の製造方法の工程図(9)



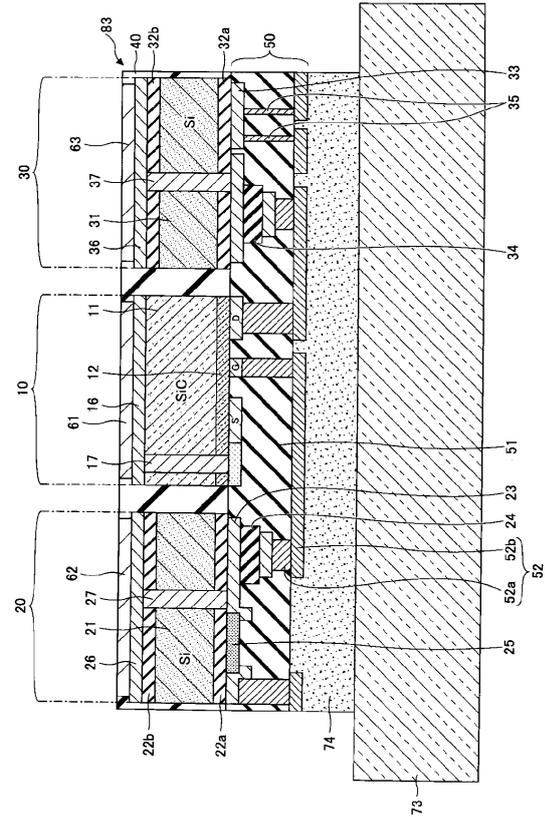
【図13】

第1の実施の形態における半導体装置の製造方法の工程図(10)



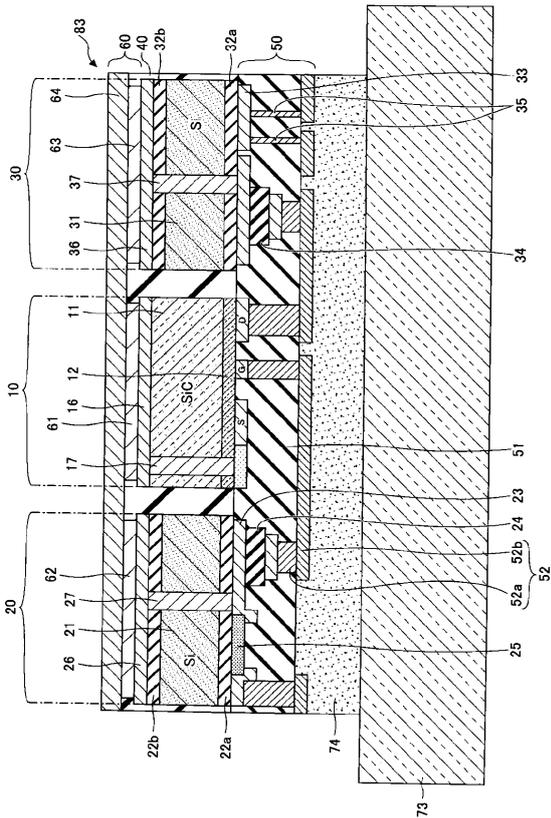
【図14】

第1の実施の形態における半導体装置の製造方法の工程図(11)



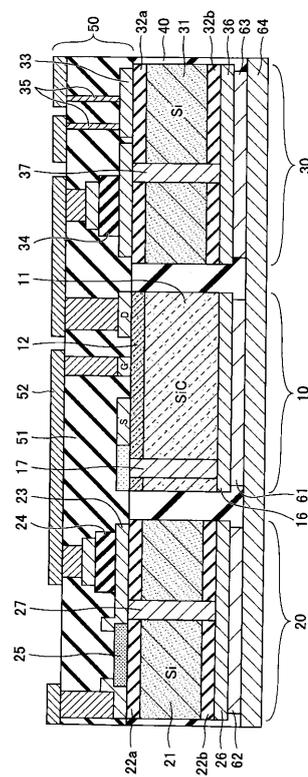
【図15】

第1の実施の形態における半導体装置の製造方法の工程図(12)



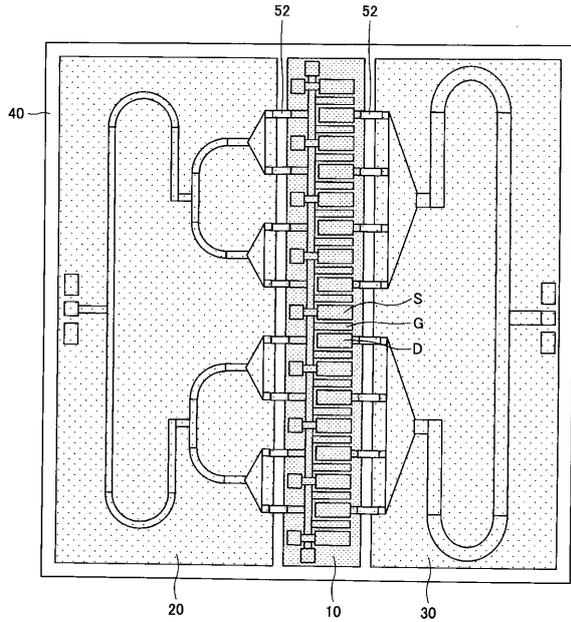
【図16】

第1の実施の形態における半導体装置の製造方法の工程図(13)



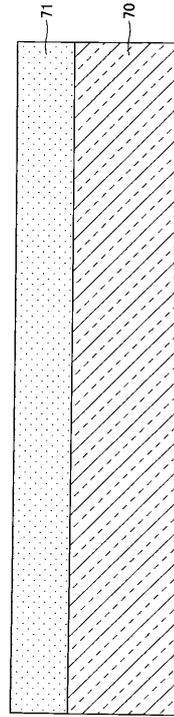
【図17】

第1の実施の形態における半導体装置の説明図



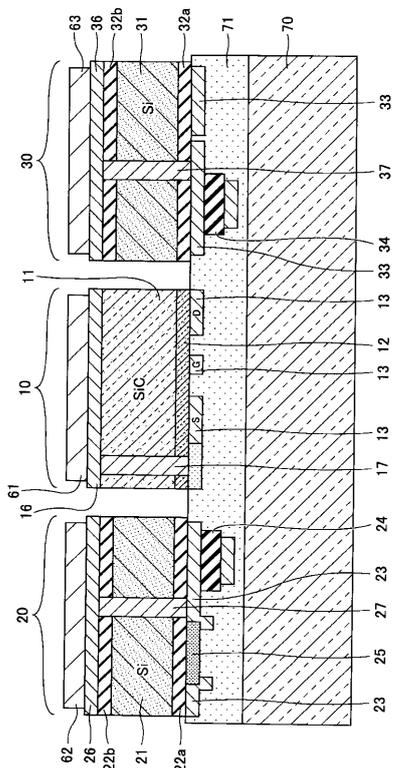
【図18】

第2の実施の形態における半導体装置の製造方法の工程図(1)



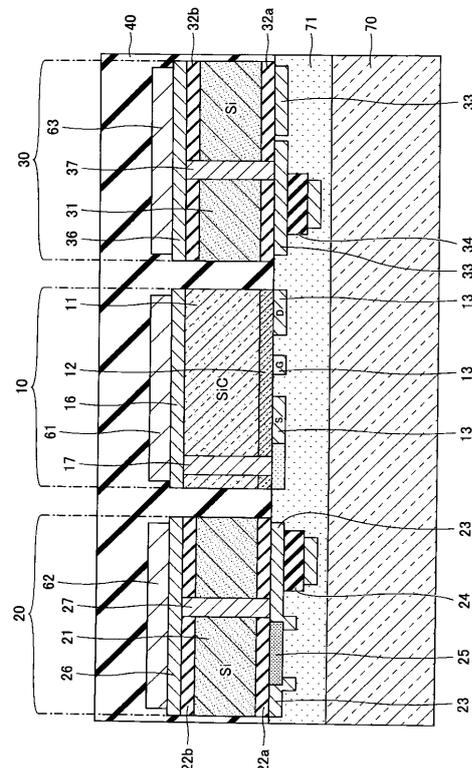
【図19】

第2の実施の形態における半導体装置の製造方法の工程図(2)



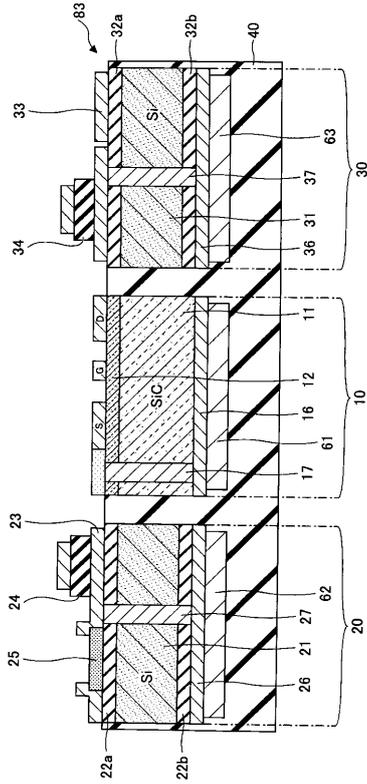
【図20】

第2の実施の形態における半導体装置の製造方法の工程図(3)



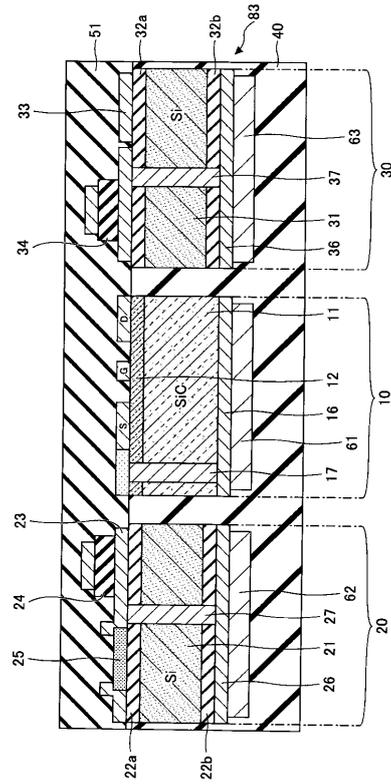
【図 2 1】

第2の実施の形態における半導体装置の製造方法の工程図(4)



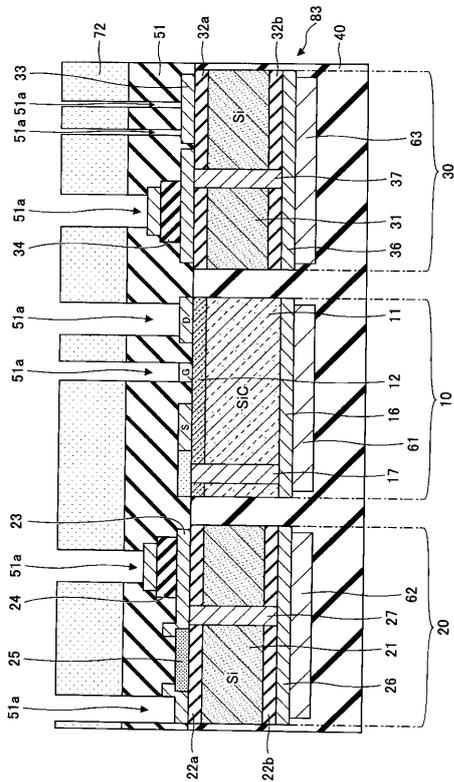
【図 2 2】

第2の実施の形態における半導体装置の製造方法の工程図(5)



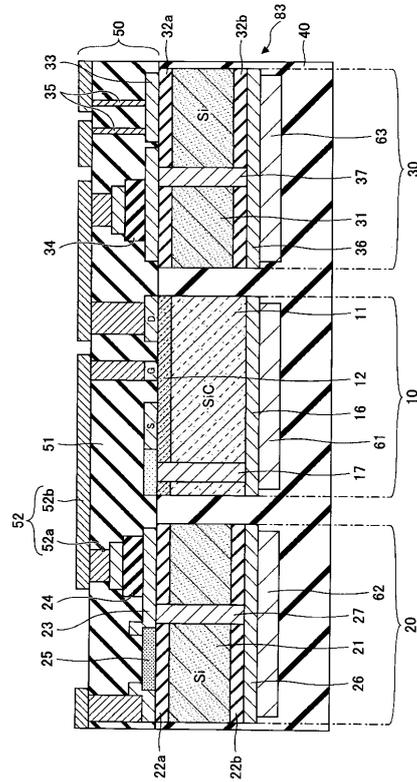
【図 2 3】

第2の実施の形態における半導体装置の製造方法の工程図(6)



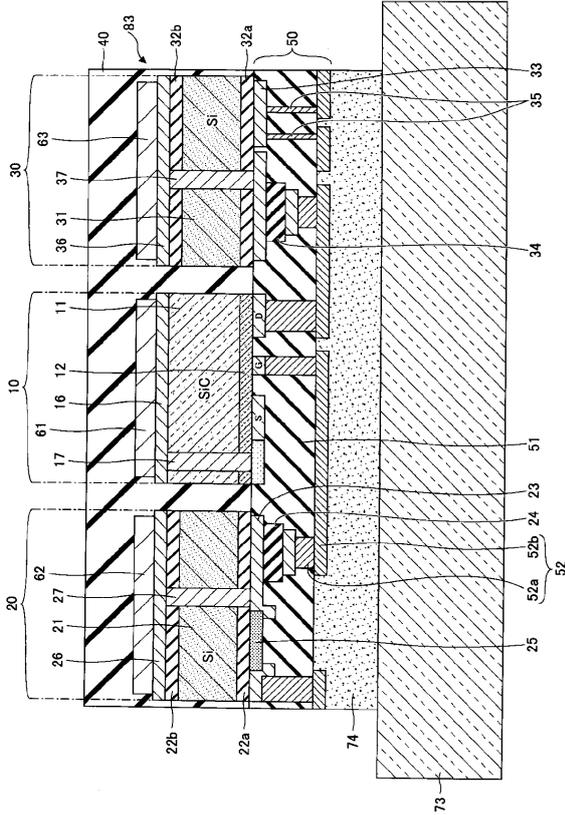
【図 2 4】

第2の実施の形態における半導体装置の製造方法の工程図(7)



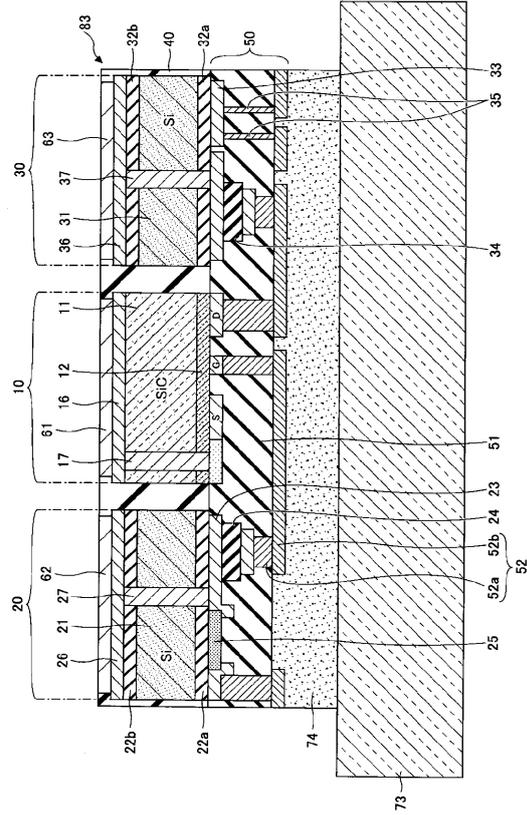
【図25】

第2の実施の形態における半導体装置の製造方法の工程図(8)



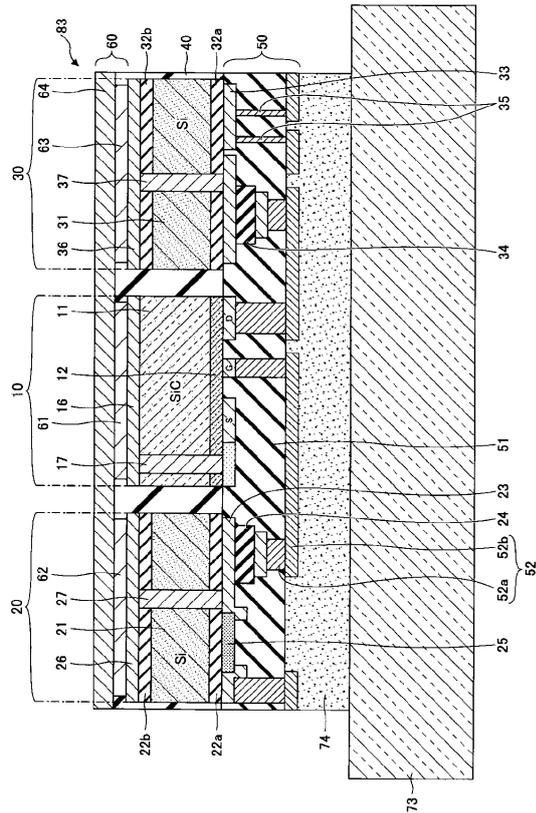
【図26】

第2の実施の形態における半導体装置の製造方法の工程図(9)



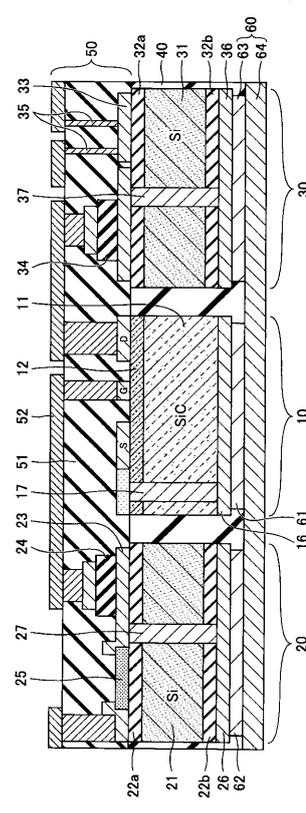
【図27】

第2の実施の形態における半導体装置の製造方法の工程図(10)



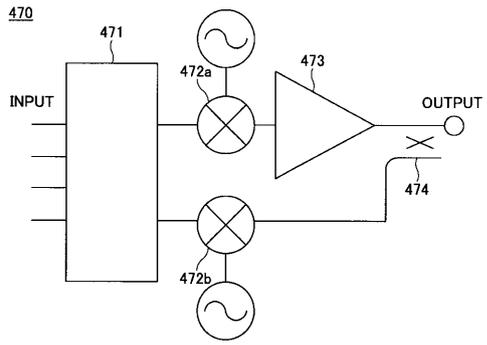
【図28】

第2の実施の形態における半導体装置の製造方法の工程図(11)



【図 29】

第3の実施の形態における高周波増幅器の構造図



フロントページの続き

- (56)参考文献 米国特許出願公開第2014/0175624(US,A1)
特開2009-290098(JP,A)
米国特許出願公開第2014/0070422(US,A1)
米国特許第08617927(US,B1)
特開2013-016753(JP,A)
特開2013-219324(JP,A)
特開2006-270037(JP,A)
米国特許出願公開第2014/0054780(US,A1)
米国特許出願公開第2011/0193225(US,A1)
特開2012-080030(JP,A)
米国特許出願公開第2014/0167247(US,A1)
米国特許出願公開第2014/0097536(US,A1)
特開2006-165830(JP,A)
米国特許出願公開第2011/0281400(US,A1)
特開2008-278345(JP,A)
特開2008-252804(JP,A)
米国特許出願公開第2010/0193928(US,A1)
米国特許出願公開第2013/0264684(US,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12 - 23/15
H01L 23/52 - 23/538
H01L 25/00 - 25/18