



(12) 发明专利

(10) 授权公告号 CN 109686736 B

(45) 授权公告日 2021.02.26

(21) 申请号 201811593461.9

H01L 27/092 (2006.01)

(22) 申请日 2018.12.25

H01L 27/098 (2006.01)

(65) 同一申请的已公布的文献号

审查员 张虹

申请公布号 CN 109686736 A

(43) 申请公布日 2019.04.26

(73) 专利权人 电子科技大学

地址 611731 四川省成都市高新区(西区)

西源大道2006号

(72) 发明人 李泽宏 蒲小庆 杨尚翰 王志明

任敏 张金平 高巍 张波

(74) 专利代理机构 成都点睛专利代理事务所

(普通合伙) 51232

代理人 葛启函

(51) Int. Cl.

H01L 27/088 (2006.01)

权利要求书3页 说明书10页 附图5页

(54) 发明名称

一种基于N型外延的JCD集成器件及其制备方法

(57) 摘要

本发明提供一种基于N型外延的JCD集成器件及其制备方法,属于功率半导体集成技术领域。本发明首次实现了将高模拟精度的JFET部分,高集成度、方便逻辑控制和低功耗的CMOS部分以及快开关速度的高压控制DMOS部分集成在同一芯片上,使之具备系统功能;同时还能将poly电容、poly电阻以及poly二极管等无源元件与之集成构成电路,如此丰富的器件类型能够为功率电路设计带来极大的灵活性;本发明整体工艺使用掩模版次较少,工艺层次的复用性强,有利于制造成本的控制;在有限的芯片面积上实现高压兼容、高性能、高效率与高可靠性,运用本发明JCD集成技术制得的芯片具有更好的综合性能,有利于单片式功率系统集成的发展。

1. 一种基于N型外延层的JCD集成器件,其特征在于,包括集成于同一P型衬底(1)上的低压PJFET器件区、低压PMOS器件区、低压NMOS器件区 and 高压nLDMOS器件区;所述低压PJFET器件区、低压PMOS器件区、低压NMOS器件区 and 高压nLDMOS器件区设置在所述P型衬底(1)表面的N型外延层(4)中,并且彼此隔离;在低压PMOS器件区和低压NMOS器件区下方的P型衬底(1)和N型外延层(4)之间具有第一N+埋层(201);在低压PJFET器件区下方的P型衬底(1)和N型外延层(4)之间具有第二N+埋层(202);

所述高压nLDMOS包括N型外延层(4)中的第一P阱(801)和与第一漏极金属(17)相接触的第一N+漏极区(132);所述第一P阱(801)中包括并排设置的第一P+接触区(140)和第一N+源区(131),所述第一P+接触区(140)与第一源极金属(16)相接触;所述第一N+源区(131)的一侧与其相邻近侧N型外延层(4)之间的第一P阱(801)表面上具有栅氧层(11),所述栅氧层(11)的上表面覆盖有第一多晶硅栅区(121);所述第一P阱(801)与第一N+漏极区(132)之间的N型外延层(4)顶层具有P型降场层(9);所述N型外延层(4)远离第一P阱(801)和第一N+漏极区(132)外侧的N型外延层(4)的表面分别具有场氧化层(7);第一多晶硅栅区(121)、第一源极金属(16)和第一漏极金属(17)之间以及第一多晶硅栅区(121)表面具有隔离介质层(15);

所述低压PMOS包括N型外延层(4)中分别与第二源极金属(19)相连的第一P+源极区(141)和与第二漏极金属(20)相连的第一P+漏极区(142);第一P+源极区(141)和第一P+漏极区(142)之间的N型外延层(4)表面具有栅氧层(11),所述栅氧层(11)的上表面覆盖有第二多晶硅栅区(122);所述第二源极金属(19)和第二漏极金属(20)之间具有隔离介质层(15);所述低压NMOS包括N型外延层(4)中的第二P阱(802),所述第二P阱(802)中具有分别与第二接触电极金属(21)相连的第二P+接触区(143)、与第三漏极金属(22)相连的第二N+漏极区(133)以及与第三源极金属(23)相连的第二N+源极区(134);第二N+漏极区(133)与第二N+源极区(134)之间的第二P阱(802)表面具有栅氧层(11),所述栅氧层(11)的上表面覆盖有第三多晶硅栅区(123);第二P阱(802)两侧的N型外延层(4)表面具有场氧化层(7),所述第二接触电极金属(21)、第三漏极金属(22)和第三源极金属(23)之间以及第三多晶硅栅区(123)表面具有隔离介质层(15);

所述低压PJFET包括N型外延层(4)中的第三P阱(803),所述第三P阱(803)中具有分别与第四漏极金属(25)相连的第二P+漏极区(144)和与第四源极金属(26)相连的第二P+源极区(145),第二P+漏极区(144)与第二P+源极区(145)之间的第三P阱(803)顶层具有与栅极金属(24)相连的N型栅极区(10),所述第四源极金属(26)、第四漏极金属(25)和栅极金属(24)之间具有隔离介质层(15)。

2. 根据权利要求1所述的JCD集成器件,其特征在于,所述JCD集成器件还包括集成于同一P型衬底(1)的阱电阻区、poly电容区、poly电阻区和poly二极管区中的任一种或多种:

所述阱电阻区设置在所述P型衬底(1)表面的N型外延层(4)中,在阱电阻区下方的P型衬底(1)和N型外延层之间具有第三N+埋层(203),所述阱电阻区包括N型外延层(4)中的第四P阱(804),所述第四P阱(804)中具有两个独立且相隔离的P阱接触区(146、147),两个P阱接触区(146、147)上方分别与电极金属(27、28)相连,两个电极金属(27、28)之间具有隔离介质层(15);

所述poly电容区设置在所述P型衬底(1)表面的N型外延层(4)中,所述poly电容包括N

型外延层(4)中的第五P阱(805),所述第五P阱(805)中具有分别与第一P阱接触区(148)相连的第三电极金属(29)和与第二P阱接触区(149)接触的第五电极金属(31),第一P阱接触区(148)与第二P阱接触区(149)之间的第五P阱(805)表面具有栅氧层(11),所述栅氧层(11)的上表面覆盖有与第四电极金属(30)相连的多晶硅(124);所述第五P阱(805)的两侧的N型外延层(4)表面具有场氧化层(7);所述第三电极金属(29)、第四电极金属(30)和第五电极金属(31)之间具有隔离介质层(15);

所述poly电阻区设置在所述P型衬底(1)上方N型外延层(4)的上表面,所述poly电阻区与N型外延层(4)之间具有场氧化层(7),所述poly电阻区包括P型掺杂区(125)和设置在P型掺杂区(125)两侧的电极金属(32、33);两个电极金属(32、33)之间具有隔离介质层(15);

所述poly二极管区设置在所述P型衬底(1)上方N型外延层(4)的上表面,所述poly二极管区与N型外延层(4)之间具有场氧化层(7),所述poly二极管区包括设置在场氧化层(7)表面并排相连的N型掺杂阴极区(126)和P型掺杂阳极区(127)、与N型掺杂阴极区(126)相连的阴极金属(34)和与P型掺杂阳极区(127)相连的阳极金属(35);阴极金属(34)和阳极金属(35)之间具有隔离介质层(15)。

3. 根据权利要求1所述的JCD集成器件,其特征在于,低压PMOS器件区远离低压NMOS一侧的N型外延层(4)中具有与其第一接触电极金属(18)相连的第一N型穿通区(501),所述第一N型穿通区(501)穿通N型外延层(4)且与第一N+埋层(201)相连;低压PJFET器件区的两侧分别具有与其栅极金属(24)相连的第二、第三N型穿通区(502、503),所述第二、第三N型穿通区(502、503)穿通N型外延层(4)且与第二N+埋层(202)相连。

4. 根据权利要求2所述的JCD集成器件,其特征在于,所述JCD集成器件中低压CMOS器件区、阱电阻区和低压PJFET器件区通过P+埋层(301~306)与对通P+隔离区(601~606)形成对通隔离来实现结隔离。

5. 一种基于N型外延层的JCD集成器件的制备方法,其特征在于,包括如下步骤:

步骤1:选择P型半导体材料作为P型衬底;

步骤2:在P型衬底(1)中离子注入N型杂质扩散形成设置在CMOS器件区、PJFET器件区和阱电阻区下方的重掺杂N+埋层(201、202、203);

步骤3:在P型衬底(1)中离子注入P型杂质扩散形成设置在CMOS器件区、PJFET器件区和阱电阻区下方的重掺杂P+埋层(301~306);

步骤4:在P型衬底(1)上外延形成N型外延层(4);

步骤5:在N型外延层(4)中离子注入N型杂质扩散形成设置在CMOS器件区一侧和PJFET器件区两侧的N型穿通区(501~503),所述N型穿通区(501~503)穿通N型外延层(4)且与重掺杂N+埋层(201、202)相连通;

步骤6:在N型外延层(4)中离子注入P型杂质扩散形成P+隔离区(601~606),所述P+隔离区(601~606)与对应的重掺杂P+埋层(301~306)形成P+对通隔离区,从而实现结隔离;

步骤7:在器件隔离区表面以及poly电阻、poly二极管所在区域表面形成场氧化层(7)以实现后续对有源区的光刻;

步骤8:在N型外延层(4)中形成高压nLDMOS器件区、低压NMOS器件区、阱电阻区、低压PJFET器件区和poly电容的P阱区(801~805);

步骤9:在N型外延层(4)中形成高压nLDMOS器件区的P型降场层(9);

步骤10:在N型外延层(4)中形成低压PJFET器件区的N型栅极区(10);

步骤11:形成高压nLDMOS器件区、低压NMOS器件区、低压PMOS器件区、poly电容区的栅氧层(11);

步骤12:形成高压nLDMOS器件区、低压NMOS器件区、低压PMOS器件区、poly电容区、poly电阻和poly二极管的多晶硅栅区;

步骤13:在P阱区(801~805)中离子注入N型杂质扩散形成高压nLDMOS器件区的N型掺杂第一多晶硅栅区(121)、第一N+源区(131)和N+漏区(132),低压PMOS器件区的N型掺杂第二多晶硅栅区(122),低压NMOS器件区的N型掺杂第三多晶硅栅区(123)、第二N+漏极区(133)和第二N+源极区(134),poly电容区的N型掺杂多晶硅(124)和poly二极管的N型掺杂阴极区(126);

步骤14:在P阱区(801~805)中离子注入P型杂质扩散形成高压nLDMOS器件区的第一P+接触区(140),低压PMOS器件区的第一P+源极区(141)和第一P+漏极区(142),低压NMOS器件区的第二P+接触区(143),PJFET器件区的第二P+漏极区(144)和第二P+源极区(145),阱电阻区的P阱接触区(146、147),poly电容区的P阱接触区(148、149),poly电阻区的P型掺杂区(125)和poly二极管区的P型掺杂阳极区(127);

步骤15:淀积形成介质层并回流,在芯片接引线的区域进行欧姆孔刻蚀;

步骤16:采用退火工艺激活杂质离子;

步骤17:金属化形成高压nLDMOS器件区的第一源极金属(16)和第一漏极金属(17),低压PMOS器件区的第一接触电极金属(18)、第二源极金属(19)和第二漏极金属(20),低压NMOS器件区的第二接触电极金属(21)、第三漏极金属(22)和第三源极金属(23),PJFET器件区的栅极金属(24)、第四漏极金属(25)和第四源极金属(26),阱电阻区的第一电极金属(27)和第二电极金属(28),poly电容区的第三电极金属(29)、第四电极金属(30)和第五电极金属(31),poly电阻区的第六电极金属(32)和第七电极金属(33)和poly二极管区的阴极金属(34)和阳极金属(35)。

6. 根据权利要求5所述的JCD集成器件的制备方法,其特征在于,所述步骤5和步骤6工艺顺序不分先后,在完成步骤5和6的N+和P+的注入后再一同进行高温推结;所述步骤13和步骤14工艺顺序不分先后。

7. 根据权利要求5所述的JCD集成器件的制备方法,其特征在于,还包括在高压nLDMOS器件区中的第一P阱(801)中形成N型电子积累层作为N型导电沟道的步骤,从而形成高压耗尽型nLDMOS器件区。

8. 根据权利要求5所述的JCD集成器件的制备方法,其特征在于,所述步骤9制得P型降场层(9)位于N型外延层(4)表面或者N型外延层(4)内部;所述P型降场层(9)为多环P型降场层。

9. 根据权利要求5所述的JCD集成器件的制备方法,其特征在于,所述步骤7采用局部氧化实现平面工艺以降低芯片表面的台阶高度。

一种基于N型外延的JCD集成器件及其制备方法

技术领域

[0001] 本发明属于功率半导体集成技术领域,具体涉及一种基于N型外延的JCD集成器件及其制备方法。

背景技术

[0002] 40多年来,半导体技术沿着摩尔定律的路线不断缩小芯片特征尺寸,然而目前半导体技术已经发展到一个瓶颈:随着线宽的越来越小,制造成本呈指数上升;而且随着线宽接近纳米尺度,量子效应越来越明显,同时芯片的泄漏电流也越来越大。因此半导体技术的发展必须考虑“后摩尔时代”问题。2005年国际半导体技术发展路线图(international technology roadmap for semiconductors,简称ITRS)提出了超越摩尔定律(more than Moore)的概念。功率半导体器件和功率集成技术在more than Moore中扮演十分重要的角色,主要用于现代电子系统中的变频、变压、变流、功率放大、功率管理等功率处理电路,也是当今消费类电子、工业控制和国防装备等领域中的关键技术之一。

[0003] 功率集成电路(power integrated circuit)是指将高压功率器件与控制电路、外围接口电路及保护电路等集成在同一芯片的集成电路,是系统信号处理部分和执行部分的桥梁。功率集成技术要实现高压器件和低压器件的工艺兼容,尤其要选择合适的隔离技术,为控制制造成本,还必须考虑工艺层次的复用性。随着电子系统应用需求的发展,要求集成更多的低压逻辑电路和存储模块,实现复杂的智能控制;作为强弱电桥梁的功率集成电路还必须实现低功耗和高效率;恶劣的应用环境要求其具有良好的性能和可靠性。因此,功率集成技术需要在有限的芯片面积上实现高低压兼容、高性能、高效率与高可靠性。BCD(Bipolar-CMOS-DMOS)集成技术是现目前主流的功率半导体集成技术,其将高精度的Bipolar模拟电路、高集成度的CMOS逻辑电路和大功率的DMOS器件集成到同一个芯片上,结合了双极型电路的低噪声、高精度、大电流密度,CMOS电路的低功耗、高集成度、逻辑控制简单以及DMOS器件的高输入阻抗、高功率容量、开关速度快、热稳定性好等诸多优势。其中的双极型器件为电流控制多子和少子工作的器件,由于双极型器件制造工艺复杂,难以实现大规模集成。

[0004] 电子行业的飞速进步对功率集成提出了越来越高的要求,电力电子器件的复合化、模块化及功率集成逐渐成为了行业主流需求。JFET作为电压控制多子工作的器件,具有线性模拟度好,并且由于其沟道是位于体内的,故具有输入阻抗高、 $1/f$ 噪声小、温漂小等优点,因此一般将其用作运放的输入对管,以有效降低失调,保证A/D、D/A转换器的转换精度和低压差线性稳压器(low dropout regulator,简称LDO)较小的静态输出电流。CMOS由N沟道和P沟道MOS场效应晶体管对管构成,以推挽形式工作来实现逻辑功能,CMOS逻辑器件凭借其高集成度、强抗干扰和超低功耗逐渐成为了集成电路的主流器件。功率输出级DMOS管是功率集成电路的核心和关键。DMOS主要有两种类型。垂直双扩散金属氧化物半导体场效应管VDMOS和横向双扩散金属氧化物场效应管LDMOS。后者由于更容易与CMOS工艺兼容而被广泛采用。LDMOS是一种双扩散结构的功率器件,其导通电阻 R_{ON} 与器件耐压 BV 存在 $R_{ON} \propto$

$BV^{2.3\sim 2.6}$ 的关系,使得器件的耐压和导通电阻存在矛盾关系,限制了LDMOS器件的高压应用。为了克服这个问题,在1979年,J.A.Apples等人提出了Resurf (Reduce Surface Field) 技术,2001年Y.S.Huang又提出了Double Resurf技术,广泛应用于体硅和SOI LDMOS器件中,Double Resurf技术通过在器件的漂移区表面引入一个相反掺杂类型半导体降场层,以此来改变器件内部的纵向电场分布,在保证高击穿电压的同时,还可以提高漂移区浓度,降低器件的导通电阻,优化器件耐压和导通电阻的矛盾关系。单芯片集成的半导体功率电路一直以来都是功率电子学界的研究热点。现有技术中通常是分立使用JFET器件、CMOS器件和DMOS器件来构成功率电路,这样系统的元件数、互连数和焊点数较多,导致系统可靠性差、功耗大、成本高、体积和重量大,无法满足电子行业轻量化和集成化的发展趋势。故而,实现有源元件JFET、CMOS、DMOS器件的单片集成也成为了本领域技术人员亟待解决的技术问题,JFET-CMOS-DMOS集成器件的开发意义重大。然而,JFET器件的集成技术目前还存在兼容性、JFET器件性能不佳等诸多问题。由于JFET器件本身双栅结构的特殊性,技术人员在面对实现低压JFET与高压控制部分、低压逻辑部分的单片集成,高压DMOS与低压JFET 部分的兼容以及JFET与CMOS部分的兼容仍然存在集成障碍,由于JFET器件的制造工艺复杂,其饱和特性和夹断特性难以同时满足应用要求,致使JFET器件性能以及相关集成运放的发展受到限制。

发明内容

[0005] 鉴于上文所述,本发明针对现目前采用分离JFET、CMOS和DMOS器件设计功率集成电路所存在的缺陷,提供一种基于N型外延的JCD (JFET-CMOS-DMOS) 集成器件,利用单片集成技术将包括低压P沟道JFET (PJFET)、低压CMOS和高压nLDMOS的有源元件和无源元件(或没有无源元件)集成在同一芯片上。

[0006] 为了实现上述目的,本发明的技术方案如下:

[0007] 一种基于N型外延层的JCD集成器件,其特征在于,包括集成于同一P型衬底1上的低压PJFET器件区、低压PMOS器件区、低压NMOS器件区和高压nLDMOS器件区;所述低压PJFET器件区、低压PMOS器件区、低压NMOS器件区和高压nLDMOS器件区设置在所述P型衬底1表面的N型外延层4中,并且彼此隔离;在低压PMOS器件区和低压NMOS 器件区下方的P型衬底1和N型外延层4之间具有第一N+埋层201;在低压PJFET器件区下方的P型衬底1和N型外延层4之间具有第二N+埋层202。

[0008] 进一步地,所述高压nLDMOS包括N型外延层4中的P阱801和与漏极金属17相接触的N+漏极区132;所述P阱801中包括并排相连的P+接触区140和N+源区131,所述P+接触区140与源极金属16相接触;所述N+源区131的一侧与其相邻近侧N型外延层4之间的P阱801表面上具有栅氧层11,所述栅氧层11的上表面覆盖有多晶硅栅区121;所述P阱801 与N+漏极区132之间的N型外延层4顶层具有P型降场层9;所述P阱801和N+漏极区132 外侧的N型外延层4表面分别具有场氧化层7;多晶硅栅区121、源极金属16和漏极金属17 之间以及多晶硅栅区121表面具有介质层15。

[0009] 进一步地,所述低压PMOS包括N型外延层4中分别与源极金属19相连的P+源极区141 和与漏极金属20相连的P+漏极区142;P+源极区141和P+漏极区142之间的N型外延层4表面具有栅氧层11,所述栅氧层11的上表面覆盖有多晶硅栅区122;所述源极金属19和漏极

金属20之间具有介质层15。

[0010] 进一步地,所述低压NMOS包括N型外延层4中的P阱802,所述P阱802中具有分别与接触电极金属21相连的P+接触区143、与漏极金属22相连的N+漏极区133以及与源极金属23相连的N+源极区134;N+漏极区133与N+源极区134之间的P阱802表面具有栅氧层11,所述栅氧层11的上表面覆盖有多晶硅栅区123;P阱802两侧的N型外延层4表面具有场氧化层7,所述接触电极金属21、漏极金属22和源极金属23之间以及多晶硅栅区123 表面具有介质层15。

[0011] 进一步地,低压PMOS和低压NMOS之间P型外延层3的表面具有场氧化层7。

[0012] 进一步地,低压PMOS器件区远离低压NMOS一侧的N型外延层4中具有与其接触电极金属18相连的第一N型贯通区501,所述第一N型贯通区501贯通N型外延层4且与第一N+埋层201相连。

[0013] 进一步地,在低压CMOS器件区的两侧分别具有一个P+埋层,P+埋层301、302设置在P型衬底1和N型外延层4之间;所述低压CMOS器件区的两侧还分别具有一个P型隔离区,P型隔离区601、602贯通N型外延层4且与对应的P+埋层301、302连通;两个P型隔离区 601、602的表面分别设置有场氧化层7。

[0014] 进一步地,所述低压PJFET包括N型外延层4中的P阱803,所述P阱803中具有分别与漏极金属25相连的P+漏区144和与源极金属26相连的P+源极区145,P+漏区144与P+源极区145之间的P阱803顶层具有与栅极金属24相连的N型栅极区10,所述源极金属26、漏极金属25和栅极金属24之间具有介质层15。

[0015] 进一步地,在低压PJFET器件区的两侧分别具有与其栅极金属24相连的第二、第三N型贯通区502、503,所述第二、第三N型贯通区502、503贯通N型外延层4且与第二N+埋层202相连。

[0016] 进一步地,在低压PJFET器件区的两侧分别具有一个P+埋层,P+埋层303、304设置在P型衬底1和N型外延层4之间;所述低压PJFET器件区的两侧还分别具有一个P型隔离区,P型隔离区603、604贯通N型外延层4且与对应的P+埋层303、304连通;两个P型隔离区 603、604的表面分别设置有场氧化层7。

[0017] 进一步地,还包括集成于同一P型衬底1的阱电阻区,所述阱电阻区设置在所述P型衬底1表面的N型外延层4中,在阱电阻区下方的P型衬底1和N型外延层4之间具有第三N+埋层203;所述阱电阻区包括N型外延层4中的P阱804,所述P阱804中具有两个独立且相隔开的P阱接触区144、145,两个P阱接触区144、145上方分别与接触电极金属27、28相连,两个接触电极金属27、28之间具有介质层15。

[0018] 进一步地,在阱电阻区的两侧分别具有一个P+埋层,P+埋层305、306设置在P型衬底1和N型外延层4之间;所述阱电阻区的两侧还分别具有一个P型隔离区,P型隔离区605、606贯通N型外延层4且与对应的P+埋层305、306连通;两个P型隔离区605、606的表面分别设置有场氧化层7。

[0019] 进一步地,还包括集成于同一P型衬底1的poly电容区,所述poly电容区设置在所述P型衬底1表面的N型外延层4中。具体地,所述poly电容包括N型外延层4中的P阱805,所述P阱805中具有分别与第一P阱接触区148相连的第一电极金属29和与第二P阱接触区149接触的第二电极金属31,第一P阱接触区148与第二P阱接触区149之间的P阱805 表面具有

栅氧层11,所述栅氧层11的上表面覆盖有与第三电极金属30相连的多晶硅124;所述P阱805的两侧的N型外延层4表面具有场氧化层7;所述第一电极金属29、第三电极金属30和第二电极金属31之间具有介质层15。

[0020] 进一步地,还包括集成于同一P型衬底1的poly电阻区,所述poly电阻区设置在所述P型衬底1上方N型外延层4的上表面,所述poly电阻区与N型外延层4之间具有场氧化层7。具体地,所述poly电阻区包括P型掺杂区125和设置在P型掺杂区125两侧的接触电极金属32、33;两个接触电极金属32、33之间具有介质层15。

[0021] 进一步地,还包括集成于同一P型衬底1的poly二极管区,所述poly二极管区设置在所述P型衬底1上方N型外延层4的上表面,所述poly二极管区与N型外延层4之间具有场氧化层7。具体地,所述poly二极管区包括设置在场氧化层7表面并排相连的N型掺杂阴极区126和P型掺杂阳极区127、与N型掺杂阴极区126相连的阴极金属34和与P型掺杂阳极区127相连的阳极金属35;阴极金属34和阳极金属35之间具有介质层15。

[0022] 进一步地,所述CMOS器件区、阱电阻区和低压PJFET器件区通过P+埋层301~306与P+隔离区601~606形成对通隔离来实现结隔离。

[0023] 另一方面,本发明提供一种基于N型外延层的JCD集成器件的制备方法,其特征在于,包括如下步骤:

[0024] 步骤1:选择P型半导体材料作为P型衬底;

[0025] 步骤2:在P型衬底1中离子注入N型杂质扩散形成设置在CMOS器件区、PJFET器件区和阱电阻区下方的重掺杂N+埋层201、202、203;

[0026] 步骤3:在P型衬底1中离子注入P型杂质扩散形成设置在CMOS器件区、PJFET器件区和阱电阻区下方的重掺杂P+埋层301~306;

[0027] 步骤4:在P型衬底1上外延形成N型外延层4;

[0028] 步骤5:在N型外延层4中离子注入N型杂质扩散形成设置在CMOS器件区一侧和PJFET器件区两侧的N型贯通区501~503,所述N型贯通区501~503贯通N型外延层4且与重掺杂N+埋层201、202相连通;

[0029] 步骤6:在N型外延层4中离子注入P型杂质扩散形成P型隔离区601~606,所述P型隔离区601~606与对应的重掺杂P+埋层301~306形成P+对通隔离区,从而实现结隔离;

[0030] 步骤7:在器件隔离区表面以及poly电阻、poly二极管所在区域表面形成场氧化层7以实现后续对有源区的光刻;

[0031] 步骤8:在N型外延层4中形成高压nLDMOS器件区、低压NMOS器件区、阱电阻区、低压PJFET器件区和poly电容的P阱区801~805;

[0032] 步骤9:在N型外延层4中形成高压nLDMOS器件区的P型降场层9;

[0033] 步骤10:在N型外延层4中形成低压PJFET器件区的N型栅极区10;

[0034] 步骤11:形成高压nLDMOS器件区、低压NMOS器件区、低压PMOS器件区、poly电容区的栅氧层11;

[0035] 步骤12:形成高压nLDMOS器件区、低压NMOS器件区、低压PMOS器件区、poly电容区、poly电阻和poly二极管的多晶硅栅区121~127;

[0036] 步骤13:在P阱区801~805中离子注入N型杂质扩散形成高压nLDMOS器件区的N型掺杂多晶硅栅区121、N+源区131和N+漏区132,低压PMOS器件区的N型掺杂多晶硅栅区122,

低压NMOS器件区的N型掺杂多晶硅栅区123、N+源区133和N+漏区134，poly 电容区的N型掺杂多晶硅124和poly二极管的N型掺杂阴极区126；

[0037] 步骤14：在P阱区801~805中离子注入P型杂质扩散形成高压nLDMOS器件区的P+接触区140，低压PMOS器件区的P+源极区141和P+漏极区142，低压NMOS器件区的P+接触区143，PJFET器件区的P+漏极区144和P+源极区145，阱电阻区的P阱接触区146、147，poly电容区的P阱接触区148、149，poly电阻的P型掺杂区125和poly二极管的P型掺杂阳极区127；

[0038] 步骤15：淀积形成介质层(ILD)并回流，在芯片接引线的区域进行欧姆孔刻蚀；

[0039] 步骤16：采用退火工艺激活杂质离子；

[0040] 步骤17：金属化形成高压nLDMOS器件区的源极金属16和漏极金属17，低压PMOS器件区的接触电极金属18、源极金属19和漏极金属20，低压NMOS器件区的接触电极金属21、漏极金属22和源极金属23，PJFET器件区的栅极金属24、漏极金属25和源极金属26，阱电阻区的第一电极金属27和第二电极金属28，poly电容区的第一电极金属29、第三电极金属30和第二电极金属31，poly电阻的第一电极金属32和第二电极金属33和poly二极管的阴极金属34和阳极金属35。

[0041] 进一步地，所述N型杂质为磷或者砷。

[0042] 进一步地，所述步骤5中的N型穿通区同样作为PJFET器件区底部N+埋层底栅的引出端。

[0043] 进一步地，所述步骤5和步骤6工艺顺序不分先后，在完成步骤5和6的N+和P+的注入后再一同进行高温推结。

[0044] 进一步地，所述步骤9制得P型降场层9位于N型外延层4表面或者N型外延层4内部。

[0045] 进一步地，所述步骤9制得P型降场层9可以为多环P型降场层。

[0046] 进一步地，所述步骤10可通过调节PJFET的N型栅极区10注入剂量和推结时间来满足不同夹断电压、饱和电流、电阻和击穿电压的要求。

[0047] 进一步地，还包括在N型外延层4中形成高压nLDMOS器件区中P阱801形成N型电子积累层作为N型导电沟道的步骤；相比无N型积累层的注入所制得的高压增强型nLDMOS器件区，增加这一步骤可实现高压耗尽型(常开型)nLDMOS器件区的制作。

[0048] 进一步地，所述步骤13和步骤14工艺顺序不分先后。

[0049] 进一步地，低压CMOS器件区优选多子保护环和N+埋层的设置，在不影响NMOS和PMOS的阈值电压和击穿电压的情况下，可以有效防止闩锁，提高器件可靠性。

[0050] 进一步地，所述步骤7采用局部氧化实现等平面工艺，从而有效降低了芯片表面的台阶高度。

[0051] 相比现有技术，本发明的有益效果如下：

[0052] (1) 本发明将有源元件低压PJFET、低压CMOS和高压nLDMOS和(或没有)无源元件集成在同一芯片上，并且各器件之间隔离效果好且彼此兼容，使得各器件都能发挥各自优势，本发明首次实现了将高模拟精度的JFET部分，高集成度、方便逻辑控制和低功耗的CMOS部分以及低损耗、高速开关特性的高压控制DMOS部分集成在同一芯片上，使之具备系统功能。

[0053] (2) 本发明同时还能将JFET、CMOS和DMOS有源元件和poly电容、poly电阻以及poly二极管等无源元件集成构成电路，电路设计者可根据实际需要来选择所需器件得到不同的电路，如此丰富的器件类型能够为电路设计带来极大的灵活性。本发明尤其适用于电源管

理IC、电路保护产品以及JFET集成运放领域。

[0054] (3) 本发明提供了JCD集成器件的制备方法,整体工艺使用掩模版次较少,制作工艺简单,工艺层次的复用性强,有利于制造成本的控制;同时利用埋层和穿通注入形成对通隔离,将各器件制作在隔离岛中,在有限的芯片面积上实现高低压兼容、高性能、高效率与高可靠性,运用本发明JCD集成技术制得的芯片具有更好的综合性能,有利于单片式功率系统集成的发展。

[0055] (4) 本发明基于Double-Resurf技术制作高压nLDMOS,在保证击穿电压不变的同时可显著提高漂移区浓度,从而大幅度降低器件的导通电阻。

[0056] (5) 本发明集成器件的设计有利于在性能、功能和成本上达到优异的折中,方便实现产品的多样化,从而快速满足持续增长的市场需求。

[0057] (6) 本发明中JFET、CMOS和DMOS器件的单片集成相比分立的器件所构成的电路,明显减少了系统的元件数,互连数和焊点数,进而有利于缩小系统的体积和重量,减少电磁接口,为系统更带来了高可靠性。

附图说明

[0058] 图1是本发明的主要工艺流程示意图。

[0059] 图2是本发明的JCD集成器件整体结构示意图。

[0060] 图3是本发明实现的高压耗尽型nLDMOS器件区的结构示意图。

[0061] 图4是本发明实现的CMOS器件区的结构示意图。

[0062] 图5是本发明实现的PJFET器件区的结构示意图。

[0063] 图6是本发明实现的阱电阻区的结构示意图。

[0064] 图7是本发明实现的Poly电容区的结构示意图。

[0065] 图8是本发明实现的Poly电阻区的结构示意图。

[0066] 图9是本发明实现的Poly二极管区的结构示意图。

[0067] 图中:1是P型衬底,201~203是N+埋层,301~306是P+埋层,4是N型外延层,501~505是N+穿通区,601~606是P+隔离区,7是场氧化层,801~805是P阱,9是P型降场层,10是JFET器件区的N型栅极区,11是栅氧层,121是nLDMOS器件区的多晶硅栅,122是低压PMOS器件区的多晶硅栅,123是低压NMOS器件区的多晶硅栅,124是掺磷多晶硅栅,125是掺硼poly电阻,126是poly二极管区的N型掺杂阴极区,127是poly二极管区的P型掺杂阳极区,131、134分别是nLDMOS器件区和低压NMOS器件区的N+源区,132、133分别是nLDMOS器件区和低压NMOS器件区的N+漏极区,140、143分别是nLDMOS器件区和低压NMOS器件区的P+接触区,141、145分别是低压PMOS器件区和PJFET器件区的P+源极区,142、144分别是低压PMOS器件区和PJFET器件区的P+漏极区,146、147以及148、149分别是阱电阻器件区和poly电容区的P阱接触区,15是介质层,16~35为电极金属。

具体实施方式

[0068] 下面结合说明书附图对本发明集成器件的结构进行详细说明:

[0069] 如图2所示,本发明提供一种基于N型外延的JCD集成器件,其特征在于,包括集成于同一P型衬底1上的高压nLDMOS器件区(参见图3)、低压PMOS器件区参见图4、低压NMOS器

件区(参见图4)、低压PJFET器件区(参见图5)、阱电阻区(参见图6)、poly电容区(参见图7)、poly电阻区(参见图8)和poly二极管区(参见图9);高压nLDMOS器件区、低压PMOS器件区、低压NMOS器件区、阱电阻区、低压PJFET器件区和poly电容区设置在所述P型衬底1表面的N型外延层4中,poly电阻区和poly二极管区设置在所述N型外延层4上的场氧化层7表面,并且各个器件分区彼此之间通过对通隔离区301~306和601~606实现隔离;在低压PMOS器件区和低压NMOS器件区下方的P型衬底1和N型外延层4之间具有第一N+埋层201,在低压PJFET器件区下方的P型衬底1和N型外延层4之间具有第二N+埋层202,在阱电阻区下方的P型衬底1和N型外延层4之间具有第三N+埋层203;靠近低压PMOS器件区一侧具有第一N型穿透区501,低压PJFET器件区的两侧分别具有第二、第三N型穿透区502、503,所述N型穿透区501~503穿透N型外延层4且与对应N+埋层201~203相连;

[0070] 如图3所示,所述高压nLDMOS包括N型外延层4中的P阱801和与漏极金属17相接触的N+漏极区132;所述P阱801中包括并排设置的P+接触区140和N+源区131,所述P+接触区140与源极金属16相接触;所述N+源区131的一侧与其相邻近侧N型外延层4之间的P阱801表面上具有栅氧层11,所述栅氧层11的上表面覆盖有多晶硅栅区121;所述P阱801与N+漏极区132之间的N型外延层4顶层具有P型降场层9;所述N型外延层4远离P阱801和N+漏极区132的表面分别具有场氧化层7;多晶硅栅区121、源极金属16和漏极金属17之间以及多晶硅栅区121表面具有介质层15;

[0071] 如图4所示,所述低压PMOS包括N型外延层4中分别与源极金属19相连的P+源极区141和与漏极金属20相连的P+漏极区142;P+源极区141和P+漏极区142之间的N型外延层4表面具有栅氧层11,所述栅氧层11的上表面覆盖有多晶硅栅区122;所述源极金属19和漏极金属20之间具有介质层15;

[0072] 如图4所示,所述低压NMOS包括N型外延层4中的P阱802,所述P阱802中具有分别与接触电极金属21相连的P+接触区143、与漏极金属22相连的N+漏极区133以及与源极金属23相连的N+源极区134;N+漏极区133与N+源极区134之间的P阱802表面具有栅氧层11,所述栅氧层11的上表面覆盖有多晶硅栅区123;P阱802两侧的N型外延层4表面具有场氧化层7,所述接触电极金属21、漏极金属22和源极金属23之间以及多晶硅栅区123表面具有介质层15;

[0073] 如图5所示,所述低压PJFET包括N型外延层4中的P阱803,所述P阱803中具有分别与漏极金属25相连的P+漏区144和与源极金属26相连的P+源极区145,P+漏区144与P+源极区145之间的P阱803顶层具有与栅极金属24相连的N型栅极区10,所述源极金属26、漏极金属25和栅极金属24之间具有介质层15;

[0074] 如图6所示,所述阱电阻区包括N型外延层4中的P阱804,所述P阱804中具有两个独立且相隔离的P阱接触区146、147,两个P阱接触区146、147上方分别与接触电极金属27、28相连,两个接触电极金属27、28之间具有介质层15;

[0075] 如图7所示,所述poly电容包括N型外延层4中的P阱805,所述P阱805中具有分别与第一P阱接触区148相连的第一电极金属29和与第二P阱接触区149接触的第二电极金属31,第一P阱接触区148与第二P阱接触区149之间的P阱805表面具有栅氧层11,所述栅氧层11的上表面覆盖有与第三电极金属30相连的多晶硅124;所述P阱805的两侧的N型外延层4表面具有场氧化层7;所述第一电极金属29、第三电极金属30和第二电极金属31之间具有介质

层15;

[0076] 如图8所示,所述poly电阻区包括P型掺杂区125和设置在P型掺杂区125两侧的接触电极金属32、33;两个接触电极金属32、33之间具有介质层15;

[0077] 如图9所示,所述poly二极管区包括设置在场氧化层7表面并排相连的N型掺杂阴极区 126和P型掺杂阳极区127、与N型掺杂阴极区126相连的阴极金属34和与P型掺杂阳极区 127相连的阳极金属35;阴极金属34和阳极金属35之间具有介质层15。

[0078] 下面结合图1和具体实施例对本发明制作工艺进行详细描述。本发明的内容不局限于任何具体实施例,也不代表是最佳实施例,本领域技术人员所熟知的一般替代同样涵盖在本发明的保护范围内。

[0079] 实施例1;

[0080] 本实施例提供一种基于N型外延的JCD集成器件的制备方法,如图1所示为本发明集成器件的制备工艺流程示意图,具体包括如下主要工艺步骤:

[0081] 步骤1:制备衬底;

[0082] 制备<100>晶向的掺硼硅衬底作为P型衬底1;本实施例中P型衬底1电阻率为30~50 $\Omega \cdot \text{cm}$,衬底厚度550~750 μm ;

[0083] 步骤2:形成N+埋层;

[0084] 在步骤1制得的P型硅衬底1的CMOS器件区、PJFET器件区和阱电阻区用NBL (N Buried Layer)版进行刻蚀,离子注入磷,无高温推结,在P型硅衬底1表面分别形成N型重掺杂(N+)埋层201~203;本实施例中离子注入能量为60KeV,离子注入剂量为 $1\text{e}15 \sim 5\text{e}15 \cdot 2\text{cm}$;

[0085] 步骤3:形成P+埋层;

[0086] 在步骤1制得的P型硅衬底1的CMOS器件区、PJFET器件区和阱电阻区用PBL (P Buried Layer)版进行刻蚀,离子注入硼,无高温推结,在P型硅衬底1表面形成重掺杂P+埋层301~306;本实施例中离子注入能量为60KeV,离子注入剂量为 $1\text{e}15 \sim 5\text{e}15\text{cm}^{-2}$;

[0087] 步骤4:生长N型外延层;

[0088] 在步骤1制得的P型衬底1上生长N型外延层4;本实施例中外延生长温度为1100 $^{\circ}\text{C}$,外延厚度为10~20 μm ,外延浓度为 $1\text{e}14 \sim 1\text{e}15\text{cm}^{-3}$;

[0089] 步骤5:形成N+穿透;

[0090] 利用N+PT版刻蚀N型外延层4上CMOS器件区和JFET器件区对应位置,并离子注入磷;本实施例中注入能量为120~200KeV,注入剂量为 $1\text{e}15 \sim 5\text{e}15\text{cm}^{-2}$;

[0091] 步骤6:形成P+隔离和N+穿透区;

[0092] 利用P+ISO版刻蚀N型外延层4上CMOS器件区、JFET器件区和阱电阻区对应位置,并离子注入硼,本实施例中注入能量为120~200KeV,注入剂量为 $1\text{e}15 \sim 5\text{e}15\text{cm}^{-2}$;然后经高温推结,温度为1175 $^{\circ}\text{C}$,推结时间为200~400min,利用埋层反扩和高温推结,直至N型穿透区(N+PT)和P型隔离区(P+ISO)分别穿透整个N型外延层4,以使得N+PT和N+埋层以及P+ISO和P+埋层分别形成对通隔离,得到N型穿透区501~503和P型隔离区601~606;

[0093] 步骤7:制备场氧化层7;在各器件隔离区、Poly电阻和Poly二极管区热生长厚的氧化层作为场氧层7,以实现后续采用Active光刻版对各器件有源区进行光刻;

[0094] 步骤8:制备P阱;采用P-well版经曝光、显影、离子注入和高温推阱,在N型外延层

4表面高压nLDMOS器件区、CMOS器件区、JFET器件区、阱电阻区和Poly电容区对应位置形成P阱801~805;本实施例中离子注入能量为120~200KeV,离子注入剂量为 $5e12 \sim 1e13cm^{-2}$,温度为1150℃,推结时间为100~300min;

[0095] 步骤9:制备P型降场层;采用P-top版刻蚀高压nLDMOS器件区,并离子注入硼,形成nLDMOS器件区的P型降场层9;本实施例中离子注入能量为50KeV,离子注入剂量为 $1e12 \sim 5e12cm^{-2}$;

[0096] 步骤10:制备JFET的N型栅极区10;在JFET器件区采用N1版进行刻蚀,然后在N型外延层4上表面低能离子注入磷并高温推结,形成JFET的N型栅极区10;本实施例中离子注入能量为60KeV,离子注入剂量为 $1e15 \sim 5e15cm^{-2}$,推结温度为1150℃,推结时间为30~50min;

[0097] 步骤11:N型积累层(Nacc)注入;采用Nacc版在高压nLDMOS器件区的P阱801表面低能离子注入磷,在表面形成电子积累层,进而形成原始n型导电沟道;本实施例中没有高温扩散过程,离子注入能量为60KeV,离子注入剂量为 $1e12 \sim 1e13cm^{-2}$;

[0098] 步骤12:制备栅氧层和多晶硅;生长一薄氧化层再去掉,得到纯净表面,再在N型外延层4上表面整个区域生长栅氧11,然后淀积多晶硅,进行Poly氧化,再采用Poly版进行刻蚀,形成nLDMOS器件区的多晶硅栅区121、CMOS器件区的多晶硅栅区122~123、Poly电容区的多晶硅124、Poly电阻区的未掺杂多晶硅区125和Poly二极管区的未掺杂阴极区126和未掺杂阳极区127;

[0099] 步骤13:N+注入;采用N2版经过曝光、显影并进行磷注入,形成高压nLDMOS器件区的多晶硅栅区121、N+源区131和N+漏区132,低压PMOS器件区的多晶硅栅区122,低压NMOS器件区的多晶硅栅区123、N+漏区133和N+源区134,Poly电容区的N型多晶硅124和Poly二极管区的N型掺杂阴极区126;本实施例中离子注入能量为60KeV,离子注入剂量为 $1e15 \sim 5e15cm^{-2}$;

[0100] 步骤14:P+注入;采用P1版经过曝光、显影并进行硼注入,形成高压nLDMOS器件区的P+接触区140,低压PMOS器件的P+源区141、P+漏区142、NMOS器件区的P+接触区143,JFET器件区的P+漏区144和P+源区145、阱电阻区的P阱接触区146~147,Poly电容区的P阱接触区148~149,Poly电阻区的P型掺杂区125和Poly二极管区的P型掺杂阳极区127;本实施例中离子注入能量为60KeV,离子注入剂量为 $1e15 \sim 1e16cm^{-2}$;

[0101] 步骤15:制备欧姆接触孔;淀积BPSG15并回流,然后在芯片需要接引线的区域采用CONT版进行欧姆孔刻蚀;

[0102] 步骤16:在850℃条件下退火30min激活杂质离子;

[0103] 步骤17:淀积并刻蚀金属层;金属溅射,采用Metal版刻蚀,分别形成金属电极16~35。

[0104] 本发明一共采用14张掩模版,依照工艺流程,各版次的顺序依次为:NBL版、PBL版、N+PT版、P+ISO版、Active版、P-well版、P-top版、N1版、Nacc版、Poly版、N2版、P1版、CONT版、Metal版。

[0105] 本发明所涉及的10次主要离子注入过程有:N+埋层注入、P+埋层注入、N+PT注入、P+ISO注入、P阱注入、P型降场层注入、JFET的栅极N型区注入、N型积累层(Nacc)注入、N+注入、P+注入。

[0106] 上述工艺制得的器件结构如图3~图9所示。步骤1形成图3~图9中的P型衬底1;步骤2形成图4~图6的N+埋层201~203;步骤3形成图4~图6的P+埋层301~306;步骤4形成图3~图9的N型外延层4;步骤5和步骤6形成图4~图5的N型穿透区501~503、图4~图6的P+隔离区601~606;步骤7形成图3~图9的场氧化层7;步骤8形成图3~图7的P阱801~805;步骤9形成图3的P型降场层9;步骤10形成图5的N型栅极区10;步骤11形成的N型积累层没有在图中直接显示,其设置在图3中N+源区131、P+接触区140、P阱801与栅氧层11、介质层15、源极金属16之间的交界面处;步骤12形成图3、图4和图7的栅氧层11和多晶硅121~127;步骤13形成图3和图4的N+半导体掺杂区131~134;步骤14形成图3~图7的P+半导体掺杂区140~149;步骤15形成图3~图9的介质层15,本实施例具体使用BPSG;步骤17形成图3~图9的极金属16~35。

[0107] 以上结合附图对本发明的实施例进行了详细阐述,但是本发明并不局限于上述的具体实施方式,上述具体实施方式仅仅是示意性的,而不是限制性的,本领域的普通技术人员在本发明的启示下,不脱离本发明宗旨和权利要求所保护范围的情况下还可以做出很多变形,这些均属于本发明的保护。

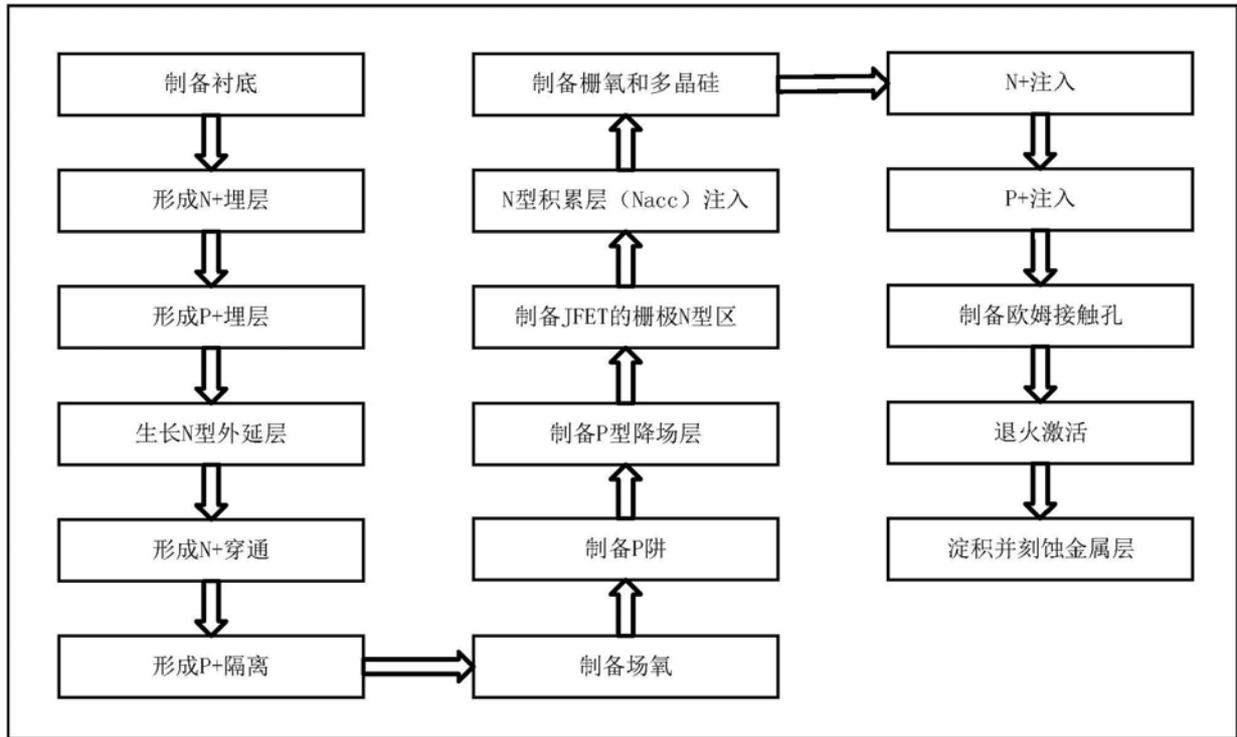


图1

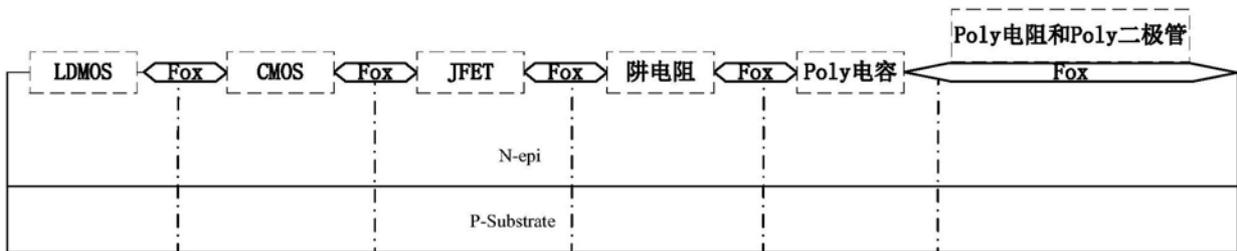


图2

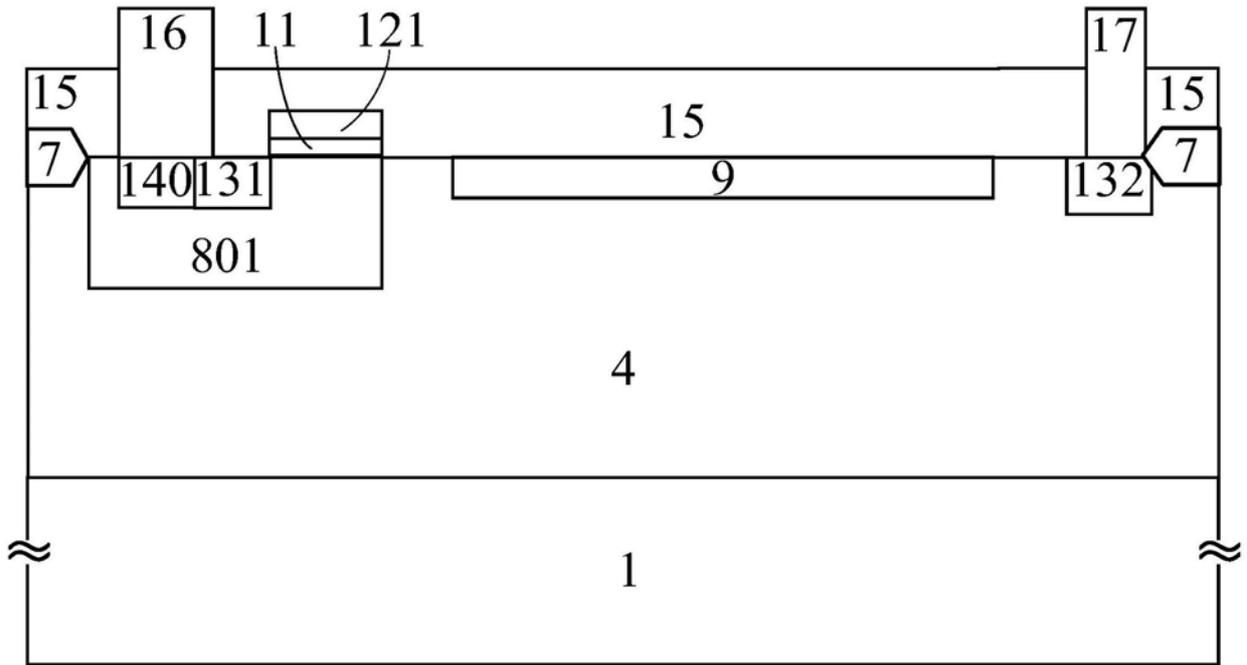


图3

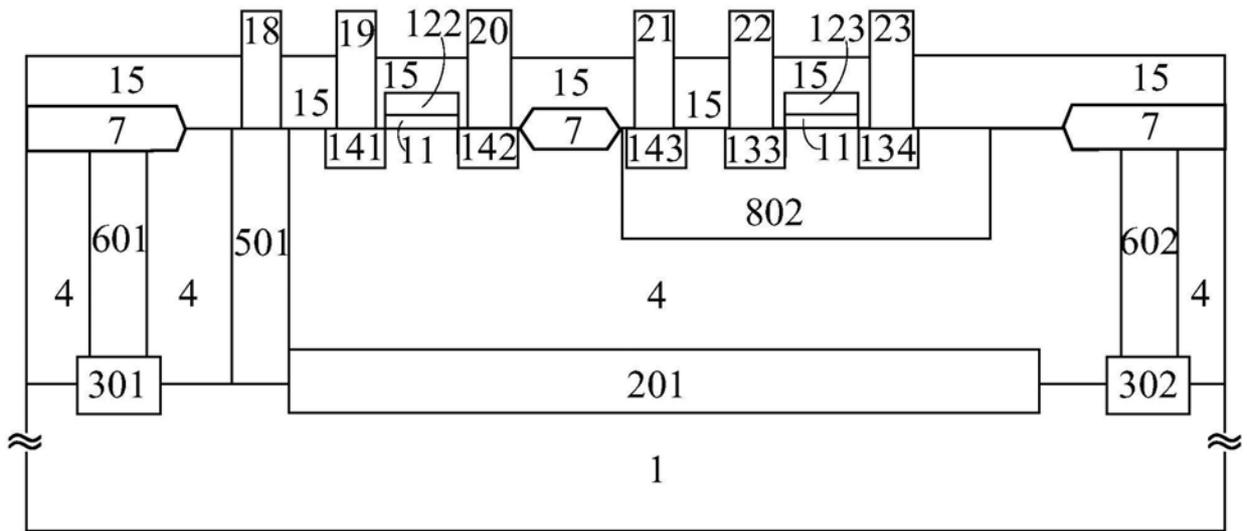


图4

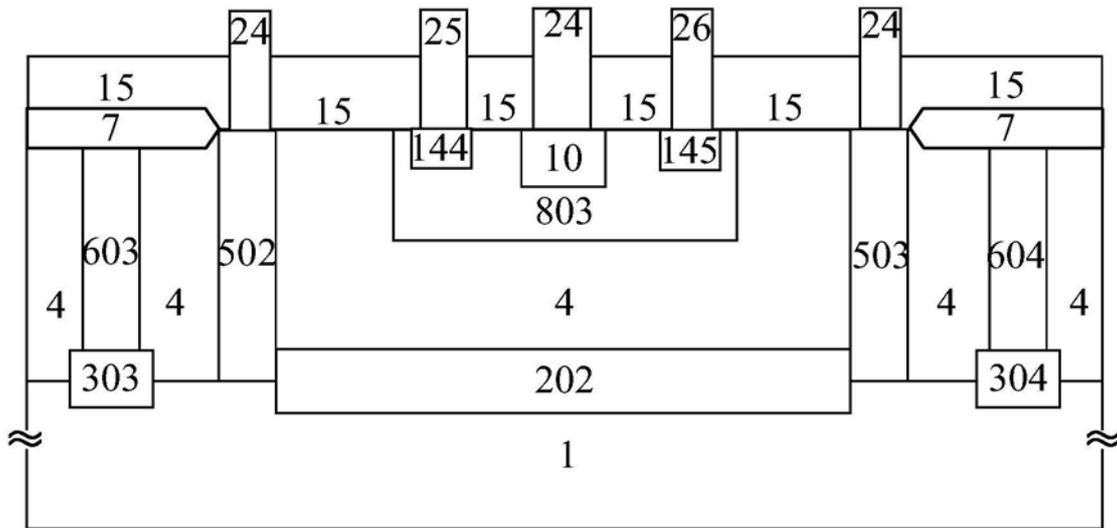


图5

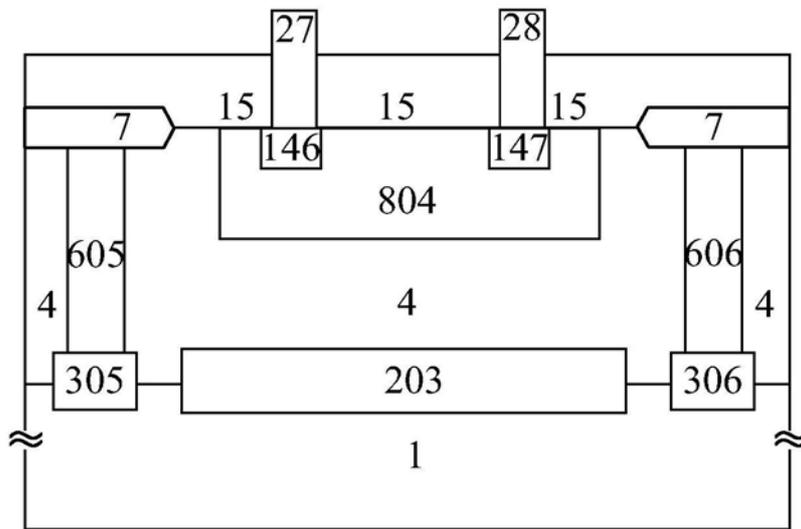


图6

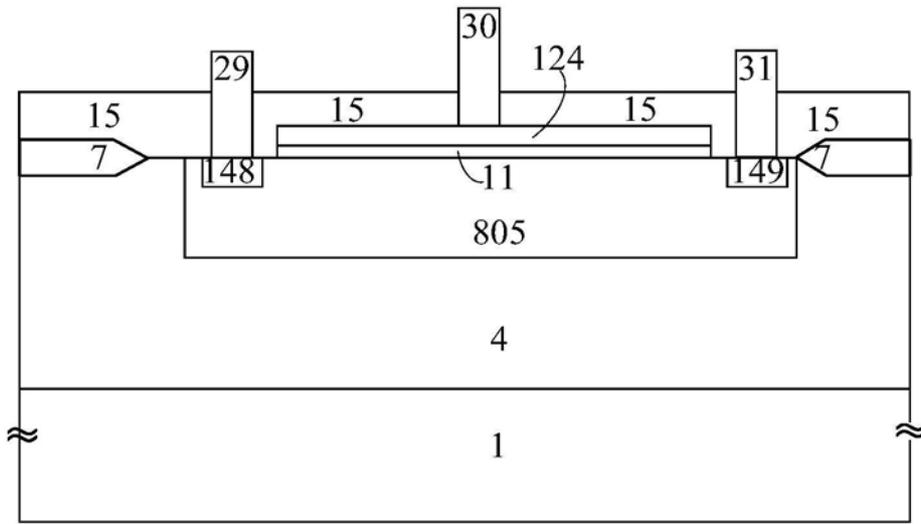


图7

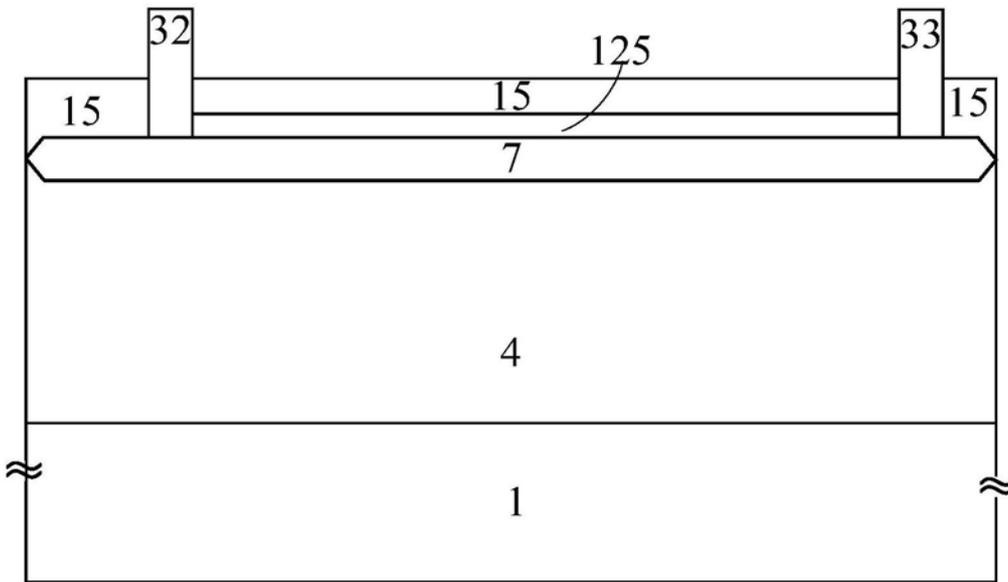


图8

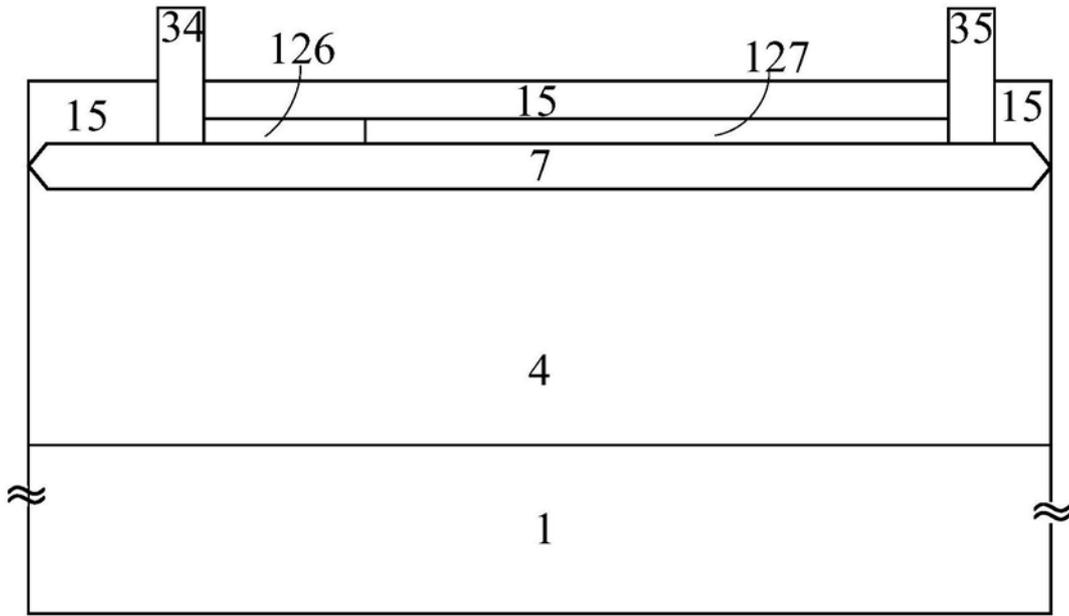


图9