

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3551251号
(P3551251)

(45) 発行日 平成16年8月4日(2004.8.4)

(24) 登録日 平成16年5月14日(2004.5.14)

(51) Int. Cl.⁷

F I

HO 1 L 29/78
HO 1 L 21/336

HO 1 L 29/78 6 5 2 C
HO 1 L 29/78 6 5 2 S
HO 1 L 29/78 6 5 2 Z
HO 1 L 29/78 6 5 8 E

請求項の数 2 (全 8 頁)

(21) 出願番号	特願2000-390141 (P2000-390141)	(73) 特許権者	000106276 サンケン電気株式会社 埼玉県新座市北野3丁目6番3号
(22) 出願日	平成12年12月22日(2000.12.22)	(74) 代理人	100072154 弁理士 高野 則次
(65) 公開番号	特開2002-190593 (P2002-190593A)	(72) 発明者	花岡 正行 埼玉県新座市北野三丁目6番3号 サンケン電気株式会社内
(43) 公開日	平成14年7月5日(2002.7.5)		
審査請求日	平成12年12月22日(2000.12.22)		
		審査官	扇谷 高男
		(56) 参考文献	国際公開第00/033385 (WO, A1)

最終頁に続く

(54) 【発明の名称】 絶縁ゲート型電界効果トランジスタ及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

ドレイン領域とドリフト領域と複数のベース領域と複数のソース領域とを有する半導体基体と、ゲート絶縁膜と、ベース制限用絶縁膜と、ドレイン電極と、ソース電極と、ゲート電極とを備え、

前記ドリフト領域は前記ドレイン領域の不純物濃度よりも低い不純物濃度を有し且つ前記半導体基体の一方の主面に露出する部分を有するように配置され、

前記ドレイン領域は前記ドリフト領域と前記半導体基体の他方の主面との間に配置され、前記複数のベース領域は前記ドリフト領域の中に島状に分散配置され、且つ前記半導体基体の主面に対して垂直方向に柱状に延びている第1のベース領域と前記半導体基体の一方の主面において前記ドリフト領域に囲まれ且つ前記第1のベース領域に隣接している第2のベース領域とをそれぞれ有し、

前記複数のソース領域は前記複数の第2のベース領域の中に島状に配置され、前記第1のベース領域と前記ドリフト領域との間にベース制限用絶縁膜が配置され、

前記ベース制限用絶縁膜は前記第1のベース領域の側面を覆うが、前記第1のベース領域の前記ドレイン領域側の端面を覆わない形状を有していることを特徴とする絶縁ゲート型電界効果トランジスタ。

【請求項2】

第1導電形の半導体基板を用意する工程と、

前記半導体基板の不純物濃度よりも低い不純物濃度を有する第1導電形の第1の半導体層

をエピタキシャル成長法で形成する工程と、
 第2導電形の第2の半導体層を前記第1の半導体層の上にエピタキシャル成長法で形成する工程と、
 エッチングによって複数の柱状半導体層から成る第2のベース領域を形成する工程と、
 前記第2のベース領域の側面に絶縁膜を形成する工程と、
 前記第2のベース領域を埋設するように前記第1及び第2の半導体層の上に前記半導体基板よりも低い不純物濃度を有する第1導電形の第3の半導体層を形成する工程と、
 前記第3の半導体層の表面に島状に配置され且つ前記第2のベース領域に接触している第2導電形の第2のベース領域を形成する工程と、
 前記第2のベース領域の中に第1導電形のソース領域を形成する工程と

10

を備えていることを特徴とする絶縁ゲート型電界効果トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、柱状に形成されたベース領域を有する絶縁ゲート型電界効果トランジスタ及びその製造方法に関する。

【0002】

【従来の技術】

動作抵抗の低減化と高耐圧化の両方を高水準に達成することを目的として絶縁ゲート型電界効果トランジスタ（以下FETと言う）を図1に示すように構成することは公知である。このFETは、N形ドリフト領域1とN⁺形ドレイン領域2と複数のP形ベース領域3と複数のソース領域4とから成るシリコン半導体基体5と、ドレイン電極6と、ソース電極7と、ゲート電極8と、ゲート絶縁膜9と、周辺保護絶縁膜10と、層間絶縁膜11とを備えている。このFETのボディ領域又はチャンネル形成領域と呼ぶことのできるベース領域3は特異な形状を有し、ドリフト領域1の厚み方向に深く柱状に形成されており、その底面はドリフト領域1とドレイン領域2との界面近くまで達している。複数のベース領域3を柱状に形成すると、ベース領域3とドリフト領域1との間のPN接合に高い逆方向電圧が印加された時に複数のベース領域3の相互間のドリフト領域1が空乏層によって埋められ、耐圧が向上する。また、図1の構造の場合、ドリフト領域1の比抵抗を小さくして動作抵抗の低減化を図っても比較的高耐圧を得ることができる。即ち、ドリフト領域1の比抵抗を、浅いベース領域を有する従来の標準的な構造のFETのドリフト領域の比抵抗の1/3～1/5に設定しても、空乏層の働きで標準的な構造のFETと同等の耐圧を得ることができる。

20

30

【0003】

【発明が解決しようとする課題】

ところで、図1の絶縁ゲート型FETにおけるベース領域3は、周知のエピタキシャル成長と不純物拡散を複数回繰り返して形成される。即ち、ドレイン領域2の上に肉薄のN形エピタキシャル層を形成し、このエピタキシャル層にP形不純物を導入してベース領域3を構成するP形拡散領域を形成する。次に、このN形エピタキシャル層とP形拡散領域の表面を被覆するように肉薄のN形エピタキシャル層を形成し、先に形成した下側P形半導体領域と連続するようにP形不純物を導入してベース領域3を構成する上側P形拡散領域を形成する。これを複数回繰り返すことによって、ベース領域3が柱状に素子の厚み方向に延びるように形成された図1の絶縁ゲート型電界効果トランジスタが得られる。

40

このようにエピタキシャル成長と不純物拡散を複数回繰り返してベース領域3を形成した場合、ベース領域3を構成するP形拡散領域は不純物拡散とエピタキシャル成長等の熱処理によって横方向に広がってしまう。ベース領域3の横方向広がりが大きいと、相対的に柱状ベース領域3の間に形成されたドリフト領域1の断面積が減少するため、動作抵抗の低減化効果が損なわれる。この問題を解決するためには、P形不純物の縦方向の拡散距離が短くても上下のP形拡散領域が連続するように、N形エピタキシャル層を十分に薄く形成することが考えられる。しかし、この製造方法は、エピタキシャル成長の工程数が増加

50

してコストの増加等を招来するため、実用的とはいえない。

【 0 0 0 4 】

そこで、本発明の目的は、動作抵抗の低減化と高耐圧化とを高水準に達成でき、且つ生産性にも優れている絶縁ゲート型 F E T 及びその製造方法を提供することにある。

【 0 0 0 5 】

【課題を解決するための手段】

上記課題を解決し、上記目的を達成するための本発明は、ドレイン領域とドリフト領域と複数のベース領域と複数のソース領域とを有する半導体基体と、ゲート絶縁膜と、ベース制限用絶縁膜と、ドレイン電極と、ソース電極と、ゲート電極とを備え、記ドリフト領域は前記ドレイン領域の不純物濃度よりも低い不純物濃度を有し且つ前記半導体基体の一方の主面に露出する部分を有するように配置され、前記ドレイン領域は前記ドリフト領域と前記半導体基体の他方の主面との間に配置され、前記複数のベース領域は前記ドリフト領域の中に島状に分散配置され、且つ前記半導体基体の主面に対して垂直方向に柱状に延びている第 1 のベース領域と前記半導体基体の一方の主面において前記ドリフト領域に囲まれ且つ前記第 1 のベース領域に隣接している第 2 のベース領域とをそれぞれ有し、前記複数のソース領域は前記複数の第 2 のベース領域の中に島状に配置され、前記第 1 のベース領域と前記ドリフト領域との間にベース制限用絶縁膜が配置され、前記ベース制限用絶縁膜は前記第 1 のベース領域の側面を覆うが、前記第 1 のベース領域の前記ドレイン領域側の端面を覆わない形状を有していることを特徴とする絶縁ゲート型電界効果トランジスタに係わるものである。

【 0 0 0 6 】

なお、請求項 2 に示すように、第 1 導電形の半導体基板を用意する工程と、前記半導体基板の不純物濃度よりも低い不純物濃度を有する第 1 導電形の第 1 の半導体層をエピタキシャル成長法で形成する工程と、第 2 導電形の第 2 の半導体層を前記第 1 の半導体層の上にエピタキシャル成長法で形成する工程と、エッチングによって複数の柱状半導体層から成る第 2 のベース領域を形成する工程と、前記第 2 のベース領域の側面に絶縁膜を形成する工程と、前記第 2 のベース領域を埋設するように前記第 1 及び第 2 の半導体層の上に前記半導体基板よりも低い不純物濃度を有する第 1 導電形の第 3 の半導体層を形成する工程と、前記第 3 の半導体層の表面に島状に配置され且つ前記第 2 のベース領域に接触している第 2 導電形の第 2 のベース領域を形成する工程と、前記第 2 のベース領域の中に第 1 導電形のソース領域を形成する工程とを備えて絶縁ゲート型電界効果トランジスタを製造することが望ましい。

【 0 0 0 7 】

【発明の効果】

各請求項の発明によれば、柱状の第 2 のベース領域の側面が絶縁膜で囲まれているので、第 2 のベース領域の横方向への広がりが制限され、ドリフト領域を十分に確保することができ、動作抵抗の低い F E T を提供することができる。

また、ベース制限用絶縁膜は第 1 のベース領域の側面を覆うが、第 1 のベース領域の前記ドレイン領域側の端面を覆わない形状を有しているので、第 1 のベース領域のドレイン領域側の端面における電界集中を緩和することができる。

また、請求項 2 の発明によれば、少ないエピタキシャル成長工程によって柱状の第 2 のベース領域を生産性良く形成することができる。

【 0 0 0 8 】

【実施形態】

次に、図 2 ~ 図 5 を参照して本発明の実施形態を説明する。

【 0 0 0 9 】

図 2 及び図 3 に示す本発明の実施形態に従う絶縁ゲート型電界効果トランジスタ (F E T) は、図 1 の従来の F E T と同様に N 形 (第 1 導電形) ドリフト領域 1 と N⁺ 形ドレイン領域 2 と P 形 (第 2 導電形) ベース領域 3 と N 形ソース領域 4 とドレイン電極 6 とソース電極 7 とゲート電極 8 とゲート絶縁膜 9 と層間絶縁膜 1 1 と図示されていない周辺絶縁膜

とを有し、更に本発明に従うベース制限用酸化膜12を有する。なお、ベース領域3は柱状の第1のベース領域3aと表面側の浅い第2のベース領域3bとを有する。

【0010】

ドリフト領域1はシリコンから成るN形半導体領域であって、N⁺形ドレイン領域2よりも低い不純物濃度を有する。ドリフト領域1はドレイン領域2と同一導電形を有するので、これをドレイン領域と呼ぶこともできる。なお、図2のドリフト領域1は図1のようにドレイン領域2の上にN形半導体を多層にエピタキシャル成長させたものではなく、2回のエピタキシャル成長で形成したものである。ドリフト領域1の一部は半導体基体5の一方の主面に露出している。このドリフト領域1の不純物濃度は、柱状の第1のベース領域3aを形成しない浅い第2のベース領域3bのみの構成の従来のFETのドリフト領域の不純物濃度よりは高い。従って、ドリフト領域1の抵抗率は柱状ベース領域を有さない従来のFETのドリフト領域の抵抗率の1/5~1/3である。

10

【0011】

N⁺形ドレイン領域2はドリフト領域1と半導体基体5の他方の主面との間に配置されている。なお、ドレイン領域2とドリフト領域1との境界面は平板状半導体基体5の他方の主面に平行である。ドレイン電極6は例えばアルミニウム蒸着層から成り、半導体基体5の他方の主面においてドレイン領域2に接続されている。

【0012】

ベース領域3は、ボディ領域又はチャネル形成領域とも呼ぶことができるものであって、前述したように第1及び第2のベース領域3a、3bを有する。第1のベース領域3aは、ドリフト領域1内にその上面から下面に向かって柱状に形成されている。第1のベース領域3aの上面は第2のベース領域3bの下面に連続している。第1のベース領域3aの下面はドレイン領域2から若干離間するように配置されている。このように若干離間するように配置することによって第1のベース領域3aの下側での電界集中を緩和できると考えられる。図3に示すように、多数の第1のベース領域3aは平面的に見て半導体基体5内に島状に形成され且つ均一に分散配置されており、各々の第1のベース領域3aは四角形状の平面形状を有する。なお、第1のベース領域3aの平面形状は四角形に限られず、円形にしてもよい。この第1のベース領域3aは、厚いエピタキシャル層をエッチングすることによって形成したものであり、側面に凹凸を有さない。

20

第2のベース領域3bは、ドリフト領域1の表面側に形成されており、その上面は半導体基体5の一方の主面に露出しており、下面は第1のベース領域3aの上面に隣接している。第2のベース領域3bは平面的に見て、第1のベース領域3aに対応するように半導体基体5内に島状(アイランド状)に形成され且つ均一に分散配置されている。各々の第2のベース領域3bの平面形状は四角形である。なお、第2のベース領域3bの平面形状は四角形に限られず、円形等にしてもよい。第2のベース領域3bはドリフト領域1内に半導体基体5の一方の主面から不純物を拡散することによって形成されたものであり、平面的に見てその外周側は第1のベース領域3aよりも外側に広がっている。この第2のベース領域3bは、その表面側においてソース領域4とドリフト領域1との間にチャネルを形成するので、チャネル形成領域と呼ぶこともできる。

30

【0013】

N形ソース領域4は各第2のベース領域3bの中に島状に形成され、半導体基体5の一方の主面に露出している。図3ではソース領域4が環状の平面形状を有するが、例えば特願平11-84537号に示されているように多数のソース領域4の群の周辺領域においてソース領域4をコ字状又はL字状の平面形状にすることができる。

40

【0014】

ソース電極7は、例えばアルミニウムの蒸着層であって、各ソース領域4と各第2のベース領域3bとの両方に接続され、複数のソース領域4を共通接続するように層間絶縁膜11の上にも設けられている。

【0015】

ゲート絶縁膜9は少なくとも第2のベース領域3bにおける前述したチャネル形成部分を

50

覆うように形成されたシリコン酸化膜から成る。

【0016】

ゲート電極 8 は、例えば周知の化学的気相成長法で形成された多結晶シリコンから成り、ゲート絶縁膜 9 の上に形成されている。このゲート電極 8 は平面的に見て格子状に形成され、図示されていない金属製ゲート端子に接続されている。

【0017】

本発明に従う柱状の第 1 のベース領域 3 a とドリフト領域 1 との間に配置されたベース制限用絶縁膜としての酸化膜 1 2 はシリコン酸化膜から成り、第 1 のベース領域 3 a の横方向への広がりを制限している。

【0018】

次に、図 4 及び図 5 を参照して図 2 の F E T の製造方法を説明する。

図 2 の絶縁ゲート型 F E T を製造する時には、まず図 4 (A) に示す N⁺ 形半導体基板 2 a を用意する。この N⁺ 形半導体基板 2 a は、図 2 の絶縁ゲート型 F E T のドレイン領域 2 を構成するものである。

【0019】

次に、図 4 (B) に示すように、この N⁺ 形半導体基板 2 a の上面に N 形の第 1 の半導体層 1 a を周知のエピタキシャル成長方法によって形成する。この第 1 の半導体層 1 a は、図 2 の絶縁ゲート型 F E T のドリフト領域 1 の一部を構成するものである。更に、この第 1 の半導体層 1 a の上面に P 形の第 2 の半導体層 2 1 を周知のエピタキシャル成長方法によって形成する。この P 形の第 2 の半導体層 2 1 は、図 2 の絶縁ゲート型 F E T の第 1 の

10

20

【0020】

次に、図 4 (C) に示すように、この P 形の第 2 の半導体層 2 1 に異方性エッチングを施して、図示のように P 形半導体領域を柱状に残存させて図 2 の絶縁ゲート型 F E T の第 1 のベース領域 3 a を形成する。この第 1 のベース領域 3 a は N 形の第 1 の半導体層 1 a の上面にほぼ垂直に設けられている。更に、この第 1 のベース領域 3 a と N 形の第 1 の半導体層 1 a の上面にシリコン酸化膜 1 2 を形成する。酸化膜 1 2 は、周知の熱酸化方法によって形成することができる。

【0021】

次に、図 5 (A) に示すように、異方性エッチングによって第 1 のベース領域 3 a の側面

30

【0022】

次に、この第 3 の半導体領域 1 b に周知の 2 重拡散技術によって、P 形不純物と N 形不純物を順次導入して、図 5 (B) に示すように第 2 のベース領域 3 b とソース領域 4 を形成

40

【0023】

その後、従来の絶縁ゲート型 F E T の製造方法と同様にして、図 2 に示すゲート絶縁膜 9、ゲート電極 8、ソース電極 7、ドレイン電極 6 等を形成して図 2 の絶縁ゲート型 F E T を完成させる。

【0024】

本実施形態の絶縁ゲート型 F E T によれば、第 2 のベース領域 3 a を構成する柱状の P 形半導体層が筒状の酸化膜 1 2 によって包囲されており、第 2 のベース領域 3 a の断面積がこの酸化膜 1 2 によって制限され、熱処理等によってその断面積が増加することが防止さ

50

れている。即ち、柱状の第2のベース領域3aを構成するP形半導体層がその後のエピタキシャル成長等の熱処理によって横方向に広がってしまうことがなく、柱状の第2のベース領域3aの間に形成されたドリフト領域1の断面積が所望に確保される。従って、動作抵抗の低減化が高水準に達成される。また、酸化膜12は500～1000オングストローム程度の薄い絶縁膜であるから、ベース領域3とドリフト領域1との間に逆方向のバイアスが印加されると、この界面から空乏層が良好に広がってベース領域の間のドリフト領域1を埋め、電界集中を良好に緩和することができる。このため、耐圧向上効果も高水準に達成される。更に、本実施例の絶縁ゲート型FETによれば、柱状の第2のベース領域3aを従来例のように多数のエピタキシャル成長方法と拡散を繰り返して形成する必要がないので、FETの生産性を高めることができる。

10

【0025】

【変形例】

本発明は上述の実施形態に限定されるものでなく、例えば次の変形が可能なものである。

(1) 柱状ベース領域3の平面形状を島状の他に、ストライプ状、格子状、ハニカム形状等の種々の形状にすることが可能である。

(2) ドレイン電極6もソース電極7と同様に素子の一方の主面に形成し、ラテラル構造の絶縁ゲート型電界効果トランジスタとしても良い。

(3) 実施形態の半導体基体5の各領域はシリコンから成るが、シリコン以外の半導体とすることもできる。

【図面の簡単な説明】

20

【図1】従来のFETを示す断面図である。

【図2】本発明の実施形態に従うFETを示す断面図である。

【図3】図2の半導体基体の表面を示す平面図である。

【図4】図2のFETの製造工程を説明するための断面図である。

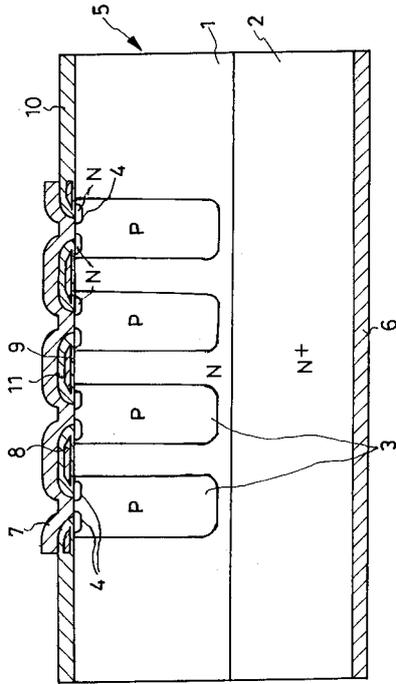
【図5】図4に続く製造工程を説明するための断面図である。

【符号の説明】

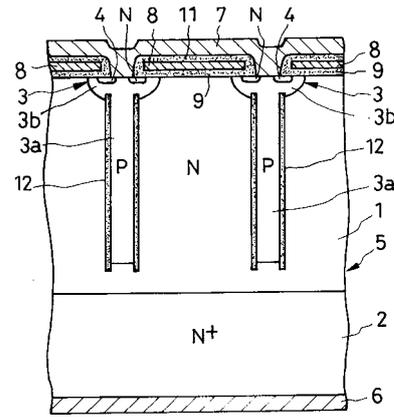
- 1 ドリフト領域
- 2 ドレイン領域
- 3 ベース領域
- 3a、3b 第1及び第2のベース領域
- 4 ソース領域
- 5 半導体基体
- 12 酸化膜

30

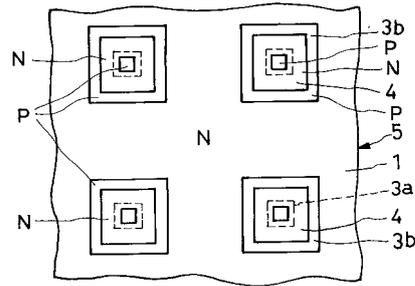
【図1】



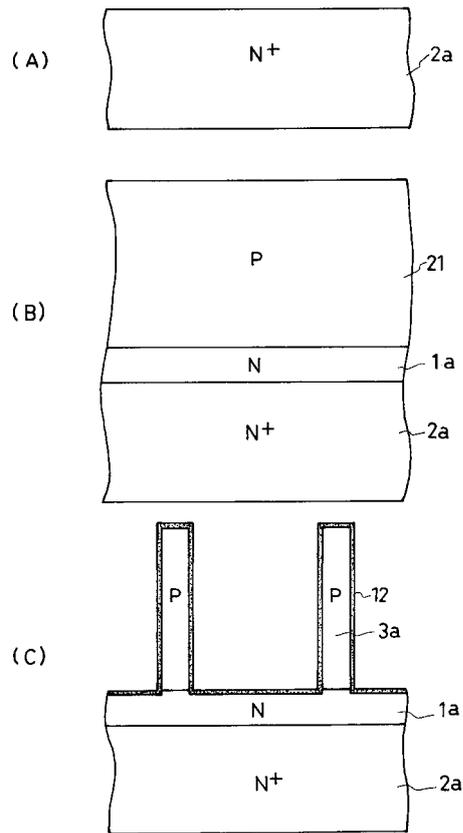
【図2】



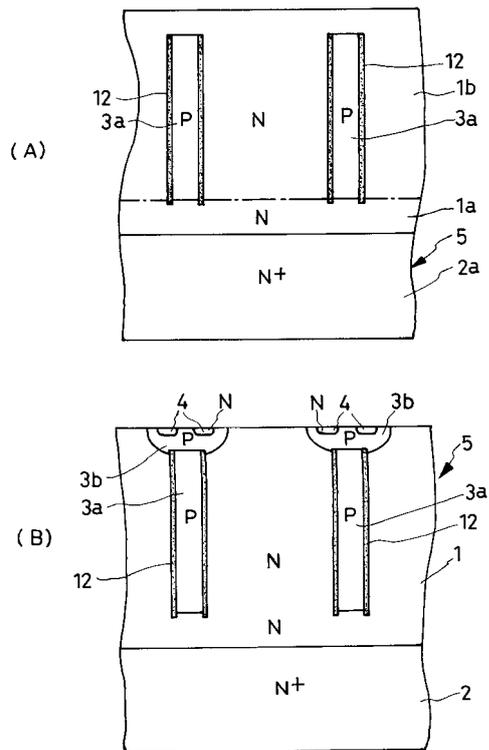
【図3】



【図4】



【図5】



フロントページの続き

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 29/78 652

H01L 21/336