

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-116649

(P2005-116649A)

(43) 公開日 平成17年4月28日(2005.4.28)

(51) Int. Cl.⁷

H01L 29/78
H01L 21/265
H01L 21/336

F I

H01L 29/78 652B
H01L 29/78 652D
H01L 29/78 652K
H01L 29/78 653C
H01L 21/265 F

テーマコード(参考)

審査請求 未請求 請求項の数 4 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2003-346460 (P2003-346460)
(22) 出願日 平成15年10月6日(2003.10.6)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(74) 代理人 100109210
弁理士 新居 広守
(72) 発明者 溝口 修二
大阪府門真市大字門真1006番地 松下
電器産業株式会社内
(72) 発明者 浅見 晃吉
大阪府門真市大字門真1006番地 松下
電器産業株式会社内

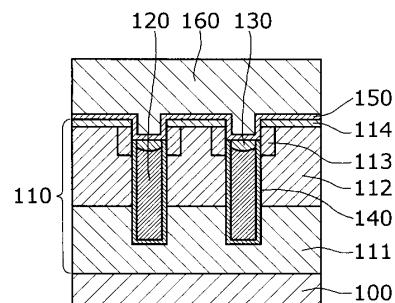
(54) 【発明の名称】 縦型ゲート半導体装置およびその製造方法

(57) 【要約】

【課題】 レジストパターンを用いることなくソース領域およびボディーコンタクト領域を形成し、ソース領域のコンタクト抵抗を増大させることなく、小型化をおこなうことができる縦型ゲート半導体装置を提供する。

【解決手段】 シリコン基板100と、ドレイン領域111とウエル領域112とからなる半導体層110と、縦型ゲート電極120と、絶縁膜130と、絶縁物質140と、トレンチ溝側面で前記ソース領域113と接し、トレンチ溝側面および半導体層110表面で前記ボディーコンタクト領域114と接するアルミ膜150と、バリアメタル160とを備え、ウエル領域112が、ウエル領域112上方のトレンチ溝側壁の半導体層110表面と接しない領域に形成された第1導電型のソース領域113と、ウエル領域112上方の半導体層110表面に形成された第2導電型のボディーコンタクト領域114とを有する縦型ゲート半導体装置。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

トレンチ溝を有し、半導体基板上に形成された半導体層と、前記トレンチ溝内壁に形成されたゲート酸化膜と、前記トレンチ溝内部に埋め込まれたゲート電極とを備える縦型ゲート半導体装置であって、

前記半導体層は、第 1 導電型のドレイン領域と、前記ドレイン領域上方に形成された前記第 1 導電型と反対の第 2 導電型のウエル領域とからなり、

前記トレンチ溝は、前記ウエル領域を貫通し、

前記ウエル領域は、前記ゲート電極とオーバーラップを有し、前記トレンチ溝側壁の前記半導体層表面と接しない領域に形成された前記第 1 導電型のソース領域と、前記ソース領域と接し、前記半導体層表面に形成された第 2 導電型のポディーコンタクト領域とを有する

ことを特徴とする縦型ゲート半導体装置。

【請求項 2】

前記半導体層表面は、前記トレンチ溝上部において凹形状を有し、

前記縦型ゲート半導体装置は、さらに、

前記ゲート電極上の前記トレンチ溝内部に形成された絶縁膜を備え、

前記ポディーコンタクト領域は、前記トレンチ溝側面および前記半導体層表面で電極と接し、

前記ソース領域は、前記トレンチ溝側面で前記電極と接する

ことを特徴とする請求項 1 に記載の縦型ゲート半導体装置。

【請求項 3】

ポディーコンタクト領域およびソース領域を有するウエル領域とドレイン領域とからなり、トレンチ溝を有し、半導体基板上に形成された半導体層と、前記トレンチ溝内壁に形成されたゲート酸化膜と、前記トレンチ溝内部に埋め込まれたゲート電極と、前記ゲート電極上の前記トレンチ溝内部に形成された絶縁膜とを備えた縦型ゲート半導体装置の製造方法であって、

前記半導体基板上に前記半導体層を形成した後、前記半導体層の下方にドレイン領域を、上方に前記ウエル領域を形成し、前記半導体層のウエル領域が形成された表面に絶縁酸化膜を形成する第 1 のステップと、

前記絶縁酸化膜およびウエル領域を貫通させ、前記半導体層にトレンチ溝を形成した後、前記トレンチ溝内壁にゲート酸化膜を形成し、前記トレンチ溝内部にゲート電極材料を堆積させる第 2 のステップと、

前記半導体層表面の前記トレンチ溝上部において凹形状が形成されるように前記ゲート電極材料を除去し、ゲート電極を形成する第 3 のステップと、

前記絶縁酸化膜をマスクにして前記半導体層表面に対して斜め方向に第 1 導電型の不純物を前記トレンチ溝内部に注入して、前記トレンチ溝側壁の前記ウエル領域の一部に前記ソース領域を形成する第 3 のステップと、

前記ゲート電極上に絶縁膜を堆積させる第 4 のステップと、

前記絶縁酸化膜を除去し、前記第 1 導電型と反対の第 2 導電型の不純物を前記半導体層表面に注入して、前記ウエル領域の一部に前記ポディーコンタクト領域を形成する第 5 のステップとを含む

ことを特徴とする縦型ゲート半導体装置の製造方法。

【請求項 4】

前記縦型ゲート半導体装置は、さらに、前記トレンチ溝内部および前記半導体層表面に形成された電極を備え、

当該縦型ゲート半導体装置の製造方法は、さらに、

前記半導体層表面の前記トレンチ溝上部において凹形状が形成され、かつ、前記トレンチ溝側壁のソース領域が露出されるように前記絶縁膜を除去する第 6 のステップと、

前記除去により現れた前記トレンチ溝側壁および前記半導体層表面に電極部材を堆積さ

10

20

30

40

50

せ、トレンチ溝内部および前記半導体層表面に電極を形成する第7のステップとを含むことを特徴とする請求項3に記載の縦型ゲート半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、縦型ゲート電極を有する半導体装置およびその製造方法に関するものである。

【背景技術】

【0002】

近年、エレクトロニクス機器における低消費電力化、高機能化および高速化に伴って、それに付随する半導体装置も低消費電力化、高速化が要求されてきている。一般的にエレクトロニクス機器のDC-DCコンバータに用いられる半導体装置も、それらの要求に対応するためにトランジスタのオン抵抗の小さな特性のものが要求されている。トランジスタのオン抵抗を小さくするには、単位面積あたりに配置するトランジスタの密度を大きくすることが一つの方法としてある。具体的には半導体装置のゲート電極を縦方向に配置する方法である。この方法を適用した半導体装置として、縦型ゲート半導体装置がある。これは、ゲート電極を縦方向に配置してゲート電極上部に対向するようにソース領域が形成され、またゲート電極底部に対向するようにドレイン領域が形成されている半導体装置である。

10

【0003】

ところで、縦型ゲート半導体装置において、ゲート電極が縦型に配置されるため、縦型ゲート電極の最上面とソース領域が存在するシリコン表面とは同一平面上に存在する。このため、ソース領域もしくはボディーコンタクト領域に電極を接続する際に、縦型ゲート電極上部を凸形状の絶縁膜で被覆し、ソース領域もしくはボディーコンタクト領域と縦型ゲート電極との導通を防止しなければならないという問題がある。

20

【0004】

このような問題を解決する先行技術として、特許文献1に記載された技術がある。これは、並行して配置された縦型ゲート半導体装置において、縦型ゲート電極の最上面をソース領域が存在するシリコン表面より後退させ、かつ縦型ゲート電極上部に絶縁膜を充填させることで、上記問題を解決するものである。

30

【0005】

以下、図17を参照しながら、従来の縦型ゲート半導体装置について説明する。

図17の縦型ゲート半導体装置の断面図に示されるように、縦型ゲート半導体装置は、第1導電型の半導体基板であるシリコン基板1700と、シリコン基板1700上に形成された半導体層1710と、半導体層1710のトレンチ溝内部に形成され、その最上面がソース領域1713の存在する半導体層1710表面より下にある縦型ゲート電極1720と、縦型ゲート電極1720の上部に充填された絶縁膜1730と、縦型ゲート電極1720を形成し、ドレイン領域1711、ウエル領域1712およびソース領域1713がその垂直表面に全て隣接する絶縁物質1740と、配線材料となるアルミ膜1750およびバリアメタル1760とから構成される。

40

【0006】

ここで、半導体層1710は、エピタキシャル成長法でシリコン基板1700に形成された第1導電型のドレイン領域1711と、ドレイン領域1711上方に形成された第1導電型と反対極性の第2導電型のウエル領域1712とからなり、ウエル領域1712は、ウエル領域1712上方の半導体層1710表面に形成された第1導電型のソース領域1713および第2導電型のボディーコンタクト領域1714を有する。

【0007】

また、縦型ゲート電極1720の上部は、ソース領域1713と対向して存在し、縦型ゲート電極1720の底部はドレイン領域1711と対向して存在している。

以上のような構成を有する縦型ゲート半導体装置において、絶縁膜1730がソース領域

50

1713もしくはボディーコンタクト領域1714と縦型ゲート電極1720との導通を防止するので、ソース領域もしくはボディーコンタクト領域に電極を接続する際におこなわれる絶縁膜による縦型ゲート電極上部の被覆の工程を省略することができる。また、絶縁膜1730の最上面と、ソース領域1713の存在するシリコン表面とは実質的に同一平面上となり、マスク工程に対して平坦な表面を持つこととなるので、縦型ゲート半導体装置の製造を容易化することができる。

【特許文献1】特許266221号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、上記特許文献1に記載された従来技術では、ソース領域およびボディーコンタクト領域は共に半導体層表面に形成されるため、ソース領域およびボディーコンタクト領域を形成するにあたって、異なった2つのレジストマスクパターンを用いてそれぞれの領域を形成しなければならないという問題がある。

また、上記特許文献1に記載された従来技術では、縦型ゲート半導体装置の小型化に伴い縦型ゲート電極間の間隔が短くなると、電極とソース領域との接触面積が小さくなり、コンタクト抵抗が増大するという問題がある。このとき、ボディーコンタクト領域はソース領域の反転の関係にあるため、ボディーコンタクト領域の面積を小さくすることで、電極とソース領域の接触面積を大きくすることができるが、ボディーコンタクト領域の面積が小さくなると、ウエル領域を接地できなくなり、寄生バイポーラトランジスタが動作しやすくなるという新たな問題が生じる。例えば、幅 $0.2\mu\text{m}$ の縦型ゲート電極が $0.2\mu\text{m}$ の間隔で並んでいる縦型ゲート半導体装置において、縦型ゲート電極間の間隔を $0.1\mu\text{m}$ 短くしようとした場合、縦型ゲート電極間の間隔は $0.1\mu\text{m}$ となり、ここに形成されるソース領域は非常に小さくなる。

【0009】

そこで、本発明は、かかる問題点に鑑み、レジストパターンを用いることなくソース領域およびボディーコンタクト領域を形成することができる縦型ゲート半導体装置およびその製造方法を提供することを第1の目的とする。

また、本発明は、ソース領域のコンタクト抵抗を増大させることなく、小型化をおこなうことができる縦型ゲート半導体装置およびその製造方法を提供することを第2の目的とする。

【課題を解決するための手段】

【0010】

上記目的を達成するために、本発明の縦型ゲート半導体装置は、トレンチ溝を有し、半導体基板上に形成された半導体層と、前記トレンチ溝内壁に形成されたゲート酸化膜と、前記トレンチ溝内部に埋め込まれたゲート電極とを備える縦型ゲート半導体装置であって、前記半導体層は、第1導電型のドレイン領域と、前記ドレイン領域上方に形成された前記第1導電型と反対の第2導電型のウエル領域とからなり、前記トレンチ溝は、前記ウエル領域を貫通し、前記ウエル領域は、前記ゲート電極とオーバーラップを有し、前記トレンチ溝側壁の前記半導体層表面と接しない領域に形成された前記第1導電型のソース領域と、前記ソース領域と接し、前記半導体層表面に形成された第2導電型のボディーコンタクト領域とを有することを特徴とする。また、本発明は、ボディーコンタクト領域およびソース領域を有するウエル領域とドレイン領域とからなり、トレンチ溝を有し、半導体基板上に形成された半導体層と、前記トレンチ溝内壁に形成されたゲート酸化膜と、前記トレンチ溝内部に埋め込まれたゲート電極と、前記ゲート電極上の前記トレンチ溝内部に形成された絶縁膜とを備えた縦型ゲート半導体装置の製造方法であって、前記半導体基板上に前記半導体層を形成した後、前記半導体層の下方にドレイン領域を、上方に前記ウエル領域を形成し、前記半導体層のウエル領域が形成された表面に絶縁酸化膜を形成する第1のステップと、前記絶縁酸化膜およびウエル領域を貫通させ、前記半導体層にトレンチ溝を形成した後、前記トレンチ溝内壁にゲート酸化膜を形成し、前記トレンチ溝内部にゲ-

10

20

30

40

50

ト電極材料を堆積させる第2のステップと、前記半導体層表面の前記トレンチ溝上部において凹形状が形成されるように前記ゲート電極材料を除去し、ゲート電極を形成する第3のステップと、前記絶縁酸化膜をマスクにして前記半導体層表面に対して斜め方向に第1導電型の不純物を前記トレンチ溝内部に注入して、前記トレンチ溝側壁の前記ウエル領域の一部に前記ソース領域を形成する第3のステップと、前記ゲート電極上に絶縁膜を堆積させる第4のステップと、前記絶縁酸化膜を除去し、前記第1導電型と反対の第2導電型の不純物を前記半導体層表面に注入して、前記ウエル領域の一部に前記ボディーコンタクト領域を形成する第5のステップとを含むことを特徴とする縦型ゲート半導体装置の製造方法であってもよい。

【0011】

これによって、ソース領域およびボディーコンタクト領域はそれぞれトレンチ溝を形成するための絶縁酸化膜をマスクにして第1導電型の不純物を半導体層表面に対して斜め方向にトレンチ溝内部に注入した後、第2導電型の不純物を半導体層表面に注入することにより形成されるので、レジストパターンを用いることなくソース領域およびボディーコンタクト領域を形成することができる縦型ゲート半導体装置およびその製造方法を実現することができる。

【0012】

また、前記半導体層表面は、前記トレンチ溝上部において凹形状を有し、前記縦型ゲート半導体装置は、さらに、前記ゲート電極上の前記トレンチ溝内部に形成された絶縁膜を備え、前記ボディーコンタクト領域は、前記トレンチ溝側面および前記半導体層表面で電極と接し、前記ソース領域は、前記トレンチ溝側面で前記電極と接してもよい。ここで、前記縦型ゲート半導体装置は、さらに、前記トレンチ溝内部および前記半導体層表面に形成された電極を備え、当該縦型ゲート半導体装置の製造方法は、さらに、前記半導体層表面の前記トレンチ溝上部において凹形状が形成され、かつ、前記トレンチ溝側壁のソース領域が露出されるように前記絶縁膜を除去する第6のステップと、前記除去により現れた前記トレンチ溝側壁および前記半導体層表面に電極部材を堆積させ、トレンチ溝内部および前記半導体層表面に電極を形成する第7のステップとを含んでもよい。

【0013】

これによって、縦型ゲート半導体装置の小型化に伴いゲート電極間の距離が短くなっても、ボディーコンタクト領域の面積を小さくすることなく、電極とソース領域との十分な接触面積を確保することができるので、ソース領域のコンタクト抵抗を増大させることなく、小型化をおこなうことができる縦型ゲート半導体装置を実現することができる。また同時に、電極とボディーコンタクト領域との十分な接触面積を確保することができるので、寄生バイポーラトランジスタが動作することを抑える縦型ゲート半導体装置およびその製造方法を実現することができる。

【発明の効果】

【0014】

本発明に係る縦型ゲート半導体装置によれば、ソース領域およびボディーコンタクト領域はそれぞれトレンチ溝を形成するための絶縁酸化膜をマスクにして第1導電型の不純物を半導体層表面に対して斜め方向にトレンチ溝内部に注入した後、第1導電型と反対の第2導電型の不純物を半導体層表面に注入することにより形成されるので、レジストパターンを用いることなくソース領域およびボディーコンタクト領域を形成することができる縦型ゲート半導体装置を実現できるという効果が奏される。また、本発明に係る縦型ゲート半導体装置によれば、縦型ゲート半導体装置の小型化に伴いゲート電極間の距離が短くなっても、ボディーコンタクト領域の面積を小さくすることなく、電極とソース領域との十分な接触面積を確保することができるので、ソース領域のコンタクト抵抗を増大させることなく、小型化をおこなうことができる縦型ゲート半導体装置を実現することができるという効果が奏される。また、本発明に係る縦型ゲート半導体装置によれば、電極とボディーコンタクト領域との十分な接触面積を確保することができるので、トランジスタ動作時に発生し得るウエル内の電圧差の発生を抑えることができ、寄生バイポーラトランジスタ

10

20

30

40

50

が動作することを抑える縦型ゲート半導体装置を実現することができるという効果が奏される。

【0015】

よって、本発明により、レジストパターンを用いることなくソース領域およびボディーコンタクト領域を形成し、ソース領域のコンタクト抵抗を増大させることなく、小型化をおこなうことができる縦型ゲート半導体装置を提供することが可能となり、実用的価値は極めて高い。

【発明を実施するための最良の形態】

【0016】

以下、本発明の実施の形態における縦型ゲート半導体装置について、図面を参照しながら説明する。 10

図1は、本実施の形態の縦型ゲート半導体装置の断面図である。

本実施の形態の縦型ゲート半導体装置は、レジストパターンを用いることなくソース領域およびボディーコンタクト領域を形成し、ソース領域のコンタクト抵抗を増大させることなく、小型化をおこなうことができる縦型ゲート半導体装置を実現することを目的とするものであって、第1導電型の半導体基板であるシリコン基板100と、シリコン基板100上に形成された半導体層110と、半導体層110のトレンチ溝内部に形成され、その最上面がボディーコンタクト領域114の存在する半導体層110表面より下にある縦型ゲート電極120と、縦型ゲート電極120上に形成され、その最上面がボディーコンタクト領域114の存在する半導体層110表面より下にある絶縁膜130と、縦型ゲート電極120を形成し、ドレイン領域111およびウエル領域112がその垂直表面に隣接する絶縁物質140と、配線材料となるアルミ膜150およびバリアメタル160とから構成される。 20

【0017】

ここで、半導体層110は、エピタキシャル成長法でシリコン基板100に形成された第1導電型のドレイン領域111と、トレンチ溝を貫通させ、ドレイン領域111上方に形成された第1導電型と反対極性の第2導電型のウエル領域112とからなり、ウエル領域112は、ウエル領域112上方のトレンチ溝側壁の半導体層110表面と接しない領域に、縦型ゲート電極120上部にオーバーラップを有するようにして形成された第1導電型のソース領域113と、ウエル領域112上方の半導体層110表面のソース領域113と接する領域に形成された第2導電型のボディーコンタクト領域114とを有する。 30

【0018】

また、アルミ膜150はトレンチ溝側面で前記ソース領域113と接し、トレンチ溝側面および半導体層110表面で前記ボディーコンタクト領域114と接する。

また、縦型ゲート電極120の上部は、ソース領域113と対向して存在し、縦型ゲート電極120の底部はドレイン領域111と対向して存在している。

【0019】

次に、以上のような構造を有する縦型ゲート半導体装置の製造方法について図2～16に示す断面図に沿って説明する。なお、図1と同一の要素には同一の符号が付されており、それらに関する詳しい説明はここでは省略する。 40

【0020】

まず、図2に示されるように、シリコン基板100上に第1導電型のエピタキシャル層を形成し、その上方に第2導電型のウエル領域を形成してドレイン領域111およびウエル領域112を形成した後、熱酸化によりウエル領域112表面に50～500nmのシリコン酸化膜200を形成する。

次に、図3に示されるように、レジストパターン300をシリコン酸化膜200上に形成し、そのレジストパターン300を用いてシリコン酸化膜200をエッチングする。

【0021】

次に、図4に示されるように、レジストパターン300を除去した後、パターンニングされたシリコン酸化膜200をマスクとしたドライエッチングによって、ウエル領域112 50

を貫通してドレイン領域 1 1 1 に届く、例えば深さが 0 . 8 ~ 3 . 0 μm のトレンチ溝 4 0 0 を形成する。ここで、シリコン酸化膜 2 0 0 のドライエッチングは、シリコン酸化膜 2 0 0 のドライエッチングをおこなっていない部分において、ドライエッチング後にもシリコン酸化膜 2 0 0 が十分な厚さでウエル領域 1 1 2 上に存在するようにおこなわれる。

【 0 0 2 2 】

次に、図 5 に示されるように、トレンチ溝 4 0 0 の側壁および底部のダメージ層を除去するために、熱酸化によりトレンチ溝 4 0 0 内壁に 2 0 ~ 1 0 0 nm の厚さのシリコン酸化膜 5 0 0 を形成する。

次に、図 6 に示されるように、トレンチ溝 4 0 0 内壁のシリコン酸化膜 5 0 0 をウェットエッチングにより除去する。

10

【 0 0 2 3 】

次に、図 7 に示されるように、トレンチ溝 4 0 0 内壁に 8 ~ 1 0 0 nm の厚さの酸化膜である絶縁物質 1 4 0 を形成する。

次に、図 8 に示されるように、トレンチ溝 4 0 0 内部およびシリコン酸化膜 2 0 0 表面にゲート電極材料となる第 1 導電型の不純物がドーブされたポリシリコン膜 8 0 0 を堆積させる。このとき、シリコン酸化膜 2 0 0 表面には、3 0 0 ~ 8 0 0 nm の厚さでポリシリコン膜 8 0 0 が堆積される。なお、ポリシリコン膜 8 0 0 は、堆積時に不純物がドーブされていなくても、堆積後にイオン注入及びアニールで第 1 導電型の不純物をドーブしてもよい。

【 0 0 2 4 】

20

次に、図 9 に示されるように、全面エッチングによりシリコン酸化膜 2 0 0 表面およびトレンチ溝 4 0 0 内部の一部のポリシリコン膜 8 0 0 を除去し、残ったポリシリコン膜 8 0 0 を縦型ゲート電極 1 2 0 とする。ここで、トレンチ溝 4 0 0 内部のポリシリコン膜 8 0 0 のエッチングは、シリコン酸化膜 2 0 0 表面から 2 0 0 ~ 8 0 0 nm 下側までおこなわれる。

【 0 0 2 5 】

次に、図 1 0 に示されるように、ウエル領域 1 1 2 に第 1 導電型の不純物が注入されるように、シリコン酸化膜 2 0 0 表面に対して斜め方向（同図の矢印方向）に第 1 導電型の不純物を注入することにより、トレンチ溝 4 0 0 の側壁に、縦型ゲート電極 1 2 0 上部にオーバーラップを有する第 1 導電型のソース領域 1 1 3 を形成する。このとき、ウエル領域 1 1 2 の表面はシリコン酸化膜 2 0 0 でマスクングされているため、ウエル領域 1 1 2 の表面には第 1 導電型の不純物が注入されず、ソース領域 1 1 3 が形成されない。なお、ソース領域 1 1 3 は、イオン注入法では無く、気相拡散法により形成されてもよい。

30

【 0 0 2 6 】

次に、図 1 1 に示されるように、トレンチ溝 4 0 0 内部の縦型ゲート電極 1 2 0 上部およびシリコン酸化膜 2 0 0 表面に 4 0 0 ~ 8 0 0 nm の厚さでシリコン酸化膜 1 1 0 0 を堆積させる。

【 0 0 2 7 】

次に、図 1 2 に示されるように、レジストを用いた平坦化エッチバックにより、縦型ゲート電極 1 2 0 上部のシリコン酸化膜 1 1 0 0 最上面とウエル領域 1 1 2 表面とが一致するまでシリコン酸化膜 2 0 0 、 1 1 0 0 を除去する。これによって、トレンチ溝 4 0 0 内部はシリコン酸化膜 1 1 0 0 と縦型ゲート電極 1 2 0 とで充填される。なお、シリコン酸化膜 2 0 0 、 1 1 0 0 は、レジストを用いた平坦化エッチバックでは無く、CMP 法を含むその他の平坦化方法により除去されてもよい。また、平坦化エッチバックにおいて、縦型ゲート電極 1 2 0 上部に残ったシリコン酸化膜 1 1 0 0 よりも薄い膜厚のシリコン酸化膜 2 0 0 がウエル領域 1 1 2 表面に残っていてもよい。

40

【 0 0 2 8 】

次に、図 1 3 に示されるように、第 2 導電型の不純物をウエル領域 1 1 2 表面に注入（同図の矢印方向に注入）することにより、ポディーコンタクト領域 1 1 4 を形成する。このとき、縦型ゲート電極 1 2 0 上部にはシリコン酸化膜 1 1 0 0 が形成されているため、

50

縦型ゲート電極 120 には第 2 導電型の不純物が注入されない。なお、ボディーコンタクト領域 114 は、イオン注入法では無く、気相拡散法により形成されてもよい。

【0029】

次に、図 14 に示されるように、ウエル領域 112 表面に、層間絶縁膜となるシリコン酸化膜 1400 を 500 ~ 1000 nm の厚さで堆積させた後、レジストパターン 1410 をシリコン酸化膜 1400 上に形成する。

【0030】

次に、図 15 に示されるように、レジストパターン 1410 を用いてシリコン酸化膜 1400 をドライエッチングし、コンタクト孔を形成した後、ドライエッチングにより縦型ゲート電極 120 上部のシリコン酸化膜 1100 の一部および絶縁物質 140 の一部を除去し、絶縁膜 130 を形成する。ここで、縦型ゲート電極 120 上部のシリコン酸化膜 1100 および絶縁物質 140 のエッチングは、ウエル領域 112 表面においてトレンチ溝 400 部分が凹形状となり、かつ、トレンチ溝 400 側壁のソース領域 113 が露出されるように、つまり、ウエル領域 112 表面から 100 ~ 300 nm 下側までおこなわれる。

10

【0031】

次に、図 16 に示されるように、シリコン酸化膜 1400 表面、ウエル領域 112 のソース領域 113、ボディーコンタクト領域 114 表面および絶縁膜 130 表面に、アルミ膜 150 およびバリアメタル 160 を堆積し、パターンニングする。

以上のように本実施の形態の縦型ゲート半導体装置によれば、ボディーコンタクト領域 114 は半導体層 110 表面に形成され、ソース領域 113 はトレンチ溝側壁の半導体層 110 表面と接しない領域に形成される。よって、トレンチ溝を形成するための絶縁酸化膜をマスクにして第 1 導電型の不純物を半導体層表面に対して斜め方向にトレンチ溝内部に注入した後、第 1 導電型と反対の第 2 導電型の不純物を半導体層表面に注入することによりソース領域およびボディーコンタクト領域を形成することができるので、本実施の形態の縦型ゲート半導体装置は、レジストパターンを用いることなくソース領域およびボディーコンタクト領域を形成することができる縦型ゲート半導体装置を実現することができる。

20

【0032】

また、本実施の形態の縦型ゲート半導体装置によれば、ソース領域 113 はトレンチ溝側面で電極と接する。よって、縦型ゲート半導体装置の小型化に伴い縦型ゲート電極間の間隔が短くなっても、ボディーコンタクト領域の面積を小さくすること無く、電極とソース領域との十分な接触面積を確保することができるので、本実施の形態の縦型ゲート半導体装置は、ソース領域のコンタクト抵抗を増大させることなく、小型化をおこなうことができる縦型ゲート半導体装置を実現することができる。また同時に、ボディーコンタクト領域はソース領域が形成されていない半導体層表面で電極と接するため、電極とボディーコンタクト領域との十分な接触面積を確保することができるので、本実施の形態の縦型ゲート半導体装置は、トランジスタ動作時に発生し得るウエル内の電圧差の発生を抑えることができ、寄生バイポーラトランジスタが動作することを抑える縦型ゲート半導体装置を実現することができる。

30

40

【産業上の利用可能性】

【0033】

本発明は、縦型ゲート半導体装置に利用でき、特に DC - DC コンバータ等のエレクトロニクス機器等に利用することができる。

【図面の簡単な説明】

【0034】

【図 1】本発明の実施の形態の縦型ゲート半導体装置の断面図である。

【図 2】同実施の形態の縦型ゲート半導体装置の製造方法を説明するための断面図である。

【図 3】同実施の形態の縦型ゲート半導体装置の製造方法を説明するための断面図である

50

- 。 【図 4】 同実施の形態の縦型ゲート半導体装置の製造方法を説明するための断面図である
- 。 【図 5】 同実施の形態の縦型ゲート半導体装置の製造方法を説明するための断面図である
- 。 【図 6】 同実施の形態の縦型ゲート半導体装置の製造方法を説明するための断面図である
- 。 【図 7】 同実施の形態の縦型ゲート半導体装置の製造方法を説明するための断面図である
- 。 【図 8】 同実施の形態の縦型ゲート半導体装置の製造方法を説明するための断面図である 10
- 。 【図 9】 同実施の形態の縦型ゲート半導体装置の製造方法を説明するための断面図である
- 。 【図 10】 同実施の形態の縦型ゲート半導体装置の製造方法を説明するための断面図である
- 。 【図 11】 同実施の形態の縦型ゲート半導体装置の製造方法を説明するための断面図である
- 。 【図 12】 同実施の形態の縦型ゲート半導体装置の製造方法を説明するための断面図である
- 。 【図 13】 同実施の形態の縦型ゲート半導体装置の製造方法を説明するための断面図である 20
- 。 【図 14】 同実施の形態の縦型ゲート半導体装置の製造方法を説明するための断面図である
- 。 【図 15】 同実施の形態の縦型ゲート半導体装置の製造方法を説明するための断面図である
- 。 【図 16】 同実施の形態の縦型ゲート半導体装置の製造方法を説明するための断面図である
- 。 【図 17】 従来縦型ゲート半導体装置の断面図である。

【符号の説明】

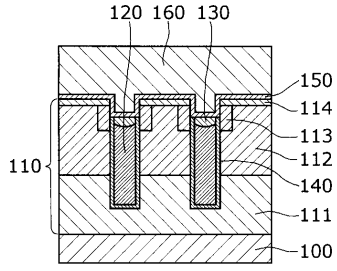
【0035】

100、1700	シリコン基板	
110、1710	半導体層	
111、1711	ドレイン領域	
112、1712	ウエル領域	
113、1713	ソース領域	
114、1714	ボディークontakt領域	
120、1720	縦型ゲート電極	
130、1730	絶縁膜	
140、1740	絶縁物質	
150、1750	アルミ膜	
160、1760	バリアメタル	
200、500、1100、1400	シリコン酸化膜	
300、1410	レジストパターン	
400	トレンチ溝	
800	ポリシリコン膜	

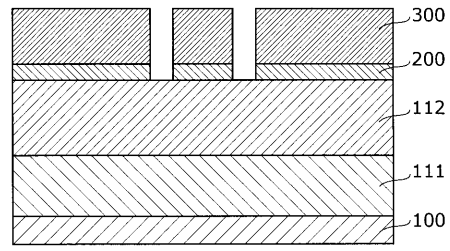
30

40

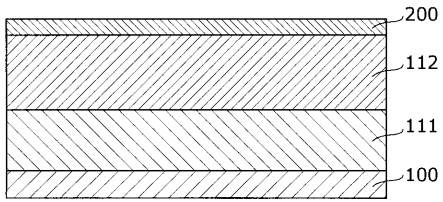
【 図 1 】



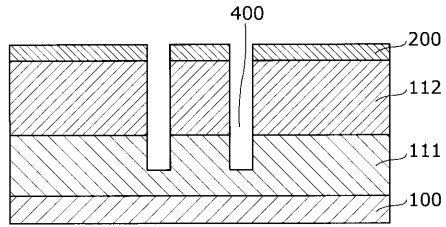
【 図 3 】



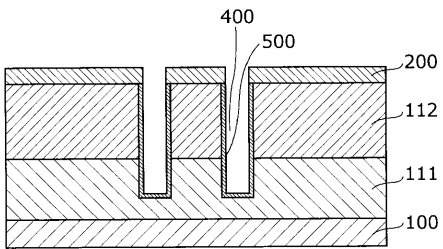
【 図 2 】



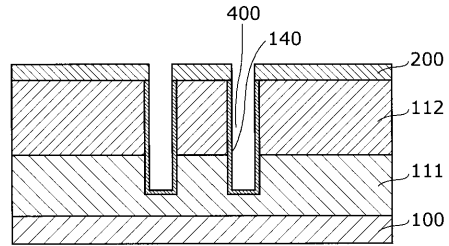
【 図 4 】



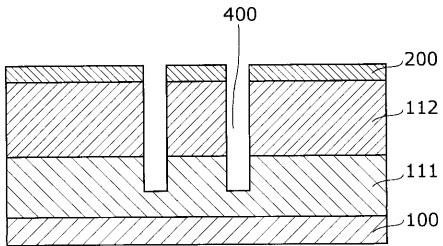
【 図 5 】



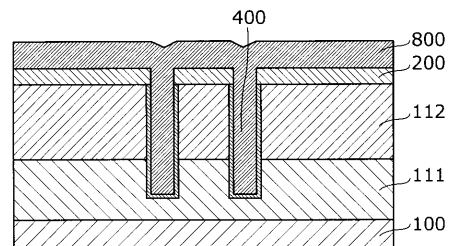
【 図 7 】



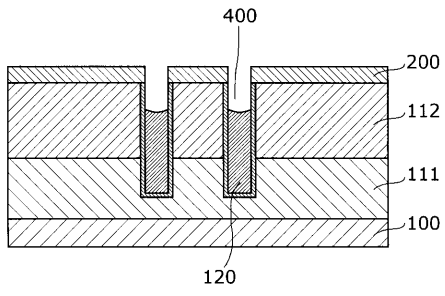
【 図 6 】



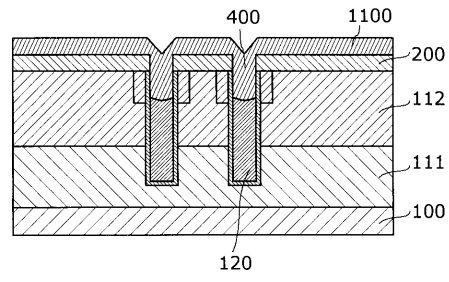
【 図 8 】



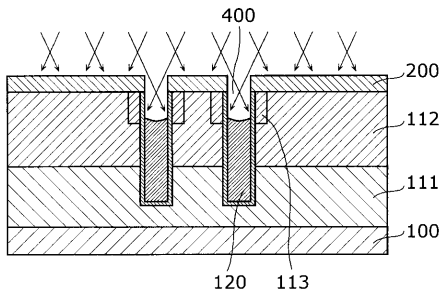
【 図 9 】



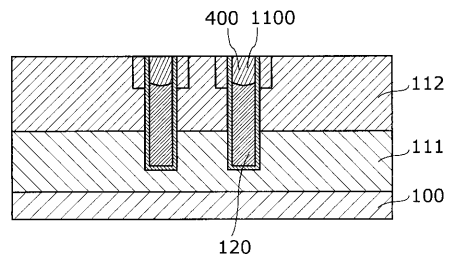
【 図 1 1 】



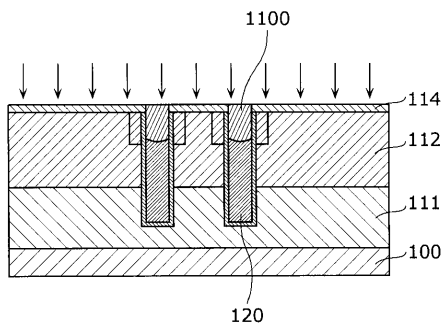
【 図 1 0 】



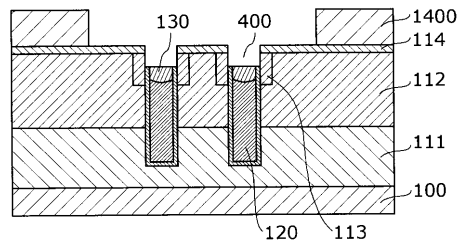
【 図 1 2 】



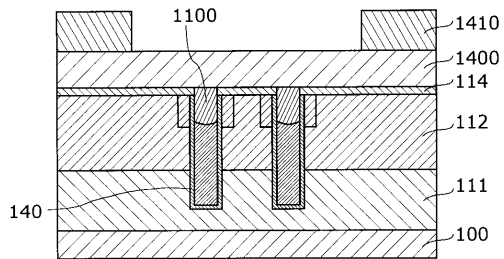
【 図 1 3 】



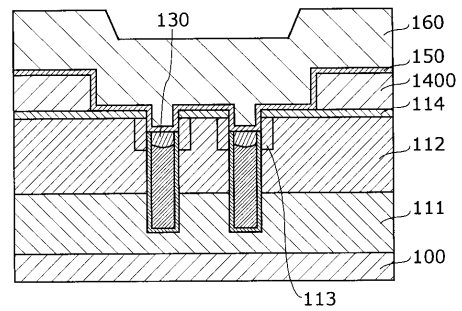
【 図 1 5 】



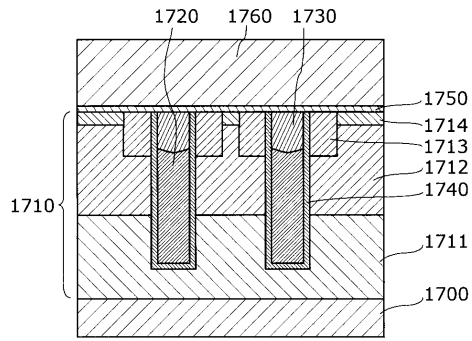
【 図 1 4 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード(参考)

H 0 1 L 29/78 6 5 8 B