



(12)发明专利申请

(10)申请公布号 CN 112018025 A

(43)申请公布日 2020.12.01

(21)申请号 201910471852.1

(22)申请日 2019.05.31

(71)申请人 中国科学院上海微系统与信息技术研究所

地址 200050 上海市长宁区长宁路865号

(72)发明人 欧欣 林家杰 金婷婷 游天桂 王羲

(74)专利代理机构 上海光华专利事务所(普通合伙) 31219

代理人 余明伟

(51)Int.Cl.

H01L 21/762(2006.01)

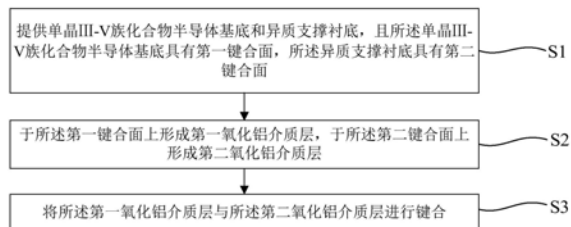
权利要求书1页 说明书6页 附图7页

(54)发明名称

III-V族化合物半导体异质键合结构的制备方法

(57)摘要

本发明提供一种III-V族化合物半导体异质键合结构的制备方法,包括:提供单晶III-V族化合物半导体基底和异质支撑衬底,且单晶III-V族化合物半导体基底具有第一键合面,异质支撑衬底具有第二键合面;于第一键合面上形成第一氧化铝介质层,于第二键合面上形成第二氧化铝介质层;将第一氧化铝介质层与第二氧化铝介质层进行键合。氧化铝薄膜具有很高的表面能,可在低温键合条件下得到很高的键合质量,且氧化铝薄膜是非晶态材料,对水分子具有很好的吸收性和透过性,可以有效的排除键合过程中在键合界面产生的气体,因此,本发明通过采用氧化铝介质层实现III-V族化合物半导体异质键合,可以获得高的键合强度、键合界面无泡的高质量键合界面。



1. 一种Ⅲ-V族化合物半导体异质键合结构的制备方法,其特征在于,所述制备方法至少包括步骤:

提供单晶Ⅲ-V族化合物半导体基底和异质支撑衬底,且所述单晶Ⅲ-V族化合物半导体基底具有第一键合面,所述异质支撑衬底具有第二键合面;

于所述第一键合面上形成第一氧化铝介质层,于所述第二键合面上形成第二氧化铝介质层;

将所述第一氧化铝介质层与所述第二氧化铝介质层进行键合。

2. 根据权利要求1所述的Ⅲ-V族化合物半导体异质键合结构的制备方法,其特征在于:所述单晶Ⅲ-V族化合物半导体基底的材料包括由磷化铟、砷化镓、铟化镓、铟化铟、砷化铟及氮化镓构成的群组中的一种。

3. 根据权利要求1所述的Ⅲ-V族化合物半导体异质键合结构的制备方法,其特征在于:所述异质支撑衬底的材料包括由硅、氧化硅、锗、碳化硅、砷化镓构成的群组中的一种。

4. 根据权利要求1所述的Ⅲ-V族化合物半导体异质键合结构的制备方法,其特征在于:采用原子层沉积、磁控溅射沉积或化学气相沉积方法形成所述第一氧化铝介质层,采用原子层沉积、磁控溅射沉积或化学气相沉积方法形成所述第二氧化铝介质层。

5. 根据权利要求1所述的Ⅲ-V族化合物半导体异质键合结构的制备方法,其特征在于:所述第一氧化铝介质层的厚度介于2nm~100nm之间,所述第二氧化铝介质层的厚度介于2nm~100nm之间。

6. 根据权利要求1所述的Ⅲ-V族化合物半导体异质键合结构的制备方法,其特征在于:将所述第一氧化铝介质层与所述第二氧化铝介质层进行键合之后还包括对所述单晶Ⅲ-V族化合物半导体基底和/或所述异质支撑衬底进行减薄处理。

7. 根据权利要求1所述的Ⅲ-V族化合物半导体异质键合结构的制备方法,其特征在于:所述异质支撑衬底包括单晶异质支撑衬底。

8. 根据权利要求1所述的Ⅲ-V族化合物半导体异质键合结构的制备方法,其特征在于:于所述第一键合面上形成所述第一氧化铝介质层之前还包括自所述第一键合面对所述单晶Ⅲ-V族化合物半导体基底进行离子注入,以于所述单晶Ⅲ-V族化合物半导体基底内的预设深度处形成缺陷层;将所述第一氧化铝介质层与所述第二氧化铝介质层进行键合之后还包括沿所述缺陷层剥离部分所述单晶Ⅲ-V族化合物半导体基底,以在所述异质支撑衬底上形成薄层结构。

9. 根据权利要求8所述的Ⅲ-V族化合物半导体异质键合结构的制备方法,其特征在于:沿所述缺陷层剥离部分所述单晶Ⅲ-V族化合物半导体基底的方法包括将形成有所述缺陷层的所述单晶Ⅲ-V族化合物半导体基底进行退火处理。

10. 根据权利要求1所述的Ⅲ-V族化合物半导体异质键合结构的制备方法,其特征在于:所述单晶Ⅲ-V族化合物半导体基底中形成有器件结构,所述第一键合界面的材料为单晶Ⅲ-V族化合物。

III-V 族化合物半导体异质键合结构的制备方法

技术领域

[0001] 本发明属于异质衬底制备技术领域,特别是涉及一种 III-V 族化合物半导体异质键合结构的制备方法。

背景技术

[0002] 近些年,硅光领域有着重要的突破性进展,不同种硅基光学器件不断涌现,这使得硅基光系统在未来信息处理和交流方面起到重要作用,特别是在数据中心和超级计算机方面。

[0003] 但是,由于硅是间接带隙半导体,导致它不能成为一个有效的光发射材料,而大部分 III-V 族化合物半导体材料是直接带隙半导体材料,是很好的制备光学器件的材料。为了实现硅基光系统,主要方法有两种,一种是在硅衬底上直接外延生长 III-V 族化合物半导体材料,制备光学器件,另一种是将制备出的 III-V 族光学器件直接与硅衬底结合,无论哪种方法都需要实现 III-V 族化合物半导体材料同硅衬底的异质集成,这也是目前硅基光系统最大的挑战。由于 III-V 族化合物半导体和硅之间存在很大的晶格失配和热失配,导致在硅衬底上异质外延生长 III-V 族化合物半导体时,会出现较多的位错,很难实现高质量 III-V 族化合物半导体同硅衬底的异质集成,从而降低后期器件的性能和可靠性。键合技术的出现,使将 III-V 族化合物半导体材料同硅等异质材料结合成为可能。键合技术是指将两片原子级平整表面的衬底片的表面相接触,在整个界面处形成化学键,随后通过高温退火来加强键合强度。将两种异质材料衬底键合在一起后,通过研磨减薄、化学机械抛光或者离子束剥离技术可以实现薄膜异质材料的集成。之后又发展出芯片到晶圆的键合技术,即将制备好的器件与异质衬底键合来实现集成。

[0004] 但是,无论是异质材料通过键合直接集成还是器件通过芯片到晶圆的键合集成,都存在热失配和键合界面气泡的问题。大的热失配会导致晶圆碎裂或者解键合,同时,键合过程在界面产生的气泡也会影响键合强度和键合界面的质量,从而降低集成器件的性能和可靠性。

[0005] 因此,提供一种 III-V 族化合物半导体异质键合结构的制备方法,以解决现有技术中的上述问题实属必要。

发明内容

[0006] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种 III-V 族化合物半导体异质键合结构的制备方法,用于解决现有技术中 III-V 族化合物半导体与异质衬底键合的键合强度低及键合界面的质量差等的问题。

[0007] 为实现上述目的及其他相关目的,本发明提供一种 III-V 族化合物半导体异质键合结构的制备方法,所述制备方法至少包括步骤:

[0008] 提供单晶 III-V 族化合物半导体基底和异质支撑衬底,且所述单晶 III-V 族化合物半导体基底具有第一键合面,所述异质支撑衬底具有第二键合面;

[0009] 于所述第一键合面上形成第一氧化铝介质层,于所述第二键合面上形成第二氧化铝介质层;

[0010] 将所述第一氧化铝介质层与所述第二氧化铝介质层进行键合。

[0011] 可选地,所述单晶Ⅲ-V族化合物半导体基底的材料包括由磷化铟、砷化镓、铟化镓、铟化铟、砷化铟及氮化镓构成的群组中的一种。

[0012] 可选地,所述异质支撑衬底的材料包括由硅、氧化硅、锗、碳化硅、砷化镓构成的群组中的一种。

[0013] 可选地,采用原子层沉积、磁控溅射沉积或化学气相沉积方法形成所述第一氧化铝介质层,采用原子层沉积、磁控溅射沉积或化学气相沉积方法形成所述第二氧化铝介质层。

[0014] 可选地,所述第一氧化铝介质层的厚度介于2nm~100nm之间,所述第二氧化铝介质层的厚度介于2nm~100nm之间。

[0015] 可选地,将所述第一氧化铝介质层与所述第二氧化铝介质层进行键合之后还包括对所述单晶Ⅲ-V族化合物半导体基底和/或所述异质支撑衬底进行减薄处理。

[0016] 可选地,所述异质支撑衬底包括单晶异质支撑衬底。

[0017] 可选地,于所述第一键合面上形成所述第一氧化铝介质层之前还包括自所述第一键合面对所述单晶Ⅲ-V族化合物半导体基底进行离子注入,以于所述单晶Ⅲ-V族化合物半导体基底内的预设深度处形成缺陷层;将所述第一氧化铝介质层与所述第二氧化铝介质层进行键合之后还包括沿所述缺陷层剥离部分所述单晶Ⅲ-V族化合物半导体基底,以在所述异质支撑衬底上形成薄层结构。

[0018] 进一步地,沿所述缺陷层剥离部分所述单晶Ⅲ-V族化合物半导体基底的方法包括将形成有所述缺陷层的所述单晶Ⅲ-V族化合物半导体基底进行退火处理。

[0019] 可选地,所述单晶Ⅲ-V族化合物半导体基底中形成有器件结构,所述第一键合界面的材料为单晶Ⅲ-V族化合物。

[0020] 如上所述,本发明的Ⅲ-V族化合物半导体异质键合结构的制备方法,包括:提供单晶Ⅲ-V族化合物半导体基底和异质支撑衬底,且所述单晶Ⅲ-V族化合物半导体基底具有第一键合面,所述异质支撑衬底具有第二键合面;于所述第一键合面上形成第一氧化铝介质层,于所述第二键合面上形成第二氧化铝介质层;将所述第一氧化铝介质层与所述第二氧化铝介质层进行键合。由于氧化铝薄膜的表面能很高,可以在低温键合条件下得到很高的键合质量,而且氧化铝薄膜是非晶态材料,对水分子具有很好的吸收性和透过性,可以有效的排除键合过程中在键合界面产生的气体,因此,本发明通过在单晶Ⅲ-V族化合物半导体基底及异质支撑衬底上形成氧化铝介质层实现单晶Ⅲ-V族化合物半导体与异质衬底的键合,可以实现高的键合强度、键合界面无泡的高质量键合界面。

附图说明

[0021] 图1显示为本发明的Ⅲ-V族化合物半导体异质键合结构的制备方法的流程示意图。

[0022] 图2~图5显示为实施例一的Ⅲ-V族化合物半导体异质键合结构的制备方法中各步骤对应的结构示意图示意图。

[0023] 图6~图9显示为实施例二的Ⅲ-V族化合物半导体异质键合结构的制备方法中各步骤对应的结构示意图示意图。

[0024] 图10~图13显示为实施例三的Ⅲ-V族化合物半导体异质键合结构的制备方法中各步骤对应的结构示意图示意图。

[0025] 元件标号说明

[0026]	11	单晶Ⅲ-V族化合物半导体基底
[0027]	110	部分单晶Ⅲ-V族化合物半导体基底
[0028]	111	剩余单晶Ⅲ-V族化合物半导体基底
[0029]	12	异质支撑衬底
[0030]	13	第一键合面
[0031]	14	第二键合面
[0032]	15	第一氧化铝介质层
[0033]	16	第二氧化铝介质层
[0034]	17	缺陷层
[0035]	18	器件结构
[0036]	D1	第一氧化铝介质层的厚度
[0037]	D2	第二氧化铝介质层的厚度
[0038]	S1~S3	步骤

具体实施方式

[0039] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。

[0040] 请参阅图1~图13。需要说明的是,本实施例中所提供的图示仅以示意方式说明本发明的基本构想,遂图示中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。

[0041] 如图1所示,本发明提供一种Ⅲ-V族化合物半导体异质键合结构的制备方法,所述制备方法至少包括步骤:

[0042] 步骤S1:提供单晶Ⅲ-V族化合物半导体基底和异质支撑衬底,且所述单晶Ⅲ-V族化合物半导体基底具有第一键合面,所述异质支撑衬底具有第二键合面;

[0043] 步骤S2:于所述第一键合面上形成第一氧化铝介质层,于所述第二键合面上形成第二氧化铝介质层;

[0044] 步骤S3:将所述第一氧化铝介质层与所述第二氧化铝介质层进行键合。

[0045] 由于氧化铝薄膜的表面能很高,可以在低温键合条件下得到很高的键合质量,而且氧化铝薄膜是非晶态材料,对水分子具有很好的吸收性和透过性,可以有效的排除键合过程中在键合界面产生的气体,因此,本发明通过在单晶Ⅲ-V族化合物半导体基底及异质支撑衬底上形成氧化铝介质层实现单晶Ⅲ-V族化合物半导体与异质衬底的键合,可以实

现高的键合强度、键合界面无泡的高质量键合界面。

[0046] 作为示例,所述单晶Ⅲ-V族化合物半导体基底的材料可以为现有已知的单晶Ⅲ-V族化合物半导体中的任一种,譬如,磷化铟、砷化镓、铟化镓、铟化铟、砷化铟或氮化镓等。

[0047] 作为示例,所述异质支撑衬底作为后续键合后所述单晶Ⅲ-V族化合物半导体基底的支撑衬底,所述异质支撑衬底的材料可以为现有已知的适合用作支撑衬底的任一材料,譬如,硅、氧化硅、锗、碳化硅或砷化镓等。所述异质支撑衬底也可以为单晶异质支撑衬底。

[0048] 作为示例,可以采用原子层沉积、磁控溅射沉积或化学气相沉积等沉积方法形成所述第一氧化铝介质层;可以采用原子层沉积、磁控溅射沉积或化学气相沉积等沉积方法形成所述第二氧化铝介质层。

[0049] 作为示例,所述第一氧化铝介质层的厚度介于2nm~100nm之间,例如,可以是10nm、20nm、30nm、40nm、50nm、60nm、70nm、80nm或90nm。所述第二氧化铝介质层的厚度介于2nm~100nm之间,例如,可以是10nm、20nm、30nm、40nm、50nm、60nm、70nm、80nm或90nm。

[0050] 这里需要说明的是,将所述第一氧化铝介质层与所述第二氧化铝介质层进行键合后还可能需要对已形成的结构进行一些后续工艺处理,例如,根据不同的产品需求,可能会对所述单晶Ⅲ-V族化合物半导体基底或所述异质支撑衬底进行减薄处理,也可能需要对所述单晶Ⅲ-V族化合物半导体基底及所述异质支撑衬底均进行减薄处理。

[0051] 以下结合具体实施例进一步说明本发明的Ⅲ-V族化合物半导体异质键合结构的制备方法。

[0052] 实施例一

[0053] 如图1及图2所示,首先进行步骤S1,提供单晶Ⅲ-V族化合物半导体基底11和异质支撑衬底12,且所述单晶Ⅲ-V族化合物半导体基底11具有第一键合面13,所述异质支撑衬底12具有第二键合面14。

[0054] 这里需要说明的是,所述单晶Ⅲ-V族化合物半导体基底11为单晶衬底片,其中并没有形成其他器件结构。

[0055] 如图1及图3所示,接着进行步骤S2,采用原子层沉积、磁控溅射沉积或化学气相沉积方法于所述第一键合面13上形成第一氧化铝介质层15,采用原子层沉积、磁控溅射沉积或化学气相沉积方法于所述第二键合面14上形成第二氧化铝介质层16。

[0056] 作为示例,所述第一氧化铝介质层的厚度D1介于20nm~40nm之间,所述第二氧化铝介质层的厚度D2介于20nm~40nm之间。

[0057] 这里需要说明的是,所述第一氧化铝介质层15及所述第二氧化铝介质层16的形成不受顺序限制,可同时形成,也可先后形成,根据实际工艺情况进行选择。

[0058] 如图1及图4所示,进行步骤S3,将所述第一氧化铝介质层15与所述第二氧化铝介质层16进行键合。

[0059] 如图5所示,将所述第一氧化铝介质层15与所述第二氧化铝介质层16键合后,还需要对所述单晶Ⅲ-V族化合物半导体基底11和所述异质支撑衬底12进行研磨、抛光等工艺进行减薄。

[0060] 实施例二

[0061] 如图1及图2所示,首先进行步骤S1,提供单晶Ⅲ-V族化合物半导体基底11和异质

支撑衬底12,且所述单晶Ⅲ-V族化合物半导体基底11具有第一键合面13,所述异质支撑衬底12具有第二键合面14。

[0062] 如图6所示,以所述第一键合面13为注入面,箭头表示离子注入方向,在所述单晶Ⅲ-V族化合物半导体基底11内进行离子注入,以于所述单晶Ⅲ-V族化合物半导体基底11的预设深度处形成缺陷层17,所述缺陷层17将所述单晶Ⅲ-V族化合物半导体基底11分离为位于其上下两侧的剩余单晶Ⅲ-V族化合物半导体基底111和部分单晶Ⅲ-V族化合物半导体基底110。

[0063] 如图1及图7所示,接着进行步骤S2,采用原子层沉积、磁控溅射沉积或化学气相沉积方法于所述第一键合面13上形成第一氧化铝介质层15,采用原子层沉积、磁控溅射沉积或化学气相沉积方法于所述第二键合面14上形成第二氧化铝介质层16。

[0064] 作为示例,所述第一氧化铝介质层的厚度D1介于50nm~70nm之间,所述第二氧化铝介质层的厚度D2介于50nm~70nm之间。

[0065] 如图1及图8所示,进行步骤S3,将所述第一氧化铝介质层15与所述第二氧化铝介质层16进行键合。

[0066] 如图9所示,沿所述缺陷层17剥离部分所述单晶Ⅲ-V族化合物半导体基底110,以在所述异质支撑衬底上留下剩余所述单晶Ⅲ-V族化合物半导体基底111,从而形成薄层结构,实现利用离子束剥离技术将单晶Ⅲ-V族化合物半导体薄层结构转移到所述异质支撑衬底12上。

[0067] 作为示例,沿所述缺陷层17剥离所述部分单晶Ⅲ-V族化合物半导体基底110的方法为:将形成有所述缺陷层17的所述单晶Ⅲ-V族化合物半导体基底11进行退火处理,以实现所述部分单晶Ⅲ-V族化合物半导体基底110沿所述缺陷层17剥离。

[0068] 实施例三

[0069] 如图1及图10所示,首先进行步骤S1,提供单晶Ⅲ-V族化合物半导体基底11和异质支撑衬底12,且所述单晶Ⅲ-V族化合物半导体基底11具有第一键合面13,所述异质支撑衬底12具有第二键合面14。这里需要说明的是,所述单晶Ⅲ-V族化合物半导体基底11中形成有器件结构18,所述第一键合界面13的材料为单晶Ⅲ-V族化合物。

[0070] 如图1及图11所示,接着进行步骤S2,采用原子层沉积、磁控溅射沉积或化学气相沉积方法于所述第一键合面13上形成第一氧化铝介质层15,采用原子层沉积、磁控溅射沉积或化学气相沉积方法于所述第二键合面14上形成第二氧化铝介质层16。

[0071] 作为示例,所述第一氧化铝介质层的厚度D1介于80nm~100nm之间,所述第二氧化铝介质层的厚度D2介于80nm~100nm之间。

[0072] 如图1及图12所示,进行步骤S3,将所述第一氧化铝介质层15与所述第二氧化铝介质层16进行键合。

[0073] 如图13所示,将所述第一氧化铝介质层15与所述第二氧化铝介质层16键合后,还需要对所述单晶Ⅲ-V族化合物半导体基底11和所述异质支撑衬底12进行研磨、抛光等工艺进行减薄。

[0074] 综上所述,本发明提供一种Ⅲ-V族化合物半导体异质键合结构的制备方法,包括:提供单晶Ⅲ-V族化合物半导体基底和异质支撑衬底,且所述单晶Ⅲ-V族化合物半导体基底具有第一键合面,所述异质支撑衬底具有第二键合面;于所述第一键合面上形成第

一氧化铝介质层,于所述第二键合面上形成第二氧化铝介质层;将所述第一氧化铝介质层与所述第二氧化铝介质层进行键合。由于氧化铝薄膜的表面能很高,可以在低温键合条件下得到很高的键合质量,而且氧化铝薄膜是非晶态材料,对水分子具有很好的吸收性和透过性,可以有效的排除键合过程中在键合界面产生的气体,因此,本发明通过在单晶Ⅲ-V族化合物半导体基底及异质支撑衬底上形成氧化铝介质层实现单晶Ⅲ-V族化合物半导体与异质衬底的键合,可以实现高的键合强度、键合界面无泡的高质量键合界面。所以,本发明有效克服了现有技术中的种种缺点而具高度产业利用价值。

[0075] 上述实施例仅例示性说明本发明的原理及其功效,而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下,对上述实施例进行修饰或改变。因此,举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变,仍应由本发明的权利要求所涵盖。

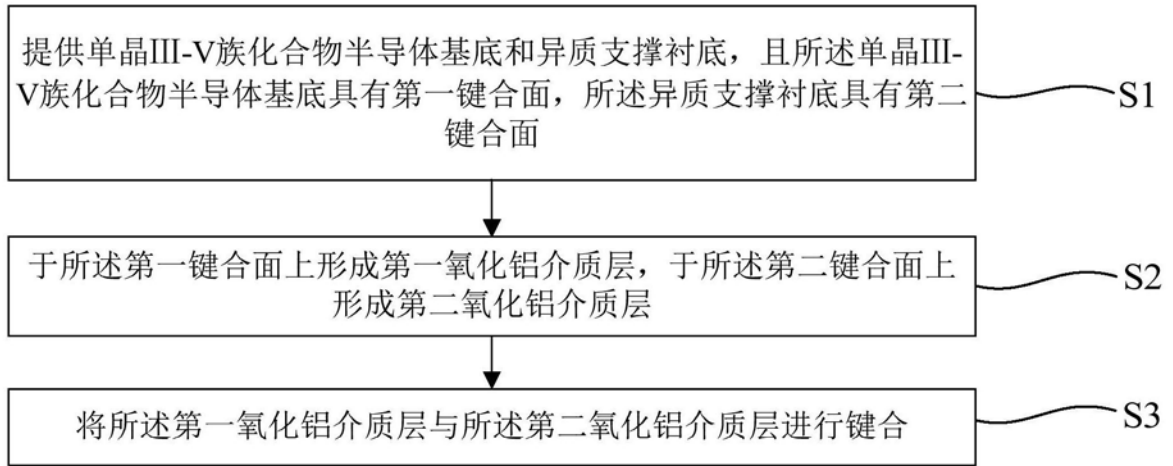


图1

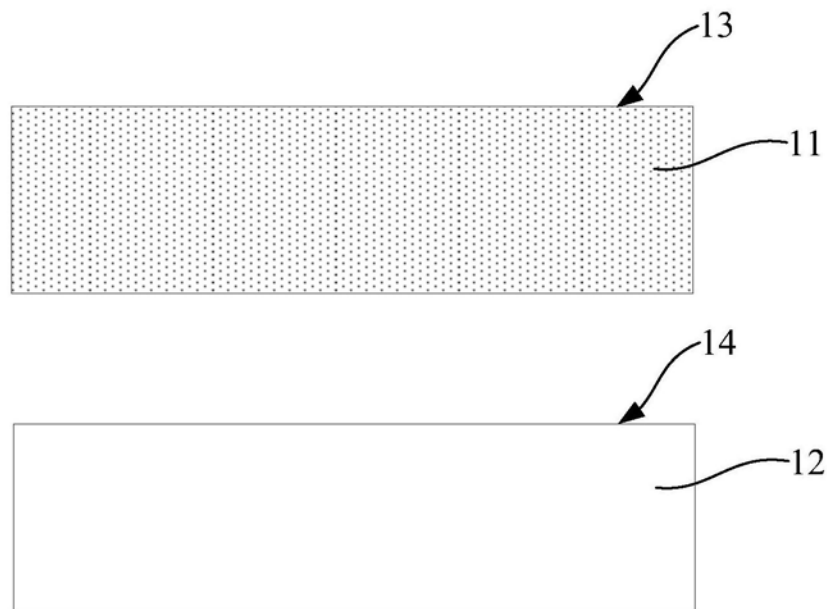


图2

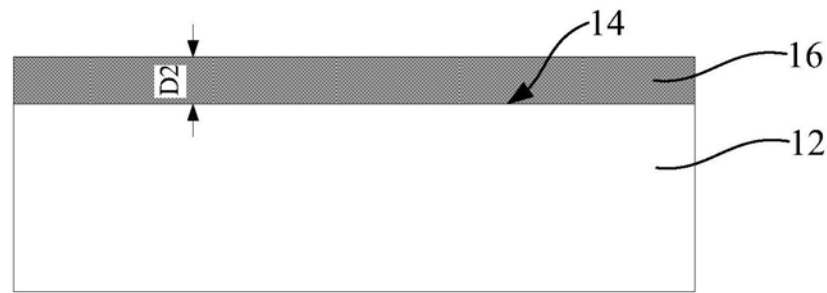
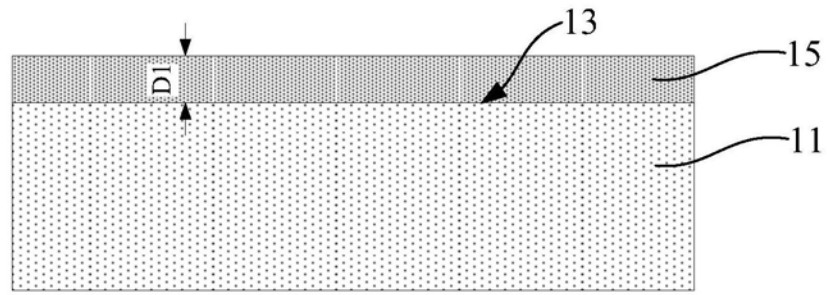


图3

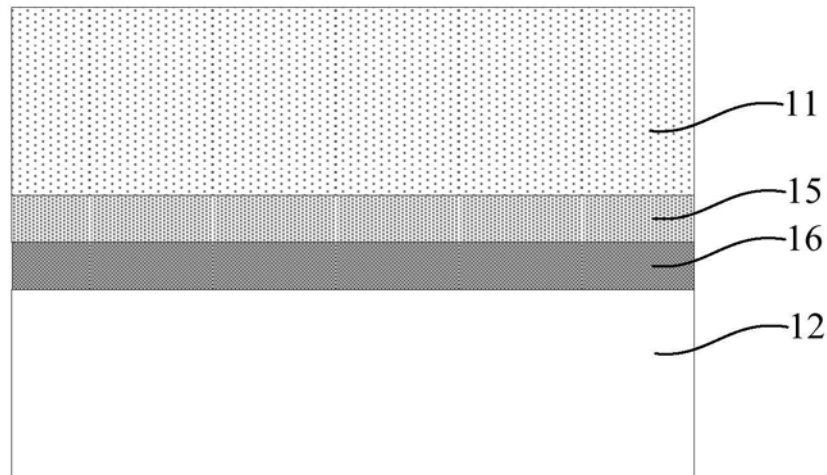


图4

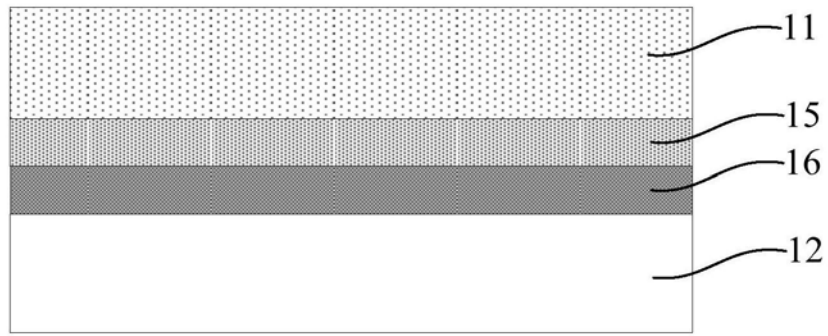


图5

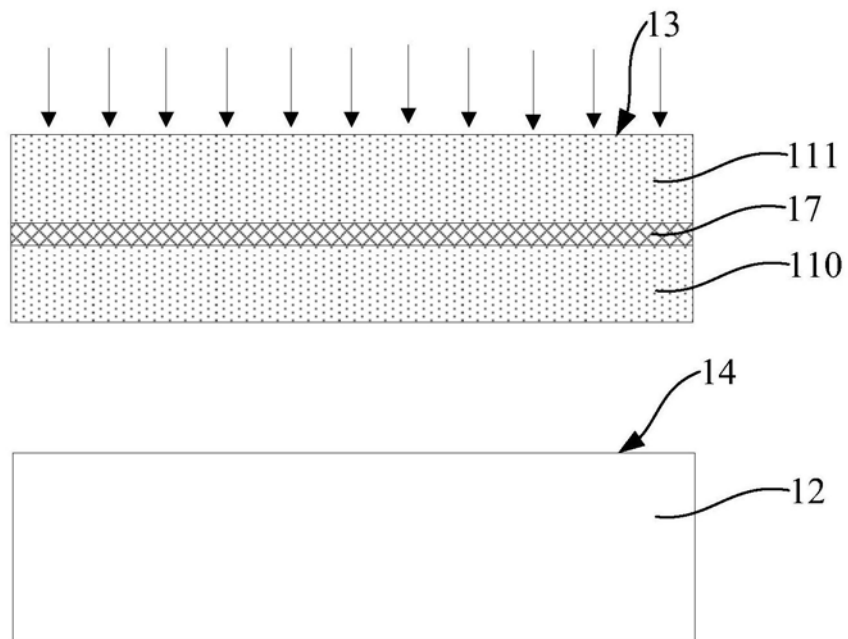


图6

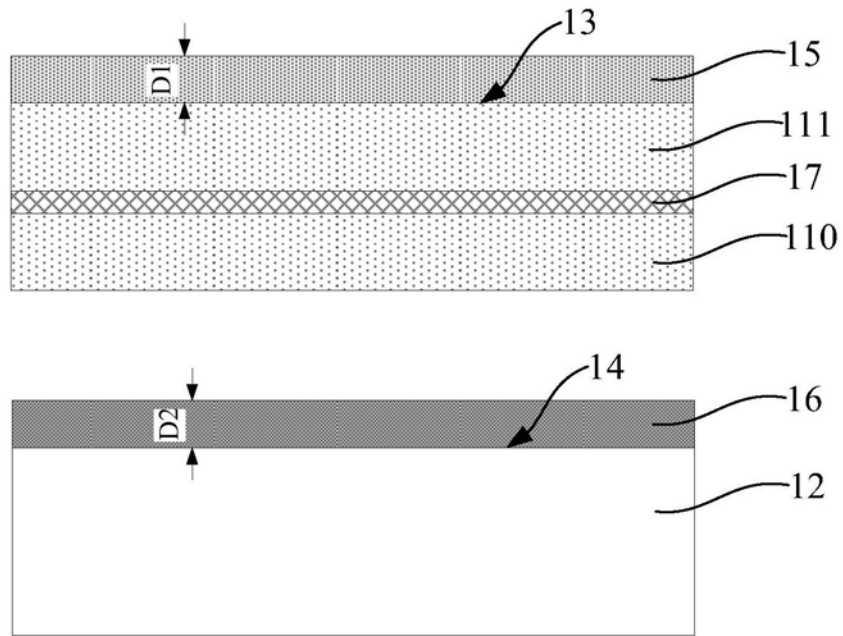


图7

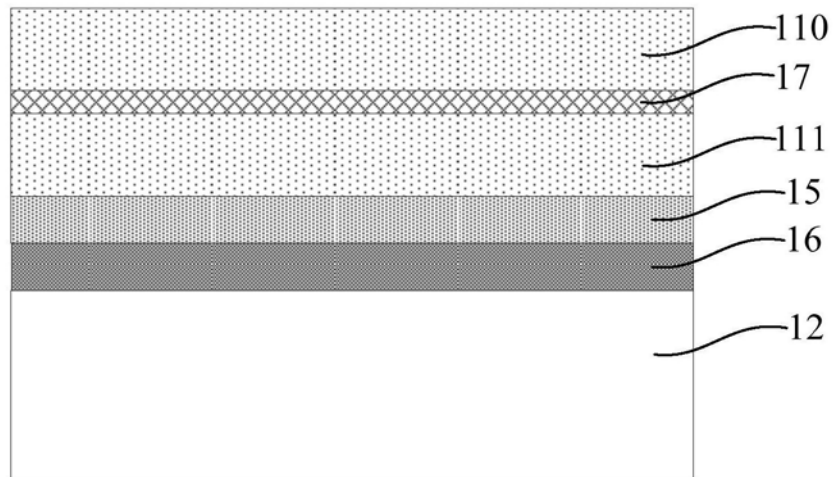


图8

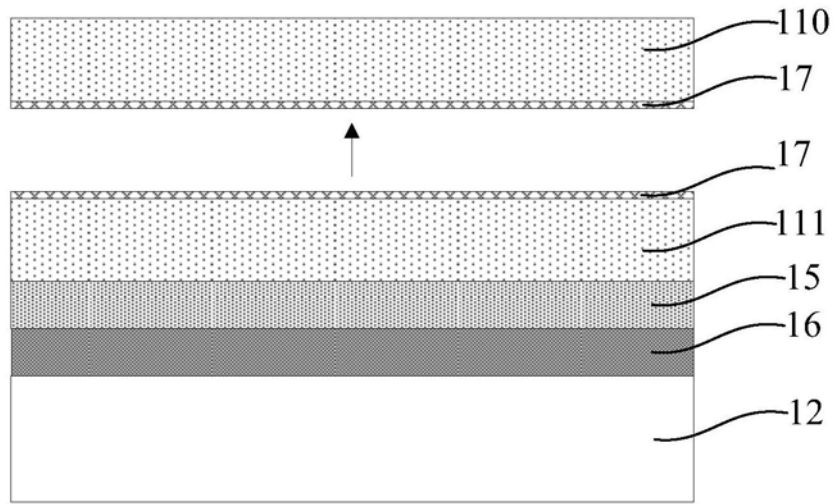


图9

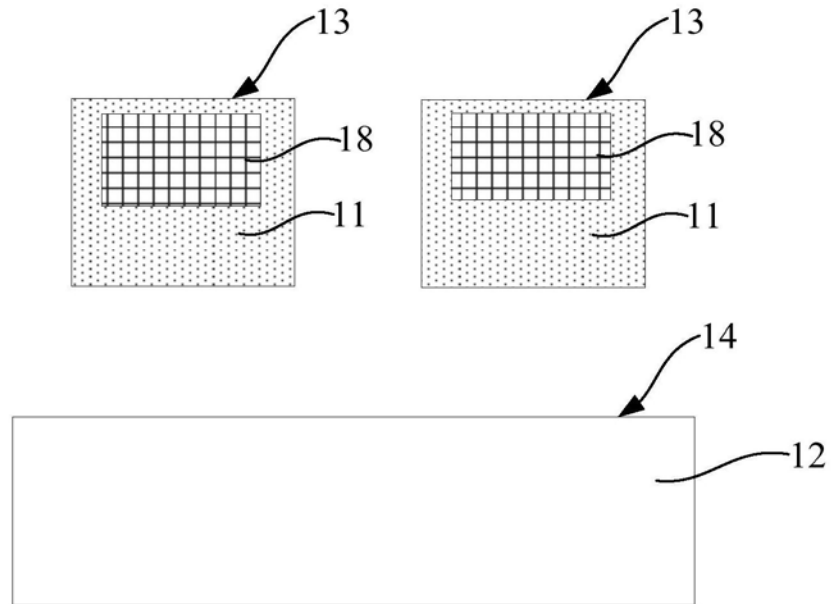


图10

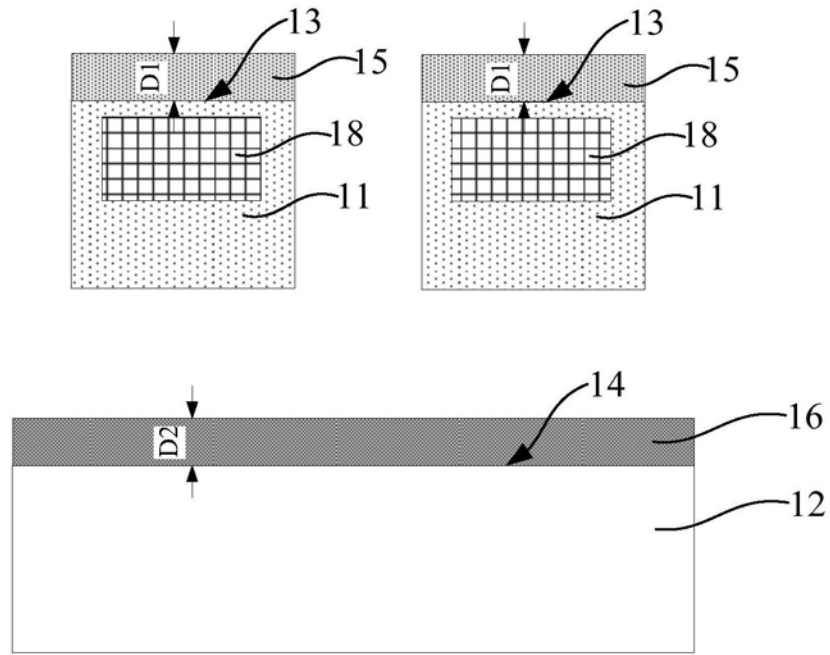


图11

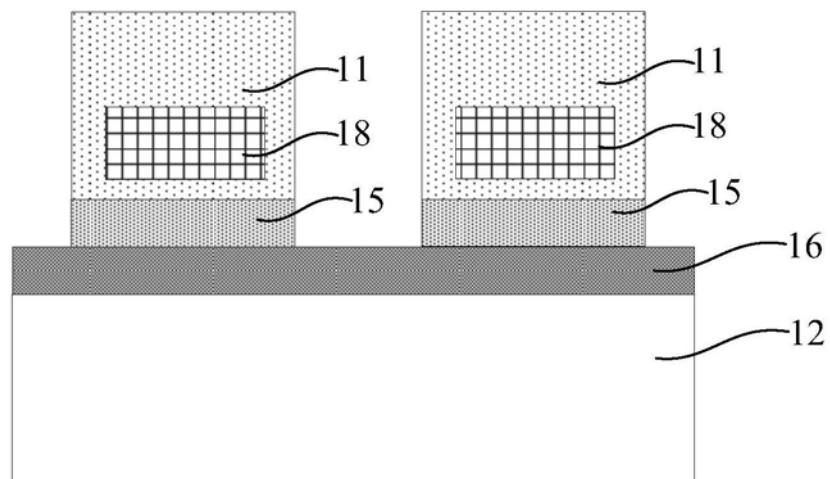


图12

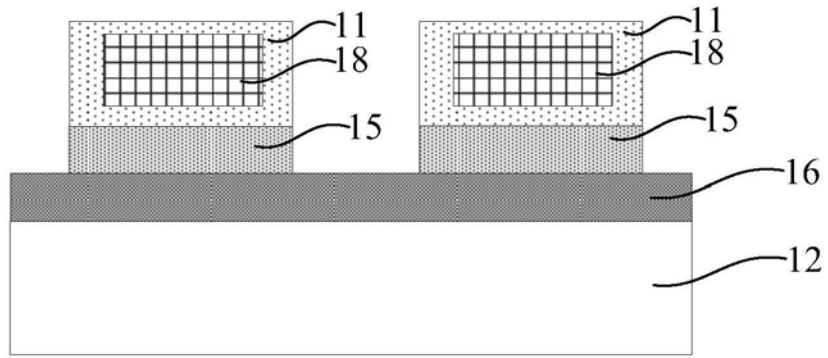


图13