



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년04월01일
(11) 등록번호 10-1026477
(24) 등록일자 2011년03월25일

(51) Int. Cl.

H01L 27/108 (2006.01)

(21) 출원번호 10-2004-0073036
(22) 출원일자 2004년09월13일
심사청구일자 2008년12월29일
(65) 공개번호 10-2006-0024152
(43) 공개일자 2006년03월16일
(56) 선행기술조사문헌

KR100562493 B1

KR100882090 B1

전체 청구항 수 : 총 31 항

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

송환상

서울 강동구 둔촌동 주공아파트 414-201

(74) 대리인

강성배

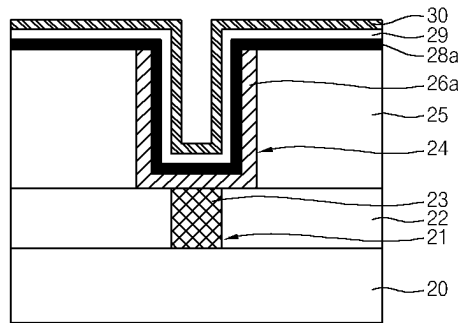
심사관 : 김용훈

(54) 반도체 소자의 캐패시터 형성방법

(57) 요약

본 발명은 소자의 전기적 특성을 개선시킬 수 있는 반도체 소자의 캐패시터 형성방법에 관한 것이다. 이 방법은, 도전 플러그가 구비된 반도체 기판을 제공하는 단계; 상기 기판 상에 상기 도전 플러그를 노출시키는 콘택홀을 가진 캡산화막을 형성하는 단계; 상기 캡산화막이 형성된 결과물의 전면에 다결정실리콘막을 형성하는 단계; 상기 다결정실리콘막 상에 감광막을 도포하여 상기 콘택홀 구조를 매립시키는 단계; 상기 캡산화막이 노출될 때까지 상기 감광막 및 다결정실리콘막을 식각하는 단계; 상기 식각후 잔류된 감광막을 제거하여 스토리지 노드 전극을 형성하는 단계; 상기 스토리지 노드 전극이 형성된 결과물을 HF 용액으로 세정하는 단계; 상기 HF 용액으로 세정한 결과물의 전면에 HfN막을 증착하는 단계; 상기 HfN막 상에 유전체막을 형성하는 단계; 상기 유전체막 상에 플레이트 노드 전극을 형성하는 단계; 및 상기 플레이트 노드 전극이 형성된 결과물에 열처리 공정을 진행하여 상기 HfN막을 HfSiON막으로 개질시키는 단계;를 포함한다.

대표도 - 도2e



특허청구의 범위

청구항 1

반도체 소자의 캐패시터 형성방법에 있어서,
 도전 플러그가 구비된 반도체 기판을 제공하는 단계;
 상기 기판 상에 상기 도전 플러그를 노출시키는 콘택홀을 가진 캡산화막을 형성하는 단계;
 상기 캡산화막이 형성된 결과물의 전면에 다결정실리콘막을 형성하는 단계;
 상기 다결정실리콘막 상에 감광막을 도포하여 상기 콘택홀 구조를 매립시키는 단계;
 상기 캡산화막이 노출될 때까지 상기 감광막 및 다결정실리콘막을 식각하는 단계;
 상기 식각후 잔류된 감광막을 제거하여 스토리지 노드 전극을 형성하는 단계;
 상기 스토리지 노드 전극이 형성된 결과물을 HF 용액으로 세정하는 단계;
 상기 HF 용액으로 세정한 결과물의 전면에 HfN막을 증착하는 단계;
 상기 HfN막 상에 유전체막을 형성하는 단계;
 상기 유전체막 상에 플레이트 노드 전극을 형성하는 단계; 및
 상기 플레이트 노드 전극이 형성된 결과물에 열처리 공정을 진행하여 상기 HfN막을 HfSiON막으로 개질시키는 단
 계;
 를 포함하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 2

제 1 항에 있어서,
 상기 다결정실리콘막은 SiH₄를 소스 가스로 이용하고, PH₃를 도핑 가스로 이용하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 3

제 2 항에 있어서,
 상기 SiH₄는 800~1200 sccm의 유량으로 공급하고, 상기 PH₃는 500~1000 sccm의 유량으로 공급하는 것을 특징으
 로 하는 반도체 소자의 캐패시터 형성방법.

청구항 4

제 1 항에 있어서,
 상기 다결정실리콘막은 500~600℃의 온도 및 0.1~10 torr의 압력 조건하에서 100~300 Å의 두께로 형성하는 것
 을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 5

제 1 항에 있어서,
 상기 방법은, 상기 식각후 잔류된 감광막을 제거하여 스토리지 노드 전극을 형성하는 단계 후, 상기 스토리지
 노드 전극의 양측에 잔류된 캡산화막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 캐패시
 터 형성방법.

청구항 6

제 1 항에 있어서,

상기 HF 용액은 H₂O:HF=50:1의 비율로 혼합된 용액인 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 7

제 1 항에 있어서,

상기 HfN막은 반응 챔버의 압력 조건을 0.1~1 torr로 유지하고, 기판 온도를 200~350℃로 유지하면서, PEALD 방법을 이용하여 10~20 Å의 두께로 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 8

제 1 항에 있어서,

상기 HfN막은 소스 물질로서 TEMAH(tetrakis ethylmethylamino hafnium: Hf(N(CH₃)(C₂H₅))₄)를 이용하고, 소스 물질의 운반 가스로서 N₂ 및 Ar 중 어느 하나를 이용하고, 반응 가스로서 PH₃를 이용하며, 퍼지 가스로서 N₂ 및 Ar 중 어느 하나를 이용하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 9

제 1 항에 있어서,

상기 HfN막은 소스 물질 플로우 공정, 반응 가스 플로우 공정 및 퍼지 공정을 순차 수행하는 증착 사이클을 반복 수행하는 방식으로 증착하는 것을 특징으로 하는 반도체 소자이 캐패시터 형성방법.

청구항 10

제 9 항에 있어서,

상기 소스 물질 플로우 공정은, 소스 물질의 운반 가스를 100~200 sccm의 유량으로 공급하면서, 소스 물질을 0.006~0.1 cc/min의 유량으로 0.1~10 초 동안 플로우시키는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 11

제 9 항에 있어서,

상기 반응 가스 플로우 공정은, 반응가스를 3~10 초 동안 플로우시키면서 플라즈마 처리를 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 12

제 11 항에 있어서,

상기 플라즈마 처리는, 반응 챔버의 압력 조건을 0.1~1 torr로 유지하고, RF 파워를 30~500 W로 인가하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 13

제 9 항에 있어서,

상기 퍼지 공정은, 퍼지 가스를 100~200 sccm의 유량으로 3~10 초 동안 공급시키는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 14

제 1 항에 있어서,

상기 유전체막은 제 1 HfO₂막, Al₂O₃막 및 제 2 HfO₂막을 차례로 증착시켜 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 15

제 1 항에 있어서,

상기 유전체막은 반응 챔버의 압력 조건을 0.1~1 torr로 유지하고, 기판 온도를 250~500℃로 유지하면서 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 16

제 14 항에 있어서,

상기 제 1 HfO₂막 및 제 2 HfO₂막은 ALD 방법을 이용하여 30~40 Å의 두께로 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 17

제 14 항에 있어서,

상기 Al₂O₃막은 ALD 방법을 이용하여 5~20 Å의 두께로 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 18

제 14 항에 있어서,

상기 제 1 HfO₂막 및 제 2 HfO₂막은 소스 물질로서 TEMAH를 이용하고, 소스 물질의 운반 가스로서 Ar을 이용하고, 반응 가스로서 O₃를 이용하며, 퍼지 가스로서 N₂를 이용하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 19

제 14 항에 있어서,

상기 Al₂O₃막은 소스 물질로서 TMA(tri methyl aluminum: Al(CH₃)₃)를 이용하고, 소스 물질의 운반 가스로서 Ar을 이용하고, 반응 가스로서 O₃를 이용하며, 퍼지 가스로서 N₂를 이용하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 20

제 14 항에 있어서,

상기 제 1 HfO₂막, Al₂O₃막 및 제 2 HfO₂막은 소스 물질 플로우 공정, 제 1 퍼지 공정, 반응 가스 플로우 공정 및 제 2 퍼지 공정을 순차 수행하는 증착 사이클을 반복 수행하는 방식으로 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 21

제 20 항에 있어서,

상기 제 1 HfO₂막 및 제 2 HfO₂막의 소스 물질 플로우 공정은, 소스 물질의 운반 가스를 150~250 sccm의 유량으로 공급하면서, 소스 물질을 0.1~10 초 동안 플로우시키는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 22

제 20 항에 있어서,

상기 제 1 HfO₂막 및 제 2 HfO₂막의 제 1 퍼지 공정은, 퍼지 가스를 200~400 sccm의 유량으로 3~10 초 동안 공급시키는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 23

제 20 항에 있어서,

상기 제 1 HfO₂막 및 제 2 HfO₂막의 반응 가스 플로우 공정은, 반응 가스를 200~500 sccm의 유량으로 3~10 초 동안 공급시키는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 24

제 20 항에 있어서,

상기 제 1 HfO₂막 및 제 2 HfO₂막의 제 2 퍼지 공정은, 퍼지 가스를 50~200 sccm의 유량으로 3~10 초 동안 공급시키는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 25

제 20 항에 있어서,

상기 Al₂O₃막의 소스 물질 플로우 공정은, 소스 물질의 운반 가스를 20~100 sccm의 유량으로 공급하면서, 소스 물질을 0.1~5 초 동안 플로우시키는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 26

제 20 항에 있어서,

상기 Al₂O₃막의 제 1 퍼지 공정은, 퍼지 가스를 50~300 sccm의 유량으로 0.1~5 초 동안 공급시키는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 27

제 20 항에 있어서,

상기 Al₂O₃막의 반응 가스 플로우 공정은, 반응 가스를 200~500 sccm의 유량으로 3~10 초 동안 공급시키는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 28

제 20 항에 있어서,

상기 Al₂O₃막의 제 2 퍼지 공정은, 퍼지 가스를 300~1000 sccm의 유량으로 0.1~5 초 동안 공급시키는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 29

제 1 항에 있어서,

상기 유전체막은 제 1 Al₂O₃막, HfO₂막 및 제 2 Al₂O₃ 막을 ALD 방식으로 차례로 증착하여 형성하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 30

제 1 항에 있어서,

상기 HfN막 및 유전체막은 동일한 장비 내에서 인-시튜로 증착하는 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

청구항 31

제 1 항에 있어서,

상기 열처리 공정은 650~750℃의 온도 및 N₂ 분위기 하에서 10~30분 동안 수행되는 퍼니스 어닐 공정인 것을 특징으로 하는 반도체 소자의 캐패시터 형성방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0011] 본 발명은 반도체 소자의 제조방법에 관한 것으로서, 보다 상세하게는, 소자의 전기적 특성을 향상시킬 수 있는 반도체 소자의 캐패시터 형성방법에 관한 것이다.
- [0012] 최근 반도체 제조 기술의 발달로 메모리 제품의 고집적화가 가속화됨에 따라 단위 셀 면적이 크게 감소하고 있고, 동작전압의 저전압화가 이루어지고 있다.
- [0013] 따라서, 현재 DCS(di-chloro-silane) 가스를 이용해 증착한 Si₃N₄막을 유전체로 사용하고 있는 디램용 NO(nitride-oxide) 캐패시터의 경우는 반구형 구조의 전극 표면을 갖는 3차원 형태의 스토리지 노드 전극을 적용함에도 불구하고 충분한 용량을 확보하기 위해 그 높이가 계속적으로 증가되고 있다.
- [0014] 여기서, 캐패시터의 충전용량은, 주지된 바와 같이, 전극 표면적 및 유전체의 유전율에 비례하고, 전극들간 간격, 즉, 유전체의 두께에 반비례한다.
- [0015] 한편, 상기 NO 캐패시터는 256M 이상의 차세대 디램 제품에 필요한 충전용량을 확보하는데 그 한계를 보이고 있으며, 그래서, 충분한 충전용량 확보를 위해 유전체로서 Al₂O₃ 또는 HfO₂와 같은 유전체막을 채용한 캐패시터의 개발이 활발하게 진행되고 있다.
- [0016] 그러나, 상기 Al₂O₃ 유전체막($\epsilon = 9$)은 그 유전상수가 SiO₂ 유전체막($\epsilon = 4$)에 비해 2배 정도로 그다지 크지 않기 때문에 충전용량 확보에 제약이 따르며, 그래서, 100nm 이하의 금속배선 공정이 적용되는 메모리 소자의 캐패시터 유전체막으로는 그 적용이 제한된다.
- [0017] 그리고, 상기 HfO₂ 유전체막은 유전상수가 20 정도로 Al₂O₃ 유전체막 보다는 충전용량 확보 측면에서 유리하지만, 누설전류 발생 수준이 높고, 항복전압 강도가 낮으며, 특히, Al₂O₃ 유전체막 보다 결정화 온도가 낮아서 후속 600°C 이상의 고온 열공정 진행시 누설전류가 급증하는 문제점이 있으므로, 아직까지 메모리 제품에 쉽게 적용하지 못하고 있는 실정이다.
- [0018] 이에, 누설전류 발생 수준이 아주 낮은 Al₂O₃막과 상기 Al₂O₃막에 비해 유전상수가 상대적으로 큰 HfO₂막을 적층하여 유전체막으로 사용하려는 연구가 활발하게 진행되고 있다.
- [0019] 도 1a 내지 도 1d는 종래의 기술에 따른 반도체 소자의 캐패시터 형성방법을 설명하기 위한 공정별 단면도로서, 이를 참조하여 설명하면 다음과 같다.
- [0020] 종래의 기술에 따른 반도체 소자의 캐패시터 형성방법은, 도 1a에 도시한 바와 같이, 먼저, 소정의 하부 구조(도시안됨)가 구비된 반도체 기판(10)을 제공한다. 이어서, 반도체 기판(10) 상에 동 기판(10)의 소정 부분을 노출시키는 제 1 콘택홀(11)을 가진 층간절연막(12)을 형성한 후, 제 1 콘택홀(11)을 다결정실리콘막으로 매립시켜 도전 플러그(13)를 형성한다. 그런다음, 도전 플러그(13)를 포함한 층간절연막(12) 상에 도전 플러그(13)를 노출시키는 제 2 콘택홀(14)을 가진 캡산화막(15)을 형성한다.
- [0021] 계속해서, 도 1b에 도시한 바와 같이, 결과물의 전면에 스토리지 노드 전극용 다결정실리콘막(16)을 형성한다. 그리고나서, 다결정실리콘막(16) 상에 감광막(17)을 도포하여 상기 제 2 콘택홀(14)을 매립시킨다.
- [0022] 그런후에, 도 1c에 도시한 바와 같이, 캡산화막(15)이 노출될 때까지 감광막 및 다결정실리콘막을 식각한 다음, 식각후 잔류된 감광막을 제거하여 스토리지 노드 전극(16a)을 형성한다. 이어서, 그로부터 얻어지는 결과물에 세정 공정을 진행한다. 여기서, 상기 세정 공정은 HF 용액 및 SC-1 용액(NH₄OH:H₂O₂:H₂O=1:4:20)을 차례로 사용하여 진행한다.
- [0023] 이후, 도 1d에 도시한 바와 같이, 결과물의 전면에 ALD 방법을 이용하여 유전체막(18)을 형성한 다음, 유전체막(18) 상에 플레이트 노드 전극(19)을 형성한다. 여기서, 유전체막(18)은 제 1 HfO₂막/Al₂O₃막/제 2 HfO₂막의 적

층구조 및 제 1 Al₂O₃막/HfO₂막/제 2 Al₂O₃막의 적층구조 중 어느 하나로 이루어진다.

[0024] 그리고나서, 결과물에 열처리 공정을 진행하여 상기 스토리지 노드 전극(16a), 유전체막(18) 및 플레이트 노드 전극(19)으로 이루어지는 캐패시터의 형성을 완성한다.

발명이 이루고자 하는 기술적 과제

[0025] 그러나, 종래의 기술에서는 유전체막 형성 공정 이전의 세정 공정에서 사용되는 SC-1 용액이 Si를 산화시키는 것과 관련하여, 스토리지 노드 전극의 표면에 SiO₂ 재질의 케미칼 산화막(chemical oxide)이 형성된다. 또한, 유전체막 형성 공정 이후에 열처리 공정이 진행됨에 따라, 상기 스토리지 노드 전극의 표면에 10~20 Å의 두께를 갖는 SiO₂막이 형성되는데, 이러한 SiO₂막은 유전체막의 유효 산화막 두께(이하, "Tox"라 함)를 증가시키게 되며, Tox 증가는 소자의 누설 전류 특성 저하를 야기시키고, 소자의 전기적 특성을 저하시키게 된다.

[0026] 따라서, 본 발명은 선행기술에 따른 반도체 소자의 캐패시터 형성방법에 내재되었던 상기한 바와 같은 문제점을 해결하기 위해 창작성된 것으로서, 본 발명의 목적은, 스토리지 노드 전극의 표면에 SC-1 용액에 의한 SiO₂ 재질의 케미칼 산화막 및 후속 열처리 공정에 의한 SiO₂막이 형성되는 것을 방지함으로써, 유전체막의 Tox를 종래보다 감소시켜, 소자의 누설 전류 특성을 향상시키고, 소자의 전기적 특성을 향상시킬 수 있는 반도체 소자의 캐패시터 형성방법을 제공함에 있다.

발명의 구성 및 작용

[0027] 상기 목적을 달성하기 위해, 본 발명의 일면에 따라, 반도체 소자의 캐패시터 형성방법이 제공되고: 이 방법은, 도전 플러그가 구비된 반도체 기판을 제공하는 단계; 상기 기판 상에 상기 도전 플러그를 노출시키는 콘택홀을 가진 캡산화막을 형성하는 단계; 상기 캡산화막이 형성된 결과물의 전면에 다결정실리콘막을 형성하는 단계; 상기 다결정실리콘막 상에 감광막을 도포하여 상기 콘택홀 구조를 매립시키는 단계; 상기 캡산화막이 노출될 때까지 상기 감광막 및 다결정실리콘막을 식각하는 단계; 상기 식각후 잔류된 감광막을 제거하여 스토리지 노드 전극을 형성하는 단계; 상기 스토리지 노드 전극이 형성된 결과물을 HF 용액으로 세정하는 단계; 상기 HF 용액으로 세정한 결과물의 전면에 HfN막을 증착하는 단계; 상기 HfN막 상에 유전체막을 형성하는 단계; 상기 유전체막 상에 플레이트 노드 전극을 형성하는 단계; 및 상기 플레이트 노드 전극이 형성된 결과물에 열처리 공정을 진행하여 상기 HfN막을 HfSiON막으로 개질시키는 단계;를 포함한다.

[0028] 본 발명의 다른 일면에 따라, 상기 다결정실리콘막은 SiH₄를 소스 가스로 이용하고, PH₃를 도핑 가스로 이용한다.

[0029] 본 발명의 다른 일면에 따라, 상기 SiH₄는 800~1200 sccm의 유량으로 공급하고, 상기 PH₃는 500~1000 sccm의 유량으로 공급한다.

[0030] 본 발명의 다른 일면에 따라, 상기 다결정실리콘막은 500~600℃의 온도 및 0.1~10 torr의 압력 조건하에서 100~300 Å의 두께로 형성한다.

[0031] 본 발명의 다른 일면에 따라, 상기 방법은, 상기 식각후 잔류된 감광막을 제거하여 스토리지 노드 전극을 형성하는 단계 후, 상기 스토리지 노드 전극의 양측에 잔류된 캡산화막을 제거하는 단계를 더 포함한다.

[0032] 본 발명의 다른 일면에 따라, 상기 HF 용액은 H₂O:HF=50:1의 비율로 혼합된 용액이다.

[0033] 본 발명의 다른 일면에 따라, 상기 HfN막은 반응 챔버의 압력 조건을 0.1~1 torr로 유지하고, 기판 온도를 200~350℃로 유지하면서, PEALD 방법을 이용하여 10~20 Å의 두께로 증착한다.

[0034] 본 발명의 다른 일면에 따라, 상기 HfN막은 소스 물질로서 TEMAH를 이용하고, 소스 물질의 운반 가스로서 N₂ 및 Ar 중 어느 하나를 이용하고, 반응 가스로서 PH₃를 이용하며, 퍼지 가스로서 N₂ 및 Ar 중 어느 하나를 이용한다.

[0035] 본 발명의 다른 일면에 따라, 상기 HfN막은 소스 물질 플로우 공정, 반응 가스 플로우 공정 및 퍼지 공정을 순차 수행하는 증착 사이클을 반복 수행하는 방식으로 증착한다.

[0036] 본 발명의 다른 일면에 따라, 상기 소스 물질 플로우 공정은, 소스 물질의 운반 가스를 100~200 sccm의 유량으로 공급하면서, 소스 물질을 0.006~0.1cc/min의 유량으로 0.1~10 초 동안 플로우시킨다.

- [0037] 본 발명의 다른 일면에 따라, 상기 반응 가스 플로우 공정은, 반응가스를 3~10 초 동안 플로우시키면서 플라즈마 처리를 실시한다.
- [0038] 본 발명의 다른 일면에 따라, 상기 플라즈마 처리는, 반응 챔버의 압력 조건을 0.1~1 torr로 유지하고, RF 파워를 30~500 W로 인가한다.
- [0039] 본 발명의 다른 일면에 따라, 상기 퍼지 공정은, 퍼지 가스를 100~200 sccm의 유량으로 3~10 초 동안 공급시킨다.
- [0040] 본 발명의 다른 일면에 따라, 상기 유전체막은 제 1 HfO₂막, Al₂O₃막 및 제 2 HfO₂막을 차례로 증착시켜 형성한다.
- [0041] 본 발명의 다른 일면에 따라, 상기 유전체막은 반응 챔버의 압력 조건을 0.1~1 torr로 유지하고, 기판 온도를 250~500℃로 유지하면서 형성한다.
- [0042] 본 발명의 다른 일면에 따라, 상기 제 1 HfO₂막 및 제 2 HfO₂막은 ALD 방법을 이용하여 30~40 Å의 두께로 증착한다.
- [0043] 본 발명의 다른 일면에 따라, 상기 Al₂O₃막은 ALD 방법을 이용하여 5~20 Å의 두께로 증착한다.
- [0044] 본 발명의 다른 일면에 따라, 상기 제 1 HfO₂막 및 제 2 HfO₂막은 소스 물질로서 TEMAH를 이용하고, 소스 물질의 운반 가스로서 Ar을 이용하고, 반응 가스로서 O₃를 이용하며, 퍼지 가스로서 N₂를 이용한다.
- [0045] 본 발명의 다른 일면에 따라, 상기 Al₂O₃막은 소스 물질로서 TMA를 이용하고, 소스 물질의 운반 가스로서 Ar을 이용하고, 반응 가스로서 O₃를 이용하며, 퍼지 가스로서 N₂를 이용한다.
- [0046] 본 발명의 다른 일면에 따라, 상기 제 1 HfO₂막, Al₂O₃막 및 제 2 HfO₂막은 소스 물질 플로우 공정, 제 1 퍼지 공정, 반응 가스 플로우 공정 및 제 2 퍼지 공정을 순차 수행하는 증착 사이클을 반복 수행하는 방식으로 증착한다.
- [0047] 본 발명의 다른 일면에 따라, 상기 제 1 HfO₂막 및 제 2 HfO₂막의 소스 물질 플로우 공정은, 소스 물질의 운반 가스를 150~250 sccm의 유량으로 공급하면서, 소스 물질을 0.1~10 초 동안 플로우시킨다.
- [0048] 본 발명의 다른 일면에 따라, 상기 제 1 HfO₂막 및 제 2 HfO₂막의 제 1 퍼지 공정은, 퍼지 가스를 200~400 sccm의 유량으로 3~10 초 동안 공급시킨다.
- [0049] 본 발명의 다른 일면에 따라, 상기 제 1 HfO₂막 및 제 2 HfO₂막의 반응 가스 플로우 공정은, 반응 가스를 200~500 sccm의 유량으로 3~10 초 동안 공급시킨다.
- [0050] 본 발명의 다른 일면에 따라, 상기 제 1 HfO₂막 및 제 2 HfO₂막의 제 2 퍼지 공정은, 퍼지 가스를 50~200 sccm의 유량으로 3~10 초 동안 공급시킨다.
- [0051] 본 발명의 다른 일면에 따라, 상기 Al₂O₃막의 소스 물질 플로우 공정은, 소스 물질의 운반 가스를 20~100 sccm의 유량으로 공급하면서, 소스 물질을 0.1~5 초 동안 플로우시킨다.
- [0052] 본 발명의 다른 일면에 따라, 상기 Al₂O₃막의 제 1 퍼지 공정은, 퍼지 가스를 50~300 sccm의 유량으로 0.1~5 초 동안 공급시킨다.
- [0053] 본 발명의 다른 일면에 따라, 상기 Al₂O₃막의 반응 가스 플로우 공정은, 반응 가스를 200~500 sccm의 유량으로 3~10 초 동안 공급시킨다.
- [0054] 본 발명의 다른 일면에 따라, 상기 Al₂O₃막의 제 2 퍼지 공정은, 퍼지 가스를 300~1000 sccm의 유량으로 0.1~5 초 동안 공급시킨다.
- [0055] 본 발명의 다른 일면에 따라, 상기 유전체막은 제 1 Al₂O₃막, HfO₂막 및 제 2 Al₂O₃막을 ALD 방식으로 차례로 증착하여 형성한다.

- [0056] 본 발명의 다른 일면에 따라, 상기 HfN막 및 유전체막은 동일한 장비 내에서 인-시투로 증착한다.
- [0057] 본 발명의 또 다른 일면에 따라, 상기 열처리 공정은 650~750℃의 온도 및 N₂ 분위기 하에서 10~30분 동안 수행되는 퍼니스 어닐 공정이다.
- [0058] (실시예)
- [0059] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상술하기로 한다.
- [0060] 도 2a 내지 도 2e는 본 발명의 실시예에 따른 반도체 소자의 캐패시터 형성방법을 설명하기 위한 공정별 단면도이다.
- [0061] 본 발명의 실시예에 따른 반도체 소자의 캐패시터 형성방법은, 도 2a에 도시한 바와 같이, 먼저, 소정의 하부 구조(도시안됨)가 구비된 반도체 기판(20)을 제공한다. 이어서, 반도체 기판(20) 상에 동 기판(20)의 소정 부분을 노출시키는 제 1 콘택홀(21)을 가진 층간절연막(22)을 형성한 후, 제 1 콘택홀(21)을 다결정실리콘막으로 매립시켜 도전 플러그(23)를 형성한다.
- [0062] 그런다음, 도전 플러그(23)를 포함한 층간절연막(22) 상에 도전 플러그(23)를 노출시키는 제 2 콘택홀(24)을 가진 캡산화막(25)을 형성한다.
- [0063] 그리고나서, 도 2b에 도시한 바와 같이, 결과물의 전면에 스토리지 노드 전극용 다결정실리콘막(26)을 형성한다. 여기서, 다결정실리콘막(26)은 SiH₄를 소스 가스로 이용하고, PH₃를 도핑 가스로 이용하며, 이때, SiH₄는 800~1200 sccm의 유량으로 공급하고, PH₃는 500~1000 sccm의 유량으로 공급한다. 또한, 다결정실리콘막(26)은 500~600℃의 온도 및 0.1~10 torr의 압력 조건하에서 100~300 Å의 두께로 형성한다.
- [0064] 계속해서, 다결정실리콘막(26) 상에 감광막(27)을 도포하여 상기 제 2 콘택홀(24)을 매립시킨다.
- [0065] 그런후에, 도 2c에 도시한 바와 같이, 캡산화막(25)이 노출될 때까지 감광막 및 다결정실리콘막을 식각한 다음, 식각후 잔류된 감광막을 제거하여 스토리지 노드 전극(26a)을 형성한다.
- [0066] 아울러, 도면에 도시하지는 않았지만, 식각후 잔류된 감광막을 제거하여 스토리지 노드 전극(26a)을 형성한 후에, 스토리지 노드 전극(26a)의 표면적을 증가시키기 위해, 즉, 더 큰 충전용량을 확보하기 위해, 스토리지 노드 전극(26a)의 양측에 잔류된 캡산화막(25)을 제거하여 실린더형의 스토리지 노드 전극을 형성할 수도 있다. 또한, 도면에 도시하지는 않았지만, 스토리지 노드 전극(26a)은 보다 더 큰 충전용량을 확보하기 위해 그 표면에 HSG(hemi-spherical silicon grain)(도시안됨)를 형성할 수 있다.
- [0067] 다음으로, 결과물을 HF 용액으로 세정한다. 이때, HF 용액으로는 H₂O:HF=50:1의 비율로 혼합된 용액을 이용한다. 한편, 본 발명에서는 Si를 산화시키는 반응을 일으키는 SC-1 용액을 이용하지 않고, HF 용액만을 이용하여 세정 공정을 진행하기 때문에, 스토리지 노드 전극(26a)의 표면에 SiO₂ 재질의 케미칼 산화막(chemical oxide)이 형성되는 것을 방지할 수 있다.
- [0068] 이어서, 도 2d에 도시한 바와 같이, 상기 HF 용액으로 세정한 결과물의 전면에 HfN막(28)을 증착한다. 여기서, HfN막(28)은 반응 챔버의 압력 조건을 0.1~1 torr로 유지하고, 기판 온도를 200~350℃로 유지하면서, PEALD(plasma enhanced atomic layer deposition) 방법을 이용하여 10~20 Å의 두께로 증착한다. 또한, HfN막(28)은 소스 물질로서 TEMAH(tetrakis ethylmethylamino hafnium: Hf(N(CH₃)(C₂H₅))₄)를 이용하고, 상기 소스 물질의 운반 가스로서 N₂ 및 Ar 중 어느 하나를 이용하고, 반응 가스로서 PH₃를 이용하며, 퍼지 가스로서 N₂ 및 Ar 중 어느 하나를 이용한다.
- [0069] 이하, 상기 PEALD 방법을 이용한 HfN막(28)의 증착 방법에 대해 상술하기로 한다. 이러한 PEALD 방법을 이용한 HfN막(28)의 증착은, 소스 물질 플로우 공정, 반응 가스 플로우 공정 및 퍼지 공정을 순차 수행하는 증착 사이클을 소정 두께의 막이 얻어질 때까지 반복 수행하는 방식으로 진행한다.
- [0070] 상기 소스 물질 플로우 공정은, 소스 물질의 운반 가스인 Ar 및 N₂ 중 어느 하나를 100~200 sccm의 유량으로 공급하면서, 소스 물질인 TEMAH를 0.006~0.1 cc/min의 유량으로 0.1~10 초 동안 플로우시킨다. 상기 반응 가스 플로우 공정은, 반응가스인 PH₃를 3~10 초 동안 플로우시키면서 플라즈마 처리를 실시한다. 이때, 플라즈마 처리는 반응 챔버의 압력 조건을 0.1~1 torr로 유지하고, RF 파워를 30~500 W로 인가한다. 상기 퍼지 공정은, 퍼

지 가스인 Ar 및 N₂ 중 어느 하나를 100~200 sccm의 유량으로 3~10 초 동안 공급시킨다.

- [0071] 한편, 스토리지 노드 전극(26a) 표면에 형성된 HfN막(28)은 후속의 열처리 공정이 진행됨에 따라, HfSiON막으로 개질되는데, 이는, 스토리지 노드 전극(26a)의 표면에 SiO₂막이 형성된 경우에 비해 Tox를 감소시키는 역할을 해주게 된다.
- [0072] 계속해서, 도 2e에 도시한 바와 같이, 상기 HfN막 상에 제 1 HfO₂막(도시안됨), Al₂O₃막(도시안됨) 및 제 2 HfO₂막(도시안됨)을 차례로 증착하여 제 1 HfO₂막/Al₂O₃막/제 2 HfO₂막의 적층 구조로 이루어진 유전체막(29)을 형성한다.
- [0073] 여기서, 제 1 HfO₂막, Al₂O₃막 및 제 2 HfO₂막은 반응 챔버의 압력 조건을 0.1~1 torr로 유지하고, 기판 온도를 250~500℃로 유지하면서, ALD 방법을 이용하여 증착한다. 제 1 HfO₂막 및 제 2 HfO₂막은 30~40 Å의 두께로 증착하고, Al₂O₃막은 5~20 Å의 두께로 증착한다. 그리고, 제 1 HfO₂막 및 제 2 HfO₂막은 소스 물질로서 TEMAH를 이용하고, 소스 물질의 운반 가스로서 Ar을 이용하고, 반응 가스로서 O₃를 이용하며, 퍼지 가스로서 N₂를 이용한다. 또한, Al₂O₃막은 소스 물질로서 TMA(tri methyl aluminum: Al(CH₃)₃)를 이용하고, 소스 물질의 운반 가스로서 Ar을 이용하고, 반응 가스로서 O₃를 이용하며, 퍼지 가스로서 N₂를 이용한다.
- [0074] 이하, 상기 ALD 방법을 이용한 제 1 HfO₂막, Al₂O₃막 및 제 2 HfO₂막의 증착 방법에 대해 상술하기로 한다. 이 방법은 소스 물질 플로우 공정, 제 1 퍼지 공정, 반응 가스 플로우 공정 및 제 2 퍼지 공정을 순차 수행하는 증착 사이클을 소정 두께의 막이 얻어질 때까지 반복 수행하는 방식으로 진행한다.
- [0075] 상기 제 1 HfO₂막 및 제 2 HfO₂막의 소스 물질 플로우 공정은, 소스 물질의 운반 가스인 Ar을 150~250 sccm의 유량으로 공급하면서, 소스 물질인 TEMAH를 0.1~10 초 동안 플로우시킨다. 그리고, 제 1 HfO₂막 및 제 2 HfO₂막의 제 1 퍼지 공정은, 퍼지 가스인 N₂를 200~400 sccm의 유량으로 3~10 초 동안 공급시킨다. 또한, 제 1 HfO₂막 및 제 2 HfO₂막의 반응 가스 플로우 공정은, 반응 가스인 O₃를 200~500 sccm의 유량으로 3~10 초 동안 공급시키고, 제 1 HfO₂막 및 제 2 HfO₂막의 제 2 퍼지 공정은, 퍼지 가스인 N₂를 50~200 sccm의 유량으로 3~10 초 동안 공급시킨다.
- [0076] 상기 Al₂O₃막의 소스 물질 플로우 공정은, 소스 물질의 운반 가스인 Ar을 20~100 sccm의 유량으로 공급하면서, 소스 물질인 TMA를 0.1~5 초 동안 플로우시킨다. 그리고, Al₂O₃막의 제 1 퍼지 공정은, 퍼지 가스인 N₂를 50~300 sccm의 유량으로 0.1~5 초 동안 공급시킨다. 또한, Al₂O₃막의 반응 가스 플로우 공정은, 반응 가스인 O₃를 200~500 sccm의 유량으로 3~10 초 동안 공급시키고, Al₂O₃막의 제 2 퍼지 공정은, 퍼지 가스인 N₂를 300~1000 sccm의 유량으로 0.1~5 초 동안 공급시킨다.
- [0077] 한편, 상기 HfN막 및 유전체막(29)은 동일한 장비 내에서 인-시튜(in-situ)로 증착하는데, 이와같이 하면, 별도의 장비를 필요로 하지 않으면서 공정을 진행하는 것이 가능하다는 잇점이 있다. 또한, 유전체막(29)은, 상기 제 1 HfO₂막/Al₂O₃막/제 2 HfO₂막의 적층 구조로 형성하는 대신에, 제 1 Al₂O₃막/HfO₂막/제 2 Al₂O₃막의 적층 구조로 이루어지도록 형성할 수 있다.
- [0078] 그러다음, 상기 유전체막(29) 상에 플레이트 노드 전극(30)을 형성한 후, 상기 플레이트 노드 전극(30)이 형성된 결과물에 열처리 공정을 진행하여 유전체막(29) 하부의 HfN막을 HfSiON막(28a)으로 개질시킨다. 상기 열처리 공정은 650~750℃의 온도 및 N₂ 분위기 하에서 10~30분 동안 수행되는 퍼니스 어닐(furnace anneal) 공정이다. 이때, 열처리 공정에 의해 스토리지 노드 전극(26a)의 표면에 형성되는 HfSiON막(28a)은, 종래에 스토리지 노드 전극의 표면에 형성되었던 SiO₂막에 비해 유전율이 높기 때문에, 유전체막의 Tox를 감소시키게 된다.

발명의 효과

- [0079] 본 발명의 상기한 바와 같은 구성에 따라, 유전체막 형성 공정 이전에 진행되는 세정 공정에서 Si를 산화시키는 SC-1 용액을 이용하지 않고 HF 용액만을 이용함으로써, 스토리지 노드 전극의 표면에 SiO₂막 재질의 케미칼 산화막이 형성되는 것을 방지할 수 있다. 또한, 상기 HF 용액을 이용한 세정 공정이 완료된 후에, 스토리지 노드

전극 상에 HfN막을 증착하고, HfN막을 후속의 열처리 공정에서 HfSiON막으로 개질시킴으로써, 종래에 스토리지 노드 전극의 표면에 SiO₂막이 형성된 경우에 비해 Tox를 감소시킬 수 있다.

[0080] 따라서, 본 발명은 유전체막의 Tox를 감소시킬 수 있으므로, 소자의 누설 전류 특성을 향상시킬 수 있음은 물론, 소자의 전기적 특성을 향상시킬 수 있다.

[0081] 본 발명을 특정의 바람직한 실시예에 관련하여 도시하고 설명하였지만, 본 발명이 그에 한정되는 것은 아니고 이하의 특허청구의 범위에 의해 마련되는 본 발명의 정신이나 분야를 이탈하지 않는 한도 내에서 본 발명이 다양하게 개조 및 변화될 수 있다는 것을 당 업계에서 통상의 지식을 가진 자는 용이하게 알 수 있다.

도면의 간단한 설명

[0001] 도 1a 내지 도 1d는 종래의 기술에 따른 반도체 소자의 캐패시터 형성방법을 설명하기 위한 공정별 단면도.

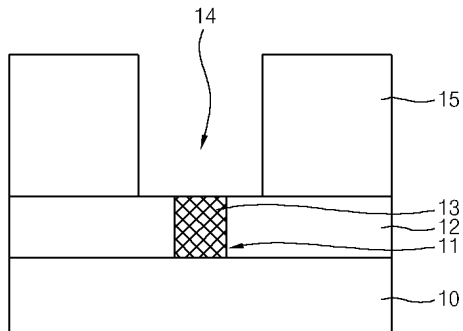
[0002] 도 2a 내지 도 2e는 본 발명의 실시예에 따른 반도체 소자의 캐패시터 형성방법을 설명하기 위한 공정별 단면도.

[0003] * 도면의 주요 부분에 대한 부호의 설명 *

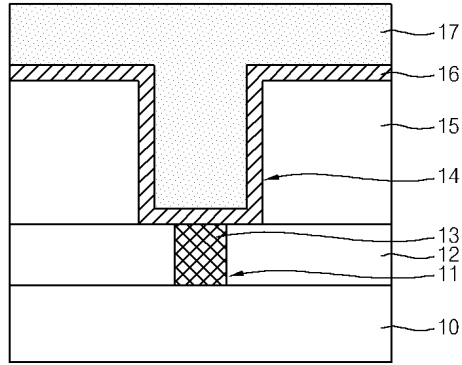
- [0004] 20: 반도체 기판 21: 제 1 콘택홀
- [0005] 22: 층간절연막 23: 도전 플러그
- [0006] 24: 제 2 콘택홀 25: 캡산화막
- [0007] 26: 다결정실리콘막 26a: 스토리지 노드 전극
- [0008] 27: 감광막 28: HfN막
- [0009] 28a: HfSiON막 29: 유전체막
- [0010] 30: 플레이트 노드 전극

도면

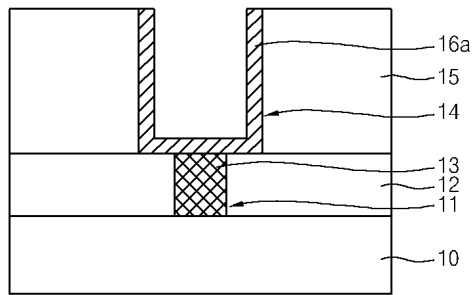
도면1a



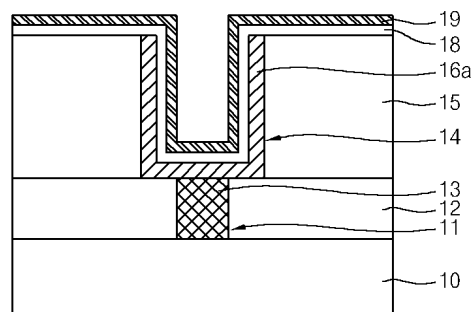
도면1b



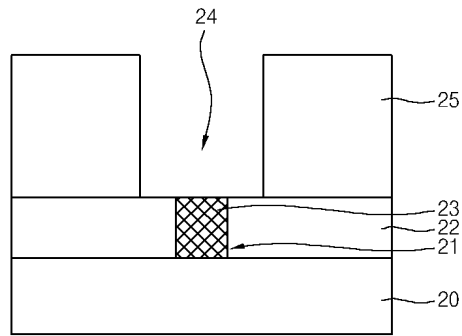
도면1c



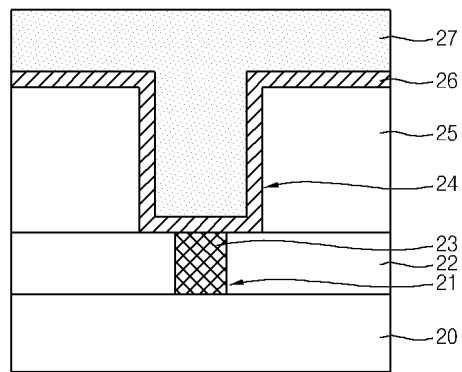
도면1d



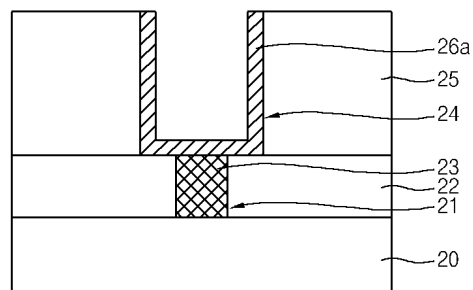
도면2a



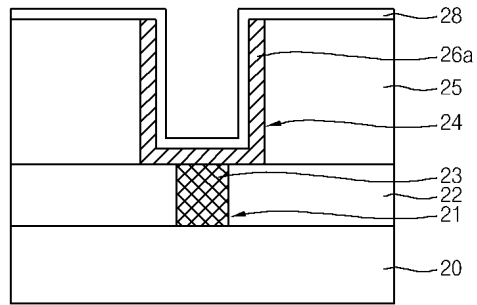
도면2b



도면2c



도면2d



도면2e

