

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2021年3月4日(04.03.2021)



(10) 国際公開番号

WO 2021/038349 A1

- (51) 国際特許分類:  
*H03K 5/08* (2006.01)     *H01L 27/06* (2006.01)  
*H01L 21/822* (2006.01)   *H01L 27/088* (2006.01)  
*H01L 27/04* (2006.01)    *H01L 29/786* (2006.01)  
*H01L 21/8234* (2006.01)   *H03F 3/45* (2006.01)
- (21) 国際出願番号 :                    PCT/IB2020/057528
- (22) 国際出願日 :                      2020年8月11日(11.08.2020)
- (25) 国際出願の言語 :                    日本語
- (26) 国際公開の言語 :                    日本語
- (30) 優先権データ :
- |                |                         |    |
|----------------|-------------------------|----|
| 特願 2019-152676 | 2019年8月23日(23.08.2019)  | JP |
| 特願 2019-223352 | 2019年12月11日(11.12.2019) | JP |
| 特願 2020-005724 | 2020年1月17日(17.01.2020)  | JP |

- (71) 出願人: 株式会社半導体エネルギー研究所  
(SEMICONDUCTOR ENERGY LABORATORY  
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木  
市長谷398 Kanagawa (JP).
- (72) 発明者: 高橋 圭 (TAKAHASHI, Kei), 青木 健  
(AOKI, Takeshi); 〒2430036 神奈川県厚木市  
長谷 398 株式会社半導体エネルギー研  
究所内 Kanagawa (JP). 上妻宗広 (KOZUMA,  
Munehiro); 〒2430036 神奈川県厚木市長谷398  
株式会社半導体エネルギー研究所内 Kanagawa  
(JP). 池田隆之 (IKEDA, Takayuki); 〒2430036  
神奈川県厚木市長谷398株式会社半導体工  
ネルギー研究所内 Kanagawa (JP).

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR OPERATING SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置及び半導体装置の動作方法

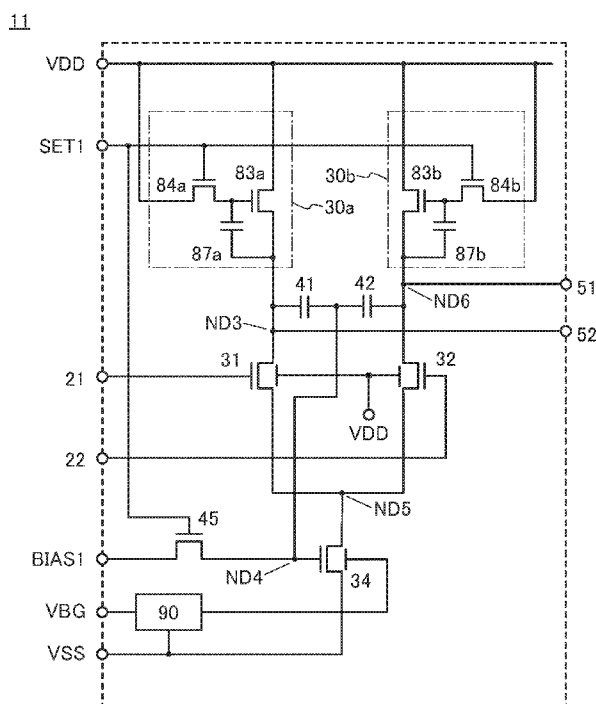
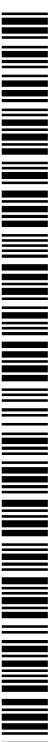


図1A

(57) Abstract: The present invention provides a novel comparison circuit, a novel amplifier circuit, a novel battery control circuit, a novel battery protection circuit, a power storage device, a semiconductor device, an electrical apparatus, and the like. A semiconductor device wherein: one of a source and drain of a first transistor, one of a source and drain of a second transistor, and one of a source and drain of a third transistor are electrically connected; the other of the source and drain of the third transistor are electrically connected to a first output terminal; the other of the source and drain of



WO 2021/038349 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

---

the second transistor is electrically connected to a second output terminal; exists a function for outputting, from the first output terminal and the second output terminal, a comparison result of a signal applied to a gate of the second transistor and a signal applied to a gate of the third transistor; and exists a function for changing a potential outputted from the first output terminal in response to a potential applied to a back gate of the first transistor.

(57) 要約 : 新規な比較回路、新規な増幅回路、新規な電池制御回路、新規な電池保護回路、蓄電装置、半導体装置及び電気機器等を提供する。第1のトランジスタのソースおよびドレインの一方は、第2のトランジスタのソースおよびドレインの一方と、第3のトランジスタのソースおよびドレインの一方と、に電氣的に接続され、第3のトランジスタのソースおよびドレインの他方は、第1の出力端子に電氣的に接続され、第2のトランジスタのソースおよびドレインの他方は、第2の出力端子に電氣的に接続され、第2のトランジスタのゲートに与えられる信号と第3のトランジスタのゲートに与えられる信号の比較結果を第1の出力端子および第2の出力端子から出力する機能を有し、第1のトランジスタのバックゲートに与えられる電位に応じて第1の出力端子から出力される電位を変化させる機能を有する半導体装置。

## 明細書

## 発明の名称

半導体装置及び半導体装置の動作方法

## 技術分野

[0001]

本発明の一態様は、半導体装置、及び半導体装置の動作方法に関する。また、本発明の一態様は、電池制御回路、電池保護回路、蓄電装置、及び電気機器に関する。

[0002]

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、表示装置、発光装置、蓄電装置、撮像装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げるができる。

## 背景技術

[0003]

蓄電装置（バッテリー、二次電池ともいう）は、小型の電気機器から自動車に至るまで幅広い分野で利用されるようになってきている。電池の応用範囲が広がるにつれて、複数の電池セルを直列に接続したマルチセル構成のバッテリースタックを使ったアプリケーションが増えている。

[0004]

蓄電装置は、過放電、過充電、過電流、または短絡といった充放電時の異常を把握するための回路を備えている。このように、電池の保護、及び制御を行う回路において、充放電時の異常を検知するため、電圧や電流等のデータを取得する。また、このような回路においては、観測されるデータに基づいて、充放電の停止やセル・バランスングなどの制御を行う。

[0005]

特許文献1は、電池保護回路として機能する保護ICについて開示している。特許文献1に記載の保護ICでは、内部に複数のコンパレータ（比較器）を設け、参照電圧と、電池が接続された端子の電圧と、を比較して充放電時の異常を検出する構成について開示している。

[0006]

特許文献2では、電界効果トランジスタを用いたコンパレータが示されている。

[先行技術文献]

[特許文献]

[0007]

[特許文献1] 米国特許出願公開第2011-267726号明細書

[特許文献2] 特開2009-71653号公報

## 発明の概要

発明が解決しようとする課題

[0008]

本発明の一態様は、新規な比較回路、新規な増幅回路、新規な電池制御回路、新規な電池保護回路、蓄電装置、半導体装置及び電気機器等を提供することを課題の一とする。または、本発明の一

態様は、消費電力の低減を図ることができる、新規な構成の比較回路、増幅回路、電池制御回路、電池保護回路、蓄電装置、半導体装置及び電気機器等を提供することを課題の一とする。

[0009]

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した課題、及び／又は他の課題のうち、少なくとも一つの課題を解決するものである。

課題を解決するための手段

[0010]

本発明の一態様は、第1の出力端子と、第2の出力端子と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、を有し、第1のトランジスタは、バックゲートを有し、第1のトランジスタのソースおよびドレインの一方は、第2のトランジスタのソースおよびドレインの一方と、第3のトランジスタのソースおよびドレインの一方と、に電氣的に接続され、第3のトランジスタのソースおよびドレインの他方は、第1の出力端子に電氣的に接続され、第2のトランジスタのソースおよびドレインの他方は、第2の出力端子に電氣的に接続され、第2のトランジスタのゲートに与えられる信号と第3のトランジスタのゲートに与えられる信号の比較結果を第1の出力端子および第2の出力端子から出力する機能を有し、バックゲートに第1の電位が与えられる第1のステップと、バックゲートに第2の電位が与えられる第2のステップと、を有し、第1のステップにおいて第1の出力端子から出力される電位は、第2のステップにおいて第1の出力端子から出力される電位よりも低い半導体装置の動作方法である。

[0011]

また、上記構成において、第1のトランジスタは、チャンネル形成領域に酸化物半導体を有することが好ましい。

[0012]

また、上記構成において、第1のトランジスタのソースとドレインの間を流れる電流は、第1のステップよりも第2のステップの方が低いことが好ましい。

[0013]

また、上記構成において、第4のトランジスタ、第5のトランジスタおよび容量素子を有し、第4のトランジスタのソースおよびドレインの一方は、第1の出力端子に電氣的に接続され、第5のトランジスタのソースおよびドレインの一方は、第4のトランジスタのゲートに電氣的に接続され、容量素子の一方の電極は、第4のトランジスタのゲートに電氣的に接続され、他方の電極は、第1の出力端子に電氣的に接続され、第1のステップおよび第2のステップにおいて、第5のトランジスタはオフ状態であることが好ましい。

[0014]

また、上記構成において、第1のトランジスタのソースおよびドレインの他方には低電位信号が与えられ、第4のトランジスタのソースおよびドレインの他方と、第5のトランジスタのソースおよびドレインの他方には、高電位信号が与えられることが好ましい。

[0015]

または、本発明の一態様は、第1の入力端子と、第2の入力端子、第1の出力端子と、第2の出

力端子と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、選択回路と、を有し、第1のトランジスタはバックゲートを有し、選択回路は、2以上の電位から1を選択し、バックゲートに与える機能を有し、第2のトランジスタのゲートは、第1の入力端子に電氣的に接続され、第3のトランジスタのゲートは、第2の入力端子に電氣的に接続され、第1のトランジスタは、バックゲートを有し、第1のトランジスタのソースおよびドレインの一方は、第2のトランジスタのソースおよびドレインの一方と、第3のトランジスタのソースおよびドレインの一方と、に電氣的に接続され、第3のトランジスタのソースおよびドレインの他方は、第1の出力端子に電氣的に接続され、第2のトランジスタのソースおよびドレインの他方は、第2の出力端子に電氣的に接続され、第1のトランジスタは、チャンネル形成領域に酸化物半導体を有し、第1の入力端子に与えられる信号と第2の入力端子に与えられる信号の比較結果を第1の出力端子および第2の出力端子から出力する機能を有し、選択回路からバックゲートに与える電位を低くすることにより、第1の出力端子から出力される電位を低くする機能を有する半導体装置である。

[0016]

また、上記構成において、第4のトランジスタ、第5のトランジスタおよび容量素子を有し、第4のトランジスタのソースおよびドレインの一方は、第1の出力端子に電氣的に接続され、第5のトランジスタのソースおよびドレインの一方は、第4のトランジスタのゲートに電氣的に接続され、容量素子の一方の電極は、第4のトランジスタのゲートに電氣的に接続され、他方の電極は、第1の出力端子に電氣的に接続されることが好ましい。

[0017]

または、本発明の一態様は、上記に記載の半導体装置と、記憶装置と、二次電池と、を有し、二次電池の正極は、第1の入力端子に電氣的に接続され、記憶装置は、第2の入力端子に電氣的に接続され、記憶装置は、第2の入力端子に与えられる信号を保持する機能を有し、第1の入力端子に与えられる信号と第2の入力端子に与えられる信号の比較結果に応じて、二次電池の充電および放電のうち、一以上の制御を行う機能を有する蓄電システムである。

発明の効果

[0018]

本発明の一態様により、新規な比較回路、新規な増幅回路、新規な電池制御回路、新規な電池保護回路、蓄電装置、半導体装置及び電気機器等を提供することができる。また、本発明の一態様により、消費電力の低減を図ることができる、新規な構成の比較回路、増幅回路、電池制御回路、電池保護回路、蓄電装置、半導体装置及び電気機器等を提供することができる。

[0019]

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び／又は他の効果のうち、少なくとも一つの効果を有するものである。従って本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

図面の簡単な説明

[0020]

図1Aおよび図1Bは回路の構成例である。

図 2 A は回路の構成例である。図 2 B は回路の動作を説明するタイミングチャートである。

図 3 は回路の構成例である。

図 4 A 乃至図 4 C は回路の構成例である。

図 5 は回路の動作を説明するタイミングチャートである。

図 6 A および図 6 B は回路の構成例である。

図 7 は半導体装置の構成例を示す断面図である。

図 8 A 乃至図 8 C はトランジスタの構造例を示す断面図である。

図 9 A はトランジスタの構造例を示す上面図である。図 9 B および図 9 C はトランジスタの構造例を示す断面図である。

図 10 A はトランジスタの構造例を示す上面図である。図 10 B および図 10 C はトランジスタの構造例を示す断面図である。

図 11 A はトランジスタの構造例を示す上面図である。図 11 B および図 11 C はトランジスタの構造例を示す断面図である。

図 12 A はトランジスタの構造例を示す上面図である。図 12 B および図 12 C はトランジスタの構造例を示す断面図である。

図 13 A はトランジスタの構造例を示す上面図である。図 13 B および図 13 C はトランジスタの構造例を示す断面図である。

図 14 A はトランジスタの構造例を示す上面図である。図 14 B および図 14 C はトランジスタの構造例を示す断面図である。

図 15 は半導体装置の構成例を示す断面図である。

図 16 は半導体装置の構成例を示す断面図である。

図 17 A および図 17 B は回路の構成例を示す図である。

図 18 は回路の構成例を示す図である。

図 19 は回路の構成例を示す図である。

図 20 は半導体装置の構成例を示す断面図である。

図 21 A、図 21 B および図 21 C は半導体装置の構成例を示す断面図である。

図 22 A および図 22 B は本発明の一態様の構成例を示す図である。

図 23 A および図 23 B は本発明の一態様の構成例を示す図である。

図 24 A は、蓄電システムの構成例を示す図である。図 24 B は、マイクロショート検出回路の構成例を示す図である。

図 25 A は本発明の一態様の電気機器を説明する図である。図 25 B は本発明の一態様の電気機器を説明する図である。図 25 C は本発明の一態様の電気機器を説明する図である。図 25 D は本発明の一態様の電気機器を説明する図である。

図 26 A は本発明の一態様の電気機器を説明する図である。図 26 B は本発明の一態様の電気機器を説明する図である。図 26 C は本発明の一態様の電気機器を説明する図である。

図 27 A は本発明の一態様の電気機器を説明する図である。図 27 B は本発明の一態様の電気機器を説明する図である。図 27 C は本発明の一態様の電気機器を説明する図である。

図 28 A は本発明の一態様の電気機器を説明する図である。図 28 B は本発明の一態様の電気機器を説明する図である。

図 29 A は本発明の一態様のシステムの一例である。図 29 B および図 29 C は、二次電池と基板

を示す図である。

図30A、図30Bは本発明の一態様の半導体装置の実装例である。

図31は本発明の一態様の電子機器の一例である。

図32は、本発明の一態様を示す斜視図である。

発明を実施するための形態

[0021]

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0022]

なお本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。従って、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略することもありうる。

[0023]

なお図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

[0024]

また、図面等において示す各構成の、位置、大きさ、範囲などは、発明の理解を容易とするため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。例えば、実際の製造工程において、エッチングなどの処理によりレジストマスクなどが意図せず目減りすることがあるが、理解を容易とするために図に反映しないことがある。

[0025]

また、上面図（「平面図」ともいう）や斜視図などにおいて、図面をわかりやすくするために、一部の構成要素の記載を省略する場合がある。

[0026]

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

[0027]

また、本明細書等において「端子」は例えば、配線、あるいは配線に接続される電極を指す場合がある。また、本明細書等において「配線」の一部を「端子」と呼ぶ場合がある。

[0028]

なお、本明細書等において「上」や「下」の用語は、構成要素の位置関係が直上または直下で、

かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

[0029]

また、ソースおよびドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合など、動作条件などによって互いに入れ替わるため、いずれがソースまたはドレインであるかを限定することが困難である。このため、本明細書においては、ソースおよびドレインの用語は、入れ替えて用いることができるものとする。

[0030]

また、本明細書等において、「電氣的に接続」には、直接接続している場合と、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限を受けない。よって、「電氣的に接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在しているだけの場合もある。

[0031]

また、本明細書などにおいて、「平行」とは、例えば、二つの直線が $-10^\circ$ 以上 $10^\circ$ 以下の角度で配置されている状態をいう。従って、 $-5^\circ$ 以上 $5^\circ$ 以下の場合も含まれる。また、「垂直」および「直交」とは、例えば、二つの直線が $80^\circ$ 以上 $100^\circ$ 以下の角度で配置されている状態をいう。従って、 $85^\circ$ 以上 $95^\circ$ 以下の場合も含まれる。

[0032]

なお、本明細書などにおいて、計数值および計量値に関して「同一」、「同じ」、「等しい」または「均一」などと言う場合は、明示されている場合を除き、プラスマイナス20%の誤差を含むものとする。

[0033]

また、本明細書において、レジストマスクを形成した後にエッチング処理を行う場合は、特段の説明がない限り、レジストマスクは、エッチング処理終了後に除去するものとする。

[0034]

また、電圧は、ある電位と、基準の電位（例えば接地電位またはソース電位）との電位差のことを示す場合が多い。よって、電圧と電位は互いに言い換えることが可能な場合が多い。本明細書などでは、特段の明示が無いかぎり、電圧と電位を言い換えることができるものとする。

[0035]

なお、「半導体」と表記した場合でも、例えば、導電性が十分低い場合は「絶縁体」としての特性を有する。よって、「半導体」を「絶縁体」に置き換えて用いることも可能である。この場合、「半導体」と「絶縁体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書に記載の「半導体」と「絶縁体」は、互いに読み換えることができる場合がある。

[0036]

また、「半導体」と表記した場合でも、例えば、導電性が十分高い場合は「導電体」としての特性を有する。よって、「半導体」を「導電体」に置き換えて用いることも可能である。この場合、「半導体」と「導電体」の境界は曖昧であり、両者の厳密な区別は難しい。したがって、本明細書に記載の「半導体」と「導電体」は、互いに読み換えることができる場合がある。



[0037]

なお、本明細書等において、トランジスタの「オン状態」とは、トランジスタのソースとドレインが電氣的に短絡しているとみなせる状態（「導通状態」ともいう。）をいう。また、トランジスタの「オフ状態」とは、トランジスタのソースとドレインが電氣的に遮断しているとみなせる状態（「非導通状態」ともいう。）をいう。

[0038]

また、本明細書等において、「オン電流」とは、トランジスタがオン状態の時にソースとドレイン間に流れる電流をいう場合がある。また、「オフ電流」とは、トランジスタがオフ状態である時にソースとドレイン間に流れる電流をいう場合がある。

[0039]

また、本明細書等において、高電位信号とは、低電位信号よりも高い電位の電源電位を示す。また、低電位信号とは、高電位信号よりも低い電位の電源電位を示す。また、接地電位を高電位信号または低電位信号として用いることもできる。例えば高電位信号が接地電位の場合には、低電位信号は接地電位より低い電位であり、低電位信号が接地電位の場合には、高電位信号は接地電位より高い電位である。また、高電位信号を高電源電位と呼ぶ場合がある。また、低電位信号を低電源電位と呼ぶ場合がある。

[0040]

また、本明細書等において、ゲートとは、ゲート電極およびゲート配線の一部または全部のことをいう。ゲート配線とは、少なくとも一つのトランジスタのゲート電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

[0041]

また、本明細書等において、ソースとは、ソース領域、ソース電極、およびソース配線の一部または全部のことをいう。ソース領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ソース電極とは、ソース領域に接続される部分の導電層のことをいう。ソース配線とは、少なくとも一つのトランジスタのソース電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

[0042]

また、本明細書等において、ドレインとは、ドレイン領域、ドレイン電極、及びドレイン配線の一部または全部のことをいう。ドレイン領域とは、半導体層のうち、抵抗率が一定値以下の領域のことをいう。ドレイン電極とは、ドレイン領域に接続される部分の導電層のことをいう。ドレイン配線とは、少なくとも一つのトランジスタのドレイン電極と、別の電極や別の配線とを電氣的に接続させるための配線のことをいう。

[0043]

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置の例を説明する。本発明の一態様の半導体装置は多段に接続される増幅回路を有することが好ましい。

[0044]

<増幅回路の例1>

図1Aには、本発明の一態様の増幅回路の一例を示す。

[0045]

図1Aに示す増幅回路11は、トランジスタ31、トランジスタ32、トランジスタ34、トランジスタ45、容量素子41、容量素子42、回路30aおよび回路30bを有する。また、増幅回路11は、端子VDD、端子VSS、端子BIAS1、端子VBG、端子SET1、端子21、端子22、端子51および端子52を有する。回路30aおよび回路30bは電流源としての機能を有する。

[0046]

図1Aに示す増幅回路が有するトランジスタは、ゲートに加えてバックゲート（第2のゲート）を有することが好ましい。

[0047]

端子VSSには好ましくは低電位信号が与えられる。低電位信号として接地電位を用いることができる。端子VDDには好ましくは高電位信号が与えられる。

[0048]

図1Aに示す増幅回路11は、比較回路としての機能を有する。端子21には第1の入力信号が与えられ、端子22には第2の入力信号が与えられる。増幅回路11は端子21と端子22に与えられる入力信号を比較し、比較結果を端子51および端子52に出力する機能を有する。

[0049]

端子51および端子52は例えば、他の回路へ電氣的に接続され、端子51および端子52からの信号が他の回路へ与えられる。また複数段の増幅回路11が接続される場合には例えば、端子51および端子52は次段の増幅回路11に電氣的に接続される。また、端子51および端子52の一方を浮遊状態としてもよい。

[0050]

トランジスタ31のゲートは端子21に電氣的に接続される。トランジスタ32のゲートは端子22に電氣的に接続される。トランジスタ31のゲートには端子21からの信号が与えられ、トランジスタ32のゲートには端子22からの信号が与えられる。

[0051]

ノードND5は、トランジスタ31のソースおよびドレインの一方と、トランジスタ32のソースおよびドレインの一方と、に電氣的に接続される。トランジスタ31のソースおよびドレインの他方は、ノードND3および端子52に電氣的に接続される。トランジスタ32のソースおよびドレインの他方は、端子51およびノードND6に電氣的に接続される。トランジスタ34のソースおよびドレインの一方は端子VSSに、他方はノードND5に、それぞれ電氣的に接続される。

[0052]

トランジスタ45のソースおよびドレインの一方はトランジスタ34のゲートおよびノードND4に、他方は端子BIAS1に、それぞれ電氣的に接続される。トランジスタ34のゲートには、トランジスタ45を介して端子BIAS1より電位が与えられる。なお、トランジスタを介して電位が与えられる場合には、トランジスタの抵抗によりわずかに電圧降下が生じる場合がある。

[0053]

容量素子41の一方の電極は、端子52およびノードND3に電氣的に接続され、他方の電極は、トランジスタ34のゲートおよびノードND4に電氣的に接続される。容量素子42の一方の電極は、端子51およびノードND6に電氣的に接続され、他方の電極は、トランジスタ34のゲートおよびノードND4に電氣的に接続される。

[0054]

端子SET1にトランジスタ45がオフ状態となる電位、例えば低電位信号を与えることによりノードND4は浮遊状態となる。容量素子41および容量素子42は、トランジスタ31とトランジスタ32の特性のばらつきによるノードND4の変動を抑制し、増幅回路11の動作点を安定させる効果を備えている。

[0055]

回路30aは、トランジスタ83a、トランジスタ84aおよび容量素子87aを有する。トランジスタ83aのソースおよびドレインの一方は端子VDDに、他方は端子52およびノードND3にそれぞれ電氣的に接続される。トランジスタ84aのソースおよびドレインの一方は端子VDDに、他方はトランジスタ83aのゲートにそれぞれ電氣的に接続される。容量素子87aの一方の電極はトランジスタ83aのゲートに、他方は端子52およびノードND3にそれぞれ電氣的に接続される。

[0056]

回路30bは、トランジスタ83b、トランジスタ84bおよび容量素子87bを有する。トランジスタ83bのソースおよびドレインの一方は端子VDDに、他方は端子51およびノードND6にそれぞれ電氣的に接続される。トランジスタ84bのソースおよびドレインの一方は端子VDDに、他方はトランジスタ83bのゲートにそれぞれ電氣的に接続される。容量素子87bの一方の電極はトランジスタ83bのゲートに、他方は端子51およびノードND6にそれぞれ電氣的に接続される。

[0057]

容量素子87aの容量値は例えば、トランジスタ83aのゲート容量の2倍以上、あるいは5倍以上である。容量素子87bの容量値は例えば、トランジスタ83bのゲート容量の2倍以上、あるいは5倍以上である。または、容量素子87aおよび容量素子87bの容量値は例えば、1fF以上10pF未満である。

[0058]

容量素子41および容量素子42の容量値は例えば、容量素子87aの0.35倍以下、あるいは0.2倍以下である。容量素子41および容量素子42の容量値が大きすぎると、トランジスタ31とトランジスタ32の特性のばらつきによるノードND4の変動の抑制する際に、容量の充電に時間をより要するため、増幅回路11の動作速度が遅くなってしまう場合がある。

[0059]

本発明の一態様の増幅回路が有するトランジスタとしてnチャネル型トランジスタ、pチャネル型トランジスタのいずれを用いてもよい。図1Aには一例として、増幅回路11に用いられるトランジスタがnチャネル型トランジスタである例を示す。

[0060]

増幅回路11において、図1Aに示す回路30aに替えて、pチャネル型の第1のトランジスタと、該第1のトランジスタのゲートに電氣的に接続される第2のトランジスタと、を用い、第1のトランジスタのソースおよびドレインの一方に端子VDD、他方にノードND3がそれぞれ電氣的に接続され、該第2のトランジスタのゲートに端子SET1が電氣的に接続される構成を用いてもよい。また回路30bに替えて、pチャネル型の第3のトランジスタと、該第3のトランジスタのゲートに電氣的に接続される第4のトランジスタと、を用い、第3のトランジスタのソースおよび

ドレインの一方に端子VDD、他方にノードND6がそれぞれ電氣的に接続され、該第4のトランジスタのゲートに端子SET1が電氣的に接続される構成を用いてもよい。

[0061]

図1Aに示す本発明の一態様の増幅回路では、トランジスタ34のバックゲート電位を調整することにより、端子51および端子52から出力されるそれぞれの電位を調整することができる。トランジスタ34のバックゲート電位を調整することにより例えば、端子VDDから与えられる電位について、より広い電位範囲にて、増幅回路の動作を行うことができる。より具体的には例えば、端子VDDに与えられる電位がより低い場合においても、増幅回路の出力端子から所望の出力値を得ることができる。以下に、その方法の一例を説明する。

[0062]

増幅回路11の端子51および端子52からは、ノードND6およびノードND3の電位がそれぞれ出力される。

[0063]

図1Aにおいては、トランジスタ84aをオン状態とし、端子VDDの電位がトランジスタ83aのゲートに与えられる。ノードND3およびノードND6の電圧を高めるためには例えば、トランジスタ83aのゲートに与える電圧や、トランジスタ83bのゲートに与える電圧を高めればよい。図2Aに示すように端子VDDとは異なる端子として端子VBCSを設けて、例えば端子VDDよりも高い電位を端子VBCSからトランジスタ83aのゲートへ与えることができる。図1Aでは、トランジスタ84aのソースおよびドレインの一方と、トランジスタ84bのソースおよびドレインの一方には端子VDDが電氣的に接続されるが、図2Aでは端子VBCSが電氣的に接続される。

[0064]

しかしながら、図2Aにおいては、端子VDDに加えて端子VBCSを設けるため、増幅回路11の端子数が増えてしまう。また、端子VDDに与える電位を生成する電源に加えて、端子VBCSに与える電位を生成する電源がさらに必要になる場合がある。

[0065]

本発明の一態様の増幅回路においては、端子の数を増やさなくても、増幅回路11を動作させることができる。図1Aに示す増幅回路11において、トランジスタ34はバックゲートを有する。トランジスタ34のバックゲートに与える電位を制御することにより、端子数や電源等を増やさずに、端子VDDの電位について、より広い電位範囲にて増幅回路を動作させることができる。

[0066]

トランジスタのバックゲートに電位を与えることにより例えば、トランジスタのしきい値を変化させることができる。トランジスタ34のしきい値を制御することにより、後述の図2B等を用いた動作説明において詳細に述べるように、端子51および端子52から出力される電位を変化させることができる。

[0067]

トランジスタのバックゲート（第2のゲート）とトランジスタのゲート（第1のゲート）は、半導体層を挟んで反対側に位置することが好ましい。またトランジスタにおいて例えば、（第1の）ゲート、ゲート絶縁膜、半導体層、第2ゲート絶縁膜、バックゲートの順に上から、または下から積層される。

[0068]

トランジスタ34が有するバックゲートには、第1のゲートとは異なる電位を与えることができる。あるいは、トランジスタ34のバックゲートと（第1の）ゲートを導通させてもよい。

[0069]

トランジスタ34として、チャンネル形成領域に酸化物半導体を有するトランジスタ（以下、OSトランジスタ）を用いることができる。

[0070]

OSトランジスタは薄膜を用いて形成することができるため、基板上に設けられた薄膜の上に、あるいはシリコン基板に設けられるシリコントランジスタの上に、積層して設けることができる。OSトランジスタは、バックゲートを有する構成を容易に形成することができる。例えば、後の実施の形態で述べる薄膜形成法を用い、導電体を用いてバックゲートを形成し、該バックゲート上にゲート絶縁膜を形成し、該ゲート絶縁膜上に酸化物半導体を形成し、バックゲートを有するトランジスタを形成することができる。

[0071]

シリコン基板に設けられるシリコントランジスタにおいて、基板電位を変化させてトランジスタの特性を制御することができる。対して、OSトランジスタにおいてバックゲートに電位を与えてトランジスタの特性を制御する場合には、より小さい変化量で、より大きく特性を変化させることができるため、より好ましい。

[0072]

図1Aに示す増幅回路11において、トランジスタ34のバックゲートには選択回路90が電氣的に接続される。選択回路90は2以上の信号から1の信号を選択して出力する機能を有する。

[0073]

図1Aにおいて、選択回路90は端子VBGおよび端子VSSと電氣的に接続される。選択回路90は、端子VBGから与えられる信号と端子VSSから与えられる信号のいずれかを選択し、選択された信号をトランジスタ34のバックゲートに与える機能を有する。選択回路90は例えば、制御回路等から受信される信号に基づき、端子VBGまたは端子VSSのいずれを選択するかを決定し、選択した信号を選択回路90から出力する。該制御回路は例えば、増幅回路11の外部に設けられる。

[0074]

端子VBGと端子VDDを同電位とすることにより、入力端子を共通化し、増幅回路11の端子数を減らしてもよい。

[0075]

増幅回路11が有するトランジスタ34以外のトランジスタとして、OSトランジスタを用いてもよいし、Siトランジスタを用いてもよい。

[0076]

トランジスタ45、トランジスタ84a、トランジスタ84bとしてOSトランジスタを用いることが好ましい。

[0077]

トランジスタ34のゲートに電位を与えた後、トランジスタ45をオフ状態とすることにより、与えた電位を保持することができる。端子BIAS1からトランジスタ34のゲートへの信号供給

を停止することができ、消費電力を低減することができる。このとき、オフ電流が極めて低い特徴を有するOSトランジスタをトランジスタ45として用いることにより、与えた電位を長時間、好ましくは1分以上、より好ましくは1時間以上、さらに好ましくは10時間以上保持することができる。同様に、トランジスタ84aおよびトランジスタ84bとしてそれぞれOSトランジスタを用いることにより、トランジスタ83aのゲートおよびトランジスタ83bのゲートに与えた電位を長時間保持することができる。

[0078]

増幅回路11が有するトランジスタはそれぞれ、バックゲートを有してもよい。例えば、トランジスタ45、トランジスタ84a、トランジスタ84b、トランジスタ83aおよびトランジスタ83bにバックゲートを設けてもよい。それぞれのトランジスタのバックゲートには例えば、定電位信号、あるいは変動する電位信号等が与えられる。あるいはそれぞれのトランジスタのバックゲートは、トランジスタのソースおよびドレインの一方に電氣的に接続されてもよい。

[0079]

トランジスタ31およびトランジスタ32はバックゲートを有することが好ましい。また、トランジスタ31およびトランジスタ32は、バックゲートを有するOSトランジスタとしてもよい。

[0080]

図1Aに示す増幅回路11では、トランジスタ31のバックゲートと、トランジスタ32のバックゲートは、端子VDDに電氣的に接続される。トランジスタ31およびトランジスタ32のバックゲートに例えばトランジスタのソースに比べて高い電位を与えることにより、トランジスタ31およびトランジスタ32のしきい値をマイナスシフトさせることができる。トランジスタのしきい値をマイナスシフトさせることにより、より低いレベルの入力信号の検知が可能となる。より低いレベルの入力信号とは例えば、強度の小さい信号を指す。

[0081]

図1Bには、選択回路90の具体例、および選択回路90とトランジスタ34の接続例を示す。

[0082]

図1Bに示す選択回路90は、トランジスタ93およびトランジスタ94および端子SETB1を有する。トランジスタ93のソースおよびドレインの一方と、ゲートと、は端子VBGに電氣的に接続される。トランジスタ93のソースおよびドレインの他方は、端子VSSに電氣的に接続される。トランジスタ94のソースおよびドレインの一方は、端子VBGと、トランジスタ34のバックゲートと、に電氣的に接続される。トランジスタ94のソースおよびドレインの他方は端子VSSに電氣的に接続される。トランジスタ94のゲートは、端子SETB1と電氣的に接続される。

[0083]

端子SETB1からトランジスタ94のゲートへ、トランジスタ94をオン状態とする電位、ここでは例えば高電位信号が与えられると、トランジスタ94が導通状態となり、トランジスタ34のバックゲートには端子VSSの電位が与えられる。

[0084]

端子SETB1からトランジスタ94のゲートへ、トランジスタ94をオフ状態とする電位、ここでは例えば低電位信号が与えられると、トランジスタ34のバックゲートには端子VBGからの電位が与えられる。

[0085]

すなわち、図1Bに示す選択回路90は、端子SETB1に与える電位を変えることにより、端子VSSの電位または端子VBGの電位を選択し、出力する機能を有する。

[0086]

<増幅回路の動作例1>

次に、図2Bに示すタイミングチャートを用いて、増幅回路11の動作例について説明する。

[0087]

時刻t0において、端子SET1には、トランジスタ84a、トランジスタ84b、およびトランジスタ45をオン状態とする電位、ここでは例えば高電位信号が与えられる。トランジスタ84aがオン状態となり、トランジスタ83aのゲートに端子VDDの電位が与えられ、トランジスタ84bがオン状態となり、トランジスタ83bのゲートに端子VDDの電位が与えられ、トランジスタ45がオン状態となり、トランジスタ34のゲートに端子BIAS1の電位が与えられる。

[0088]

また時刻t0において、端子SETB1にはトランジスタ94をオフ状態とする電位、ここでは例えば低電位信号が与えられる。選択回路90から端子VBGの電位が出力され、トランジスタ34のバックゲートに与えられる。ここでは端子VBGの電位は例えば端子VSSの電位より高い電位である。

[0089]

時刻t1において、端子SET1には、トランジスタ84a、トランジスタ84b、およびトランジスタ45をオフ状態とする電位、ここでは例えば低電位信号が与えられる。トランジスタ83aのゲートおよびトランジスタ83bのゲートは、与えられた電位が保持され、端子VDDから浮遊した状態となる。またトランジスタ34のゲートは、与えられた電位が保持され、端子BIAS1から浮遊した状態となる。

[0090]

時刻t2において、端子SETB1にはトランジスタ94をオン状態とする電位、ここでは例えば高電位信号が与えられる。選択回路90から端子VSSの電位が出力され、トランジスタ34のバックゲートに与えられる。バックゲートに与えられる電位が低くなり、トランジスタ34のしきい値はプラスシフトする。トランジスタ34はnチャネル型トランジスタであるため、しきい値のシフトに伴いトランジスタ34のソースドレイン間を流れる電流が減少し、ノードND3およびノードND6の電位が上昇する。

[0091]

トランジスタ83aのゲートは端子VDDから浮遊した状態であるため、ノードND3の電位の上昇に伴い、容量素子87aとの容量結合によりトランジスタ83aのゲートの電位も上昇する。トランジスタ83aを流れる電流は一定のまま、ゲート電位が上昇するため、ソースドレイン間の電位差がさらに小さくなり、ノードND3の電位はさらに上昇する。

[0092]

同様に、ノードND6の電位もさらに上昇する。

[0093]

<増幅回路の例2>

図3には、本発明の一態様の増幅回路である増幅回路80を示す。図3に示す増幅回路80において、複数段の増幅回路11が接続される。図3には3段の増幅回路11が接続される例を示すが、

増幅回路 1 1 は例えば 5 段以上、20 段以下、あるいは例えば 7 段以上 14 段以下接続されてもよい。

[0094]

図 3 に示す増幅回路 80 は、3 段の増幅回路 1 1 と、容量素子 65 a、65 b、66 a および 66 b と、トランジスタ 91 と、トランジスタ 92 と、容量素子 61 と、増幅回路 71 と、トランジスタ 23 a と、トランジスタ 23 b と、トランジスタ 23 c と、トランジスタ 24 a と、トランジスタ 24 b と、トランジスタ 24 c と、端子 SET 2 と、端子 SETB 2 と、端子 INP 1 と、端子 INM 1 と、端子 VREF 1 と、端子 VREF 2 と、を有する。ここで、3 段の増幅回路 1 1 のうち、初段の増幅回路 1 1 を増幅回路 1 1 a、2 段目の増幅回路 1 1 を増幅回路 1 1 b、最終段の増幅回路 1 1 を増幅回路 1 1 c と呼ぶ。また、増幅回路 1 1 a が有する端子 21、端子 22、端子 51 および端子 52 を、端子 21 a、端子 22 a、端子 51 a および端子 52 a とする。また、増幅回路 1 1 b が有する端子 21、端子 22、端子 51 および端子 52 を、端子 21 b、端子 22 b、端子 51 b および端子 52 b とする。また、増幅回路 1 1 c が有する端子 21、端子 22、端子 51 および端子 52 を、端子 21 c、端子 22 c、端子 51 c および端子 52 c とする。

[0095]

端子 51 a および端子 52 a が容量素子 65 a の一方の電極および容量素子 66 a の一方の電極にそれぞれ電氣的に接続される。容量素子 65 a の他方の電極および容量素子 66 a の他方の電極はそれぞれ、端子 21 b および端子 22 b にそれぞれ電氣的に接続される。

[0096]

端子 51 b および端子 52 b が容量素子 65 b の一方の電極および容量素子 66 b の一方の電極にそれぞれ電氣的に接続される。容量素子 65 b の他方の電極および容量素子 66 b の他方の電極はそれぞれ、端子 21 c および端子 22 c にそれぞれ電氣的に接続される。

[0097]

端子 21 a にはトランジスタ 91 のソースおよびドレインの一方が電氣的に接続され、端子 22 a にはトランジスタ 92 のソースおよびドレインの一方が電氣的に接続される。トランジスタ 91 のソースおよびドレインの他方は端子 INP 1 に、トランジスタ 92 のソースおよびドレインの他方は端子 INM 1 に、それぞれ電氣的に接続される。トランジスタ 91 のゲートおよびトランジスタ 92 のゲートにはそれぞれ、端子 SETB 2 が電氣的に接続される。

[0098]

端子 51 c には容量素子 61 の一方の電極が電氣的に接続され、端子 52 c は浮遊状態である。容量素子 61 の他方の電極は増幅回路 71 に電氣的に接続される。容量素子 61 および増幅回路 71 については後述する。

[0099]

トランジスタ 23 a のソースおよびドレインの一方は、端子 21 a と電氣的に接続され、他方は端子 VREF 1 と電氣的に接続される。トランジスタ 23 b のソースおよびドレインの一方は、端子 21 b と電氣的に接続され、他方は端子 VREF 2 と電氣的に接続される。トランジスタ 23 c のソースおよびドレインの一方は、端子 21 c と電氣的に接続され、他方は端子 VREF 2 と電氣的に接続される。

[0100]

トランジスタ 24 a のソースおよびドレインの一方は、端子 22 a と電氣的に接続され、他方は



端子VREF1と電氣的に接続される。トランジスタ24bのソースおよびドレインの一方は、端子22bと電氣的に接続され、他方は端子VREF2と電氣的に接続される。トランジスタ24cのソースおよびドレインの一方は、端子22cと電氣的に接続され、他方は端子VREF2と電氣的に接続される。

[0101]

トランジスタ23a、23b、23c、24a、24bおよび24cのそれぞれのゲートは端子SET2に電氣的に接続される。

[0102]

次に、図4を用いて、増幅回路11c、容量素子61および増幅回路71について説明する。

[0103]

端子51cは容量素子61の一方の電極に電氣的に接続される。ノードND1は、端子51および容量素子61の一方の電極に電氣的に接続される。

[0104]

増幅回路71には端子IN2、端子53、端子SET1、端子VDD、端子VSSおよび端子BIAS1が電氣的に接続される。端子IN2は容量素子の他方の電極に電氣的に接続される。

[0105]

図4Aに示す増幅回路71はトランジスタ81、トランジスタ82および抵抗素子89を有する。トランジスタ81のソースおよびドレインの一方は端子VSSに電氣的に接続され、他方は端子53と、抵抗素子89の一方の電極とに電氣的に接続される。抵抗素子89の他方は端子VDDに電氣的に接続される。トランジスタ82のソースおよびドレインの一方はトランジスタ81のゲートと、端子IN2とに電氣的に接続され、他方は端子BIAS1に電氣的に接続される。端子SET1はトランジスタ82のゲートに電氣的に接続される。

[0106]

端子VDDと端子VSSの間の電圧を、抵抗素子89とトランジスタ81の抵抗値に応じて抵抗分割された電位が、端子53から出力される。

[0107]

ノードND2は、端子IN2と、トランジスタ81のゲートと、トランジスタ82のソースおよびドレインの一方とに電氣的に接続される。端子SET1からトランジスタ82がオン状態となる信号をトランジスタ82のゲートに与えることにより、端子BIAS1からの信号がトランジスタ82を介してノードND2に与えられる。

[0108]

トランジスタ81のゲートに接続されるノードND2に好適な電位を与えることにより、増幅回路71の動作点（動作の中心点と呼ぶ場合がある）を好適な電位とし、増幅回路71の利得をさらに高めることができる。また、増幅回路71の出力レンジをさらに広げることができる。

[0109]

トランジスタ82としてOSトランジスタを用いることにより、そのオフ電流を極めて低くすることができる。トランジスタ82をオフ状態とすることによりノードND2に好適な電位を与えた後、浮遊状態とすることができる。すなわちノードND2に電位を与えた後、トランジスタ82をオフ状態として与えた電位を保持することにより、ノードND2に電位をプログラミングすることができる。

[0110]

ノードND2が浮遊状態となることにより、端子BIAS1からの信号供給を停止してもノードND2の電位が保持される。このとき例えば、ノードND2には増幅回路71の好適な動作点が保持される。ノードND2に動作点を保持した後、端子BIAS1への信号供給を停止することができるため、増幅回路71の消費電力を低減することができる。

[0111]

ノードND2が浮遊状態であるため、容量素子61との容量結合によりノードND2の電位は、保持された好適な動作点を中心として、ノードND1の電位の変動に相当する量だけ変動する。よって、増幅回路71は好適な動作点において動作することができる。

[0112]

本発明の一態様の半導体装置において、増幅回路71の特性に合わせて調整された電位を端子BIAS1から与え、ノードND2にプログラミングすることができる。増幅回路71が有するトランジスタの特性により例えば好適な動作点に変化する場合には、該トランジスタの特性に合わせて、プログラミングする電位を好適な動作点に調整すればよい。

[0113]

ここで、増幅回路71が容量素子61およびトランジスタ82を有さない場合を考える。そのような場合には例えば、端子51からの信号がトランジスタ81のゲートへ与えられ、増幅回路71の動作点は増幅回路11が初期化された状態における、端子51からの出力電位となる。一方、本発明の一態様の増幅回路は容量素子61およびトランジスタ82を有するため、増幅回路71の動作点を所望の値とすることができる。

[0114]

容量素子61、65a、65b、66a、66bの容量値は例えば、トランジスタ81のゲート容量の2倍以上、あるいは5倍以上である。また、容量素子61、65a、65b、66a、66bの容量値は例えば、1fF以上10pF未満である。

[0115]

図4Bに示す増幅回路71は、図4Aに示す抵抗素子89に替えて回路30cを有する点が異なる。回路30cは電流源としての機能を有する。

[0116]

回路30cの一例について、図4Cを用いて説明する。回路30cは、トランジスタ83およびトランジスタ84を有する。回路30cにおいて、トランジスタ83のソースおよびドレインの一方は端子VDDに、他方は端子53にそれぞれ電氣的に接続される。トランジスタ84のソースおよびドレインの一方はトランジスタ83のゲートに、他方は端子VDDに、それぞれ電氣的に接続される。トランジスタ84のゲートは端子SET1に電氣的に接続される。

[0117]

図4A、図4Bに示す増幅回路71が有するトランジスタはバックゲートを有してもよいし、有さなくてもよい。

[0118]

増幅回路71が有するトランジスタはバックゲートを有してもよい。トランジスタのバックゲートに電位を与えることにより、トランジスタのしきい値電圧を制御することができる。

[0119]

トランジスタ 8 2 がバックゲートを有する場合は、該バックゲートは端子 V B G に電氣的に接続されればよい。またトランジスタ 8 1 がバックゲートを有する場合には、該バックゲートは端子 V S S に電氣的に接続されればよい。

[0 1 2 0]

<増幅回路の動作例 2 >

図 4 B に示す増幅回路 7 1 の動作の一例を、図 2 B を用いて説明する。

[0 1 2 1]

時刻  $t_0$  において、端子 S E T 1 からトランジスタ 8 2 のゲートに信号が与えられてトランジスタ 8 2 がオン状態となる。よって端子 B I A S 1 からトランジスタ 8 2 を介してノード N D 2 に信号が与えられ、ノード N D 2 の電位は電位 V 2 となる。また、端子 5 1 から信号が出力され、ノード N D 1 の電位は電位 V 1 となる。

[0 1 2 2]

時刻  $t_1$  において、端子 S E T 1 からトランジスタ 8 2 のゲートに信号が与えられてトランジスタ 8 2 がオフ状態となる。トランジスタ 8 2 として O S トランジスタを用いる場合にはそのオフ電流が極めて低いため、ノード N D 2 が浮遊状態となる。時刻  $t_2$  において、ノード N D 2 が浮遊状態のまま、保持される。

[0 1 2 3]

ノード N D 1 の電位が一定の場合には、ノード N D 2 の電位も概略一定に保持される。

[0 1 2 4]

ノード N D 1 の電位が変動する場合には、容量素子 6 1 との容量結合により、ノード N D 2 の電位は、ノード N D 1 の電位の変動に相当する量だけ変動する。

[0 1 2 5]

電位 V 2 を動作点として増幅回路 7 1 を動作させることができる。電位 V 2 が好適な値となるように、端子 B I A S 1 から好適な信号を与えればよい。電位 V 2 は例えば、トランジスタ 8 1 の動作領域が好適となるように調整すればよい。トランジスタ 8 1 を例えば飽和領域において動作させればよい。

[0 1 2 6]

あるいは電位 V 2 は端子 V D D に与えられる電位と端子 V S S に与えられる電位の中の電位であることが好ましい。

[0 1 2 7]

電位 V 2 を好適な値とすることにより、増幅回路 7 1 の利得をさらに高めることができる。また、増幅回路 7 1 の出力レンジをさらに広げることができる。

[0 1 2 8]

<増幅回路の動作例 3 >

図 3 に示す増幅回路 8 0 の動作例を、図 5 に示すタイミングチャートを用いて説明する。

[0 1 2 9]

時刻  $t_0$  において、端子 S E T 2 には高電位信号が与えられ、トランジスタ 2 3 a、2 3 b および 2 3 c がオン状態となる。端子 2 1 a および端子 2 2 a には、初期化するための電位として、端子 V R E F 1 の電位が与えられる。増幅回路 1 1 b および 1 1 c の端子 2 1 および端子 2 2 には、初期化するための電位として、端子 V R E F 2 の電位が、それぞれ与えられる。初期化するための

電位とは例えば、端子VREF1または端子VREF2が電氣的に接続される入力端子（端子21および端子22）を有する増幅回路において、入力電位の範囲の例えば中心近傍の値を与えればよい。あるいは例えば、接地電位、低電位信号、等の基準となる信号を与えればよい。

[0130]

また時刻t0において、端子SET1には高電位信号が与えられ、図2Bの説明において述べた通り、増幅回路11a、11bおよび11cのそれぞれにおいてトランジスタ83a、83bおよび34のゲートと、トランジスタ34のバックゲートにはそれぞれ所望の電位が与えられる。また、増幅回路71において、端子SET1からトランジスタ82のゲートへ高電位信号が与えられ、トランジスタ82がオン状態となり、トランジスタ81のゲートに端子BIAS1の電位が与えられる。また、端子SET1からトランジスタ84のゲートへ高電位信号が与えられ、トランジスタ84がオン状態となり、トランジスタ83のゲートに端子VDDの電位が与えられる。

[0131]

時刻t1において、端子SET1には低電位信号が与えられ、図2Bの説明において述べた通り、増幅回路11a、11bおよび11cのそれぞれにおいて、トランジスタ83a、83bおよび34のゲートと、トランジスタ34のバックゲートにはそれぞれに与えられた所望の電位が保持される。また、増幅回路71において、トランジスタ81のゲートと、トランジスタ83のゲートにはそれぞれ与えられた所望の電位が保持される。

[0132]

時刻t2において、端子SETB1には高電位信号が与えられ、図2Bの説明において述べた通り、増幅回路11a、11bおよび11cのそれぞれにおいて、トランジスタ34のバックゲートに与えられる電位が低くなり、ノードND3およびノードND6の電位が上昇する。

[0133]

時刻t3において、端子SET2に低電位信号が与えられ、トランジスタ23a、23b、23c、24a、24bおよび24cはオフ状態となる。増幅回路11aにおいて、端子21および端子22に与えられた電位は保持され、端子VREF1から浮遊した状態となる。増幅回路11bおよび11cにおいて、端子21および端子22に与えられた電位は保持され、端子VREF2から浮遊した状態となる。増幅回路11a、11bおよび11cの端子21および端子22に、初期化された電位が保持される。

[0134]

時刻t4において、端子SETB2に高電位信号が与えられ、トランジスタ91およびトランジスタ92がオン状態となり、増幅回路11aの端子21には端子INP1からの信号が与えられ、端子22には端子INM1からの信号が与えられる。増幅回路11aの端子51の電位および端子52の電位は、端子21および端子22のそれぞれに与えられた信号に応じて変化する。具体的には例えば、端子21と端子22の信号の差分が増幅された値が、端子51と端子52の差分として出力される。

[0135]

増幅回路11aの端子51の電位が変化すると、増幅回路11bの端子21の電位も、容量素子65aの容量結合により、端子51の電位の変化と同程度、変化する。増幅回路11aの端子52の電位が変化すると、増幅回路11bの端子22の電位も、容量素子66aの容量結合により同程度、変化する。ここで増幅回路11bの端子21および端子22には、初期化された電位を基準と

して電位を与えることができる。同様に、増幅回路 1 1 c の端子 2 1 および端子 2 2 には、初期化された電位を規準として電位を与えることができる。

[0 1 3 6]

図 3 に示す増幅回路 8 0 は、端子 VREF 1 や端子 VREF 2 を介して初期化電位が与えられる構成を有する。図 1 7 A に初期化電位が与えられない構成の増幅回路を示す。

[0 1 3 7]

図 1 7 A に示す増幅回路 8 0 z は、図 1 7 B に示す増幅回路 1 1 x の構成を複数段繰り返した構成の後に、図 1 8 に示す増幅回路 1 1 y の構成を一、または複数段繰り返した構成である。

[0 1 3 8]

増幅回路 8 0 z において、入力端子 INP z は 1 段目の増幅回路 1 1 x の入力端子 2 1 z に、入力端子 INM z は 1 段目の増幅回路 1 1 x の入力端子 2 2 z に、それぞれ電氣的に接続される。1 段目の増幅回路の出力端子 5 1 z は次段の増幅回路の入力端子 2 1 z に、1 段目の増幅回路の出力端子 5 2 z は次段の増幅回路の入力端子 2 2 z に、それぞれ電氣的に接続される。増幅回路 1 1 y の入力端子 5 1 w は、複数段の増幅回路 1 1 x の最終段の出力端子 5 1 z と電氣的に接続され、入力端子 5 2 w は、複数段の増幅回路 1 1 x の最終段の出力端子 5 2 z と電氣的に接続される。

[0 1 3 9]

図 1 7 B に示す増幅回路 1 1 x は、トランジスタ 3 1 に替えて、直列に接続される 2 つのトランジスタ（トランジスタ 3 1\_\_1 およびトランジスタ 3 1\_\_2）を用い、トランジスタ 3 2 に替えて、直列に接続される 2 つのトランジスタ（トランジスタ 3 2\_\_1 およびトランジスタ 3 2\_\_2）を用い、トランジスタ 3 4 に替えて、直列に接続される 2 つのトランジスタ（トランジスタ 3 4\_\_1 およびトランジスタ 3 4\_\_2）を用いる。また、図 2 A に示す増幅回路 1 1 のトランジスタ 8 3 a に替えて、直列に接続される 2 つのトランジスタ（トランジスタ 8 3 a\_\_1 およびトランジスタ 8 3 a\_\_2）を用い、トランジスタ 8 3 b に替えて、直列に接続される 2 つのトランジスタ（トランジスタ 8 3 b\_\_1 およびトランジスタ 8 3 b\_\_2）を用いる。

[0 1 4 0]

トランジスタ 3 1\_\_1 およびトランジスタ 3 1\_\_2 のゲートは入力端子 2 1 z に、トランジスタ 3 2\_\_1 およびトランジスタ 3 2\_\_2 のゲートは入力端子 2 2 z に、それぞれ電氣的に接続される。

[0 1 4 1]

図 2 A においてはトランジスタ 4 5 を介して端子 BIAS 1 の電位がトランジスタ 3 4 のゲートに与えられるが、図 1 7 B においては、トランジスタ 3 4\_\_1 およびトランジスタ 3 4\_\_2 のゲートと、端子 BIAS 1 が、トランジスタ 4 5 を介さずに電氣的に接続される。よって、図 1 7 B においてはトランジスタ 4 5 を介さずに端子 BIAS 1 の電位がトランジスタ 3 4\_\_1 およびトランジスタ 3 4\_\_2 のゲートに与えられる

[0 1 4 2]

図 2 (A) においてはトランジスタ 8 4 a（トランジスタ 8 4 b）を介して端子 VBCS の電位がトランジスタ 8 3 a（トランジスタ 8 3 b）のゲートに与えられるが、図 1 7 (B) では、トランジスタ 8 3 a\_\_1、トランジスタ 8 3 a\_\_2、トランジスタ 8 3 b\_\_1 およびトランジスタ 8 3 b\_\_2 のゲートに、端子 VDD が電氣的に接続される。

[0 1 4 3]

図 1 8 に示す増幅回路 1 1 y は、増幅回路 1 1 y は、回路 6 8、回路 6 9、入力端子 5 1 w、入

力端子52w、出力端子53z、トランジスタ72乃至75、トランジスタ76a乃至76d、トランジスタ77乃至79を有する。

[0144]

増幅回路11yは、入力端子51wと入力端子52wの差分に応じた信号をノードND7に与える機能を有し、ノードND7の信号の電圧がシフトした電圧を、出力端子53zから出力する機能を有する。

[0145]

また、回路68は端子ENの電位に応じて、ノードND8の電位を端子VSSの間を導通状態にする機能と、非導通状態にする機能と、を有する。回路68は、ノードND8と、端子VSSとの間に直列に接続された複数のトランジスタで構成され、それぞれのトランジスタのゲートが端子ENに電氣的に接続され、バックゲートが端子VBGに電氣的に接続される。

[0146]

また回路69は端子ENに所望の信号が与えられると、出力端子53zの電位を端子VSSからの電位にリセットする機能を有する。

[0147]

トランジスタ72のゲートおよびバックゲートは入力端子51wに電氣的に接続される。トランジスタ74のゲートおよびバックゲートは入力端子52wに電氣的に接続される。トランジスタ72のソースおよびドレインの一方は端子VDDに電氣的に接続され、他方はトランジスタ73のゲートおよびトランジスタ75のゲートに電氣的に接続される。トランジスタ74のソースおよびドレインの一方は端子VDDに電氣的に接続され、他方はノードND7に電氣的に接続される。トランジスタ73のソースおよびドレインの一方はトランジスタ75のゲートに電氣的に接続され、他方は端子VSSに電氣的に接続される。トランジスタ75のソースおよびドレインの一方はノードND7に電氣的に接続され、他方は端子VSSに電氣的に接続される。

[0148]

ノードND7の電位はトランジスタ77のゲートおよびトランジスタ79のゲートに与えられる。

[0149]

増幅回路11yは、直列に接続された4つのトランジスタ（順にトランジスタ76a、76b、76cおよび76d）を有する。直列に接続された4つのトランジスタの一端は端子VDDに、他端はトランジスタ77のソースおよびドレインの一方にそれぞれ電氣的に接続される。トランジスタ77のソースおよびドレインの他方は端子VSSに電氣的に接続される。トランジスタ76a、76b、76cおよびトランジスタ76dのゲートおよびバックゲートはそれぞれ、端子VDDに電氣的に接続される。ノードND8は、トランジスタ76bのソースまたはドレインと、トランジスタ76cのソースまたはドレインが電氣的に接続する節点である。

[0150]

ノードND8の電位はトランジスタ78のゲートおよびバックゲートに与えられる。

[0151]

トランジスタ78のソースおよびドレインの一方は端子VDDに、他方は出力端子53zにそれぞれ電氣的に接続される。トランジスタ79のソースおよびドレインの一方は出力端子53zに、他方は端子VSSにそれぞれ電氣的に接続される。

[0152]

トランジスタ 73、75、76 a、76 b、76 c、76 d、77 および 79 のバックゲートは端子 VDD に電氣的に接続される。

[0153]

<半導体装置の例>

図 6 A には本発明の一態様の半導体装置において、本発明の一態様の増幅回路を比較回路（コンパレータともいう）に適用し、比較回路の一方の入力端子に記憶素子が接続される例を示す。図 6 A に示す半導体装置 70 は、記憶素子 114 と、増幅回路 80 と、を有する。

[0154]

増幅回路 80 は、入力端子として機能する端子 INP1 および端子 INM1 の 2 つの端子と、出力端子として機能する端子 53 と、を有する比較回路として機能する。端子 INP1 と端子 INM1 のそれぞれに入力される信号の比較結果に応じて、端子 53 から信号が出力される。端子 INP1 および端子 INM1 の一方は非反転入力端子、他方は反転入力端子として機能することが好ましい。

[0155]

増幅回路 80 を比較回路として用いる一例を説明する。非反転入力端子および反転入力端子の一方には基準信号が与えられ、他方には該基準信号と比較される信号が与えられる。図 6 A においては、端子 22 に基準信号が与えられる例を示す。

[0156]

ここで、基準信号は記憶素子に保持されることが好ましい。基準信号を記憶素子に保持することにより、信号供給回路から基準信号を与えた後、該信号供給回路との接続を切断することができる。これにより例えば、該信号供給回路の全体、あるいは一部において、電源を遮断することができる。

[0157]

記憶素子として、図 6 A に示す記憶素子 114 の構成を用いることができる。図 6 A に示す記憶素子 114 は、容量素子 161 およびトランジスタ 162 を有する。トランジスタ 162 のソースおよびドレインの一方は端子 INM1 に電氣的に接続され、他方（図 6 においては端子 VT）には基準信号が与えられる。容量素子 161 の一方の電極は端子 22 に電氣的に接続され、他方には例えば第 2 の基準信号が与えられる。ここで第 2 の基準信号として、接地電位、低電位信号、高電位信号、二次電池の正極または負極の電位、二次電池の正極と負極の電位間を抵抗分割した値、等を用いてもよい。

[0158]

トランジスタ 162 として、OS トランジスタを用いることが好ましい。なお図 6 A においてトランジスタ 162 はバックゲートを有するが、有さない構成としてもよい。

[0159]

記憶素子 114 への基準信号の保持を行うための動作例を示す。まずトランジスタ 162 をオン状態とし、端子 VT へ信号を与え、トランジスタ 162 を介して端子 INM1 に該信号に対応する電位を与える。その後、トランジスタ 162 をオフ状態とする。トランジスタ 162 として OS トランジスタを用いることにより、トランジスタ 162 のオフ電流を極めて低くすることができる。よって端子 22 に与えられた電位を保持することができる。

[0160]

図 6 B には、本発明の一態様の半導体装置を蓄電システムに適用する一例を示す。蓄電システム

100は半導体装置70および二次電池121を有する。増幅回路80の端子21には二次電池121の正極が電氣的に接続される。端子22には例えば、正極として好ましい範囲の電圧領域の上限、あるいは下限が保持される。二次電池121として二次電池、キャパシタ、等の蓄電デバイスを用いることができる。例えば二次電池121としてリチウムイオン二次電池を用いることができる。またリチウムイオン二次電池に限定されず、二次電池の正極材料として例えば、元素A、元素X、及び酸素を有する材料を用いることができる。元素Aは第1族の元素および第2族の元素から選ばれる一以上である。第1族の元素として例えば、リチウム、ナトリウム、カリウム等のアルカリ金属を用いることができる。また、第2族の元素として例えば、カルシウム、ベリリウム、マグネシウム等を用いることができる。元素Xとして例えば金属元素、シリコン及びリンから選ばれる一以上を用いることができる。また、元素Xはコバルト、ニッケル、マンガン、鉄、及びバナジウムから選ばれる一以上である。代表的には、リチウムコバルト複合酸化物 $\text{LiCoO}_2$ や、リン酸鉄リチウム $\text{LiFePO}_4$ が挙げられる。

[0161]

図19には、蓄電システム100において二次電池に接続される半導体装置70が、増幅回路80および記憶素子114に加えて、制御回路99、トランジスタ140およびトランジスタ150を有する例を示す。

[0162]

図6Bおよび図19においては、端子INP1が二次電池121の正極に接続される例を示すが、端子INM1を二次電池121の正極に電氣的に接続し、端子INP1を記憶素子114に接続する構成としてもよい。

[0163]

端子22に電圧領域の上限が保持される場合には、端子INP1の電位が端子INM1の電位を上回ると、端子53からの信号が反転する。このような機能を用いて例えば、過充電の制御を行うことができる。また例えば直列に接続された複数の二次電池の各々において、一の増幅回路を一の二次電池の正極に電氣的に接続することにより、セルバランスの制御を行うことができる。また、端子22に電圧領域の下限が保持される場合には、例えば過放電の制御を行うことができる。また、端子53に二次電池の電流値に対応する電位が保持される場合には、過電流の制御を行うことができる。信号の反転とは例えば高電位信号が低電位信号に、低電位信号が高電位信号に変化することを指す。信号の反転に伴い、端子53からの出力が与えられる回路において、与えられた信号に応じて二次電池121の制御が行われる。

[0164]

また図19に示すように、半導体装置70は、トランジスタ140およびトランジスタ150を有することが好ましく、トランジスタ140およびトランジスタ150のオンとオフは制御回路99により制御することができる。図19において、トランジスタ140のソースおよびドレインの一方が二次電池121の負極に電氣的に接続され、他方がトランジスタ150のソースおよびドレインの一方に電氣的に接続され、トランジスタ150のソースおよびドレインの他方は端子VMに電氣的に接続される。図19に示す半導体装置70は制御回路99を有し、増幅回路80の出力端子として機能する端子53からの信号は、制御回路99へ与えられる。制御回路99は端子53から与えられる信号を用いて、二次電池の充電条件や、放電条件の制御を行う。また、制御回路99は、トランジスタ140およびトランジスタ150を用いた電流の遮断が必要と判断する場合には、



トランジスタ140のゲートおよびトランジスタ150のゲートに信号を与え、二次電池の充電電流または放電電流を遮断することにより、二次電池121を保護することができる。なお、トランジスタ140およびトランジスタ150はそれぞれ、寄生ダイオードを有することが好ましい。寄生ダイオードの一例については後述する。あるいは、トランジスタ140およびトランジスタ150に並列に、ダイオードを接続してもよい。

[0165]

また、図24Aには、本発明の一態様の蓄電システム100が充電検出回路13を有する例を示す。図24Aにおいて、充電検出回路13は、トランジスタM1、トランジスタM3と、プルアップ抵抗R1、インバータX1で構成される。また、回路15は記憶素子114、増幅回路80および制御回路99を有する。回路15へ与えられる電源電位にはパワースイッチといえるトランジスタM2を介して電池の電源電位が供給される。また、図24Aに示す蓄電システム100は、遮断用スイッチ12を有する。遮断用スイッチ12はトランジスタ140およびトランジスタ150を有する。トランジスタ140およびトランジスタ150は寄生ダイオードを有する。

[0166]

回路15は、図24Aに示す構成に加えて、遅延検出ロジック回路、オシレータ回路、残量計用回路、マイクロショート検出回路、マイクロショート発生予測回路などのいずれか一または複数有することが好ましい。

[0167]

トランジスタM3はS1の電位保持を実現するために用いられる極めて低いオフリーク電流特性を有する。図24Aにおいて、各トランジスタはバックゲートを有していない例を示しているが、特に限定されず、バックゲートを有していてもよい。

[0168]

蓄電システム100がオン状態のとき、S1がHigh (VDD)であるため、インバータX1の入力電位はLowとなり、トランジスタM2のゲート電位(インバータX1の出力電位)はHighとなる。つまり、トランジスタがオン状態になるため、回路15はVSSが供給される状態になる。

[0169]

一方、蓄電システム100がオフ状態のとき、S1がLow (VSS)であるため、インバータX1の入力電位はHighとなり、トランジスタM2のゲート電位(インバータX1の出力電位)はLowとなる。つまり、トランジスタM2がオフ状態になるため、回路15はVSSが供給されない状態(パワーゲーティング状態)になる。したがって、トランジスタM2に極めて低いオフリーク特性を有するスイッチ(例えば、OSトランジスタ)を用いることで、回路15のオフリーク電流を低減することができる。OSトランジスタの半導体層として、インジウム、ガリウム、亜鉛からなる酸化物半導体を用いることが好ましい。

[0170]

また、オフリークを特に抑えたい過放電状態のとき、G2の電位がVDDに上昇するため、S1-G2の電位差となるトランジスタM1のゲートソース間の電圧Vgsが0Vに近づくことでトランジスタM1はオフ状態になる。このとき、プルアップ抵抗R1によってインバータX1の入力電位はHighとなり、トランジスタM2のゲート電位(インバータX1の出力電位)はLowとなる。つまり、トランジスタM2がオフ状態になるため、回路15は電圧VSSが供給されない状

態（パワーゲーティング状態）になる。したがって、トランジスタM2に極めて低いオフリーク特性を有するスイッチ（例えば、OSトランジスタ）を用いることで、回路15のオフリーク電流を低減することができる。その後、充電が開始されると、G2の電位がVSSに引き戻されることで、システムがオン状態のときと同様の回路状態に戻り、回路15にVSSが供給される状態になる。

[0171]

トランジスタM3のゲート制御信号はS1のノードを保持することを目的とする。回路15からS1に対する電位を供給するが、回路15がオフ状態では出力信号の供給源が存在しなくなるため、不定値となる。S1をメモリとして機能させることで、回路15がオフ状態においても充電検出を正しく機能させることができる。

[0172]

トランジスタM1とプルアップ抵抗R1の電流供給能力でインバータX1の入力電位が決定するため、トランジスタM1はプルアップ抵抗R1に比べて十分にオン電流が大きく、十分にオフ電流が小さい必要がある。また、プルアップ抵抗R1はトランジスタを用いたプルアップトランジスタで構成してもよい。トランジスタM1+M3と同じ接続構成でプルアップ抵抗を実現すれば、書き込み電位の値によってプルアップ電流の量を調節できる。

[0173]

回路15による二次電池の検出結果に応じてトランジスタM2のON/OFF制御ができるように、回路15からトランジスタM3に与える信号の出力論理を合わせる。

[0174]

半導体装置70は、二次電池121の充電電流および放電電流を検出し、積算して電荷量を算出するクーロンカウンタを有してもよい。クーロンカウンタは残量計として機能することが好ましい。クーロンカウンタを用いて二次電池のSOCを推定することができる。

[0175]

図24Bには、マイクロショート検出回路の構成例を示す。図24Bに示すマイクロショート検出回路は、トランジスタ211乃至トランジスタ215、容量素子C11、および、コンパレータ250を有する。コンパレータ250として増幅回路80等の構成を用いることができる。なお、本明細書等で説明する図面においては、主な信号の流れを矢印または線で示しており、電源線等は省略する場合がある。またコンパレータ250として、ヒステリシスコンパレータを用いてもよい。なお、図24Bに示すマイクロショート検出回路は複数の直列に接続された電池セルにおいて検出を行ってもよいし、電池セルの一毎に検出をおこなってもよい。

[0176]

また、図24Bに示すマイクロショート検出回路は、端子VC1、所定の電位VB1が供給される配線VB1\_IN、所定の電位VB2が供給される配線VB2\_IN、サンプリング信号が供給される配線SH\_INを有する。

[0177]

ここで、所定の電位VB1は、所定の電位VB2より高い電位であり、所定の電位VB2は、端子VSSSの電位より高い電位である。

[0178]

トランジスタ211乃至トランジスタ215は、nチャネル型のトランジスタである。本明細書等では、マイクロショート検出回路を、nチャネル型のトランジスタを用いて構成した例を示すが、

pチャネル型のトランジスタであってもよい。nチャネル型のトランジスタを用いて構成した回路図から、トランジスタをpチャネル型に変更することは、当業者であれば容易に理解できるため、その説明は省略する。

[0179]

トランジスタ211のソースまたはドレインの一方は、端子VSSSと電氣的に接続され、トランジスタ211のソースまたはドレインの他方は、トランジスタ212のソースまたはドレインの一方、および、トランジスタ215のソースまたはドレインの一方と電氣的に接続され、トランジスタ211のゲートは、配線VB1\_\_INと電氣的に接続され、トランジスタ212のソースまたはドレインの他方、および、トランジスタ212のゲートは、端子VC1と電氣的に接続してもよい。

[0180]

トランジスタ213のソースまたはドレインの一方は、端子VSSSと電氣的に接続され、トランジスタ213のソースまたはドレインの他方は、トランジスタ214のソースまたはドレインの一方、および、コンパレータ250の反転入力端子と電氣的に接続され、トランジスタ213のゲートは、配線VB2\_\_INと電氣的に接続され、トランジスタ214のソースまたはドレインの他方、および、トランジスタ214のゲートは、端子VC1と電氣的に接続してもよい。

[0181]

また、トランジスタ215のソースまたはドレインの他方は、容量素子C11の一方の端子、および、コンパレータ250の非反転入力端子と電氣的に接続され、トランジスタ215のゲートは、配線SH\_\_INと電氣的に接続され、容量素子C11の他方の端子は、端子VSSSと電氣的に接続される。なお、容量素子C11の他方の端子は、所定の電位が供給される配線であれば、端子VSSS以外の配線と電氣的に接続されてもよい。

[0182]

ここで、トランジスタ211のソースまたはドレインの他方と、トランジスタ212のソースまたはドレインの一方、および、トランジスタ215のソースまたはドレインの一方が、電氣的に接続された接続部をノードN11と呼称し、トランジスタ213のソースまたはドレインの他方と、トランジスタ214のソースまたはドレインの一方、および、コンパレータ250の反転入力端子が、電氣的に接続された接続部をノードN12と呼称し、トランジスタ215のソースまたはドレインの他方と、容量素子C11の一方の端子、および、コンパレータ250の非反転入力端子が、電氣的に接続された接続部をノードN13と呼称する。

[0183]

また、トランジスタ211およびトランジスタ212は、第1ソースフォロワを構成し、トランジスタ213およびトランジスタ214は、第2ソースフォロワを構成する。すなわち、トランジスタ211のゲートは、第1ソースフォロワの入力に相当し、第1ソースフォロワの出力はノードN11に与えられる。トランジスタ213のゲートは、第2ソースフォロワの入力に相当し、第2ソースフォロワの出力はノードN12に与えられる。

[0184]

組電池において充電が開始されると、配線SH\_\_INへ与えられるサンプリング信号は所定の時間ごとにハイレベルとなる。電位VB1として電位VB2より高い電位を与える。充電に伴い、ノードN11の電位およびノードN12の電位が上昇する。

[0185]

マイクロショートが発生により正極電位が瞬間的に低下すると、ノードN11およびノードN12の電位は瞬間的に低下する。一方、配線SH\_INへ与えられるサンプリング信号がローレベルの場合、ノードN13の電位はノードN11の電位に影響されず、ノードN12の電位がノードN13の電位より低くなる。すると、コンパレータ250の出力が反転し、マイクロショートが検出される。

[0186]

また、マイクロショートの検出精度を高めるため、二次電池の電圧をアナログデジタル変換回路によりデジタルデータに変換し、プロセッサユニット等を用いて該デジタルデータを基に演算を行い、充電の波形または放電の波形を解析し、マイクロショートの検出、またはマイクロショートの予測を行ってもよい。例えば、充電の波形または放電の波形において、各時間ステップの電圧誤差の変位を用いてマイクロショートの検出、あるいは予測を行う。電圧誤差の変位とは、電圧誤差を算出し、前のステップとの差を算出することにより求められる。

[0187]

マイクロショートの検出精度を高めるため、ニューラルネットワークを用いてもよい。

[0188]

ニューラルネットワークとは手法であり、ニューラルネットワーク部（例えば、CPU (Central Processing Unit)、GPU (Graphics Processing Unit)、APU (Accelerated Processing Unit)、メモリなどを含む）で行うニューラルネットワーク処理である。なお、APUは、CPUとGPUを一つに統合したチップを指している。

[0189]

デバイスに搭載される二次電池は、放電に関しては使用者の使用方法に依存しやすいためランダムであるが、充電に関しては充電条件がきまっているため、放電に比べれば充電は予想しやすいといえる。ある程度多くの充電カーブを学習用のデータとすることで正確な値をニューラルネットワークを用いて予測することができる。充電カーブを取得すれば、ニューラルネットワークを利用して初期SOC (0)、FCC、 $R_0$ 、 $R_d$ 、 $C_d$ を得ることができる。ニューラルネットワークの演算には例えばマイクロプロセッサ等を用いればよい。

[0190]

具体的には、得られる様々なデータを機械学習または人工知能を用いて評価、及び学習し、予想される二次電池の劣化度合いを解析し、異常があれば二次電池への充電を停止、または定電流充電の電流密度を調整する。

[0191]

定電流充電の電流密度の調整は、トランジスタ140およびトランジスタ150のオン電流を制御することにより行ってもよい。

[0192]

例えば、電気自動車において、走行中に学習データの取得ができ、二次電池の劣化状態を把握することができる。なお、二次電池の劣化状態の予測にはニューラルネットワークを用いる。ニューラルネットワークは、隠れ層を複数有するニューラルネットワーク、すなわち、ディープニューラルネットワークによって構成することができる。なお、ディープニューラルネットワークにおける

学習を、ディープラーニングと呼ぶことがある。

[0193]

機械学習は、まず、学習データから特徴値を抽出する。時間によって変化する相対的変化量の特徴値として抽出し、抽出された特徴値に基づいてニューラルネットワークを学習させる。学習手段は時間区間ごとに互いに異なる学習パターンに基づいてニューラルネットワークを学習させることができる。学習データに基づいた学習結果に従ってニューラルネットワークに適用された結合重みを更新することができる。

[0194]

ニューラルネットワークを用いて行う二次電池の充電状態推定方法としては、回帰モデル、例えばカルマンフィルタなどを用いて計算処理して得ることもできる。

[0195]

カルマンフィルタは、無限インパルス応答フィルタの一種である。また、重回帰分析は多変量解析の一つであり、回帰分析の独立変数を複数にしたものである。重回帰分析に用いることができる演算手法としては、最小二乗法などがある。回帰分析では観測値の時系列が多く必要とされる一方、カルマンフィルタは、ある程度のデータの蓄積さえあれば、逐次的に最適な補正係数が得られるメリットを有する。また、カルマンフィルタは、非定常時系列に対しても適用できる。

[0196]

二次電池の内部抵抗及び充電率（SOC）を推定する方法として、非線形カルマンフィルタ（具体的には無香料カルマンフィルタ（UKFとも呼ぶ））を利用することができる。また、拡張カルマンフィルタ（EKFともよぶ）を用いることもできる。SOCとは、充電状態（充電率ともよぶ）を示しており、満充電時を100%、完全放電時を0%とする指標である。

[0197]

最適化アルゴリズムにより得られた初期パラメータを $n$ （ $n$ は整数、例えば50）サイクル毎に集め、それらのデータ群を教師データに用いてニューラルネットワーク処理することで高精度のSOCの推定を行うことができる。

[0198]

学習システムは、教師作成装置及び学習装置を有する。教師データ作成装置は、学習装置が学習する際に利用する教師データを作成する。教師データとは処理対象データと認識対象が同一のデータと、そのデータに対応するラベルの評価とを含む。教師データ作成装置は、入力データ取得部、評価取得部、教師データ作成部とを有する。入力データ取得部は、記憶装置に記憶されたデータから取得してもよいし、インターネットを介して学習の入力データを取得してもよく、入力データとは学習に用いるデータであり、二次電池の電流値や電圧値を含む。また、教師データとしては、実測のデータでなくともよく、初期パラメータを条件振りすることで多様性を持たせ、実測に近いデータを作成し、それらの所定の特性データベースを教師データに用いてニューラルネットワーク処理することで充電率（SOC）を推定してもよい。ある一つの電池の充放電特性を基に、実測に近いデータを作成し、それらの所定の特性データベースを教師データに用いてニューラルネットワーク処理することで、同種の電池のSOC推定を効率よく行うこともできる。

[0199]

二次電池の劣化が進んだ場合、初期パラメータのFCCが大きく変化するとSOCの誤差が生じる恐れがあるため、SOCの推定のための演算に用いる初期パラメータを更新してもよい。更新す

る初期パラメータは、予め実測した充放電特性のデータを用いて最適化アルゴリズムにより算出する。更新された初期パラメータを用いた回帰モデル、例えばカルマンフィルタで計算処理することで、劣化後であっても高精度のSOCの推定を行うことができる。本明細書ではカルマンフィルタを用いて計算処理することをカルマンフィルタ処理するとも表現する。

[0200]

初期パラメータを更新するタイミングは任意でよいが、高い精度でSOCの推定を行うためには、更新頻度は多い方が好ましく、定期的、連続的に更新するほうが好ましい。なお、二次電池の温度が高い状態において、SOCが高いと劣化が進みやすい場合がある。このような場合には、二次電池の放電を行い、SOCを低くすることにより二次電池の劣化を抑制することが好ましい。

[0201]

また、蓄電システム100は、二次電池121の温度を測定し、測定された温度に基づき電池セルの充電および放電を制御する機能を有してもよい。例えば低い温度においては二次電池の抵抗が増加する場合があるため、充電電流密度および放電電流密度を小さくする場合がある。また高い温度においては二次電池の抵抗が減少する場合があるため、放電電流密度を高くする場合がある。また、高い温度において充電電流を高くすることにより、二次電池特性の劣化が懸念される場合には例えば、劣化が抑制される充電電流に制御すればよい。充電条件、放電条件等のデータは、半導体装置70が有する記憶回路等に格納されることが好ましい。また、充電により半導体装置70、あるいは二次電池121の温度が上昇する場合がある。このような場合には、測定される温度に合わせて、充電の制御を行うことが好ましい。例えば温度の上昇に伴い、充電電流を抑制すればよい。

[0202]

半導体装置70において、端子INP1に例えば、温度に応じて電圧が変化する素子を電気的に接続し、端子VTに基準となる温度に対応する電圧を記憶することにより、温度センサとして機能させることができる。ここで、温度に応じた電圧は、電流を電圧に変換した値でもよい。

[0203]

<OSトランジスタ>

OSトランジスタは、チャンネル形成領域に酸化物半導体を有する。酸化物半導体として、少なくともインジウムまたは亜鉛を含む金属酸化物を用いることが好ましい。特に、インジウムおよび亜鉛を含む金属酸化物を用いる事が好ましい。またそれらに加えて、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0204]

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有するIn-M-Zn酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、または錫とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0205]

以上、本実施の形態で示す構成、方法は、他の実施の形態で示す構成、方法と適宜組み合わせ

用いることができる。

[0206]

(実施の形態2)

本実施の形態では、上記実施の形態で説明した半導体装置に用いることができる、OSトランジスタの構成例について説明する。なお、OSトランジスタは薄膜トランジスタであり、積層して設けることができるため、本実施の形態では、単結晶シリコン基板に形成されたSiトランジスタの上方に、OSトランジスタを設けた半導体装置の構成例について説明する。

[0207]

<半導体装置の構成例>

図7に示す半導体装置は、トランジスタ300と、トランジスタ500、および容量素子600を有している。図8Aはトランジスタ500のチャンネル長方向の断面図であり、図8Bはトランジスタ500のチャンネル幅方向の断面図であり、図8Cはトランジスタ300のチャンネル幅方向の断面図である。

[0208]

トランジスタ500は、チャンネル形成領域に金属酸化物を有するトランジスタ(OSトランジスタ)である。トランジスタ500は、オフ電流が非常に小さい特徴を有する。

[0209]

本実施の形態で説明する半導体装置は、図7に示すように、トランジスタ300、トランジスタ500、および容量素子600を有する。トランジスタ500はトランジスタ300の上方に設けられ、容量素子600は、トランジスタ300およびトランジスタ500の上方に設けられている。

[0210]

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、およびソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。

[0211]

トランジスタ300は、図8Cに示すように、半導体領域313の上面およびチャンネル幅方向の側面が絶縁体315を介して導電体316に覆われている。このように、トランジスタ300をFin型とすることにより、実効上のチャンネル幅が増大し、トランジスタ300のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ300のオフ特性を向上させることができる。

[0212]

なお、トランジスタ300は、pチャンネル型、あるいはnチャンネル型のいずれでもよい。

[0213]

半導体領域313のチャンネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域314a、および低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge(ゲルマニウム)、SiGe(シリコンゲルマニウム)、GaAs(ガリウムヒ素)、GaAlAs(ガリウムアルミニウムヒ素)、InP(リン化インジウム)、SiC(シリコンカーバイド)、ZnSe(セレン化亜鉛)、GaN(窒化ガリウム)、GaO<sub>x</sub>(酸化ガリウム;xは0より大きい実数)などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質

量を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT (High Electron Mobility Transistor) としてもよい。

[0214]

低抵抗領域314a、および低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

[0215]

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

[0216]

なお、導電体の材料により、仕事関数が定まるため、導電体の材料を変更することで、トランジスタの $V_{th}$ を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0217]

なお、図7に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0218]

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。

[0219]

絶縁体320、絶縁体322、絶縁体324、および絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0220]

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨 (CMP) 法等を用いた平坦化処理により平坦化されていてもよい。

[0221]

また、絶縁体324には、基板311、またはトランジスタ300などから、トランジスタ500が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0222]

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散



を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0223]

水素の脱離量は、例えば、昇温脱離ガス分析（TDS分析）法などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0224]

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0225]

また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には容量素子600、またはトランジスタ500と接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330は、プラグまたは配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0226]

各プラグ、および配線（導電体328、および導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0227]

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図7において、絶縁体350、絶縁体352、および絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、および絶縁体354には、導電体356が形成されている。導電体356は、トランジスタ300と接続するプラグ、または配線としての機能を有する。なお導電体356は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0228]

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0229]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ300からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

[0230]

絶縁体354、および導電体356上に、配線層を設けてもよい。例えば、図7において、絶縁体360、絶縁体362、および絶縁体364が順に積層して設けられている。また、絶縁体360、絶縁体362、および絶縁体364には、導電体366が形成されている。導電体366は、プラグまたは配線としての機能を有する。なお導電体366は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0231]

なお、例えば、絶縁体360は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体366は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体360が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0232]

絶縁体364、および導電体366上に、配線層を設けてもよい。例えば、図7において、絶縁体370、絶縁体372、および絶縁体374が順に積層して設けられている。また、絶縁体370、絶縁体372、および絶縁体374には、導電体376が形成されている。導電体376は、プラグまたは配線としての機能を有する。なお導電体376は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0233]

なお、例えば、絶縁体370は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体376は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体370が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0234]

絶縁体374、および導電体376上に、配線層を設けてもよい。例えば、図7において、絶縁体380、絶縁体382、および絶縁体384が順に積層して設けられている。また、絶縁体380、絶縁体382、および絶縁体384には、導電体386が形成されている。導電体386は、プラグまたは配線としての機能を有する。なお導電体386は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0235]

なお、例えば、絶縁体380は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体386は、水素に対するバリア性を有する導電体を含むこ

とが好ましい。特に、水素に対するバリア性を有する絶縁体380が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ300とトランジスタ500とは、バリア層により分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0236]

上記において、導電体356を含む配線層、導電体366を含む配線層、導電体376を含む配線層、および導電体386を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体356を含む配線層と同様の配線層を3層以下にしてもよいし、導電体356を含む配線層と同様の配線層を5層以上にしてもよい。

[0237]

絶縁体384上には絶縁体510、絶縁体512、絶縁体514、および絶縁体516が、順に積層して設けられている。絶縁体510、絶縁体512、絶縁体514、および絶縁体516のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

[0238]

例えば、絶縁体510、および絶縁体514には、例えば、基板311、またはトランジスタ300を設ける領域などから、トランジスタ500を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体324と同様の材料を用いることができる。

[0239]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0240]

また、水素に対するバリア性を有する膜として、例えば、絶縁体510、および絶縁体514には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0241]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

[0242]

また、例えば、絶縁体512、および絶縁体516には、絶縁体320と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体512、および絶縁体516として、酸化シリコン膜や窒化シリコン膜などを用いることができる。

[0243]

また、絶縁体510、絶縁体512、絶縁体514、および絶縁体516には、導電体518、およびトランジスタ500を構成する導電体（導電体503）等が埋め込まれている。なお、導電体518は、容量素子600、またはトランジスタ300と接続するプラグ、または配線としての機能を有する。導電体518は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0244]

特に、絶縁体510、および絶縁体514と接する領域の導電体518は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ500とは、酸素、水素、および水に対するバリア性を有する層で、分離することができ、トランジスタ300からトランジスタ500への水素の拡散を抑制することができる。

[0245]

絶縁体516の上方には、トランジスタ500が設けられている。

[0246]

図8A、図8Bに示すように、トランジスタ500は、絶縁体512および絶縁体516に埋め込まれるように配置された導電体503と、絶縁体516と導電体503の上に配置された絶縁体520と、絶縁体520の上に配置された絶縁体522と、絶縁体522の上に配置された絶縁体524と、絶縁体524の上に配置された酸化物530aと、酸化物530aの上に配置された酸化物530bと、酸化物530b上に、互いに離して配置された導電体542a、および導電体542bと、導電体542aおよび導電体542b上に配置され、導電体542aと導電体542bの間に重畳して開口が形成された絶縁体580と、開口の中に配置された導電体560と、酸化物530b、導電体542a、導電体542b、および絶縁体580と、導電体560と、の間に配置された絶縁体550と、酸化物530b、導電体542a、導電体542b、および絶縁体580と、絶縁体550と、の間に配置された酸化物530cと、を有する。

[0247]

また、図8A、図8Bに示すように、酸化物530a、酸化物530b、導電体542a、および導電体542bと、絶縁体580の間に絶縁体544が配置されることが好ましい。また、図8A、図8Bに示すように、導電体560は、絶縁体550の内側に設けられた導電体560aと、導電体560aの内側に埋め込まれるように設けられた導電体560bと、を有することが好ましい。また、図8A、図8Bに示すように、絶縁体580、導電体560、および絶縁体550の上に絶縁体574が配置されることが好ましい。

[0248]

なお、以下において、酸化物530a、酸化物530b、および酸化物530cをまとめて酸化物530という場合がある。また、導電体542aおよび導電体542bをまとめて導電体542という場合がある。

[0249]

なお、トランジスタ500では、チャネルが形成される領域と、その近傍において、酸化物530a、酸化物530b、および酸化物530cの3層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物530bの単層、酸化物530bと酸化物530aの2層構造、酸化物530bと酸化物530cの2層構造、または4層以上の積層構造を設ける構成にしてもよい。また、トランジスタ500では、導電体560を2層の積層構造として示し

ているが、本発明はこれに限られるものではない。例えば、導電体560が、単層構造であってもよいし、3層以上の積層構造であってもよい。また、図7、図8A、図8Bに示すトランジスタ500は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

#### [0250]

ここで、導電体560は、トランジスタのゲート電極として機能し、導電体542aおよび導電体542bは、それぞれソース電極またはドレイン電極として機能する。上記のように、導電体560は、絶縁体580の開口、および導電体542aと導電体542bに挟まれた領域に埋め込まれるように形成される。導電体560、導電体542aおよび導電体542bの配置は、絶縁体580の開口に対して、自己整合的に選択される。つまり、トランジスタ500において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体560を位置合わせのマージンを設けることなく形成することができるので、トランジスタ500の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

#### [0251]

さらに、導電体560が、導電体542aと導電体542bの間の領域に自己整合的に形成されるので、導電体560は、導電体542aまたは導電体542bと重畳する領域を有さない。これにより、導電体560と導電体542aおよび導電体542bとの間に形成される寄生容量を低減することができる。よって、トランジスタ500のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

#### [0252]

導電体560は、第1のゲート（トップゲート、ともいう）電極として機能する場合がある。また、導電体503は、第2のゲート（バックゲート、あるいはボトムゲート、ともいう）電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と、連動させず、独立して変化させることで、トランジスタ500の $V_{th}$ を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500の $V_{th}$ を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

#### [0253]

導電体503は、酸化物530、および導電体560と、重なるように配置する。これにより、導電体560、および導電体503に電位を印加した場合、導電体560から生じる電界と、導電体503から生じる電界と、がつながり、酸化物530に形成されるチャネル形成領域を覆うことができる。本明細書等において、第1のゲート電極、および第2のゲート電極の電界によって、チャネル形成領域を電氣的に取り囲むトランジスタの構造を、*surrounded channel*（*S-channel*）構造とよぶ。

#### [0254]

また、本明細書等において、*S-channel*構造は、ソース電極およびドレイン電極として機能する導電体542aおよび導電体542bに接する酸化物530の側面及び周辺が、チャネル形成領域と同じくI型であるといった特徴を有する。また、導電体542aおよび導電体542b

に接する酸化物530の側面及び周辺は、絶縁体544と接しているため、チャンネル形成領域と同様にI型となりうる。なお、本明細書等において、I型とは後述する、高純度真性と同様として扱うことができる。また、本明細書等で開示するS-channel構造は、Fin型構造及びプレーナー型構造とは異なる。S-channel構造を採用することで、短チャンネル効果に対する耐性を高める、別言すると短チャンネル効果が発生し難いトランジスタとすることができる。

[0255]

また、導電体503は、導電体518と同様の構成であり、絶縁体514および絶縁体516の開口の内壁に接して導電体503aが形成され、さらに内側に導電体503bが形成されている。

[0256]

絶縁体520、絶縁体522、絶縁体524、および絶縁体550は、ゲート絶縁膜としての機能を有する。

[0257]

ここで、酸化物530と接する絶縁体524は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体524には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物530に接して設けることにより、酸化物530中の酸素欠損を低減し、トランジスタ500の信頼性を向上させることができる。

[0258]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては $100^\circ\text{C}$ 以上 $700^\circ\text{C}$ 以下、または $100^\circ\text{C}$ 以上 $400^\circ\text{C}$ 以下の範囲が好ましい。

[0259]

また、絶縁体524が、過剰酸素領域を有する場合、絶縁体522は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

[0260]

絶縁体522が、酸素や不純物の拡散を抑制する機能を有することで、酸化物530が有する酸素は、絶縁体520側へ拡散することがなく、好ましい。また、導電体503が、絶縁体524や、酸化物530が有する酸素と反応することを抑制することができる。

[0261]

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム ( $\text{SrTiO}_3$ ) または ( $\text{Ba, Sr}$ )  $\text{TiO}_3$  (BST) などのいわゆるhigh-k材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0262]

特に、不純物、および酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530からの酸素の放出や、トランジスタ500の周辺部から酸化物530への水素等の不純物の混入を抑制する層として機能する。

[0263]

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0264]

また、絶縁体520は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、好適である。また、high-k材料の絶縁体を酸化シリコン、または酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体520を得ることができる。

[0265]

なお、絶縁体520、絶縁体522、および絶縁体524が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0266]

トランジスタ500は、チャネル形成領域を含む酸化物530に、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物530として、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物530として、In-Ga酸化物、In-Zn酸化物を用いてもよい。

[0267]

また、トランジスタ500には、キャリア濃度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア濃度を低くする場合には、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、金属酸化物中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0268]

特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。金属酸化物中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、酸素欠損に水素が入った欠陥はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金

属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。

[0269]

酸素欠損に水素が入った欠陥は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

[0270]

よって、金属酸化物を酸化物530に用いる場合、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0271]

また、酸化物530に金属酸化物を用いる場合、チャネル形成領域の金属酸化物のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域の金属酸化物のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0272]

また、酸化物530に金属酸化物を用いる場合、導電体542（導電体542a、および導電体542b）と酸化物530とが接することで、酸化物530中の酸素が導電体542へ拡散し、導電体542が酸化する場合がある。導電体542が酸化することで、導電体542の導電率が低下する蓋然性が高い。なお、酸化物530中の酸素が導電体542へ拡散することを、導電体542が酸化物530中の酸素を吸収する、と言い換えることができる。

[0273]

また、酸化物530中の酸素が導電体542（導電体542a、および導電体542b）へ拡散することで、導電体542aと酸化物530bとの間、および、導電体542bと酸化物530bとの間に異層が形成される場合がある。当該異層は、導電体542よりも酸素を多く含むため、当該異層は絶縁性を有すると推定される。このとき、導電体542と、当該異層と、酸化物530bとの3層構造は、金属-絶縁体-半導体からなる3層構造とみなすことができ、MIS（Metal-Insulator-Semiconductor）構造と呼ぶ、またはMIS構造を主としたダイオード接合構造と呼ぶ場合がある。

[0274]

なお、上記異層は、導電体542と酸化物530bとの間に形成されることに限られず、例えば、



異層が、導電体 5 4 2 と酸化物 5 3 0 c との間に形成される場合や、導電体 5 4 2 と酸化物 5 3 0 b との間、および導電体 5 4 2 と酸化物 5 3 0 c との間に形成される場合がある。

[0 2 7 5]

また、酸化物 5 3 0 においてチャネル形成領域として機能する金属酸化物は、バンドギャップが 2 e V 以上、好ましくは 2 . 5 e V 以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

[0 2 7 6]

酸化物 5 3 0 は、酸化物 5 3 0 b 下に酸化物 5 3 0 a を有することで、酸化物 5 3 0 a よりも下方に形成された構造物から、酸化物 5 3 0 b への不純物の拡散を抑制することができる。また、酸化物 5 3 0 b 上に酸化物 5 3 0 c を有することで、酸化物 5 3 0 c よりも上方に形成された構造物から、酸化物 5 3 0 b への不純物の拡散を抑制することができる。

[0 2 7 7]

なお、酸化物 5 3 0 は、各金属原子の原子数比が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物 5 3 0 a に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 5 3 0 b に用いる金属酸化物における、構成元素中の元素 M の原子数比より、大きいことが好ましい。また、酸化物 5 3 0 a に用いる金属酸化物において、I n に対する元素 M の原子数比が、酸化物 5 3 0 b に用いる金属酸化物における、I n に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 5 3 0 b に用いる金属酸化物において、元素 M に対する I n の原子数比が、酸化物 5 3 0 a に用いる金属酸化物における、元素 M に対する I n の原子数比より大きいことが好ましい。また、酸化物 5 3 0 c は、酸化物 5 3 0 a または酸化物 5 3 0 b に用いることができる金属酸化物を、用いることができる。

[0 2 7 8]

また、酸化物 5 3 0 a および酸化物 5 3 0 c の伝導帯下端のエネルギーが、酸化物 5 3 0 b の伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物 5 3 0 a および酸化物 5 3 0 c の電子親和力が、酸化物 5 3 0 b の電子親和力より小さいことが好ましい。

[0 2 7 9]

ここで、酸化物 5 3 0 a 、酸化物 5 3 0 b 、および酸化物 5 3 0 c の接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物 5 3 0 a 、酸化物 5 3 0 b 、および酸化物 5 3 0 c の接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物 5 3 0 a と酸化物 5 3 0 b との界面、および酸化物 5 3 0 b と酸化物 5 3 0 c との界面において形成される混合層の欠陥準位密度を低くするとよい。

[0 2 8 0]

具体的には、酸化物 5 3 0 a と酸化物 5 3 0 b 、酸化物 5 3 0 b と酸化物 5 3 0 c が、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物 5 3 0 b が I n - G a - Z n 酸化物の場合、酸化物 5 3 0 a および酸化物 5 3 0 c として、I n - G a - Z n 酸化物、G a - Z n 酸化物、酸化ガリウムなどを用いるとよい。

[0 2 8 1]

このとき、キャリアの主たる経路は酸化物 5 3 0 b となる。酸化物 5 3 0 a 、酸化物 5 3 0 c を上述の構成とすることで、酸化物 5 3 0 a と酸化物 5 3 0 b との界面、および酸化物 5 3 0 b と酸

化物530cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ500は高いオン電流を得られる。

[0282]

酸化物530b上には、ソース電極、およびドレイン電極として機能する導電体542（導電体542a、および導電体542b）が設けられる。導電体542としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

[0283]

また、図8Aに示すように、酸化物530の、導電体542との界面とその近傍には、低抵抗領域として、領域543（領域543a、および領域543b）が形成される場合がある。このとき、領域543aはソース領域またはドレイン領域の一方として機能し、領域543bはソース領域またはドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチャネル形成領域が形成される。

[0284]

酸化物530と接するように上記導電体542を設けることで、領域543の酸素濃度が低減する場合がある。また、領域543に導電体542に含まれる金属と、酸化物530の成分とを含む金属化合物層が形成される場合がある。このような場合、領域543のキャリア濃度が増加し、領域543は、低抵抗領域となる。

[0285]

絶縁体544は、導電体542を覆うように設けられ、導電体542の酸化を抑制する。このとき、絶縁体544は、酸化物530の側面を覆い、絶縁体524と接するように設けられてもよい。

[0286]

絶縁体544として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0287]

特に、絶縁体544として、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいため好ましい。なお、導電体542が耐酸化性を有する材料、または、酸素を吸収しても著しく導電性が低下しない材料である場合、絶縁体544は、必須の構成ではない。求めるトランジスタ特

性により、適宜設計すればよい。

[0288]

絶縁体550は、ゲート絶縁膜として機能する。絶縁体550は、酸化物530cの内側（上面および側面）に接して配置することが好ましい。絶縁体550は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。例えば、TDS分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100°C以上700°C以下の範囲が好ましい。

[0289]

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

[0290]

加熱により酸素が放出される絶縁体を、絶縁体550として、酸化物530cの上面に接して設けることにより、絶縁体550から、酸化物530cを通じて、酸化物530bのチャンネル形成領域に効果的に酸素を供給することができる。また、絶縁体524と同様に、絶縁体550中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体550の膜厚は、1nm以上20nm以下とするのが好ましい。

[0291]

また、絶縁体550が有する過剰酸素を、効率的に酸化物530へ供給するために、絶縁体550と導電体560との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体550から導電体560への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体550から導電体560への過剰酸素の拡散が抑制される。つまり、酸化物530へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体560の酸化を抑制することができる。当該金属酸化物としては、絶縁体544に用いることができる材料を用いればよい。

[0292]

第1のゲート電極として機能する導電体560は、図8A、図8Bでは2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

[0293]

導電体560aは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（ $\text{N}_2\text{O}$ 、 $\text{NO}$ 、 $\text{NO}_2$ など）、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一つ）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体560aが酸素の拡散を抑制する機能を持つことにより、絶縁体550に含まれる酸素により、導電体560bが酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。

[0294]

また、導電体560bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体560bは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層構造としてもよい。

[0295]

絶縁体580は、絶縁体544を介して、導電体542上に設けられる。絶縁体580は、過剰酸素領域を有することが好ましい。例えば、絶縁体580として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

[0296]

絶縁体580は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体580を、酸化物530cと接して設けることで、絶縁体580中の酸素を、酸化物530cを通じて、酸化物530へと効率良く供給することができる。なお、絶縁体580中の水または水素などの不純物濃度が低減されていることが好ましい。

[0297]

絶縁体580の開口は、導電体542aと導電体542bの間の領域に重畳して形成される。これにより、導電体560は、絶縁体580の開口、および導電体542aと導電体542bに挟まれた領域に、埋め込まれるように形成される。

[0298]

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体560の導電性が下がらないようにする必要がある。そのために導電体560の膜厚を大きくすると、導電体560はアスペクト比が高い形状となりうる。本実施の形態では、導電体560を絶縁体580の開口に埋め込むように設けるため、導電体560をアスペクト比の高い形状にしても、工程中に導電体560を倒壊させることなく、形成することができる。

[0299]

絶縁体574は、絶縁体580の上面、導電体560の上面、および絶縁体550の上面に接して設けられることが好ましい。絶縁体574をスパッタリング法で成膜することで、絶縁体550および絶縁体580へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物530中に酸素を供給することができる。

[0300]

例えば、絶縁体574として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、またはマグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0301]

特に、酸化アルミニウムはバリア性が高く、0.5nm以上3.0nm以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化

アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

[0302]

また、絶縁体574の上に、層間膜として機能する絶縁体581を設けることが好ましい。絶縁体581は、絶縁体524などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

[0303]

また、絶縁体581、絶縁体574、絶縁体580、および絶縁体544に形成された開口に、導電体540aおよび導電体540bを配置する。導電体540aおよび導電体540bは、導電体560を挟んで対向して設ける。導電体540aおよび導電体540bは、後述する導電体546および導電体548と同様の構成である。

[0304]

絶縁体581上には、絶縁体582が設けられている。絶縁体582は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体582には、絶縁体514と同様の材料を用いることができる。例えば、絶縁体582には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0305]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ500への混入を防止することができる。また、トランジスタ500を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ500に対する保護膜として用いることに適している。

[0306]

また、絶縁体582上には、絶縁体586が設けられている。絶縁体586は、絶縁体320と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体586として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0307]

また、絶縁体520、絶縁体522、絶縁体524、絶縁体544、絶縁体580、絶縁体574、絶縁体581、絶縁体582、および絶縁体586には、導電体546、および導電体548等が埋め込まれている。

[0308]

導電体546、および導電体548は、容量素子600、トランジスタ500、またはトランジスタ300と接続するプラグ、または配線としての機能を有する。導電体546、および導電体548は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0309]

続いて、トランジスタ500の上方には、容量素子600が設けられている。容量素子600は、導電体610と、導電体620、絶縁体630とを有する。

[0310]

また、導電体546、および導電体548上に、導電体612を設けてもよい。導電体612は、トランジスタ500と接続するプラグ、または配線としての機能を有する。導電体610は、容量素子600の電極としての機能を有する。なお、導電体612、および導電体610は、同時に形成することができる。

#### [0311]

導電体612、および導電体610には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。または、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

#### [0312]

図7では、導電体612、および導電体610は単層構造として示しているが、当該構成に限定されず、2層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

#### [0313]

絶縁体630を介して、導電体610と重畳するように、導電体620を設ける。なお、導電体620は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料であるCu（銅）やAl（アルミニウム）等を用いればよい。

#### [0314]

導電体620、および絶縁体630上には、絶縁体650が設けられている。絶縁体650は、絶縁体320と同様の材料を用いて設けることができる。また、絶縁体650は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

#### [0315]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。

#### [0316]

<トランジスタの構造例>

なお、本実施の形態に示す半導体装置のトランジスタ500は、上記の構造に限られるものではない。以下、トランジスタ500に用いることができる構造例について説明する。

#### [0317]

<トランジスタの構造例1>

図9A、図9Bおよび図9Cを用いてトランジスタ510Aの構造例を説明する。図9Aはトランジスタ510Aの上面図である。図9Bは、図9Aに一点鎖線L1-L2で示す部位の断面図である。図9Cは、図9Aに一点鎖線W1-W2で示す部位の断面図である。なお、図9Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0318]

図9A、図9Bおよび図9Cでは、トランジスタ510Aと、層間膜として機能する絶縁体511、絶縁体512、絶縁体514、絶縁体516、絶縁体580、絶縁体582、および絶縁体584を示している。また、トランジスタ510Aと電氣的に接続し、コンタクトプラグとして機能する導電体546（導電体546a、および導電体546b）と、配線として機能する導電体503と、を示している。導電体546aおよび導電体546bをまとめて導電体546という場合がある。

[0319]

トランジスタ510Aは、第1のゲート電極として機能する導電体560（導電体560a、および導電体560b）と、第2のゲート電極として機能する導電体505（導電体505a、および導電体505b）と、第1のゲート絶縁膜として機能する絶縁体550と、第2のゲート絶縁膜として機能する絶縁体521、絶縁体522、および絶縁体524と、チャンネルが形成される領域を有する酸化物530（酸化物530a、酸化物530b、および酸化物530c）と、ソースまたはドレインの一方として機能する導電体542aと、ソースまたはドレインの他方として機能する導電体542bと、絶縁体574とを有する。

[0320]

また、図9に示すトランジスタ510Aでは、酸化物530c、絶縁体550、および導電体560が、絶縁体580に設けられた開口部内に、絶縁体574を介して配置される。また、酸化物530c、絶縁体550、および導電体560は、導電体542a、および導電体542bとの間に配置される。

[0321]

絶縁体511、および絶縁体512は、層間膜として機能する。

[0322]

層間膜としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ $\text{SrTiO}_3$ ）または（Ba, Sr） $\text{TiO}_3$ （BST）などの絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

[0323]

例えば、絶縁体511は、水または水素などの不純物が、基板側からトランジスタ510Aに混入するのを抑制するバリア膜として機能することが好ましい。したがって、絶縁体511は、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一つ）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用い

ることが好ましい。また、例えば、絶縁体511として酸化アルミニウムや窒化シリコンなどを用いてもよい。当該構成により、水素、水などの不純物が絶縁体511よりも基板側からトランジスタ510A側に拡散するのを抑制することができる。

[0324]

例えば、絶縁体512は、絶縁体511よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0325]

導電体503は、絶縁体512に埋め込まれるように形成される。ここで、導電体503の上面の高さと、絶縁体512の上面の高さは同程度にできる。なお導電体503は、単層とする構成について示しているが、本発明はこれに限られるものではない。例えば、導電体503を2層以上の多層膜構造としてもよい。なお、導電体503は、タングステン、銅、またはアルミニウムを主成分とする導電性が高い導電性材料を用いることが好ましい。

[0326]

トランジスタ510Aにおいて、導電体560は、第1のゲート（トップゲート、ともいう）電極として機能する場合がある。また、導電体505は、第2のゲート（ボトムゲート、ともいう）電極として機能する場合がある。その場合、導電体505に印加する電位を、導電体560に印加する電位と連動させず、独立して変化させることで、トランジスタ510Aのしきい値電圧を制御することができる。特に、導電体505に負の電位を印加することにより、トランジスタ510Aのしきい値電圧を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体505に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

[0327]

また、例えば、導電体505と、導電体560とを重畳して設けることで、導電体560、および導電体505に電位を印加した場合、導電体560から生じる電界と、導電体505から生じる電界と、がつながり、酸化物530に形成されるチャンネル形成領域を覆うことができる。

[0328]

つまり、第1のゲート電極としての機能を有する導電体560の電界と、第2のゲート電極としての機能を有する導電体505の電界によって、チャンネル形成領域を電気的に取り囲むことができる。すなわち、先に記載のトランジスタ500と同様に、surrounded channel (S-channel) 構造である。

[0329]

絶縁体514、および絶縁体516は、絶縁体511または絶縁体512と同様に、層間膜として機能する。例えば、絶縁体514は、水または水素などの不純物が、基板側からトランジスタ510Aに混入するのを抑制するバリア膜として機能することが好ましい。当該構成により、水素、水などの不純物が絶縁体514よりも基板側からトランジスタ510A側に拡散するのを抑制することができる。また、例えば、絶縁体516は、絶縁体514よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0330]

第2のゲートとして機能する導電体505は、絶縁体514および絶縁体516の開口の内壁に接して導電体505aが形成され、さらに内側に導電体505bが形成されている。ここで、導電



体505aおよび導電体505bの上面の高さと、絶縁体516の上面の高さは同程度にできる。なお、トランジスタ510Aでは、導電体505aおよび導電体505bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体505は、単層、または3層以上の積層構造として設ける構成にしてもよい。

[0331]

ここで、導電体505aは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一つ）の拡散を抑制する機能を有する（上記酸素が透過しにくい）導電性材料を用いることが好ましい。なお、本明細書等において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一つ、または、すべての拡散を抑制する機能とする。

[0332]

例えば、導電体505aが酸素の拡散を抑制する機能を持つことにより、導電体505bが酸化して導電率が低下することを抑制することができる。

[0333]

また、導電体505が配線の機能を兼ねる場合、導電体505bは、タングステン、銅、またはアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。その場合、導電体503は、必ずしも設けなくともよい。なお、導電体505bを単層で図示したが、積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層としてもよい。

[0334]

絶縁体521、絶縁体522、および絶縁体524は、第2のゲート絶縁膜としての機能を有する。

[0335]

また、絶縁体522は、バリア性を有することが好ましい。絶縁体522がバリア性を有することで、トランジスタ510Aの周辺部からトランジスタ510Aへの水素等の不純物の混入を抑制する層として機能する。

[0336]

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ $\text{SrTiO}_3$ ）または（ $\text{Ba, SrTiO}_3$ ）（BST）などのいわゆるhigh-k材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

[0337]

また、絶縁体521は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、好適である。また、high-k材料の絶縁体を酸化シリコン、または酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体521を得ることができる。

[0338]

なお、図9には、第2のゲート絶縁膜として、3層の積層構造を示したが、単層、または2層以上の積層構造としてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0339]

チャネル形成領域として機能する領域を有する酸化物530は、酸化物530aと、酸化物530a上の酸化物530bと、酸化物530b上の酸化物530cと、を有する。酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。また、酸化物530b上に酸化物530cを有することで、酸化物530cよりも上方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することができる。酸化物530として、上述した金属酸化物の一種である酸化物半導体を用いることができる。

[0340]

なお、酸化物530cは、絶縁体580に設けられた開口部内に、絶縁体574を介して設けられることが好ましい。絶縁体574がバリア性を有する場合、絶縁体580からの不純物が酸化物530へと拡散することを抑制することができる。

[0341]

導電体542は、一方がソース電極として機能し、他方がドレイン電極として機能する。

[0342]

導電体542aと、導電体542bとは、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を用いることができる。特に、窒化タンタルなどの金属窒化物膜は、水素または酸素に対するバリア性があり、また、耐酸化性が高いため、好ましい。

[0343]

また、図9では単層構造を示したが、2層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

[0344]

また、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

[0345]

また、導電体542上に、バリア層を設けてもよい。バリア層は、酸素、または水素に対してバリア性を有する物質を用いることが好ましい。当該構成により、絶縁体574を成膜する際に、導電体542が酸化することを抑制することができる。

[0346]

バリア層には、例えば、金属酸化物を用いることができる。特に、酸化アルミニウム、酸化ハフニウム、酸化ガリウムなどの、酸素や水素に対してバリア性のある絶縁膜を用いることが好ましい。また、CVD法で形成した窒化シリコンを用いてもよい。

[0347]

バリア層を有することで、導電体542の材料選択の幅を広げることができる。例えば、導電体542に、タングステンや、アルミニウムなどの耐酸化性が低い一方で導電性が高い材料を用いることができる。また、例えば、成膜、または加工がしやすい導電体を用いることができる。

[0348]

絶縁体550は、第1のゲート絶縁膜として機能する。絶縁体550は、絶縁体580に設けられた開口部内に、酸化物530c、および絶縁体574を介して設けられることが好ましい。

[0349]

トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。その場合、絶縁体550は、第2のゲート絶縁膜と同様に、積層構造としてもよい。ゲート絶縁膜として機能する絶縁体を、high-k材料と、熱的に安定している材料との積層構造とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構造とすることができる。

[0350]

第1のゲート電極として機能する導電体560は、導電体560a、および導電体560a上の導電体560bを有する。導電体560aは、導電体505aと同様に、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一つ）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0351]

導電体560aが酸素の拡散を抑制する機能を持つことにより、導電体560bの材料選択性を向上することができる。つまり、導電体560aを有することで、導電体560bの酸化が抑制され、導電率が低下することを防止することができる。

[0352]

酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。また、導電体560aとして、酸化物530として用いることができる酸化物半導体を用いることができる。その場合、導電体560bをスパッタリング法で成膜することで、導電体560aの電気抵抗値を低下させて導電体とすることができる。これをOC (Oxide Conductor) 電極と呼ぶことができる。

[0353]

導電体560bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体560は、配線として機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは積層構造としてもよく、例えば、チタンまたは窒化チタンと上記導電性材料との積層としてもよい。

[0354]

絶縁体580と、トランジスタ510Aとの間に絶縁体574を配置する。絶縁体574は、水

または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

[0355]

絶縁体574を有することで、絶縁体580が有する水、および水素などの不純物が酸化物530c、絶縁体550を介して、酸化物530bに拡散することを抑制することができる。また、絶縁体580が有する過剰酸素により、導電体560が酸化するのを抑制することができる。

[0356]

絶縁体580、絶縁体582、および絶縁体584は、層間膜として機能する。

[0357]

絶縁体582は、絶縁体514と同様に、水または水素などの不純物が、外部からトランジスタ510Aに混入するのを抑制するバリア絶縁膜として機能することが好ましい。

[0358]

また、絶縁体580、および絶縁体584は、絶縁体516と同様に、絶縁体582よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0359]

また、トランジスタ510Aは、絶縁体580、絶縁体582、および絶縁体584に埋め込まれた導電体546などのプラグや配線を介して、他の構造と電気的に接続してもよい。

[0360]

また、導電体546の材料としては、導電体505と同様に、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。例えば、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0361]

例えば、導電体546として、水素、および酸素に対してバリア性を有する導電体である窒化タンタル等と、導電性が高いタングステンとの積層構造を用いることで、配線としての導電性を保持したまま、外部からの不純物の拡散を抑制することができる。

[0362]

上記構造を有することで、オン電流が大きい酸化物半導体を有するトランジスタを用いた半導体装置を提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを用いた半導体装置を提供することができる。または、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することができる。

[0363]

<トランジスタの構造例2>

図10A、図10Bおよび図10Cを用いてトランジスタ510Bの構造例を説明する。図10Aはトランジスタ510Bの上面図である。図10Bは、図10Aに一点鎖線L1-L2で示す部

位の断面図である。図10Cは、図10Aに一点鎖線W1-W2で示す部位の断面図である。なお、図10Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0364]

トランジスタ510Bはトランジスタ510Aの変形例である。よって、説明の繰り返しを防ぐため、主にトランジスタ510Aと異なる点について説明する。

[0365]

トランジスタ510Bは、導電体542（導電体542a、および導電体542b）と、酸化物530c、絶縁体550、および導電体560と、が重畳する領域を有する。当該構造とすることで、オン電流が高いトランジスタを提供することができる。また、制御性が高いトランジスタを提供することができる。

[0366]

第1のゲート電極として機能する導電体560は、導電体560a、および導電体560a上の導電体560bを有する。導電体560aは、導電体505aと同様に、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一つ）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

[0367]

導電体560aが酸素の拡散を抑制する機能を持つことにより、導電体560bの材料選択性を向上することができる。つまり、導電体560aを有することで、導電体560bの酸化が抑制され、導電率が低下することを防止することができる。

[0368]

また、導電体560の上面および側面、絶縁体550の側面、および酸化物530cの側面を覆うように、絶縁体574を設けることが好ましい。なお、絶縁体574は、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

[0369]

絶縁体574を設けることで、導電体560の酸化を抑制することができる。また、絶縁体574を有することで、絶縁体580が有する水、および水素などの不純物がトランジスタ510Bへ拡散することを抑制することができる。

[0370]

また、導電体546と、絶縁体580との間に、バリア性を有する絶縁体576（絶縁体576a、および絶縁体576b）を配置してもよい。絶縁体576を設けることで、絶縁体580の酸素が導電体546と反応し、導電体546が酸化することを抑制することができる。

[0371]

また、バリア性を有する絶縁体576を設けることで、プラグや配線に用いられる導電体の材料選択の幅を広げることができる。例えば、導電体546に、酸素を吸収する性質を持つ一方で、導電性が高い金属材料を用いることで、低消費電力の半導体装置を提供することができる。具体的に

は、タングステンや、アルミニウムなどの耐酸化性が低い一方で導電性が高い材料を用いることができる。また、例えば、成膜、または加工がしやすい導電体を用いることができる。

[0372]

<トランジスタの構造例3>

図11A、図11Bおよび図11Cを用いてトランジスタ510Cの構造例を説明する。図11Aはトランジスタ510Cの上面図である。図11Bは、図11Aに一点鎖線L1-L2で示す部位の断面図である。図11Cは、図11Aに一点鎖線W1-W2で示す部位の断面図である。なお、図11Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0373]

トランジスタ510Cはトランジスタ510Aの変形例である。よって、説明の繰り返しを防ぐため、主にトランジスタ510Aと異なる点について説明する。

[0374]

図11に示すトランジスタ510Cは、導電体542aと酸化物530bの間に導電体547aが配置され、導電体542bと酸化物530bの間に導電体547bが配置されている。ここで、導電体542a（導電体542b）は、導電体547a（導電体547b）の上面および導電体560側の側面を越えて延在し、酸化物530bの上面に接する領域を有する。ここで、導電体547は、導電体542に用いることができる導電体を用いればよい。さらに、導電体547の膜厚は、少なくとも導電体542より厚いことが好ましい。導電体547aおよび導電体547bをまとめて導電体547という場合がある。

[0375]

図11に示すトランジスタ510Cは、上記のような構成を有することにより、トランジスタ510Aよりも、導電体542を導電体560に近づけることができる。または、導電体542aの端部および導電体542bの端部と、導電体560を重ねることができる。これにより、トランジスタ510Cの実質的なチャンネル長を短くし、オン電流および周波数特性の向上を図ることができる。

[0376]

また、導電体547a（導電体547b）は、導電体542a（導電体542b）と重畳して設けられることが好ましい。このような構成にすることで、導電体546a（導電体546b）を埋め込む開口を形成するエッチングにおいて、導電体547a（導電体547b）がストップとして機能し、酸化物530bがオーバーエッチングされるのを防ぐことができる。

[0377]

また、図11に示すトランジスタ510Cは、絶縁体544の上に接して絶縁体545を配置する構成にしてもよい。絶縁体544としては、水または水素などの不純物や、過剰な酸素が、絶縁体580側からトランジスタ510Cに混入するのを抑制するバリア絶縁膜として機能することが好ましい。絶縁体545としては、絶縁体544に用いることができる絶縁体を用いることができる。また、絶縁体544としては、例えば、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化シリコンまたは窒化酸化シリコンなどの、窒化物絶縁体を用いてもよい。

[0378]

また、図11に示すトランジスタ510Cは、図9に示すトランジスタ510Aと異なり、導電体505を単層構造で設けてもよい。この場合、パターン形成された導電体505の上に絶縁体5

16となる絶縁膜を成膜し、当該絶縁膜の上部を、導電体505の上面が露出するまでCMP法などを用いて除去すればよい。ここで、導電体505の上面の平坦性を良好にすることが好ましい。例えば、導電体505上面の平均面粗さ(Ra)を1nm以下、好ましくは0.5nm以下、より好ましくは0.3nm以下にすればよい。これにより、導電体505の上に形成される、絶縁層の平坦性を良好にし、酸化物530bおよび酸化物530cの結晶性の向上を図ることができる。

[0379]

<トランジスタの構造例4>

図12A、図12Bおよび図12Cを用いてトランジスタ510Dの構造例を説明する。図12Aはトランジスタ510Dの上面図である。図12Bは、図12Aに一点鎖線L1-L2で示す部位の断面図である。図12Cは、図12Aに一点鎖線W1-W2で示す部位の断面図である。なお、図12Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0380]

トランジスタ510Dは上記トランジスタの変形例である。よって、説明の繰り返しを防ぐため、主に上記トランジスタと異なる点について説明する。

[0381]

図12A乃至図12Cでは、導電体503を設けずに、第2のゲートとしての機能を有する導電体505を配線としても機能させている。また、酸化物530c上に絶縁体550を有し、絶縁体550上に金属酸化物552を有する。また、金属酸化物552上に導電体560を有し、導電体560上に絶縁体570を有する。また、絶縁体570上に絶縁体571を有する。

[0382]

金属酸化物552は、酸素拡散を抑制する機能を有することが好ましい。絶縁体550と、導電体560との間に、酸素の拡散を抑制する金属酸化物552を設けることで、導電体560への酸素の拡散が抑制される。つまり、酸化物530へ供給する酸素量の減少を抑制することができる。また、酸素による導電体560の酸化を抑制することができる。

[0383]

なお、金属酸化物552は、第1のゲートの一部としての機能を有してもよい。例えば、酸化物530として用いることができる酸化物半導体を、金属酸化物552として用いることができる。その場合、導電体560をスパッタリング法で成膜することで、金属酸化物552の電気抵抗値を低下させて導電層とすることができる。これをOC(Oxide Conductor)電極と呼ぶことができる。

[0384]

また、金属酸化物552は、ゲート絶縁膜の一部としての機能を有する場合がある。したがって、絶縁体550に酸化シリコンや酸化窒化シリコンなどを用いる場合、金属酸化物552は、比誘電率が高いhigh-k材料である金属酸化物を用いることが好ましい。当該積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減化が可能となる。また、ゲート絶縁膜として機能する絶縁層の等価酸化膜厚(EOT)の薄膜化が可能となる。

[0385]

トランジスタ510Dにおいて、金属酸化物552を単層で示したが、2層以上の積層構造としてもよい。例えば、ゲート電極の一部として機能する金属酸化物と、ゲート絶縁膜の一部として機

能する金属酸化物とを積層して設けてもよい。

[0386]

金属酸化物552を有することで、ゲート電極として機能する場合は、導電体560からの電界の影響を弱めることなく、トランジスタ510Dのオン電流の向上を図ることができる。または、ゲート絶縁膜として機能する場合は、絶縁体550と、金属酸化物552との物理的な厚みにより、導電体560と、酸化物530との間の距離を保つことで、導電体560と酸化物530との間のリーク電流を抑制することができる。従って、絶縁体550、および金属酸化物552との積層構造を設けることで、導電体560と酸化物530との間の物理的な距離、および導電体560から酸化物530へかかる電界強度を、容易に適宜調整することができる。

[0387]

具体的には、金属酸化物552として、酸化物530に用いることができる酸化物半導体を低抵抗化することで、金属酸化物552として用いることができる。または、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

[0388]

特に、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁層である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいため好ましい。なお、金属酸化物552は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0389]

絶縁体570は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体570よりも上方からの酸素で導電体560が酸化するのを抑制することができる。また、絶縁体570よりも上方からの水または水素などの不純物が、導電体560および絶縁体550を介して、酸化物530に混入することを抑制することができる。

[0390]

絶縁体571はハードマスクとして機能する。絶縁体571を設けることで、導電体560の加工の際、導電体560の側面が概略垂直、具体的には、導電体560の側面と基板表面のなす角を、75度以上100度以下、好ましくは80度以上95度以下とすることができる。

[0391]

なお、絶縁体571に、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることで、バリア層としての機能を兼ねさせてもよい。その場合、絶縁体570は設けなくともよい。

[0392]

絶縁体571をハードマスクとして用いて、絶縁体570、導電体560、金属酸化物552、絶縁体550、および酸化物530cの一部を選択的に除去することで、これらの側面を略一致させて、かつ、酸化物530b表面の一部を露出させることができる。

[0393]



また、トランジスタ510Dは、露出した酸化物530b表面の一部に領域531aおよび領域531bを有する。領域531aまたは領域531bの一方はソース領域として機能し、他方はドレイン領域として機能する。

[0394]

領域531aおよび領域531bの形成は、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、またはプラズマ処理などを用いて、露出した酸化物530b表面にリンまたはボロンなどの不純物元素を導入することで実現できる。なお、本実施の形態などにおいて「不純物元素」とは、主成分元素以外の元素のことをいう。

[0395]

また、酸化物530b表面の一部を露出させた後に金属膜を成膜し、その後加熱処理することにより、該金属膜に含まれる元素を酸化物530bに拡散させて領域531aおよび領域531bを形成することもできる。

[0396]

酸化物530bの不純物元素が導入された領域は、電気抵抗率が低下する。このため、領域531aおよび領域531bを「不純物領域」または「低抵抗領域」という場合がある。

[0397]

絶縁体571および/または導電体560をマスクとして用いることで、領域531aおよび領域531bを自己整合（セルフアライメント）的に形成することができる。よって、領域531aおよび/または領域531bと、導電体560が重ならず、寄生容量を低減することができる。また、チャンネル形成領域とソースドレイン領域（領域531aまたは領域531b）の間にオフセット領域が形成されない。領域531aおよび領域531bを自己整合（セルフアライメント）的に形成することにより、オン電流の増加、しきい値電圧の低減、動作周波数の向上などを実現できる。

[0398]

なお、オフ電流を更に低減するため、チャンネル形成領域とソースドレイン領域の間にオフセット領域を設けてもよい。オフセット領域とは、電気抵抗率が高い領域であり、前述した不純物元素の導入が行なわれない領域である。オフセット領域の形成は、絶縁体575の形成後に前述した不純物元素の導入を行なうことで実現できる。この場合、絶縁体575も絶縁体571などと同様にマスクとして機能する。よって、酸化物530bの絶縁体575と重なる領域に不純物元素が導入されず、該領域の電気抵抗率を高いままとすることができる。

[0399]

また、トランジスタ510Dは、絶縁体570、導電体560、金属酸化物552、絶縁体550、および酸化物530cの側面に絶縁体575を有する。絶縁体575は、比誘電率の低い絶縁体であることが好ましい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などであることが好ましい。特に、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを絶縁体575に用いると、後の工程で絶縁体575中に過剰酸素領域を容易に形成できるため好ましい。また、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。また、絶縁体575は、酸素を拡散する機能を有することが好ましい。

[0400]

また、トランジスタ510Dは、絶縁体575、酸化物530上に絶縁体574を有する。絶縁体574は、スパッタリング法を用いて成膜することが好ましい。スパッタリング法を用いることにより、水または水素などの不純物の少ない絶縁体を成膜することができる。例えば、絶縁体574として、酸化アルミニウムを用いるとよい。

[0401]

なお、スパッタリング法を用いた酸化膜は、被成膜構造体から水素を引き抜く場合がある。従って、絶縁体574が酸化物530および絶縁体575から水素および水を吸収することで、酸化物530および絶縁体575の水素濃度を低減することができる。

[0402]

<トランジスタの構造例5>

図13A乃至図13Cを用いてトランジスタ510Eの構造例を説明する。図13Aはトランジスタ510Eの上面図である。図13Bは、図13Aに一点鎖線L1-L2で示す部位の断面図である。図13Cは、図13Aに一点鎖線W1-W2で示す部位の断面図である。なお、図13Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0403]

トランジスタ510Eは上記トランジスタの変形例である。よって、説明の繰り返しを防ぐため、主に上記トランジスタと異なる点について説明する。

[0404]

図13A乃至図13Cでは、導電体542を設けずに、露出した酸化物530b表面の一部に領域531aおよび領域531bを有する。領域531aまたは領域531bの一方はソース領域として機能し、他方はドレイン領域として機能する。また、酸化物530bと、絶縁体574の間に、絶縁体573を有する。

[0405]

図13に示す、領域531（領域531a、および領域531b）は、酸化物530bに下記の元素が添加された領域である。領域531は、例えば、ダミーゲートを用いることで形成することができる。

[0406]

具体的には、酸化物530b上にダミーゲートを設け、当該ダミーゲートをマスクとして用い、上記酸化物530bを低抵抗化する元素を添加するとよい。つまり、酸化物530が、ダミーゲートと重畳していない領域に、当該元素が添加され、領域531が形成される。なお、当該元素の添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイマージョンイオンインプランテーション法などを用いることができる。

[0407]

なお、酸化物530を低抵抗化する元素としては、代表的には、ホウ素、またはリンが挙げられる。また、水素、炭素、窒素、フッ素、硫黄、塩素、チタン、希ガス等を用いてもよい。希ガスの代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。当該元素の濃度は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）などを用いて測定すればよい。

[0408]

特に、ホウ素、及びリンは、アモルファスシリコン、または低温ポリシリコンの製造ラインの装置を使用することができるため、好ましい。既存の設備を転用することができ、設備投資を抑制することができる。

[0409]

続いて、酸化物530b、およびダミーゲート上に、絶縁体573となる絶縁膜、および絶縁体574となる絶縁膜を成膜してもよい。絶縁体573となる絶縁膜、および絶縁体574となる絶縁膜を積層して設けることで、領域531と、酸化物530cおよび絶縁体550とが重畳する領域を設けることができる。

[0410]

具体的には、絶縁体574となる絶縁膜上に絶縁体580となる絶縁膜を設けた後、絶縁体580となる絶縁膜にCMP (Chemical Mechanical Polishing) 処理を行うことで、絶縁体580となる絶縁膜の一部を除去し、ダミーゲートを露出する。続いて、ダミーゲートを除去する際に、ダミーゲートと接する絶縁体573の一部も除去するとよい。従って、絶縁体580に設けられた開口部の側面には、絶縁体574、および絶縁体573が露出し、当該開口部の底面には、酸化物530bに設けられた領域531の一部が露出する。次に、当該開口部に酸化物530cとなる酸化膜、絶縁体550となる絶縁膜、および導電体560となる導電膜を順に成膜した後、絶縁体580が露出するまでCMP処理などにより、酸化物530cとなる酸化膜、絶縁体550となる絶縁膜、および導電体560となる導電膜の一部を除去することで、図13に示すトランジスタを形成することができる。

[0411]

なお、絶縁体573、および絶縁体574は必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

[0412]

図13に示すトランジスタは、既存の装置を転用することができ、さらに、導電体542を設けないため、コストの低減を図ることができる。

[0413]

<トランジスタの構造例6>

図14A乃至図14Cを用いてトランジスタ510Fの構造例を説明する。図14Aはトランジスタ510Fの上面図である。図14Bは、図14Aに一点鎖線L1-L2で示す部位の断面図である。図14Cは、図14Aに一点鎖線W1-W2で示す部位の断面図である。なお、図14Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

[0414]

トランジスタ510Fはトランジスタ510Aの変形例である。よって、説明の繰り返しを防ぐため、主に上記トランジスタと異なる点について説明する。

[0415]

トランジスタ510Aでは、絶縁体574の一部が絶縁体580に設けられた開口部内に設けられ、導電体560の側面を覆うように設けられている。一方で、トランジスタ510Fでは絶縁体580と絶縁体574の一部を除去して開口が形成されている。

[0416]

また、導電体546と、絶縁体580との間に、バリア性を有する絶縁体576 (絶縁体576

a、および絶縁体576b)を配置してもよい。絶縁体576を設けることで、絶縁体580の酸素が導電体546と反応し、導電体546が酸化することを抑制することができる。

[0417]

なお、酸化物530として酸化物半導体を用いる場合は、各金属原子の原子数比が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。また、酸化物530cは、酸化物530aまたは酸化物530bに用いることができる金属酸化物を用いることができる。

[0418]

酸化物530a、酸化物530b、および酸化物530cは、結晶性を有することが好ましく、特に、CAAC-OSを用いることが好ましい。CAAC-OS等の結晶性を有する酸化物は、不純物や欠陥（酸素欠損等）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物530bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物530bから酸素が引き抜かれることを低減できるので、トランジスタ510Fは、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

[0419]

なお、酸化物530aおよび酸化物530cの一方または双方を省略してもよい。酸化物530を酸化物530bの単層としてもよい。酸化物530を、酸化物530a、酸化物530b、および酸化物530cの積層とする場合は、酸化物530aおよび酸化物530cの伝導帯下端のエネルギーが、酸化物530bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物530aおよび酸化物530cの電子親和力が、酸化物530bの電子親和力より小さいことが好ましい。この場合、酸化物530cは、酸化物530aに用いることができる金属酸化物を用いることが好ましい。具体的には、酸化物530cに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より大きいことが好ましい。また、酸化物530cに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530cに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

[0420]

ここで、酸化物530a、酸化物530b、および酸化物530cの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物530a、酸化物530b、および酸化物530cの接合部における伝導帯下端のエネルギー準位は、連続的に変化するまたは連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面、および酸化物530bと酸化物530cとの界面において形成される混合層の欠陥準位密度を低く

するとよい。

[0421]

具体的には、酸化物530aと酸化物530b、酸化物530bと酸化物530cが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-Ga-Zn酸化物の場合、酸化物530aおよび酸化物530cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウム等を用いてもよい。また、酸化物530cを積層構造としてもよい。例えば、In-Ga-Zn酸化物と、当該In-Ga-Zn酸化物上のGa-Zn酸化物との積層構造、またはIn-Ga-Zn酸化物と、当該In-Ga-Zn酸化物上の酸化ガリウムとの積層構造を用いることができる。別言すると、In-Ga-Zn酸化物と、Inを含まない酸化物との積層構造を、酸化物530cとして用いてもよい。

[0422]

具体的には、酸化物530aとして、In:Ga:Zn=1:3:4 [原子数比] もしくはその近傍の組成、または1:1:0.5 [原子数比] もしくはその近傍の組成の金属酸化物を用いればよい。また、酸化物530bとして、In:Ga:Zn=1:1:1 [原子数比] もしくはその近傍の組成、In:Ga:Zn=4:2:3 [原子数比] もしくはその近傍の組成、In:Ga:Zn=5:1:3 [原子数比] もしくはその近傍の組成、または10:1:3 [原子数比] もしくはその近傍の組成の金属酸化物、または、In-Zn酸化物を用いればよい。酸化物530aまたは酸化物530bに用いることができる金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。

[0423]

また、酸化物530cは、2層以上の積層構造を有していてもよい。酸化物530cを積層構造とする場合の具体例としては、酸化物530cの下層として、In:Ga:Zn=5:1:3 [原子数比] もしくはその近傍の組成、または10:1:3 [原子数比] もしくはその近傍の組成の金属酸化物、または、In-Zn酸化物を用い、酸化物530cの上層として、In:Ga:Zn=1:3:4 [原子数比] もしくはその近傍の組成、Ga:Zn=2:1 [原子数比] もしくはその近傍の組成、またはGa:Zn=2:5 [原子数比] もしくはその近傍の組成、または酸化ガリウムを用いればよい。

[0424]

酸化物530a、酸化物530cを上述の構成とすることで、酸化物530aと酸化物530bとの界面、および酸化物530bと酸化物530cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ510Fは高いオン電流、および高い周波数特性を得ることができる。なお、酸化物530cを積層構造とした場合、上述の酸化物530bと、酸化物530cとの界面における欠陥準位密度を低くする効果に加え、酸化物530cが有する構成元素が、絶縁体550側に拡散するのを抑制することが期待される。より具体的には、酸化物530cを積層構造とし、積層構造の上方にInを含まない酸化物を位置させるため、絶縁体550側に拡散しうるInを抑制することができる。絶縁体550は、ゲート絶縁体として機能するため、Inが拡散した場合、トランジスタの特性不良となる。したがって、酸化物530cを積層構造とすることで、信頼性の高い表示装置を提供することが可能となる。

[0425]

酸化物530は、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物530のチャンネル形成領域となる金属酸化物としては、バンドギャップが2 eV以上、好ましくは2.5 eV以上のもを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。このようなトランジスタを用いることで、低消費電力の半導体装置を提供できる。

[0426]

<半導体装置の構成例2>

図15には、図7に示す半導体装置において、絶縁体650上に導電体692を有する例を示す。導電体692は半導体装置の一方の面を覆うように形成される。図15には図示されないが、導電体692は開口部を有してもよい。また絶縁体650よりも下層の導電体に電氣的に接続される導電体が該開口部内に設けられてもよい。

[0427]

導電体692として金属を用いることができる。また導電性を有する金属窒化物や金属酸化物を用いてもよい。導電体692として例えば、チタン、窒化チタン、酸化チタン等を用いる事ができる。導電体692は半導体装置よりも外部からの電磁波を遮断する、あるいは弱める機能を有する。また導電体692は静電気を拡散して逃がす、または電荷の局在化を防ぐ機能を有する。導電体692を設けることにより、半導体装置の動作をさらに安定させることができる。

[0428]

図16には、絶縁体650と導電体692との間に絶縁体693を有する例を示す。絶縁体693として例えば、繊維体に有機樹脂が含浸された構造体を用いることができる。繊維体として例えばガラス繊維を用いてもよい。また有機樹脂として例えば臭素化エポキシ樹脂を用いてもよい。

[0429]

実施の形態1に示すトランジスタ140およびトランジスタ150はパワーMOSFET (Power MOSFET) と呼ばれる場合がある。

[0430]

トランジスタ300は、実施の形態1に示すトランジスタ140およびトランジスタ150等のパワーMOSFETに適用することが好ましく、図20、図21A、図21Bおよび図21Cに例示するトランジスタ300は特にトランジスタ140およびトランジスタ150に適用することが好ましい。図20、図21A、図21Bおよび図21Cに示すトランジスタ300はD-MOS (Double Diffusion Metal Oxide Semiconductor) FETと呼ばれる。

[0431]

図20に例示するように、層385はトランジスタ300を有する層であり、層585はトランジスタ500を有する層である。層385は、トランジスタ300が設けられる基板311や、トランジスタ300のゲート電極として機能する導電体316等を有する。層585は、トランジスタ500のチャンネル形成領域が形成される酸化物530や、トランジスタ500のゲート電極として機能する導電体560等を有する。

[0432]

図20に示すトランジスタ300は、プレーナー型のトランジスタである。低抵抗領域314a及び低抵抗領域314bの一方と他方をそれぞれソース領域及びドレイン領域として用いることに

より、MOSFETとして動作させることができるが、ここでは低抵抗領域314a及び低抵抗領域314bをともにソースとして機能させ、低抵抗領域314a及び低抵抗領域314bの外側に領域319を形成し、シリコン基板の半導体領域313に対して、図20に示す断面において下方にあたる領域に低抵抗領域317を設け、その下方にドレイン電極として機能する裏面電極318を設けることにより、トランジスタ300をD-MOSFETとして機能させることができる。なお、低抵抗領域314a及び低抵抗領域314bをともにドレインとして機能させ、裏面電極318をソース電極として機能させてもよい。領域319は、低抵抗領域314a及び低抵抗領域314bと逆の極性の領域であることが好ましい。例えば、低抵抗領域314a及び低抵抗領域314bがn型領域の場合には領域319はp型領域であることが好ましい。あるいは領域319は高抵抗領域としてもよい。領域319は真性領域である場合がある。

[0433]

なお、図20において、低抵抗領域314a及び低抵抗領域314bは逆の極性の領域である領域319と接することにより、pn接合が形成される。このようなpn接合領域を本発明書等では寄生ダイオードと呼ぶ。寄生ダイオードは、逆流防止、整流、等の機能を有する。また、寄生ダイオードはトランジスタを保護する機能を有する。寄生ダイオードがドレイン（例えば低抵抗領域314a及び低抵抗領域314b）とソース（例えば裏面電極318）の間に形成されることにより、ソースとドレインの間に高電圧が印加される際の電界集中等が緩和され、トランジスタの破壊あるいは劣化を抑制することができる。

[0434]

図20では低抵抗領域314a及び低抵抗領域314bにそれぞれ、導電体328等のプラグが電氣的に接続される例を示すが、図21Aに示す例では、導電体328bが複数の低抵抗領域に電氣的に接続される例を示す。導電体328bは複数の低抵抗領域のそれぞれの少なくとも一部を覆う形状であることが好ましい。また、導電体328bは複数の低抵抗領域のそれぞれの少なくとも一部と重畳することが好ましい。

[0435]

図20には、トランジスタ300がプレーナー構造を有するD-MOSFETの例を示すが、図21Bにはトランジスタ300がトレンチ構造を有するD-MOSFETの例を示す。図21Aにおいて、ゲートとして機能する導電体316は、低抵抗領域314aと低抵抗領域314bの間に設けられるトレンチ内に形成される。低抵抗領域314a及び低抵抗領域314bと、導電体316との間にはゲート絶縁体として機能する絶縁体315が形成される。

[0436]

図21Bにおいては、低抵抗領域314a及び低抵抗領域314bにそれぞれ、導電体328等のプラグが電氣的に接続される例を示すが、図21Cに示す例では、導電体328bが複数の低抵抗領域に電氣的に接続される例を示す。導電体328bは複数の低抵抗領域のそれぞれの少なくとも一部を覆う形状であることが好ましい。また、導電体328bは複数の低抵抗領域のそれぞれの少なくとも一部と重畳することが好ましい。

[0437]

プレーナー構造と比較して、トレンチ構造においては、集積回路の面積は0.5倍以下に縮小されることが好ましく、0.4倍以下に縮小されることがより好ましい。

[0438]

図 2 2 A および図 2 2 B は、本発明の一態様の半導体装置の構成の一例を示す斜視図である。図 2 2 A および図 2 2 B には、本発明の一態様の半導体装置有する各回路を、層 3 8 5 および層 5 8 5 に設ける一例を示す。層 3 8 5 として例えば、本発明の一態様の半導体装置において、S i トランジスタを有する層を適用することができる。層 5 8 5 として例えば、本発明の一態様の半導体装置において、O S トランジスタを有する層である。なお、各回路が層 3 8 5 または層 5 8 5 に設けられる、と述べる場合には、例えば、それぞれの回路を構成する素子のうちトランジスタが層 3 8 5 または層 5 8 5 に構成されればよい。また、それぞれの回路が有する容量素子および抵抗素子は、例えば、これらの層の間、あるいは層 5 8 5 の上層に設けられてもよい。

[0 4 3 9]

先の実施の形態に示す半導体装置 7 0 は、図 2 2 A および図 2 2 B に示すように、層 3 8 5 および層 5 8 5 に設けることができる。

[0 4 4 0]

図 2 2 A は、トランジスタ 1 4 0 およびトランジスタ 1 5 0 として例えばシリコンをチャネル形成領域に有するトランジスタを用い、層 3 8 5 に設ける一例を示す。半導体装置 7 0 が有する記憶素子 1 1 4、増幅回路 8 0 および制御回路 9 9 はそれぞれ、層 3 8 5 の領域 9 0 0 b と層 5 8 5 の領域 9 0 0 a のいずれに設けられてもよい。記憶素子 1 1 4 および増幅回路 8 0 は例えば、層 5 8 5 の領域 9 0 0 a に設けられることが好ましい。

[0 4 4 1]

図 2 2 B は、トランジスタ 1 4 0 およびトランジスタ 1 5 0 として例えば酸化物半導体をチャネル形成領域に有するトランジスタを用い、層 5 8 5 に設ける一例を示す。半導体装置 7 0 が有する記憶素子 1 1 4、増幅回路 8 0 および制御回路 9 9 は、それぞれ、層 3 8 5 の領域 9 0 0 d と層 5 8 5 の領域 9 0 0 c のいずれに設けられてもよい。記憶素子 1 1 4 および増幅回路 8 0 は、例えば、層 5 8 5 の領域 9 0 0 c に設けられることが好ましい。

[0 4 4 2]

なお、本実施の形態は、本明細書に記載する他の実施の形態と適宜組み合わせることで実施することができる。

[0 4 4 3]

(実施の形態 3)

本実施の形態では、上記実施の形態で説明した O S トランジスタに用いることができる金属酸化物の構成について説明する。

[0 4 4 4]

<<金属酸化物>>

酸化物 5 3 0 として、酸化物半導体として機能する金属酸化物を用いることが好ましい。以下では、本発明に係る酸化物 5 3 0 に適用可能な金属酸化物について説明する。

[0 4 4 5]

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特に、インジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、ガリウム、イットリウム、錫などが含まれていることが好ましい。また、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。



[0446]

ここでは、金属酸化物が、インジウム、元素Mおよび亜鉛を有する  $In-M-Zn$  酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、または錫とする。そのほかの元素Mに適用可能な元素としては、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0447]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

[0448]

[金属酸化物の構造]

酸化物半導体 (金属酸化物) は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor)、および非晶質酸化物半導体などがある。

[0449]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間に格子配列の向きが変化している箇所を指す。

[0450]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界 (グレインバウンダリーともいう。) を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

[0451]

また、CAAC-OSは、インジウム、および酸素を有する層 (以下、In層) と、元素M、亜鉛、および酸素を有する層 (以下、(M, Zn) 層) とが積層した、層状の結晶構造 (層状構造ともいう) を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn) 層の元素Mがインジウムと置換した場合、(In, M, Zn) 層と表すこともできる。また、In層のインジウムが元素Mと置換した場合、(In, M) 層と表すこともできる。

[0452]

CAAC-OSは結晶性の高い金属酸化物である。一方、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、

金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-O-Sは不純物や欠陥（酸素欠損など）の少ない金属酸化物ともいえる。したがって、CAAC-O-Sを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-O-Sを有する金属酸化物は熱に強く、信頼性が高い。

[0453]

nc-O-Sは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域）において原子配列に周期性を有する。また、nc-O-Sは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-O-Sは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0454]

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、In-Ga-Zn酸化物（以下、IGZO）は、上述のナノ結晶とすることで安定な構造をとる場合がある。特に、IGZOは、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数mmの結晶、または数cmの結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。

[0455]

a-like OSは、nc-O-Sと非晶質酸化物半導体との間の構造を有する金属酸化物である。a-like OSは、鬆または低密度領域を有する。すなわち、a-like OSは、nc-O-SおよびCAAC-O-Sと比べて、結晶性が低い。

[0456]

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-O-S、CAAC-O-Sのうち、二種以上を有していてもよい。

[0457]

[不純物]

ここで、金属酸化物中における各不純物の影響について説明する。

[0458]

酸化物半導体に不純物が混入すると、欠陥準位または酸素欠損が形成される場合がある。よって、酸化物半導体のチャネル形成領域に不純物が混入することで、酸化物半導体を用いたトランジスタの電気特性が変動しやすく、信頼性が低くなる場合がある。また、チャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。

[0459]

また、上記欠陥準位には、トラップ準位が含まれる場合がある。金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

[0460]

また、酸化物半導体のチャネル形成領域に不純物が存在すると、チャネル形成領域の結晶性が低くなる場合がある、また、チャネル形成領域に接して設けられる酸化物の結晶性が低くなる場合がある。チャネル形成領域の結晶性が低いと、トランジスタの安定性または信頼性が低下する傾向が

ある。また、チャンネル形成領域に接して設けられる酸化物の結晶性が低いと、界面準位が形成され、トランジスタの安定性または信頼性が悪化する場合がある。

[0461]

したがって、トランジスタの安定性または信頼性を向上させるには、酸化物半導体のチャンネル形成領域およびその近傍の不純物濃度を低減することが有効である。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0462]

具体的には、当該酸化物半導体のチャンネル形成領域およびその近傍において、SIMSにより得られる上記不純物の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。または、当該酸化物半導体のチャンネル形成領域およびその近傍において、EDXを用いた元素分析により得られる上記不純物の濃度を、 $1.0 \text{ atomic\%}$ 以下にする。なお、当該酸化物半導体として元素Mを含む酸化物を用いる場合、当該酸化物半導体のチャンネル形成領域およびその近傍において、元素Mに対する上記不純物の濃度比を、 $0.10$ 未満、好ましくは $0.05$ 未満にする。ここで、上記濃度比を算出する際に用いる元素Mの濃度は、上記不純物の濃度を算出した領域と同じ領域の濃度でもよいし、当該酸化物半導体中の濃度でもよい。

[0463]

また、不純物濃度を低減した金属酸化物は、欠陥準位密度が低いいため、トラップ準位密度も低くなる場合がある。

[0464]

また、金属酸化物中の酸素欠損に水素が入った場合、酸素欠損と水素とが結合し $V_OH$ を形成する場合がある。 $V_OH$ はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。

[0465]

従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。また、酸化物半導体中の水素は、熱、電界などのストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が低下する恐れもある。

[0466]

つまり、金属酸化物中の $V_OH$ をできる限り低減し、高純度真性または実質的に高純度真性にすることが好ましい。このように、 $V_OH$ が十分低減された酸化物半導体を得るには、酸化物半導体中の水分、水素などの不純物を除去すること（脱水、脱水素化処理と記載する場合がある。）と、酸化物半導体に酸素を供給して酸素欠損を補填すること（加酸素化処理と記載する場合がある。）が重要である。 $V_OH$ などの不純物が十分に低減された酸化物半導体をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

[0467]

また、トランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。酸化物半導体のキャリア濃度を低くする場合においては、酸化物半導体中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、酸化物半導体中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0468]

特に、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸化物半導体中に酸素欠損を形成する場合がある。酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、酸素欠損に水素が入った欠陥はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。

[0469]

酸素欠損に水素が入った欠陥 ( $V_OH$ ) は、酸化物半導体のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、酸化物半導体においては、ドナー濃度ではなく、キャリア濃度で評価される場合がある。よって、本明細書等では、酸化物半導体のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

[0470]

よって、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。水素などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0471]

また、チャネル形成領域の酸化物半導体のキャリア濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$ 未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$ 未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$ 未満であることがさらに好ましい。なお、チャネル形成領域の酸化物半導体のキャリア濃度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$ とすることができる。

[0472]

本発明の一態様により、信頼性が良好な半導体装置を提供することができる。また、本発明の一態様により、良好な電気特性を有する半導体装置を提供することができる。また、本発明の一態様により、オン電流の大きい半導体装置を提供することができる。また、本発明の一態様により、微細化または高集積化が可能な半導体装置を提供することができる。また、本発明の一態様は、低消費電力の半導体装置を提供することを課題の一つとする。

[0473]

<<その他の半導体材料>>

酸化物530に用いることができる半導体材料は、上述の金属酸化物に限られない。酸化物530として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体、半導体として機能する層状物質（原子層物質、2次元材料などともいう。）などを半導体材料に用いることが好ましい。特に、半導体として機能する層状物質を半導体材料に用いると好適である。

[0474]

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合やイオン結合によって形成される層が、ファンデルワールス力のような、共有結合やイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャンネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

[0475]

層状物質として、グラフェン、シリセン、カルコゲン化物などがある。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。

[0476]

酸化物530として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。酸化物530として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には $\text{MoS}_2$ ）、セレン化モリブデン（代表的には $\text{MoSe}_2$ ）、モリブデンテルル（代表的には $\text{MoTe}_2$ ）、硫化タングステン（代表的には $\text{WS}_2$ ）、セレン化タングステン（代表的には $\text{WSe}_2$ ）、タングステンテルル（代表的には $\text{WTe}_2$ ）、硫化ハフニウム（代表的には $\text{HfS}_2$ ）、セレン化ハフニウム（代表的には $\text{HfSe}_2$ ）、硫化ジルコニウム（代表的には $\text{ZrS}_2$ ）、セレン化ジルコニウム（代表的には $\text{ZrSe}_2$ ）などが挙げられる。

[0477]

なお、本実施の形態は、本明細書に記載する他の実施の形態と適宜組み合わせる実施することができる。

[0478]

(実施の形態4)

本実施の形態では、上述の実施の形態で説明し電池制御回路を電子部品とする例について、図23を用いて説明する。

[0479]

図23Aでは上述の実施の形態で説明し電池制御回路を電子部品とする例について説明する。なお電子部品は、半導体パッケージ、又はIC用パッケージともいう。この電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することにする。

[0480]

OSトランジスタやSiトランジスタで構成される回路部は、組み立て工程（後工程）を経て、プリント基板に脱着可能な部品が複数合わさることで完成する。

[0481]

後工程については、図23Aに示す各工程を経ることで完成させることができる。具体的には、前工程で得られる素子基板が完成（ステップS1）した後、基板の裏面を研削する（ステップS2）。この段階で基板を薄膜化することで、前工程での基板の反り等を低減し、部品としての小型化を図るためである。

[0482]

基板の裏面を研削して、基板を複数のチップに分離するダイシング工程を行う。そして、分離したチップを個々にピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う（ステップS3）。このダイボンディング工程におけるチップとリードフレームとの接着は、樹脂による接着や、テープによる接着等、適宜製品に応じて適した方法を選択する。なお、ダイボンディング工程は、インターポーザ上に搭載し接合してもよい。

[0483]

次いでリードフレームのリードとチップ上の電極とを、金属の細線（ワイヤー）で電氣的に接続する、ワイヤーボンディングを行う（ステップS4）。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

[0484]

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される、モールド工程が施される（ステップS5）。モールド工程を行うことで電子部品の内部が樹脂で充填され、機械的な外力による内蔵される回路部やワイヤーに対するダメージを低減することができ、また水分や埃による特性の劣化を低減することができる。

[0485]

次いでリードフレームのリードをメッキ処理する。そしてリードを切断及び成形加工する（ステップS6）。このめっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。

[0486]

次いでパッケージの表面に印字処理（マーキング）を施す（ステップS7）。そして最終的な検査工程（ステップS8）を経てPLDを含む回路部を有する電子部品が完成する（ステップS9）。

[0487]

また、完成した電子部品の斜視模式図を図23Bに示す。図23Bでは、電子部品の一例として、QFP（Quad Flat Package）の斜視模式図を示している。図23Bに示す電子部品700は、リード701及び回路部703を示している。図23Bに示す電子部品700は、例えばプリント基板702に実装される。このような電子部品700が複数組み合わせられて、それぞれがプリント基板702上で電氣的に接続されることで電気機器の内部に搭載することができる。完成した回路基板704は、電気機器等の内部に設けられる。

[0488]

プリント基板702に実装される複数の電子部品の一例として、先の実施の形態に示す電池制御回路を備えた電子部品が挙げられる。また他の電子部品として例えば、チップコイル、チップインダクタ、等が挙げられる。また先の実施の形態に示す層385、層585、あるいは層585に積層される層に、スパッタリング法、蒸着法、等を用いてチップコイル、チップインダクタ、等を形成することにより、回路基板の面積を縮小できる場合がある。

[0489]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0490]

（実施の形態5）

本実施の形態では、上記実施の形態で説明した電池制御回路を備えた電子部品を適用可能な蓄電装置および蓄電システムの構成について説明する。

[0491]

[円筒型二次電池]

円筒型の二次電池の例について図25Aを参照して説明する。円筒型の二次電池400は、図25Aに示すように、上面に正極キャップ（電池蓋）401を有し、側面及び底面に電池缶（外装缶）402を有している。これら正極キャップ401と電池缶（外装缶）402とは、ガスケット（絶縁パッキン）410によって絶縁されている。

[0492]

図25Bは、円筒型の二次電池の断面を模式的に示した図である。図25Bに示す円筒型の二次電池は、上面に正極キャップ（電池蓋）601を有し、側面および底面に電池缶（外装缶）602を有している。これら正極キャップと電池缶（外装缶）602とは、ガスケット（絶縁パッキン）616によって絶縁されている。

[0493]

中空円柱状の電池缶602の内側には、帯状の正極604と負極606とがセパレータ605の間に挟んで捲回された電池素子が設けられている。図示しないが、電池素子はセンターピンを中心に捲回されている。電池缶602は、一端が閉じられ、他端が開いている。電池缶602には、電解液に対して耐腐食性のあるニッケル、アルミニウム、チタン等の金属、又はこれらの合金やこれらと他の金属との合金（例えば、ステンレス鋼等）を用いることができる。また、電解液による腐食を防ぐため、ニッケルやアルミニウム等を電池缶602に被覆することが好ましい。電池缶602の内側において、正極、負極およびセパレータが捲回された電池素子は、対向する一对の絶縁板608、609により挟まれている。また、電池素子が設けられた電池缶602の内部は、非水電解液（図示せず）が注入されている。非水電解液は、コイン型の二次電池と同様のものを用いることができる。

[0494]

円筒型の蓄電池に用いる正極および負極は捲回するため、集電体の両面に活物質を形成することが好ましい。正極604には正極端子（正極集電リード）603が接続され、負極606には負極端子（負極集電リード）607が接続される。正極端子603および負極端子607は、ともにアルミニウムなどの金属材料を用いることができる。正極端子603は安全弁機構613に、負極端子607は電池缶602の底にそれぞれ抵抗溶接される。安全弁機構613は、PTC素子（Positive Temperature Coefficient）611を介して正極キャップ601と電氣的に接続されている。安全弁機構613は電池の内圧の上昇が所定の閾値を超えた場合に、正極キャップ601と正極604との電氣的な接続を切断するものである。また、PTC素子611は温度が上昇した場合に抵抗が増大する熱感抵抗素子であり、抵抗の増大により電流量を制限して異常発熱を防止するものである。PTC素子には、チタン酸バリウム（BaTiO<sub>3</sub>）系半導体セラミックス等を用いることができる。

[0495]

図25Cは蓄電システム415の一例を示す。蓄電システム415は複数の二次電池400を有する。それぞれの二次電池の正極は、絶縁体425で分離された導電体424に接触し、電氣的に接続されている。導電体424は配線423を介して、制御回路420に電氣的に接続されている。

また、それぞれの二次電池の負極は、配線 4 2 6 を介して制御回路 4 2 0 に電氣的に接続されている。制御回路 4 2 0 として、先の実施の形態にて述べた電池制御回路を用いることができる。

[0 4 9 6]

図 2 5 D は、蓄電システム 4 1 5 の一例を示す。蓄電システム 4 1 5 は複数の二次電池 4 0 0 を有し、複数の二次電池 4 0 0 は、導電板 4 1 3 及び導電板 4 1 4 の間に挟まれている。複数の二次電池 4 0 0 は、配線 4 1 6 により導電板 4 1 3 及び導電板 4 1 4 と電氣的に接続される。複数の二次電池 4 0 0 は、並列接続されていてもよいし、直列接続されていてもよいし、並列に接続された後さらに直列に接続されていてもよい。複数の二次電池 4 0 0 を有する蓄電システム 4 1 5 を構成することで、大きな電力を取り出すことができる。

[0 4 9 7]

複数の二次電池 4 0 0 が、並列に接続された後さらに直列に接続される場合を考える。このような場合には、先の実施の形態に示す電池制御回路において例えば、二次電池 1 2 1 は、並列に接続された複数の二次電池に対応する。また、一のセルバランス回路等の制御回路が、並列に接続された複数の二次電池に電氣的に接続されてもよい。

[0 4 9 8]

複数の二次電池 4 0 0 の間に温度制御装置を有していてもよい。二次電池 4 0 0 が過熱されたときは、温度制御装置により冷却し、二次電池 4 0 0 が冷えすぎているときは温度制御装置により加熱することができる。そのため蓄電システム 4 1 5 の性能が外気温に影響されにくくなる。

[0 4 9 9]

また、図 2 5 D において、蓄電システム 4 1 5 は制御回路 4 2 0 に配線 4 2 1 及び配線 4 2 2 を介して電氣的に接続されている。制御回路 4 2 0 として、先の実施の形態にて述べた電池制御回路を用いることができる。配線 4 2 1 は導電板 4 1 3 を介して複数の二次電池 4 0 0 の正極に、配線 4 2 2 は導電板 4 1 4 を介して複数の二次電池 4 0 0 の負極に、それぞれ電氣的に接続される。

[0 5 0 0]

[二次電池パック]

次に本発明の一態様の蓄電システムの例について、図 2 6 を用いて説明する。

[0 5 0 1]

図 2 6 A は、二次電池パック 5 3 3 の外観を示す図である。図 2 6 B は二次電池パック 5 3 3 の構成を説明する図である。二次電池パック 5 3 3 は、回路基板 5 0 1 と、二次電池 5 1 3 と、を有する。二次電池 5 1 3 には、ラベル 5 0 9 が貼られている。回路基板 5 0 1 は、シール 5 1 5 により固定されている。また、二次電池パック 5 3 3 は、アンテナ 5 1 7 を有する。

[0 5 0 2]

回路基板 5 0 1 は制御回路 5 9 0 を有する。制御回路 5 9 0 は、先の実施の形態に示す電池制御回路を用いることができる。例えば、図 2 6 B に示すように、回路基板 5 0 1 上に、制御回路 5 9 0 を有する。また、回路基板 5 0 1 は、端子 5 2 3 と電氣的に接続されている。また回路基板 5 0 1 は、アンテナ 5 1 7、二次電池 5 1 3 の正極リード及び負極リードの一方 5 5 1、正極リード及び負極リードの他方 5 5 3 と電氣的に接続される。

[0 5 0 3]

あるいは、図 2 6 C に示すように、回路基板 5 0 1 上に設けられる回路システム 5 9 0 a と、端子 5 2 3 を介して回路基板 5 0 1 に電氣的に接続される回路システム 5 9 0 b と、を有してもよい。



例えば、本発明の一態様の制御回路の一部分が回路システム590aに、他の一部分が回路システム590bに、それぞれ設けられる。

[0504]

なお、アンテナ517はコイル状に限定されず、例えば線状、板状であってもよい。また、平面アンテナ、開口面アンテナ、進行波アンテナ、EHアンテナ、磁界アンテナ、誘電体アンテナ等のアンテナを用いてもよい。又は、アンテナ914は、平板状の導体でもよい。この平板状の導体は、電界結合用の導体の一つとして機能することができる。つまり、コンデンサの有する2つの導体のうちの一つの導体として、アンテナ914を機能させてもよい。これにより、電磁界、磁界だけでなく、電界で電力のやり取りを行うこともできる。

[0505]

二次電池パック533は、アンテナ517と、二次電池513との間に層519を有する。層519は、例えば二次電池513による電磁界を遮蔽することができる機能を有する。層519としては、例えば磁性体を用いることができる。

[0506]

二次電池513は、例えば、セパレータを挟んで負極と、正極とが重なり合って積層され、該積層シートを捲回したものである。

[0507]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0508]

(実施の形態6)

本実施の形態では、車両に本発明の一態様である蓄電システムを搭載する例を示す。車両として例えば自動車、二輪車、自転車、等が挙げられる。

[0509]

蓄電システムを車両に搭載すると、ハイブリッド車(HEV)、電気自動車(EV)、又はプラグインハイブリッド車(PHEV)等の次世代クリーンエネルギー自動車を実現できる。

[0510]

図27において、本発明の一態様である蓄電システムを用いた車両を例示する。図27Aに示す自動車8400は、走行のための動力源として電気モーターを用いる電気自動車である。または、走行のための動力源として電気モーターとエンジンを適宜選択して用いることが可能なハイブリッド自動車である。本発明の一態様を用いることで、航続距離の長い車両を実現することができる。自動車8400は蓄電システムを有する。蓄電システムは電気モーター8406を駆動するだけでなく、ヘッドライト8401やルームライト(図示せず)などの発光装置に電力を供給することができる。

[0511]

また、蓄電システムは、自動車8400が有するスピードメーター、タコメーターなどの表示装置に電力を供給することができる。また、蓄電システムは、自動車8400が有するナビゲーションシステムなどに電力を供給することができる。

[0512]

図27Bに示す自動車8500は、自動車8500が有する蓄電システム8024にプラグイン方式や非接触給電方式等により外部の充電設備から電力供給を受けて、充電することができる。図

27Bに、地上設置型の充電装置8021から自動車8500に搭載された蓄電システム8024に、ケーブル8022を介して充電を行っている状態を示す。充電に際しては、充電方法やコネクタの規格等はCHAdeMO（登録商標）やコンボ等の所定の方式で適宜行えばよい。充電装置8021は、商用施設に設けられた充電ステーションでもよく、また家庭の電源であってもよい。例えば、プラグイン技術によって、外部からの電力供給により自動車8500に搭載された蓄電システム8024を充電することができる。充電は、ACDCコンバータ等の変換装置を介して、交流電力を直流電力に変換して行うことができる。

[0513]

また、図示しないが、受電装置を車両に搭載し、地上の送電装置から電力を非接触で供給して充電することもできる。この非接触給電方式の場合には、道路や外壁に送電装置を組み込むことで、停車中に限らず走行中に充電を行うこともできる。また、この非接触給電の方式を利用して、車両どうしで電力の送受信を行ってもよい。さらに、車両の外装部に太陽電池を設け、停車時や走行時に蓄電システムの充電を行ってもよい。このような非接触での電力の供給には、電磁誘導方式や磁界共鳴方式を用いることができる。

[0514]

また、図27Cは、本発明の一態様の蓄電システムを用いた二輪車の一例である。図27Cに示すスクータ8600は、蓄電システム8602、サイドミラー8601、方向指示灯8603を備える。蓄電システム8602は、方向指示灯8603に電気を供給することができる。

[0515]

また、図27Cに示すスクータ8600は、座席下収納8604に、蓄電システム8602を収納することができる。蓄電システム8602は、座席下収納8604が小型であっても、座席下収納8604に収納することができる。

[0516]

また、図28Aは、本発明の一態様の蓄電システムを用いた電動自転車の一態様の一例である。図28Aに示す電動自転車8700に、本発明の一態様の蓄電システムを適用することができる。本発明の一態様の蓄電システムは例えば、複数の蓄電池と、保護回路と、ニューラルネットワークと、を有する。

[0517]

電動自転車8700は、蓄電システム8702を備える。蓄電システム8702は、運転者をアシストするモーターに電気を供給することができる。また、蓄電システム8702は、持ち運びができ、図28Bに自転車から取り外した状態を示している。また、蓄電システム8702は、本発明の一態様の蓄電システムが有する蓄電池8701が複数内蔵されており、そのバッテリー残量などを表示部8703で表示できるようにしている。また蓄電システム8702は、本発明の一態様の制御回路8704を有する。制御回路8704は、蓄電池8701の正極及び負極と電氣的に接続されている。制御回路8704として、先の実施の形態に示す電池制御回路を用いることができる。

[0518]

本実施の形態は、他の実施の形態の記載と適宜組み合わせることができる。

[0519]

(実施の形態7)

本実施の形態は、本発明の一態様の電池制御回路が搭載されるシステムの一例について説明する。

[0520]

図29Aは、フレキシブルなフィルムである可撓性基板811上に形成された半導体装置810を円筒形二次電池815に実装させた電池制御システムのプロットである。

[0521]

半導体装置810として例えば、先の実施の形態に示す半導体装置を適用することができる。または半導体装置810として例えば、先の実施の形態に示す半導体装置の一部の構成、例えば層585に設けられる構成を適用してもよい。

[0522]

本発明の一態様の電池制御システムは、円筒形二次電池815と、半導体装置810と、スイッチとを少なくとも有している。

[0523]

円筒形二次電池815は、上面に第1の端子812を有し、底面に第2の端子813を有している。円筒形二次電池の第1の端子812に接続され、円筒形二次電池815から出力される電力を伝送する第1の伝送路は、電極818を介して充電制御回路の端子と電気的に接続される。また、円筒形二次電池の第2の端子813に接続されている第2の伝送路は、電極819を介して第2の伝送路を遮断するスイッチと接続されている。

[0524]

図29Aでは、第2の伝送路を遮断するスイッチ（遮断用スイッチとも呼ぶ）が2個設けられており、ダイオードもそれぞれ接続されており、過放電、過充電、または過電流を防止するための保護回路として機能している。スイッチは、導通および遮断動作を制御しており、供給及び遮断を切り替える切替手段とも呼べる。可撓性基板811上に形成された第2の伝送路のもう一方の端子である第3の端子814は、充電器816やモバイル機器817に接続されている。

[0525]

半導体装置810を可撓性基板811上に形成する作製方法は、半導体基板上に形成した後、剥離方法を用いて剥離後に可撓性基板811上に固定する方法を用いる。剥離方法においては、公知の技術を用いることができる。また、半導体基板上に形成した後、裏面を研磨した後、可撓性基板811上に固定する方法でもよい。また、レーザー光を用いて部分的に切り取った、所謂レーザーカット後、可撓性基板811上に固定する方法でもよい。また、直接、半導体装置810を可撓性基板811上に形成する方法でもよい。また、ガラス基板上に形成した半導体装置810を剥離方法を用いて剥離後に可撓性基板811上に固定する方法を用いる。

[0526]

本実施の形態では、これらのダイオードやスイッチも可撓性基板811上に形成または実装させる例を示しているが、特にこの構成に限定されない。

[0527]

半導体装置810でマイクロショートなどの異常を検知した場合には、第2の伝送路を遮断するスイッチのゲートに信号を入力することで第2の伝送路を遮断することができる。第2の伝送路を遮断すれば、充電器816からの電流の供給の停止、またはモバイル機器817への電流の供給の停止を行うことができる。また、第2の伝送路を遮断するスイッチのゲートへ印加する信号電圧をメモリ回路（酸化物半導体を用いたトランジスタを含む）で保持することで、遮断を長時間維持す

ることができる。従って、安全性の高い充電制御システムとすることができる。

[0528]

また、図29Bは、円筒形二次電池815と、可撓性基板811とを貼り合わせる直前の様子を示す工程図であり、可撓性基板811の接触面側を示している。図29Bに示すように可撓性基板811の接触面に円筒形二次電池815の胴部をあてがって転動させ、胴部の円周方向に可撓性基板811を巻き付け貼着する。また、可撓性基板811にはY方向に電極818と電極819を並べた配置としているが特に限定されず、一方がX方向にずれていてもよい。なお、動転後の図が図29Cである。

[0529]

円筒形二次電池815の胴部外周面を覆うように外装フィルムが装着されている。この外装フィルムは、二次電池内部の構造を封止するための金属缶を保護し、金属缶と絶縁性を図るために用いられる。

[0530]

外装フィルムを使用せずに、円筒形二次電池815の外表面（端子部分を除く）が金属面である場合には、電極818との間、電極819との間に絶縁シートを挟むことが好ましい。電極818、または電極819は、導電性金属箔や、導電材料からなる導電性テープや、リード線であり、円筒形二次電池815の端子とは、半田付けや、ワイヤボンディング法などの公知の方法により接続する。また、電極818、または電極819は、充電制御回路の端子と半田付けや、ワイヤボンディング法により接続する。

[0531]

図29Aに示すように、円筒形二次電池815からモバイル機器817に電力を供給する場合、円筒形二次電池815は放電状態となり、第1の端子812及び第2の端子813における電圧や電流などの挙動を半導体装置810で監視し、異常を検知した場合には、第2の伝送路を遮断して放電を停止する。

[0532]

モバイル機器817は二次電池以外の構成を指しており、モバイル機器817にとっての電源が、円筒形二次電池815である。なお、モバイル機器817とは形態して持ち歩ける電子機器である。

[0533]

また、円筒形二次電池815に充電器816から電力を供給されて充電する場合、円筒形二次電池815は充電状態となり、第1の端子812及び第2の端子813における電圧や電流などの挙動を半導体装置810で監視し、異常を検知した場合には、第2の伝送路を遮断して充電を停止する。

[0534]

充電器816は、外部電源と接続するアダプターを有する機器や、無線信号を用いて電力伝送を行う機器を指している。なお、充電器816がモバイル機器817に内蔵されている場合もある。

[0535]

図29では円筒形二次電池の例を示したが、異なる例として、フレキシブルなフィルムである可撓性基板910上に形成された半導体装置964を扁平形状の二次電池963に実装する例を図30に示す。

[0536]

半導体装置 964 は、可撓性基板 910 上に形成または固定されている。半導体装置 964 は、マイクロショートなどの異常を検出する。さらに、過充電、過放電および過電流から二次電池 963 を保護する、保護回路としての機能を有してもよい。

[0537]

半導体装置 964 として例えば、先の実施の形態に示す半導体装置を適用することができる。または半導体装置 810 として例えば、先の実施の形態に示す半導体装置の一部の構成、例えば層 585 に設けられる構成を適用してもよい。

[0538]

また、半導体装置 964 に加えてアンテナ及び受信回路及び整流回路を設けてもよい。アンテナを用いて二次電池 963 に非接触で充電を行うこともできる。アンテナは、コイル状に限定されず、例えば線状、板状であってもよい。また、平面アンテナ、開口面アンテナ、進行波アンテナ、EH アンテナ、磁界アンテナ、誘電体アンテナ等のアンテナを用いてもよい。アンテナは、たとえば外部機器とのデータ通信を行うことができる機能を有する。アンテナを介した電池パックと他の機器との通信方式としては、NFC など、電池パックと他の機器との間で用いることができる応答方式などを適用することができる。

[0539]

図 30B に示すように、接続端子 911 は、半導体装置 964 を介して、二次電池 963 が有する端子 951 および端子 952 と電氣的に接続される。なお、接続端子 911 を複数設けて、複数の接続端子 911 のそれぞれを、制御信号入力端子、電源端子などとしてもよい。

[0540]

電池パックは、半導体装置 964 と、二次電池 963 との間に絶縁シート層 916 を有する。絶縁シート層 916 は、例えば二次電池 963 による短絡を防止することができる機能を有する。絶縁シート層 916 としては、例えば有機樹脂フィルムや接着シートを用いることができる。

[0541]

図 30A では、筐体表面に絶縁シート層 916 を設け、半導体装置 964 が設けられている面を内側にして可撓性基板を固定している例を示しているが、特に限定されず、充電制御回路が形成されている面を外側にして端子 951 や端子 952 と接続を行ってもよい。ただし、その場合には接続部分が露出することとなり、静電破壊、または短絡の危険があるため注意して組み立てることとなる。

[0542]

上記には可撓性基板に半導体装置 964 を設ける例を示したが、特に限定されず、同一基板上に保護回路、遮断用スイッチ、アンテナ、センサなどを設けてもよい。半導体装置 964 は、可撓性基板に形成されており、曲げることができ、且つ、二次電池のマイクロショートなどの異常を検知することができる。また、本発明の一態様の半導体装置は、二次電池の側面に設けることができ、省スペース化及び使用部品数の削減を実現することができる。

[0543]

本発明の一態様の電池制御回路を備えた電子機器の例について図 31 を用いて説明を行う。

[0544]

掃除ロボット 7000 は、二次電池、上面に配置されたディスプレイ、側面に配置された複数のカメラ、ブラシ、操作ボタン、各種センサなどを有する。図示されていないが、掃除ロボット 70

000には、タイヤ、吸い込み口などが備えられている。掃除ロボット7000は自走し、ゴミを検知し、下面に設けられた吸い込み口からゴミを吸引することができる。掃除ロボット7000の二次電池に電氣的に接続する本発明の一態様の電池制御回路を搭載した半導体装置を適用して、使用部品数を削減し、且つ、二次電池のマイクロショートなどの異常を検知することができる。

[0545]

掃除ロボット7000は、二次電池、照度センサ、マイクロフォン、カメラ、スピーカ、ディスプレイ、各種センサ（赤外線センサ、超音波センサ、加速度センサ、ピエゾセンサ、光センサ、ジャイロセンサなど）、および移動機構などを備える。掃除ロボット7000の二次電池に本発明の一態様の電池制御回路を搭載した半導体装置を適用して、二次電池の制御および保護等を行うことができる。

[0546]

マイクロフォンは、使用者の音声および環境音などの音響信号を検知する機能を有する。また、スピーカは、音声および警告音などのオーディオ信号を発する機能を有する。掃除ロボット7000は、マイクロフォンを介して入力されたオーディオ信号を解析し、必要なオーディオ信号をスピーカから発することができる。掃除ロボット7000において、は、マイクロフォン、およびスピーカを用いて、使用者とコミュニケーションをとることが可能である。

[0547]

カメラは、掃除ロボット7000の周囲を撮像する機能を有する。また、掃除ロボット7000は、移動機構を用いて移動する機能を有する。掃除ロボット7000は、カメラを用いて周囲の画像を撮像し、画像を解析して移動する際の障害物の有無などを察知することができる。

[0548]

飛行体7120は、プロペラ、カメラ、および二次電池などを有し、自律して飛行する機能を有する。

[0549]

また、飛行体7120の二次電池に本発明の一態様の電池制御回路を搭載した半導体装置を適用して、軽量化に加えて、二次電池の制御および保護等を行うことができる。

[0550]

移動体の一例として電気自動車7160を示す。電気自動車7160は、二次電池、タイヤ、ブレーキ、操舵装置、カメラなどを有する。電気自動車7160の二次電池に接続する本発明の一態様の電池制御回路を搭載した半導体装置を適用して、使用部品数を削減し、且つ、二次電池のマイクロショートなどの異常を検知することができる。

[0551]

なお、上述では、移動体の一例として電気自動車について説明しているが、移動体は電気自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体の二次電池に電氣的に接続する本発明の一態様の電池制御回路を搭載した半導体装置を適用して、使用部品数を削減し、且つ、二次電池のマイクロショートなどの異常を検知することができる。

[0552]

半導体装置810を備えた円筒形二次電池および／または半導体装置964を備えた電池パックは、スマートフォン7210、PC7220（パーソナルコンピュータ）、ゲーム機7240等に

組み込むことができる。なお、円筒形二次電池に貼り付けられた半導体装置 810 は、図 29 に示した半導体装置 810 に相当する。また、電池パックに貼り付けられた半導体装置 964 は、図 30 に示した半導体装置 964 に相当する。

[0553]

スマートフォン 7210 は、携帯情報端末の一例である。スマートフォン 7210 は、マイクロフォン、カメラ、スピーカ、各種センサ、および表示部を有する。電池制御回路を搭載した半導体装置によってこれら周辺機器が制御される。スマートフォン 7210 の二次電池に電氣的に接続する本発明の一態様の電池制御回路を搭載した半導体装置を適用して、使用部品数を削減し、且つ、二次電池の制御および保護等を行うことができ、安全性を高めることができる。

[0554]

PC 7220 はそれぞれノート型 PC の例である。ノート型 PC の二次電池に電氣的に接続する本発明の一態様の電池制御回路を搭載した半導体装置を適用して、使用部品数を削減し、且つ、二次電池の制御および保護等を行うことができ、安全性を高めることができる。

[0555]

ゲーム機 7240 は携帯型ゲーム機の例である。ゲーム機 7260 は家庭用の据え置き型ゲーム機の例である。ゲーム機 7260 には、無線または有線でコントローラ 7262 が接続されている。コントローラ 7262 に、本発明の一態様の電池制御回路を搭載した半導体装置を適用して、使用部品数を削減し、且つ、二次電池の制御および保護等を行うことができ、安全性を高めることができる。

[0556]

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせることで実施することが可能である。

[0557]

(実施の形態 8)

実施の形態 7 では、フレキシブルなフィルムである可撓性基板上に形成された半導体装置を円筒形二次電池に実装させた例について説明したが、本実施の形態では、他の一例として、外装体内部に半導体装置を電池層と積層する例について説明する。なお、図 32 において、図 26 と同一の箇所には同じ符号を用いて説明する。

[0558]

図 32 に示すように二次電池パック 533 は、角型の外装体を用いて、二次電池 513 が封入されている。また、角型の外装体にはラベル 509 が貼られている。

[0559]

複数の電池層 614 が積層されており、そのうちの一層の電池層 614 が回路層 615 と積層され、それらがまとめて外装体に封入されている。また、角型の外装体内には電解液を封入してもよい、ポリマーゲル電解質を用いてもよい。

[0560]

回路層 615 は、電池制御回路、電池保護回路などを含み、それらの回路は OS トランジスタなどで構成されており、薄膜化されているため、電池層 614 と積層することができる。例えば、回路層 615 は、電池層 614 の異常を検知した場合には、層ごとに電流供給を遮断することもできる。従って、一層に異常（例えばショート）が生じて、その一層のみを遮断し、他の層を使用継

続することもできる。

[0561]

電池層614は、正極またはセパレータまたは固体電解質または負極から選ばれる少なくとも一または複数の積層体を指している。なお、正極または負極は集電体に活物質を形成したものである。

[0562]

電池層614は、固体電解質を用いる場合、セパレータやスペーサの設置が不要となる。また、電池全体を固体化できるため、漏液のおそれがなくなり安全性が飛躍的に向上する。

[0563]

図32に示す二次電池パック533は、オフ電流の小さいOSトランジスタ電池制御回路、電池保護回路などを内蔵しているため、マイクロショート検出などの異常検知が可能である。回路層615は、電池制御回路、電池保護回路などを含み、それらの回路はOSトランジスタなどで構成されており、薄膜化及び軽量化されているため、電池ユニットのデザイン性向上や、周辺回路の小型化ができる。

[0564]

また、図32に示す二次電池パック533は、保護回路などを内蔵しているため、保護回路のためのプリント基板を不要とすることができる。

[0565]

また、本実施の形態は、他の実施の形態と自由に組み合わせることができる。

[実施例1]

[0566]

本実施例では、本発明の一態様の増幅回路の特性を評価した。

[0567]

図3に示す増幅回路80の構成を適用した増幅回路を24個作製し、それぞれの特性を評価した。該増幅回路を構成するトランジスタとして、チャンネル形成領域にインジウム、ガリウムおよび亜鉛を含む酸化物を有し、チャンネル長が360nm程度のトランジスタを用いた。増幅回路80に含まれる増幅回路11a、11bおよび11cには、図2Aに示す増幅回路11の構成を用いた。

[0568]

特性の評価に際し、端子VREF1および端子VREF2に1.25V印加し、端子VBCSに2.5V印加し、端子VBGに-1V印加し、端子VDDに2.5V印加し、端子VSSに0V印加した。端子BIAS1には、トランジスタ34のバイアス電流値が100nAとなる電圧を印加した。また、端子SET1、端子SET2および端子SETB2に印加する高電位信号を4.5V、低電位信号を0.0Vとした。

[0569]

増幅回路80への入力として、端子INP1に1Vを印加した。端子INM1に0.0Vから2.0Vの範囲で掃引する電圧を印加し、端子53が基準電圧1.5Vになった時の端子INM1の電圧を、24個の増幅回路それぞれについて調査した。

[0570]

端子INM1に印加する電圧が0Vから2.0Vに掃引される時に、端子53が1.5Vになった時の端子INM1の電圧は、平均値が1.501V、標準偏差は0.000449V、最大値と最小値の差は0.00807Vであった。



[0571]

端子 INM1 に印加する電圧が 2.0 V から 0 V に掃引される時に、端子 53 が 1.5 V になった時の端子 INM1 の電圧は、平均値が 1.500 V、標準偏差は 0.000418 V、最大値と最小値の差は 0.00901 V であった。

[0572]

図 3 に示す増幅回路 80 では、端子 VREF1 や端子 VREF2 を介して初期化電位が与えられた。次に、初期化電位が与えられない構成の増幅回路について、評価した。具体的には、図 17A に示す増幅回路 80z の構成を適用した増幅回路を 25 個作製し、それぞれの特性を評価した。本実施例では、増幅回路 11x を 14 段接続した後、増幅回路 11y を接続した構成について評価した。

[0573]

端子 BIAS1 には増幅回路 11x のバイアス電流値が 100 nA となる電圧を印加した。端子 VDD には 3.3 V を印加し、端子 VBG には 1 V を印加し、端子 VSS には 0 V を印加し、端子 EN には 0 V を印加した。

[0574]

増幅回路 80z への入力として、端子 INPz には 1.5 V を印加し、端子 INMz には 0.0 V から 3.0 V の範囲で掃引する電圧を与え、出力端子 53z の電位が基準電圧 1.5 V になった時の端子 INMz の電圧を、25 個の増幅回路それぞれについて調査した。

[0575]

端子 INMz に与える電圧が 0 V から 3.0 V に掃引される時に、出力端子 53z が 1.5 V になった時の端子 INMz の電圧は、平均値が 1.513 V、標準偏差は 0.004976 V、最大値と最小値の差は 0.15304 V であった。

[0576]

端子 INMz に与える電圧が 3.0 V から 0 V に掃引される時に、出力端子 53z が 1.5 V になった時の端子 INMz の電圧は、平均値が 1.512 V、標準偏差は 0.004994 V、最大値と最小値の差は 0.154 V であった。

[0577]

初期化電位を与えることにより、増幅回路の出力値のばらつきを低減することができた。

[符号の説明]

[0578]

B I A S 1 : 端子、C 1 1 : 容量素子、I N 2 : 端子、I N M 1 : 端子、I N P 1 : 端子、M 1 : トランジスタ、M 2 : トランジスタ、M 3 : トランジスタ、N 1 1 : ノード、N 1 2 : ノード、N 1 3 : ノード、N D 1 : ノード、N D 2 : ノード、N D 3 : ノード、N D 4 : ノード、N D 5 : ノード、N D 6 : ノード、N D 7 : ノード、N D 8 : ノード、R 1 : プルアップ抵抗、S E T 1 : 端子、S E T 2 : 端子、S E T B 1 : 端子、S E T B 2 : 端子、V B 1 \_ I N : 配線、V B 2 \_ I N : 配線、V C 1 : 端子、V R E F 1 : 端子、V R E F 2 : 端子、X 1 : インバータ、1 1 : 増幅回路、1 1 a : 増幅回路、1 1 b : 増幅回路、1 1 c : 増幅回路、1 1 x : 増幅回路、1 1 y : 増幅回路、1 2 : 遮断用スイッチ、1 3 : 充電検出回路、1 5 : 回路、2 1 : 端子、2 1 a : 端子、2 1 b : 端子、2 1 c : 端子、2 1 z : 入力端子、2 2 : 端子、2 2 a : 端子、2 2 b : 端子、2 2 c : 端子、2 2 z : 入力端子、2 3 a : トランジスタ、2 3 b : トランジスタ、2 3 c : トラン

ジスタ、24 a : トランジスタ、24 b : トランジスタ、24 c : トランジスタ、30 a : 回路、30 b : 回路、30 c : 回路、31 : トランジスタ、31\_\_1 : トランジスタ、31\_\_2 : トランジスタ、32 : トランジスタ、32\_\_1 : トランジスタ、32\_\_2 : トランジスタ、32 b : 導電体、34 : トランジスタ、34\_\_1 : トランジスタ、34\_\_2 : トランジスタ、41 : 容量素子、42 : 容量素子、45 : トランジスタ、51 : 端子、51 a : 端子、51 b : 端子、51 c : 端子、51 w : 入力端子、51 z : 出力端子、52 : 端子、52 a : 端子、52 b : 端子、52 c : 端子、52 w : 入力端子、52 z : 出力端子、53 : 端子、53 z : 出力端子、61 : 容量素子、65 a : 容量素子、65 b : 容量素子、66 a : 容量素子、66 b : 容量素子、68 : 回路、69 : 回路、70 : 半導体装置、71 : 増幅回路、72 : トランジスタ、73 : トランジスタ、74 : トランジスタ、75 : トランジスタ、76 a : トランジスタ、76 b : トランジスタ、76 c : トランジスタ、76 d : トランジスタ、77 : トランジスタ、78 : トランジスタ、79 : トランジスタ、80 : 増幅回路、80 z : 増幅回路、81 : トランジスタ、82 : トランジスタ、83 : トランジスタ、83 a : トランジスタ、83 a\_\_1 : トランジスタ、83 a\_\_2 : トランジスタ、83 b : トランジスタ、83 b\_\_1 : トランジスタ、83 b\_\_2 : トランジスタ、84 : トランジスタ、84 a : トランジスタ、84 b : トランジスタ、87 a : 容量素子、87 b : 容量素子、89 : 抵抗素子、90 : 選択回路、91 : トランジスタ、92 : トランジスタ、93 : トランジスタ、94 : トランジスタ、99 : 制御回路、100 : 蓄電システム、114 : 記憶素子、121 : 二次電池、140 : トランジスタ、150 : トランジスタ、161 : 容量素子、162 : トランジスタ、211 : トランジスタ、212 : トランジスタ、213 : トランジスタ、214 : トランジスタ、215 : トランジスタ、250 : コンパレータ、300 : トランジスタ、311 : 基板、313 : 半導体領域、314 a : 低抵抗領域、314 b : 低抵抗領域、315 : 絶縁体、316 : 導電体、317 : 低抵抗領域、318 : 裏面電極、319 : 領域、320 : 絶縁体、322 : 絶縁体、324 : 絶縁体、326 : 絶縁体、328 : 導電体、328 b : 導電体、330 : 導電体、350 : 絶縁体、352 : 絶縁体、354 : 絶縁体、356 : 導電体、360 : 絶縁体、362 : 絶縁体、364 : 絶縁体、366 : 導電体、370 : 絶縁体、372 : 絶縁体、374 : 絶縁体、376 : 導電体、380 : 絶縁体、382 : 絶縁体、384 : 絶縁体、385 : 層、386 : 導電体、400 : 二次電池、401 : 正極キャップ、402 : 電池缶、413 : 導電板、414 : 導電板、415 : 蓄電システム、416 : 配線、420 : 制御回路、421 : 配線、422 : 配線、423 : 配線、424 : 導電体、425 : 絶縁体、426 : 配線、500 : トランジスタ、501 : 回路基板、503 : 導電体、503 a : 導電体、503 b : 導電体、505 : 導電体、505 a : 導電体、505 b : 導電体、509 : ラベル、510 : 絶縁体、510 A : トランジスタ、510 B : トランジスタ、510 C : トランジスタ、510 D : トランジスタ、510 E : トランジスタ、510 F : トランジスタ、511 : 絶縁体、512 : 絶縁体、513 : 二次電池、514 : 絶縁体、515 : シール、516 : 絶縁体、517 : アンテナ、518 : 導電体、519 : 層、520 : 絶縁体、521 : 絶縁体、522 : 絶縁体、523 : 端子、524 : 絶縁体、530 : 酸化物、530 a : 酸化物、530 b : 酸化物、530 c : 酸化物、531 : 領域、531 a : 領域、531 b : 領域、533 : 二次電池パック、540 a : 導電体、540 b : 導電体、542 : 導電体、542 a : 導電体、542 b : 導電体、543 : 領域、543 a : 領域、543 b : 領域、544 : 絶縁体、545 : 絶縁体、546 : 導電体、546 a : 導電体、546 b : 導電体、547 : 導電体、547 a : 導電体、547 b : 導電体、548 : 導電体、550 : 絶縁体、551 : 正極リード及び負極

リードの一方、552：金属酸化物、553：正極リード及び負極リードの他方、560：導電体、560a：導電体、560b：導電体、570：絶縁体、571：絶縁体、573：絶縁体、574：絶縁体、575：絶縁体、576：絶縁体、576a：絶縁体、576b：絶縁体、580：絶縁体、581：絶縁体、582：絶縁体、584：絶縁体、585：層、586：絶縁体、590：制御回路、590a：回路システム、590b：回路システム、600：容量素子、601：正極キャップ、602：電池缶、603：正極端子、604：正極、605：セパレータ、606：負極、607：負極端子、608：絶縁板、609：絶縁板、610：導電体、611：PTC素子、612：導電体、613：安全弁機構、614：電池層、615：回路層、616：ガスケット、620：導電体、630：絶縁体、650：絶縁体、692：導電体、693：絶縁体、700：電子部品、701：リード、702：プリント基板、703：回路部、704：回路基板、810：半導体装置、811：可撓性基板、812：端子、813：端子、814：端子、815：円筒形二次電池、816：充電器、817：モバイル機器、818：電極、819：電極、900a：領域、900b：領域、900c：領域、900d：領域、910：可撓性基板、911：接続端子、914：アンテナ、916：絶縁シート層、951：端子、952：端子、963：二次電池、964：半導体装置、7000：掃除ロボット、7120：飛行体、7160：電気自動車、7210：スマートフォン、7220：PC、7240：ゲーム機、7260：ゲーム機、7262：コントローラ、8021：充電装置、8022：ケーブル、8024：蓄電システム、8400：自動車、8401：ヘッドライト、8406：電気モーター、8500：自動車、8600：スクータ、8601：サイドミラー、8602：蓄電システム、8603：方向指示灯、8604：座席下収納、8700：電動自転車、8701：蓄電池、8702：蓄電システム、8703：表示部、8704：制御回路

## 請求の範囲

## [請求項1]

第1の出力端子と、第2の出力端子と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、を有し、

前記第1のトランジスタは、バックゲートを有し、

前記第1のトランジスタのソースおよびドレインの一方は、前記第2のトランジスタのソースおよびドレインの一方と、前記第3のトランジスタのソースおよびドレインの一方と、に電氣的に接続され、

前記第3のトランジスタのソースおよびドレインの他方は、前記第1の出力端子に電氣的に接続され、

前記第2のトランジスタのソースおよびドレインの他方は、前記第2の出力端子に電氣的に接続され、

前記第2のトランジスタのゲートに与えられる信号と前記第3のトランジスタのゲートに与えられる信号の比較結果を前記第1の出力端子および前記第2の出力端子から出力する機能を有し、

前記バックゲートに第1の電位が与えられる第1のステップと、

前記バックゲートに第2の電位が与えられる第2のステップと、を有し、

前記第1のステップにおいて前記第1の出力端子から出力される電位は、前記第2のステップにおいて前記第1の出力端子から出力される電位よりも低い半導体装置の動作方法。

## [請求項2]

請求項1において、

前記第1のトランジスタは、チャンネル形成領域に酸化半導体を有する半導体装置の動作方法。

## [請求項3]

請求項1または請求項2において、

前記第1のトランジスタのソースとドレインの間を流れる電流は、第1のステップよりも第2のステップの方が低い半導体装置の動作方法。

## [請求項4]

請求項1乃至請求項3のいずれか一において、

第4のトランジスタ、第5のトランジスタおよび容量素子を有し、

前記第4のトランジスタのソースおよびドレインの一方は、前記第1の出力端子に電氣的に接続され、

前記第5のトランジスタのソースおよびドレインの一方は、前記第4のトランジスタのゲートに電氣的に接続され、

前記容量素子の一方の電極は、前記第4のトランジスタのゲートに電氣的に接続され、他方の電極は、前記第1の出力端子に電氣的に接続され、

前記第1のステップおよび前記第2のステップにおいて、前記第5のトランジスタはオフ状態である半導体装置の動作方法。

## [請求項5]

請求項4において、

前記第1のトランジスタのソースおよびドレインの他方には低電位信号が与えられ、

前記第4のトランジスタのソースおよびドレインの他方と、前記第5のトランジスタのソースおよびドレインの他方には、高電位信号が与えられる半導体装置の動作方法。

[請求項6]

第1の入力端子と、第2の入力端子、第1の出力端子と、第2の出力端子と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、選択回路と、を有し、

前記第1のトランジスタは、バックゲートを有し、

前記選択回路は、2以上の電位から1を選択し、前記バックゲートに与える機能を有し、

前記第2のトランジスタのゲートは、前記第1の入力端子に電氣的に接続され、

前記第3のトランジスタのゲートは、前記第2の入力端子に電氣的に接続され、

前記第1のトランジスタは、バックゲートを有し、

前記第1のトランジスタのソースおよびドレインの一方は、前記第2のトランジスタのソースおよびドレインの一方と、前記第3のトランジスタのソースおよびドレインの一方と、に電氣的に接続され、

前記第3のトランジスタのソースおよびドレインの他方は、前記第1の出力端子に電氣的に接続され、

前記第2のトランジスタのソースおよびドレインの他方は、前記第2の出力端子に電氣的に接続され、

前記第1のトランジスタは、チャンネル形成領域に酸化物半導体を有し、

前記第1の入力端子に与えられる信号と前記第2の入力端子に与えられる信号の比較結果を前記第1の出力端子および前記第2の出力端子から出力する機能を有し、

前記選択回路から前記バックゲートに与える電位を低くすることにより、前記第1の出力端子から出力される電位を低くする機能を有する半導体装置。

[請求項7]

請求項6において、

第4のトランジスタ、第5のトランジスタおよび容量素子を有し、

前記第4のトランジスタのソースおよびドレインの一方は、前記第1の出力端子に電氣的に接続され、

前記第5のトランジスタのソースおよびドレインの一方は、前記第4のトランジスタのゲートに電氣的に接続され、

前記容量素子の一方の電極は、前記第4のトランジスタのゲートに電氣的に接続され、他方の電極は、前記第1の出力端子に電氣的に接続される半導体装置。

図1A

11

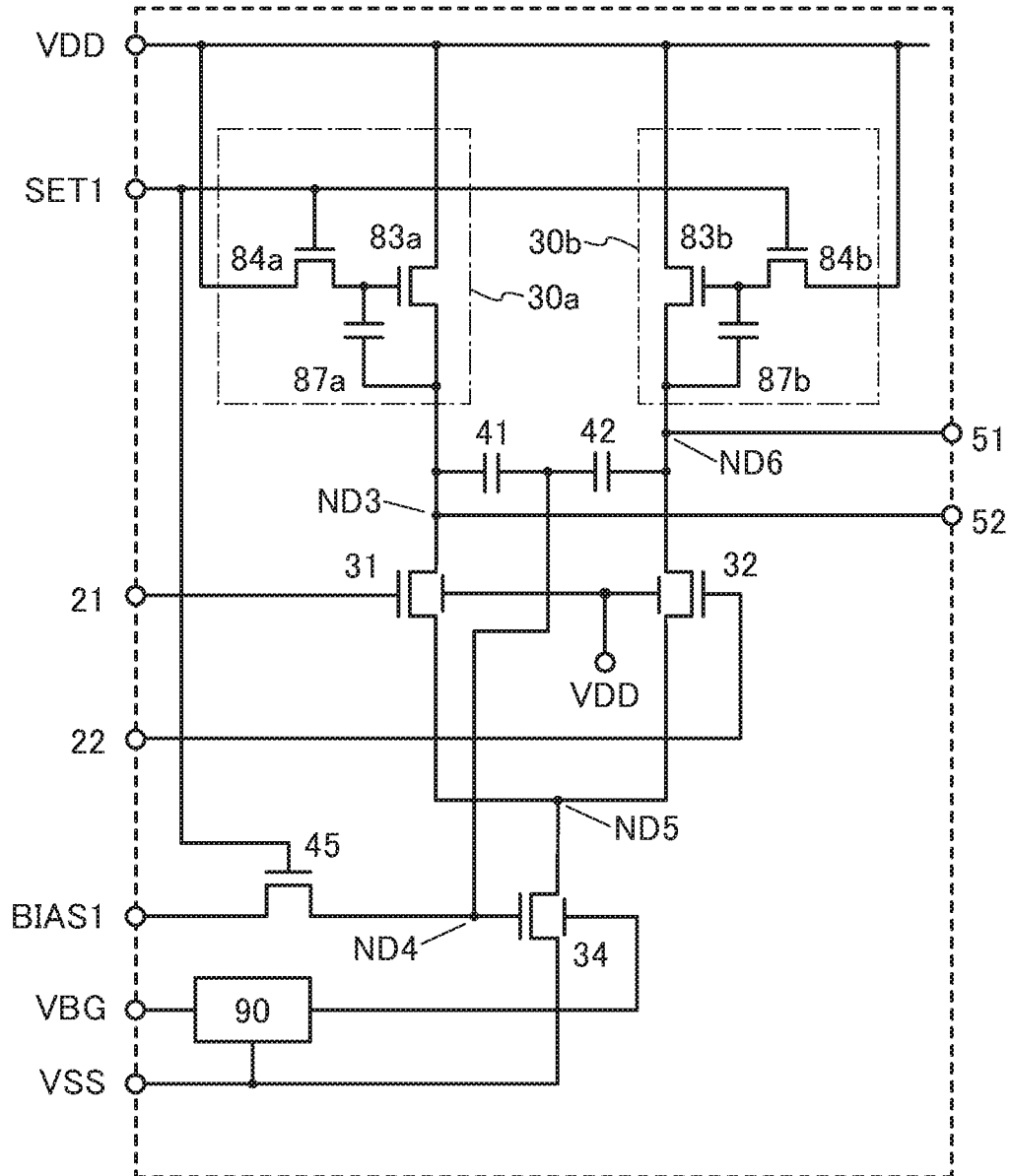
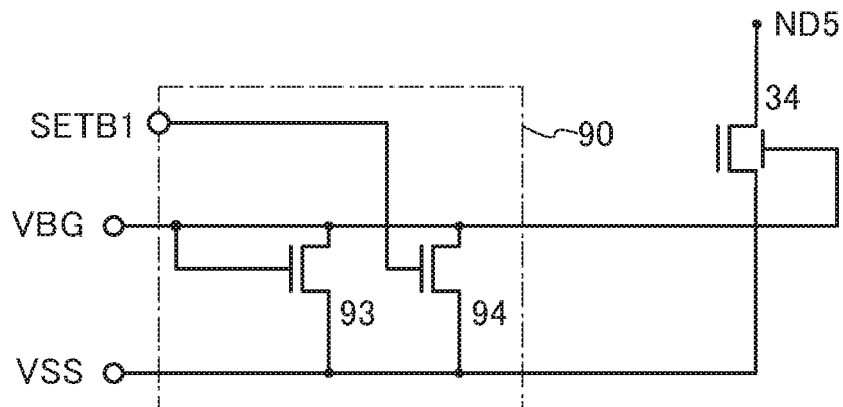
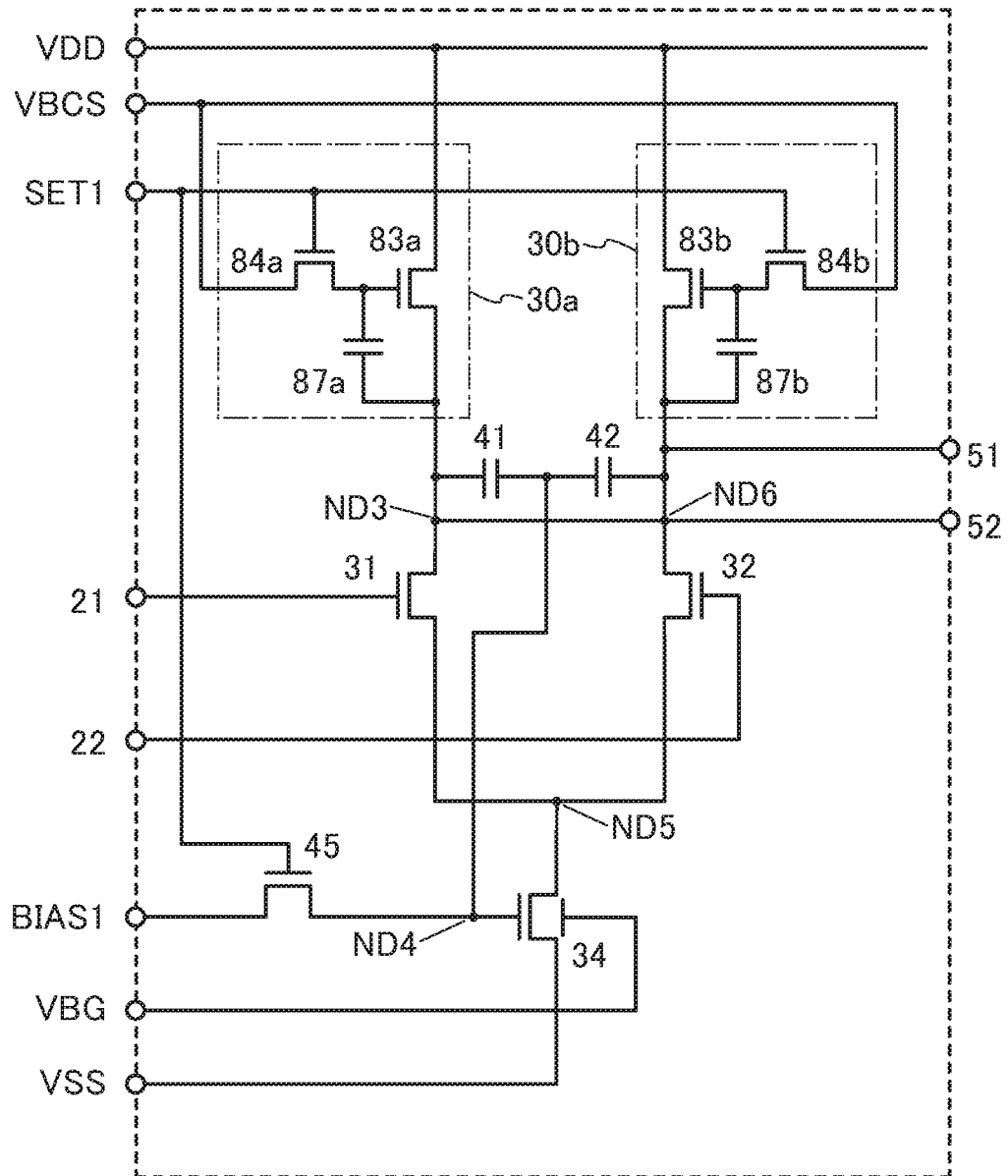


図1B



2A

11



2B

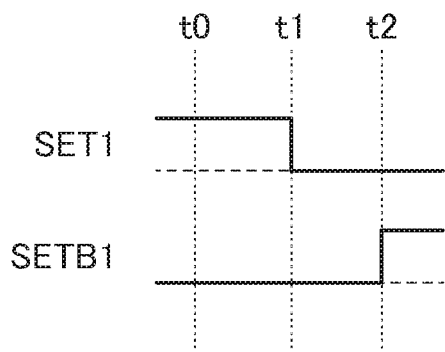






図4A

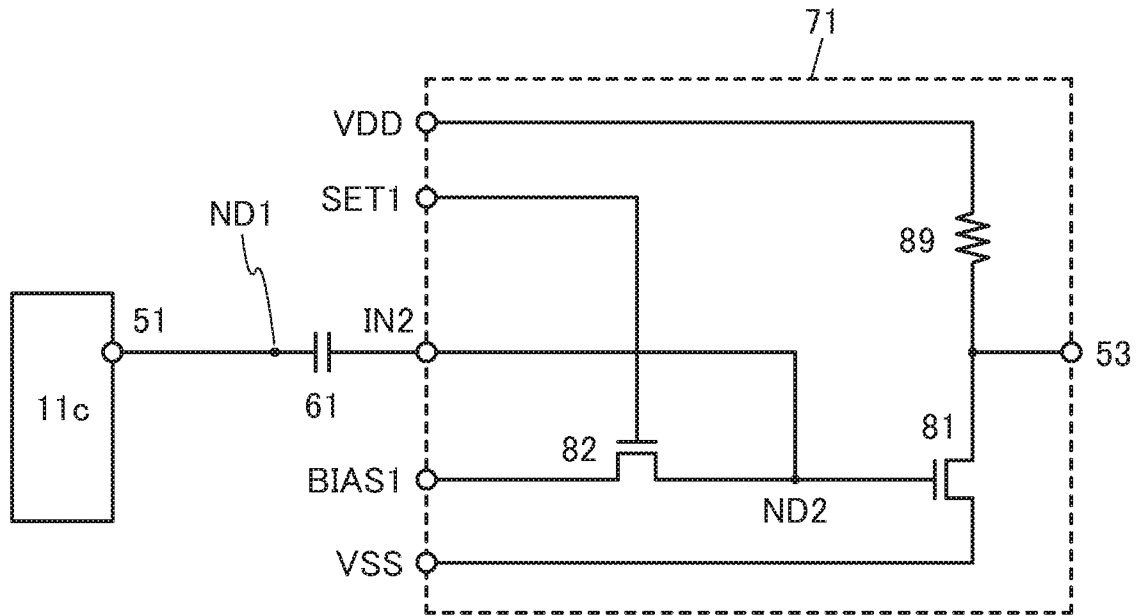


図4B

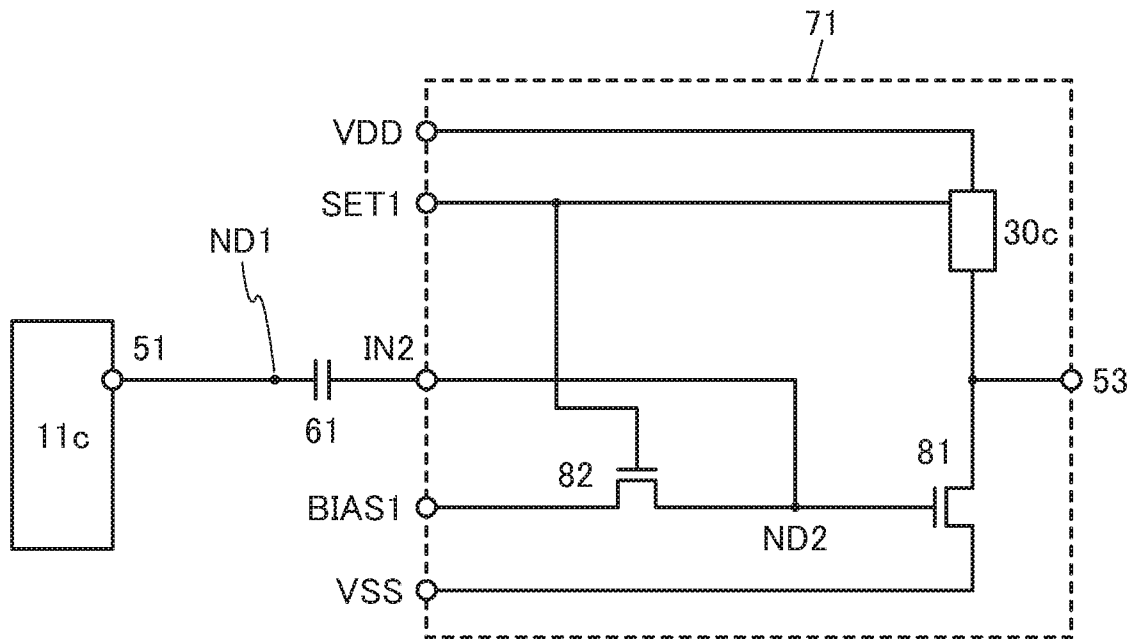


図4C

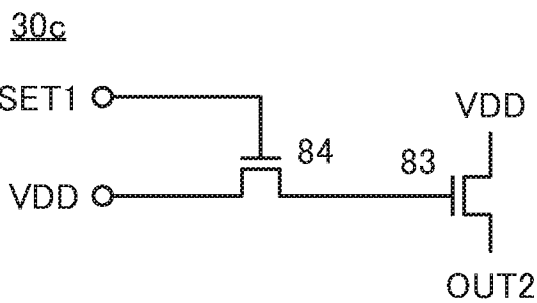
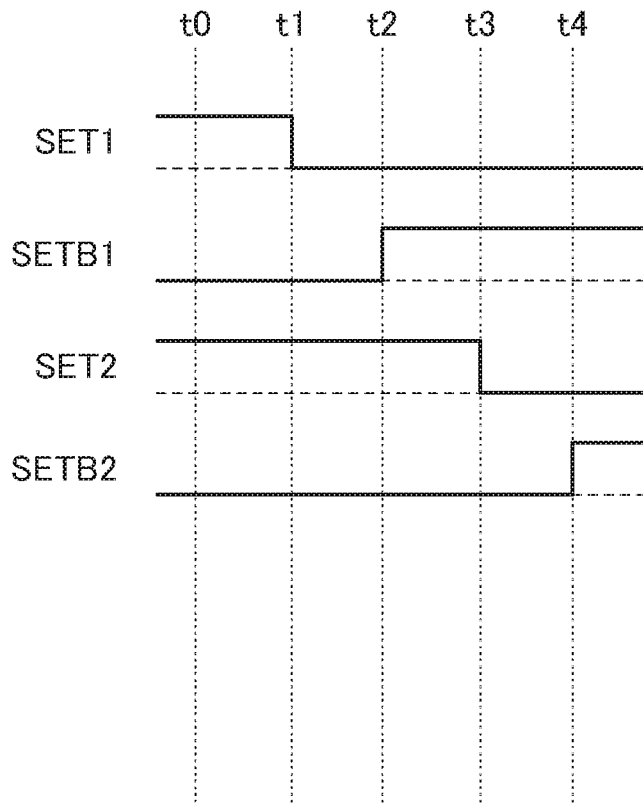


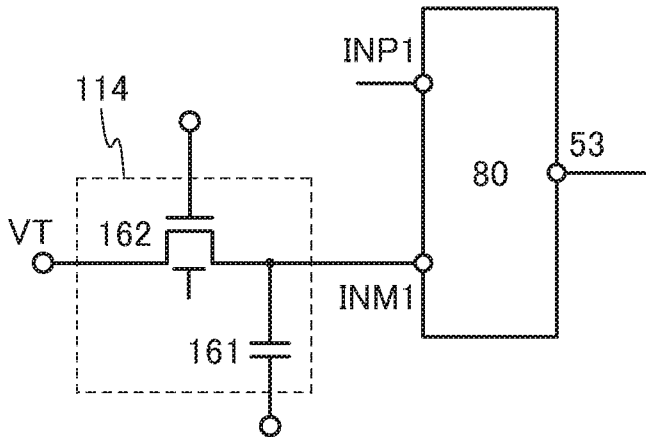
図5

5/32



6A

70



6B

100

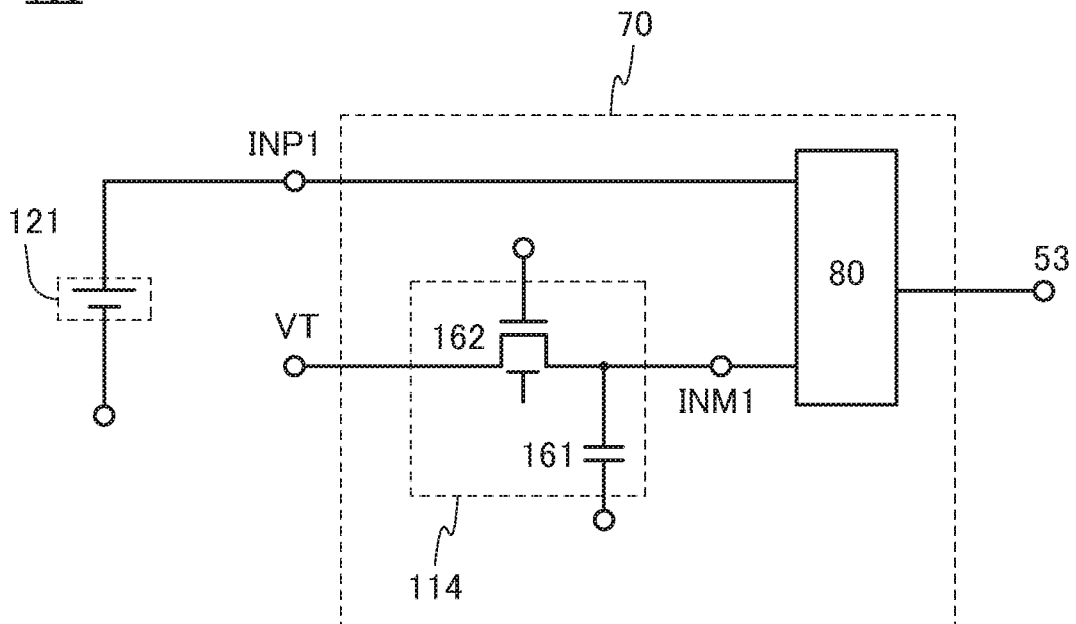


图 7

7/32

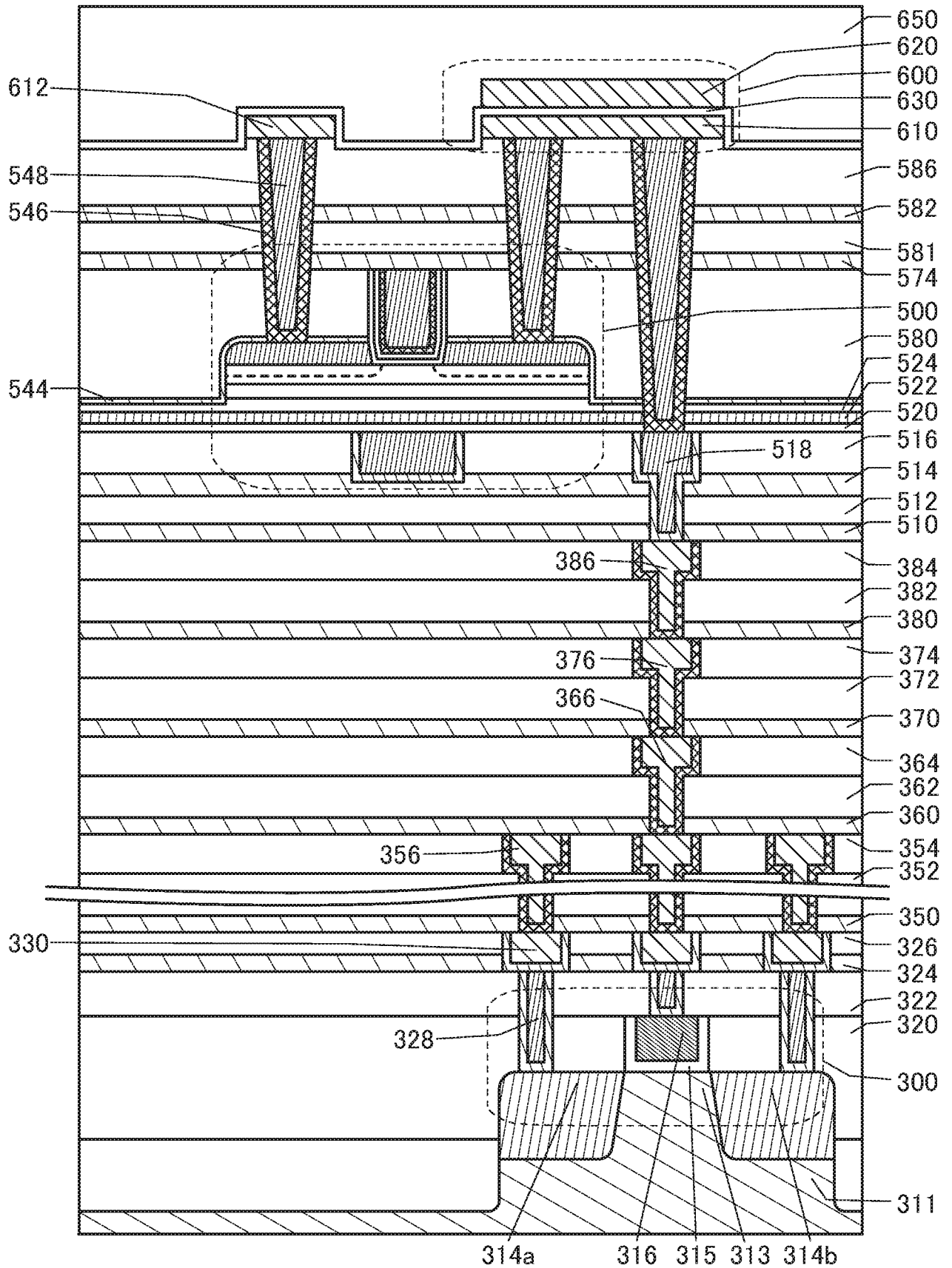


図8A 500

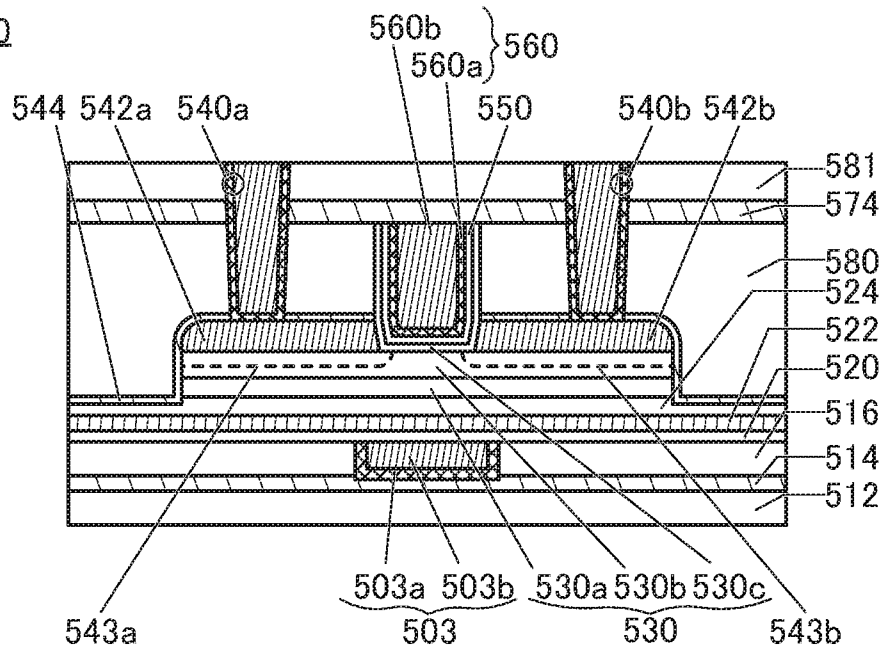


図8B 500

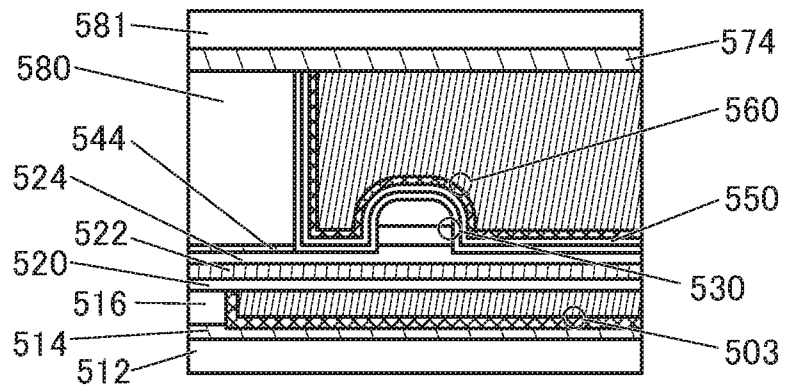


図8C

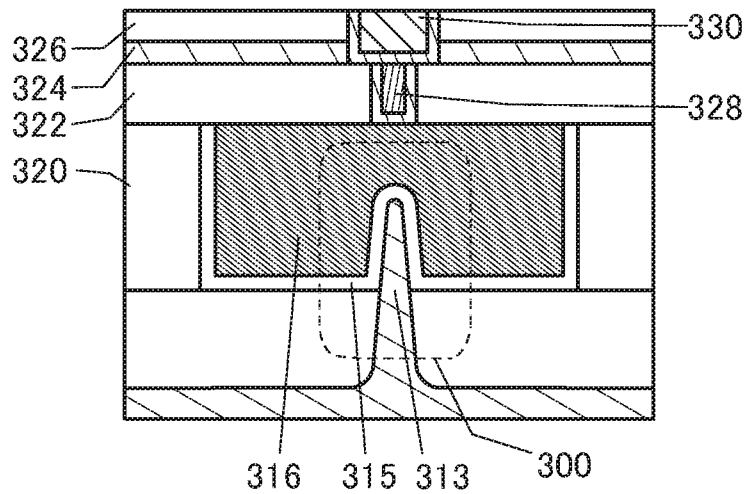


図9A

図9C

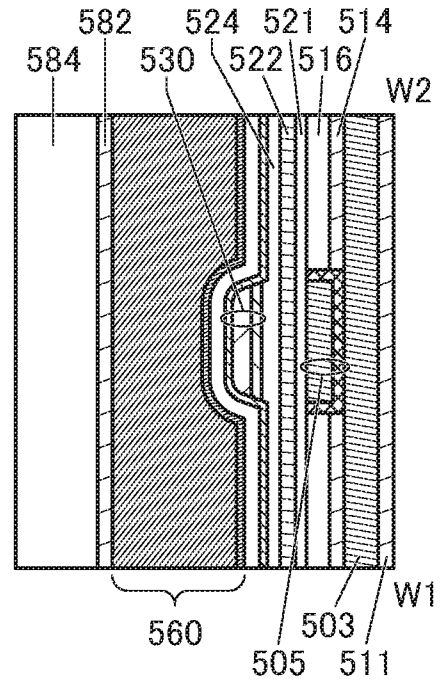
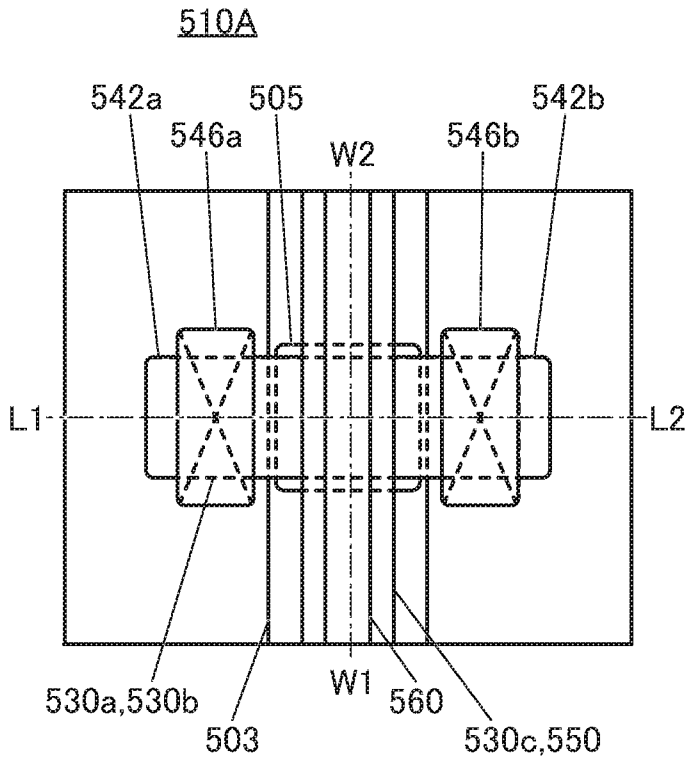
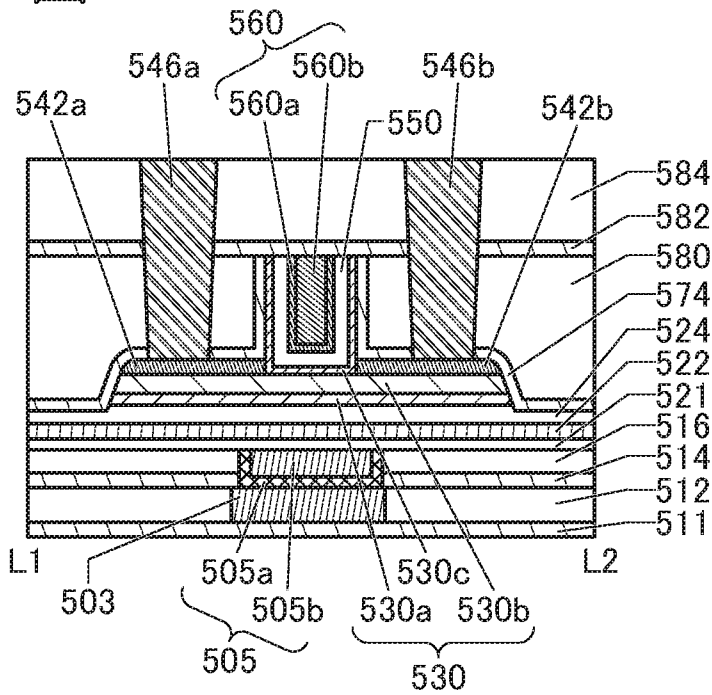
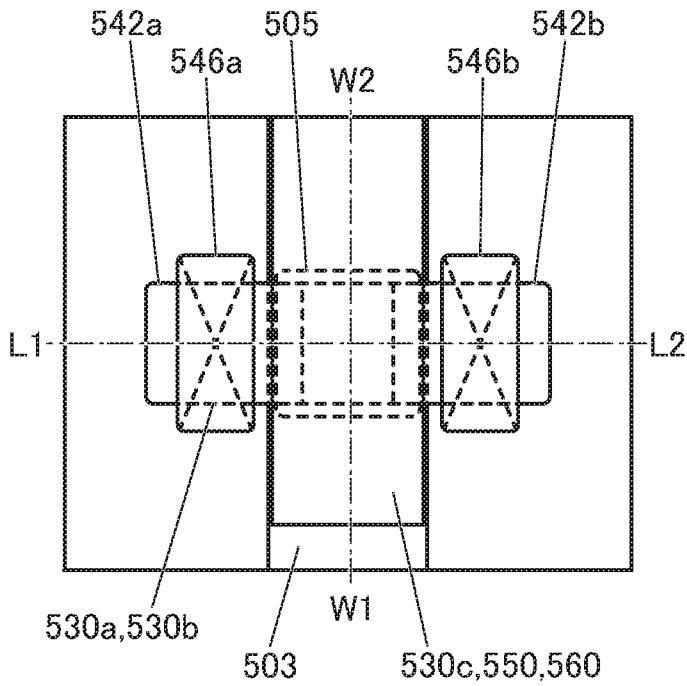


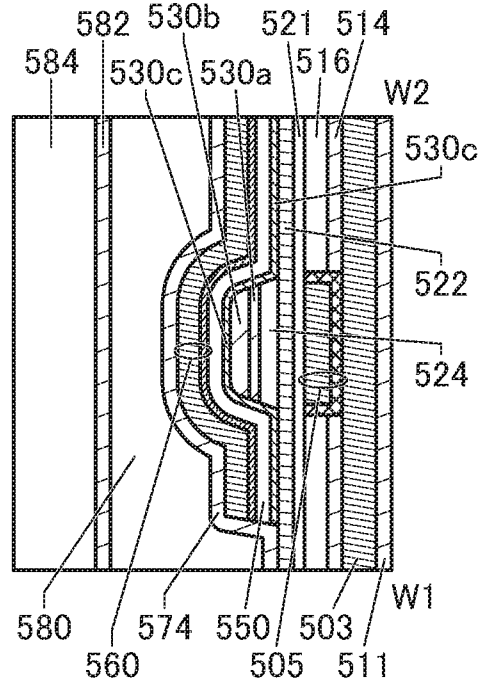
図9B



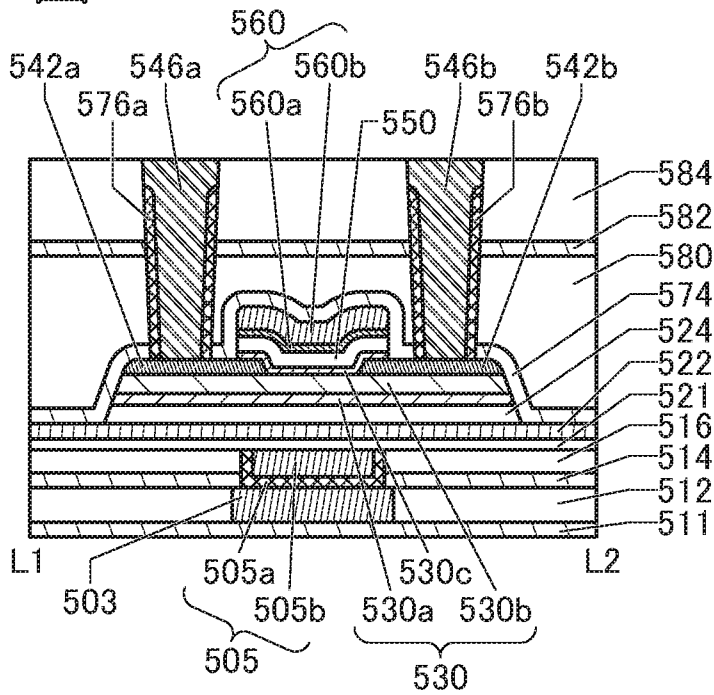
10A  
510B



10C



10B



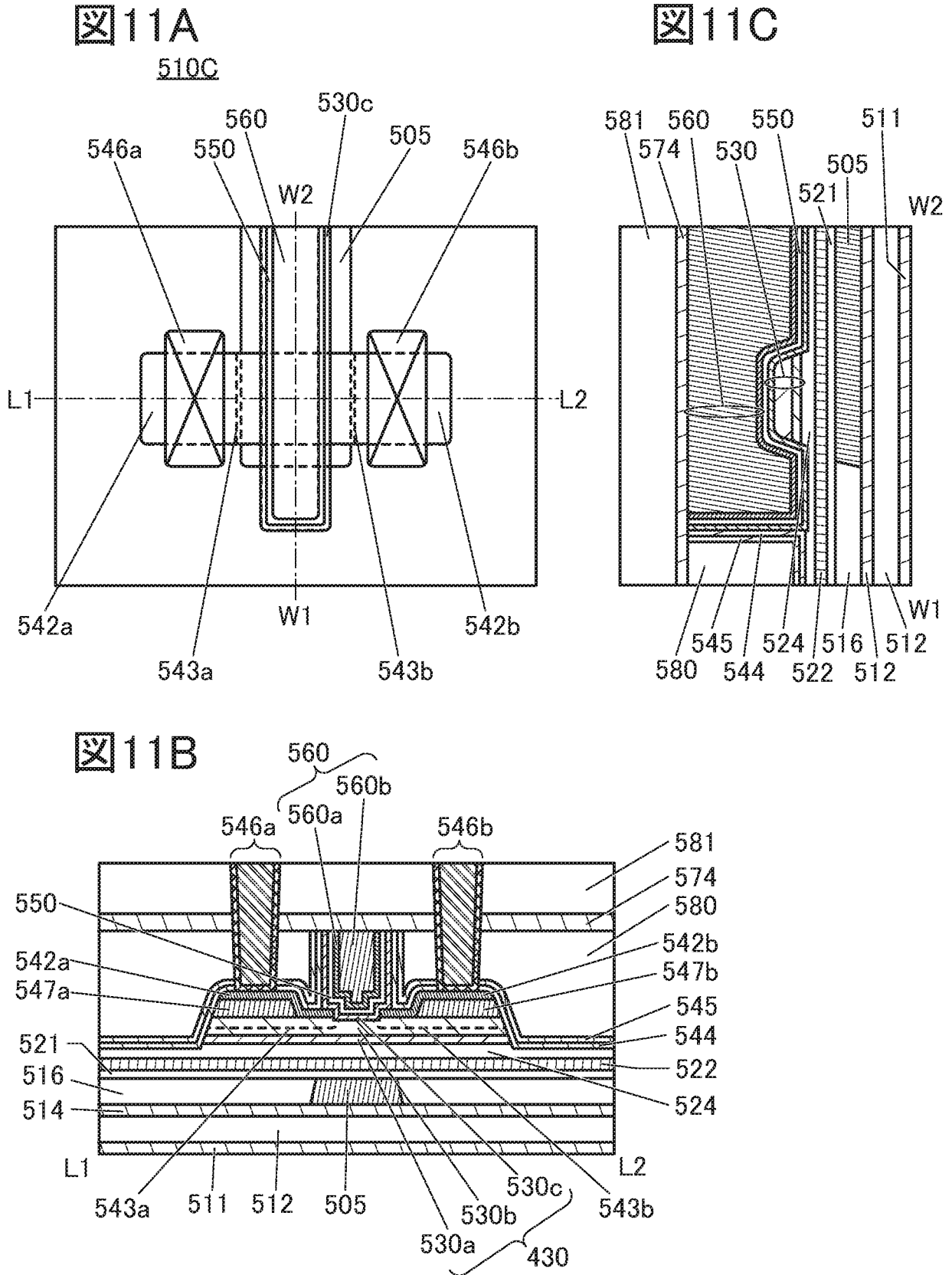






図13A

510E

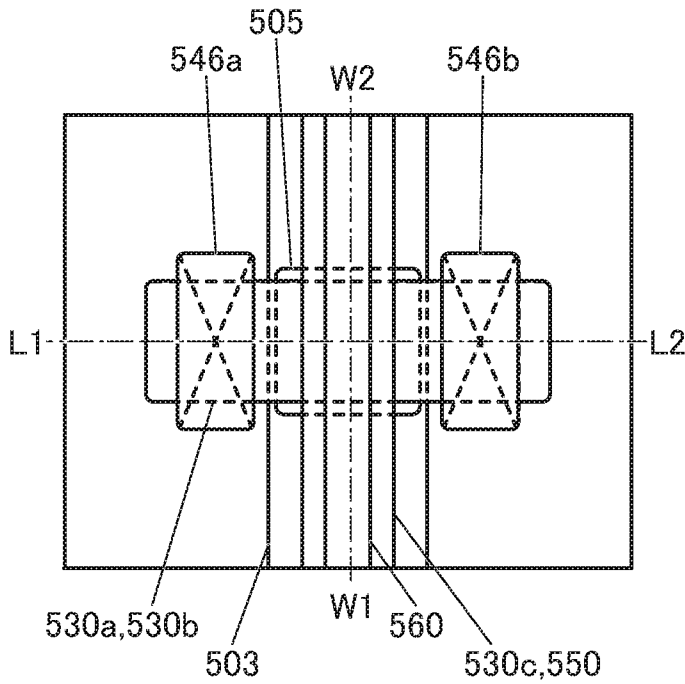


図13C

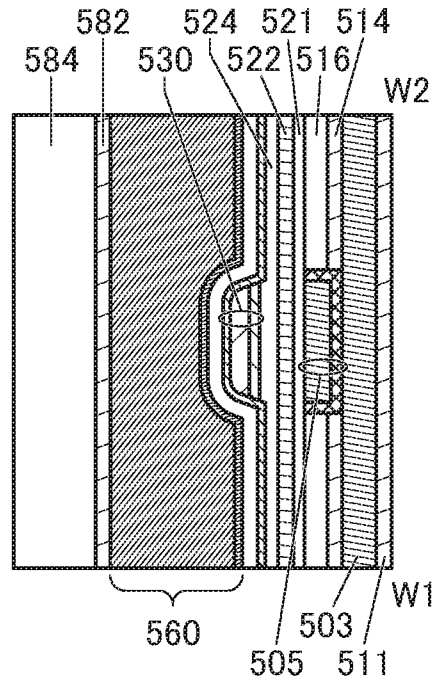


図13B

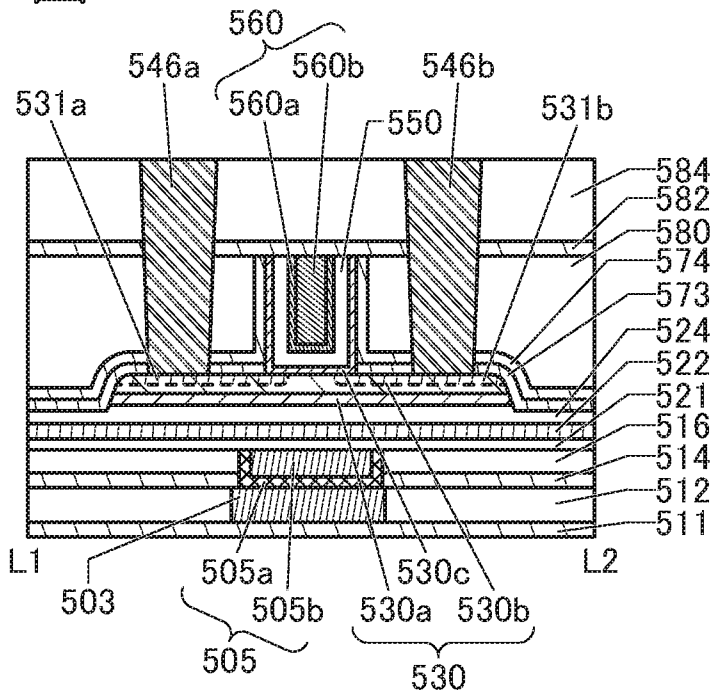


図14A

510E

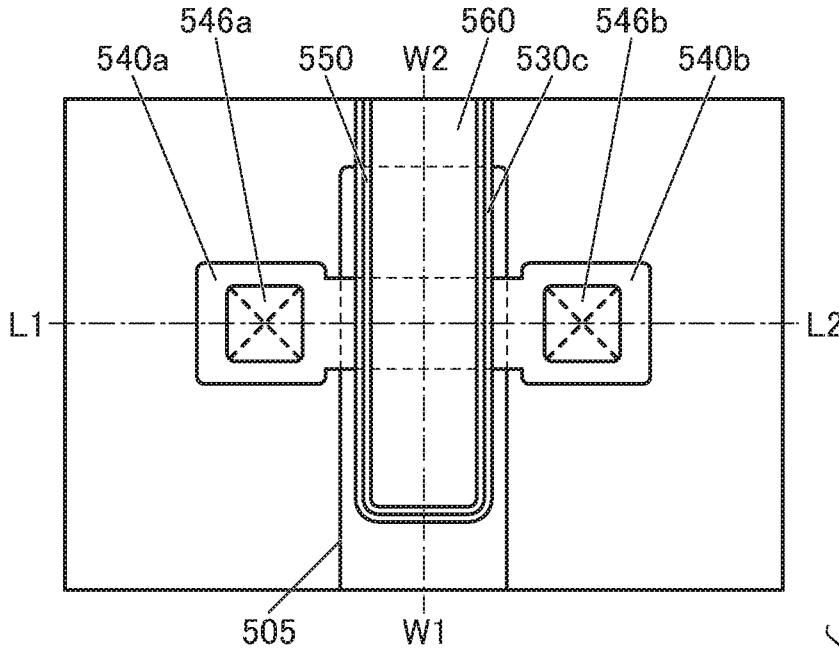


図14C

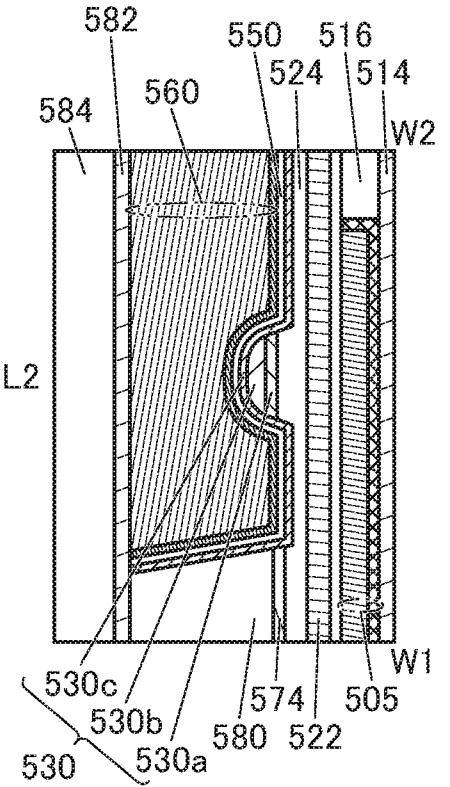


図14B

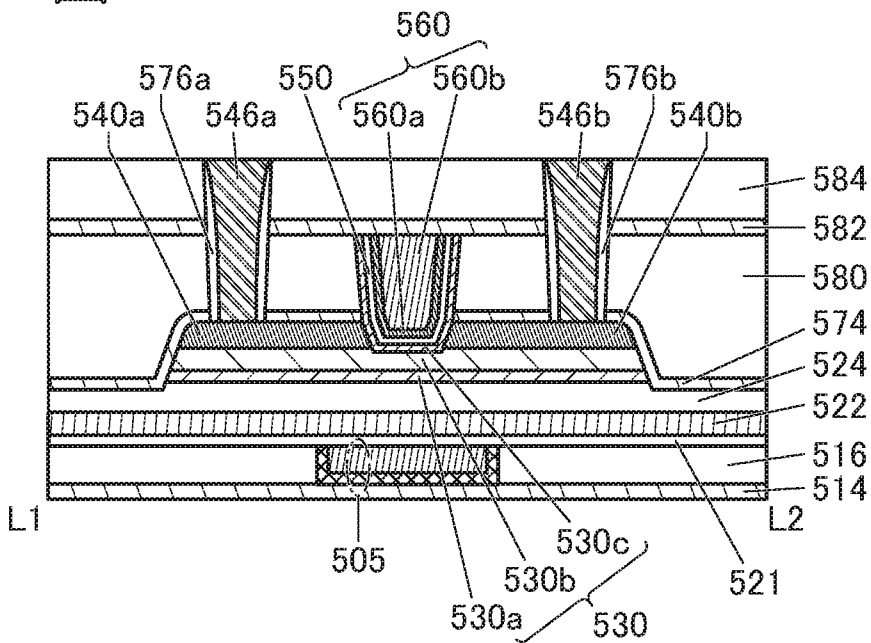


図 15

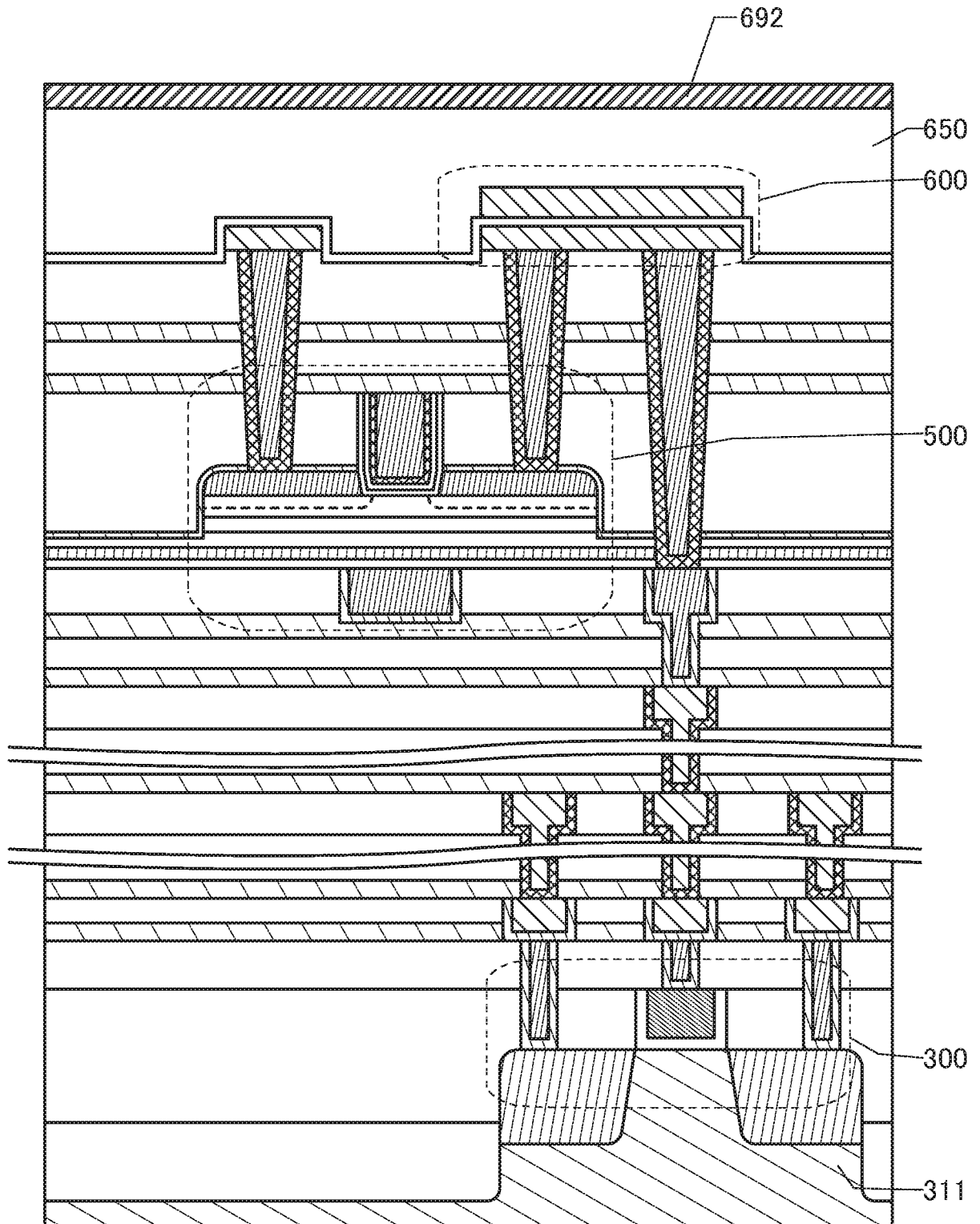
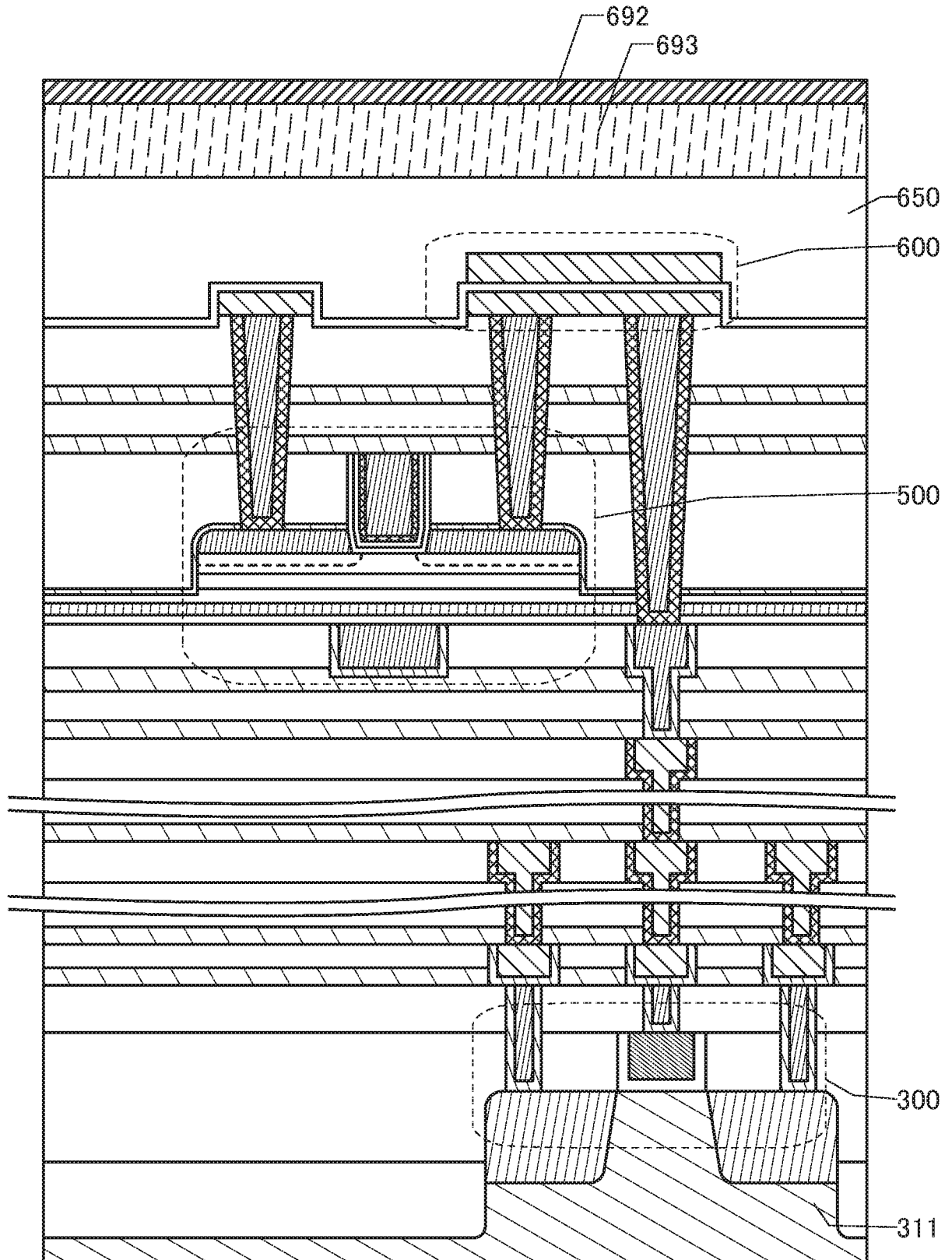
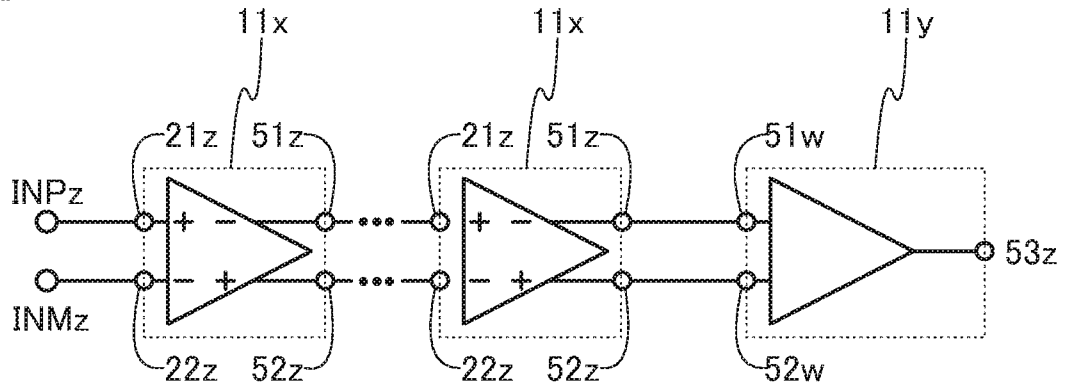


図 16



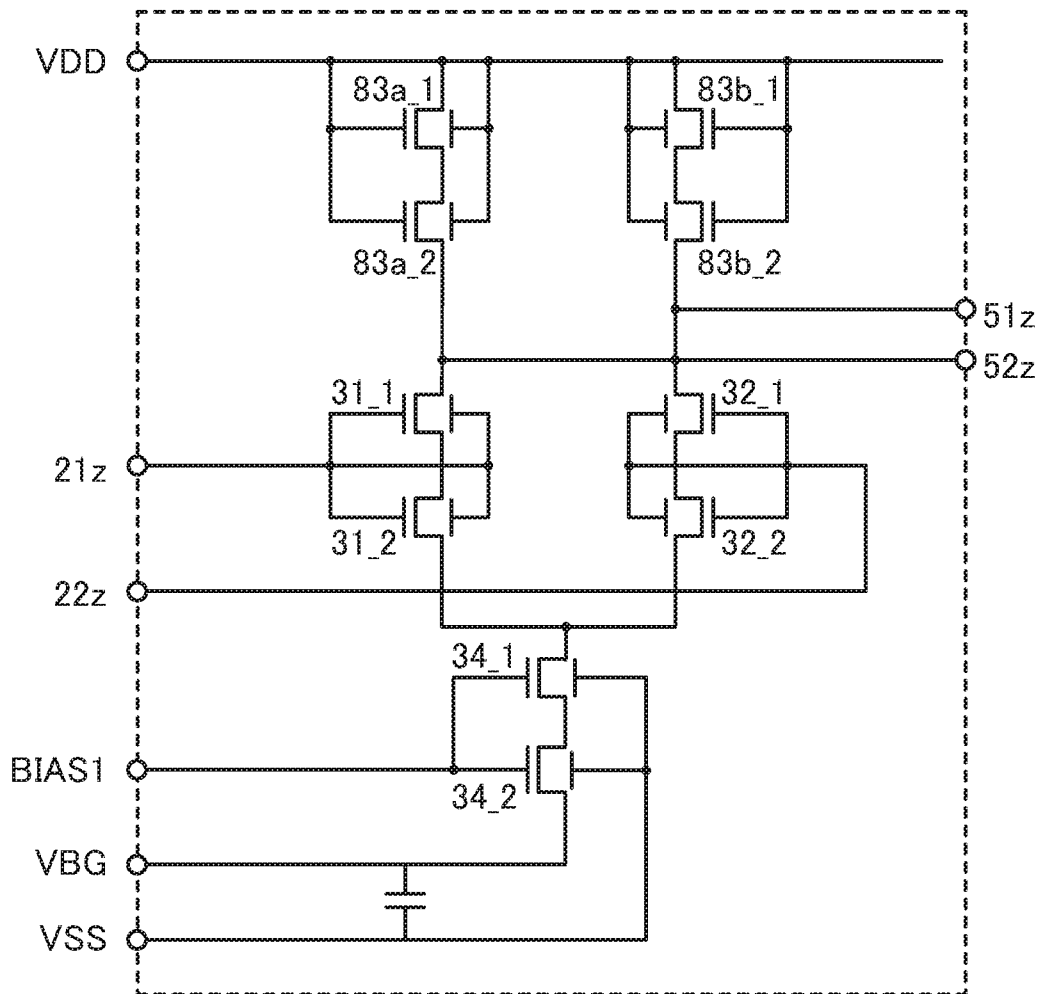
17A

80z



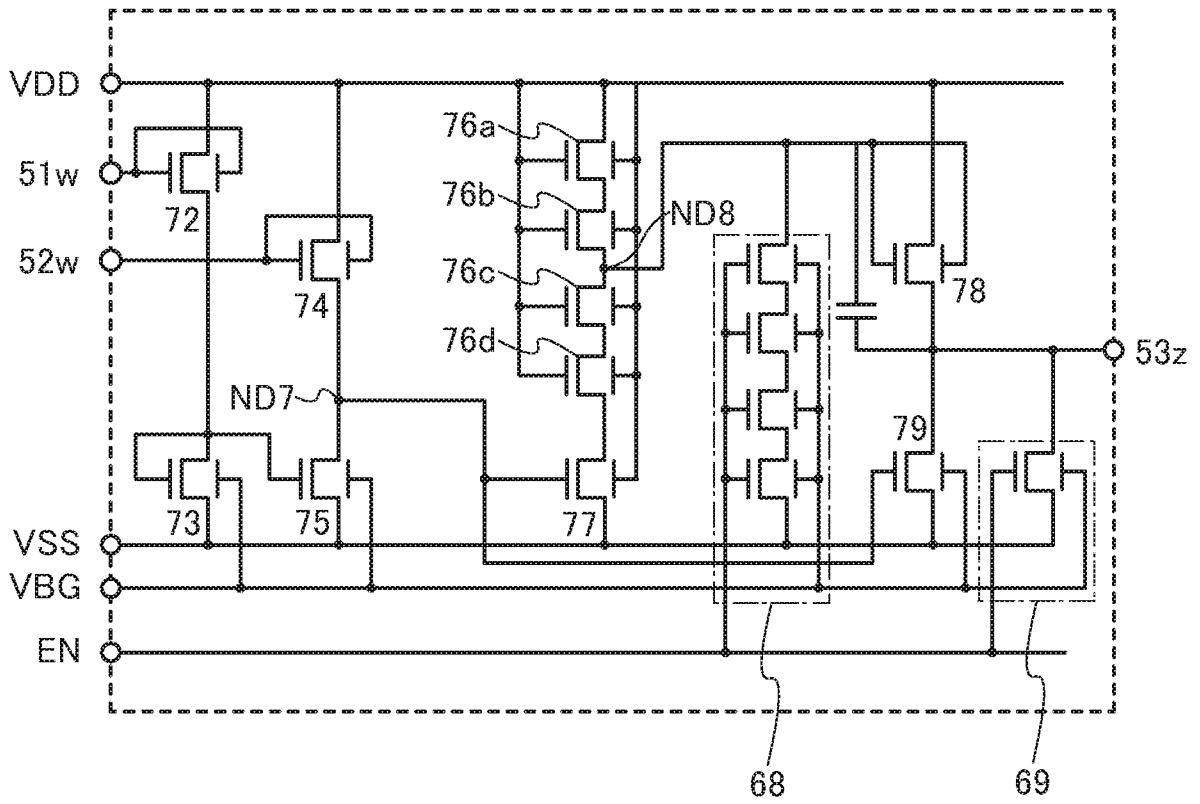
17B

11x

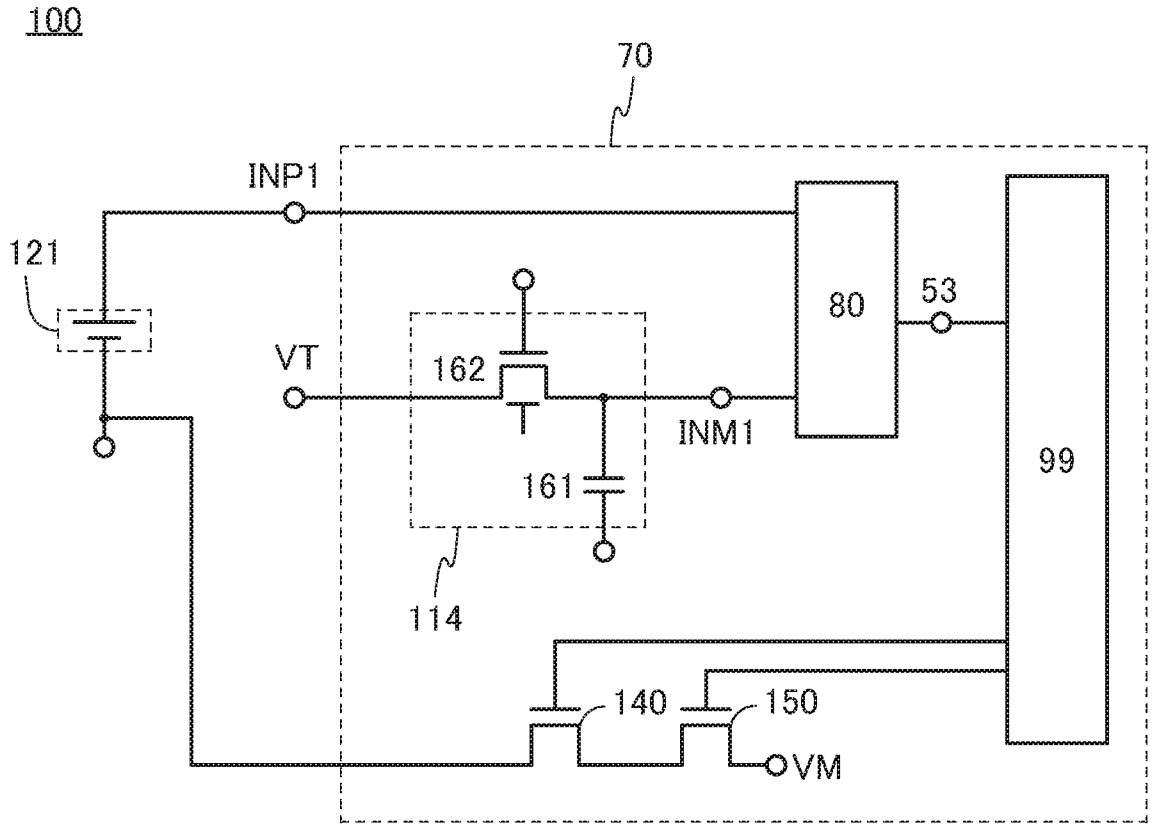


18

11y



19





20

20/32

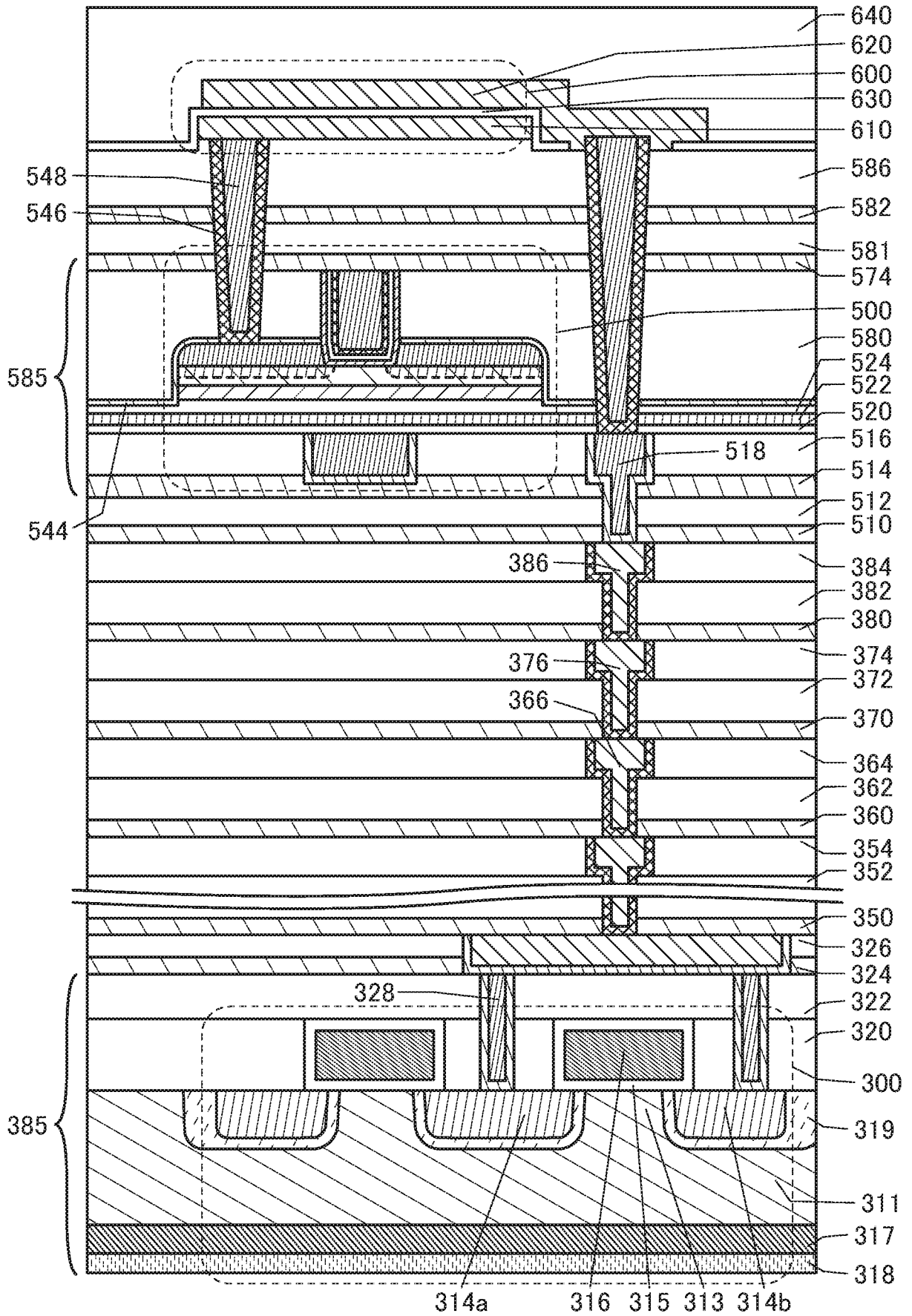


図21A

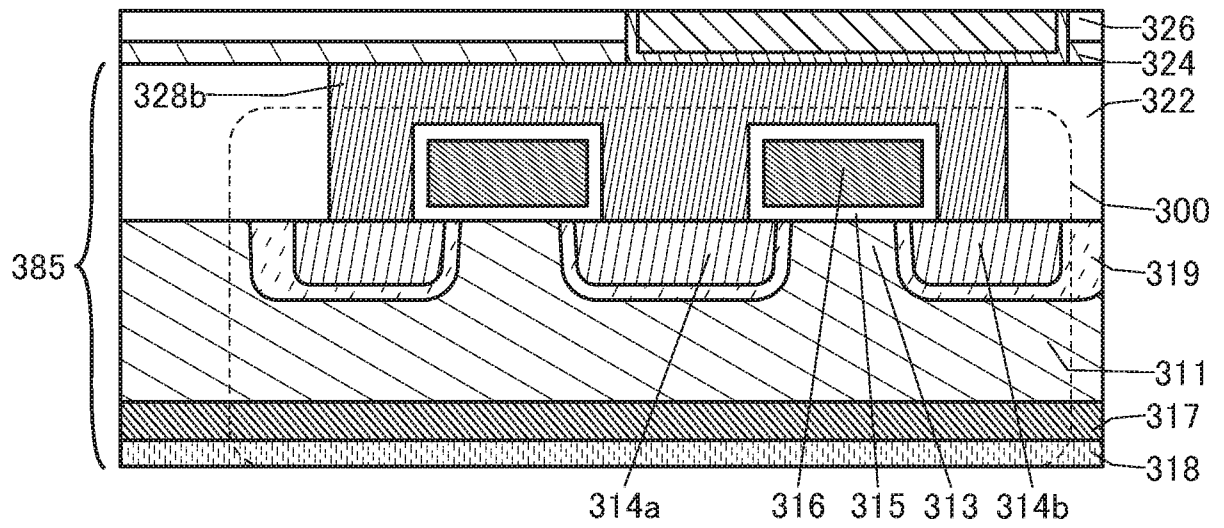


図21B

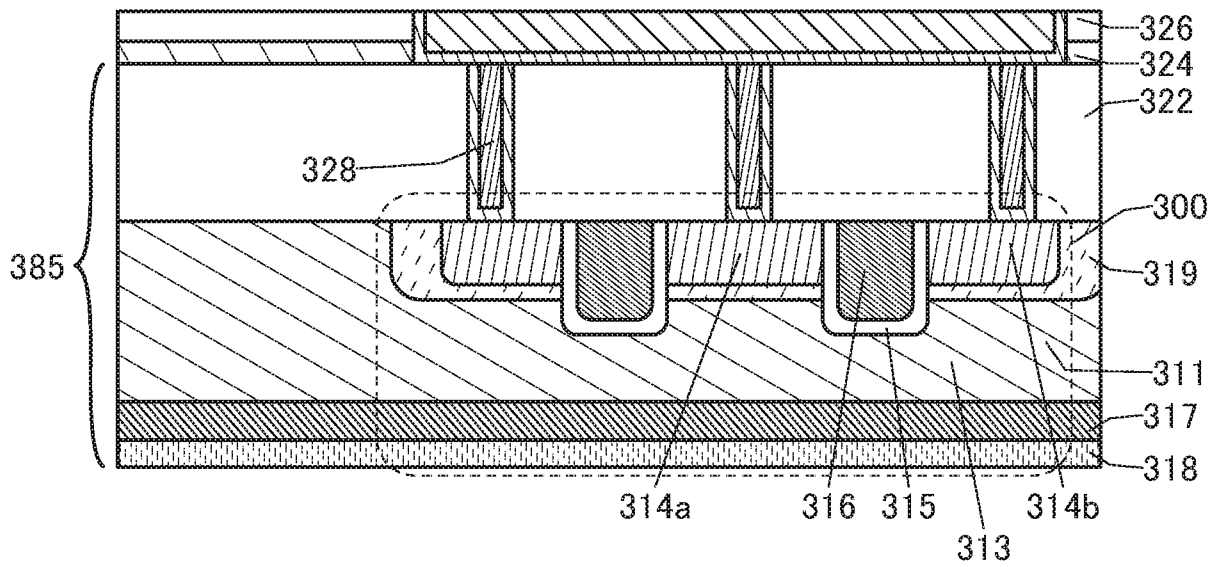
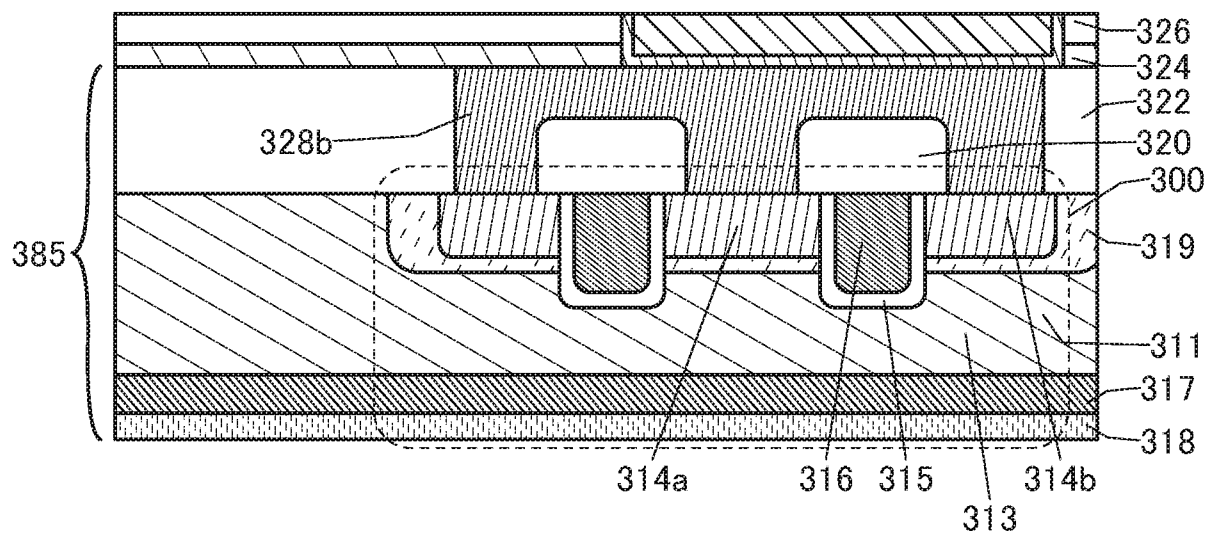
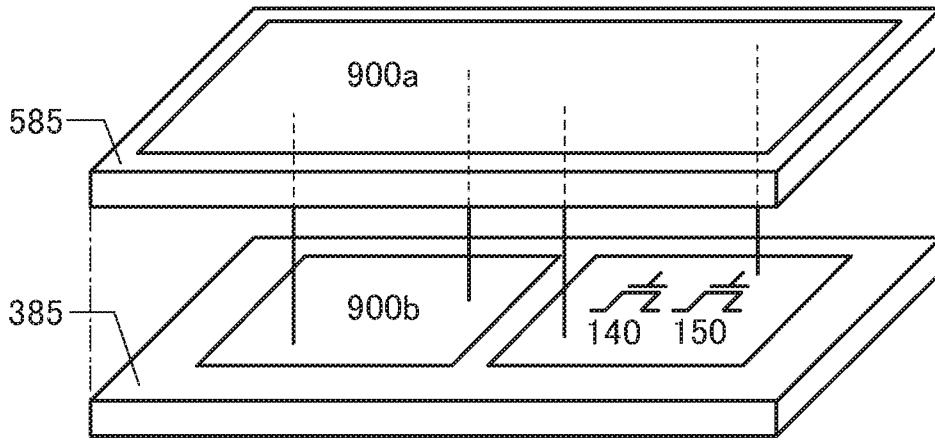


図21C



22A

70



22B

70

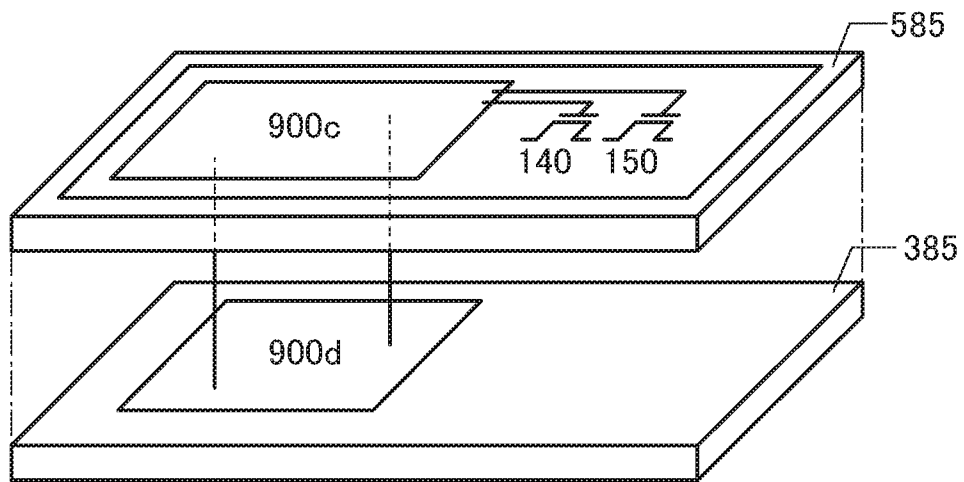


図23A

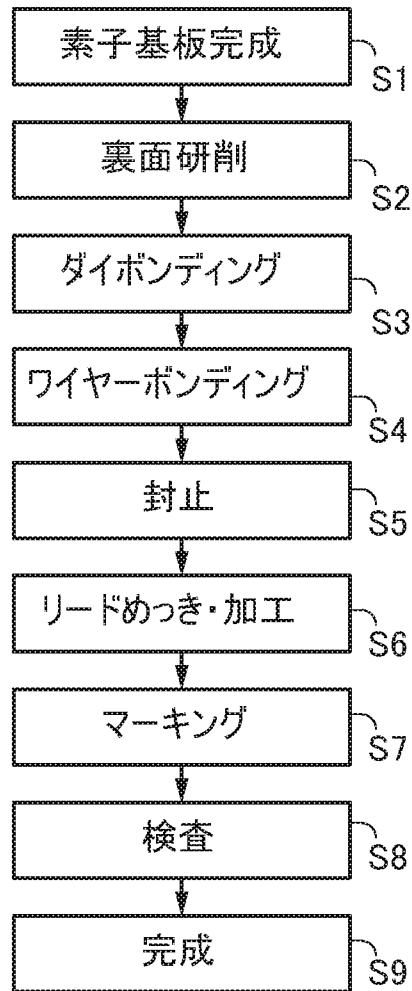
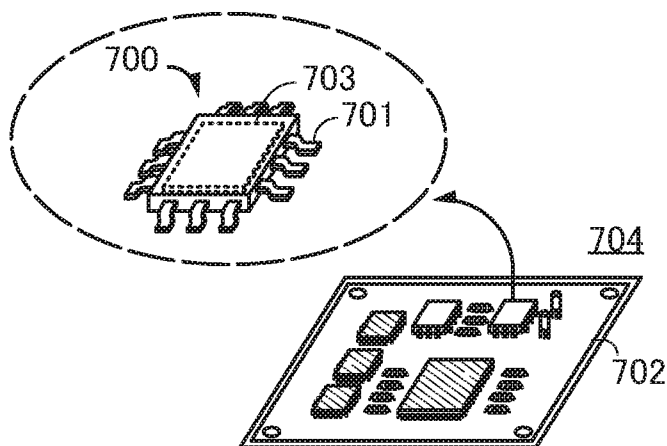
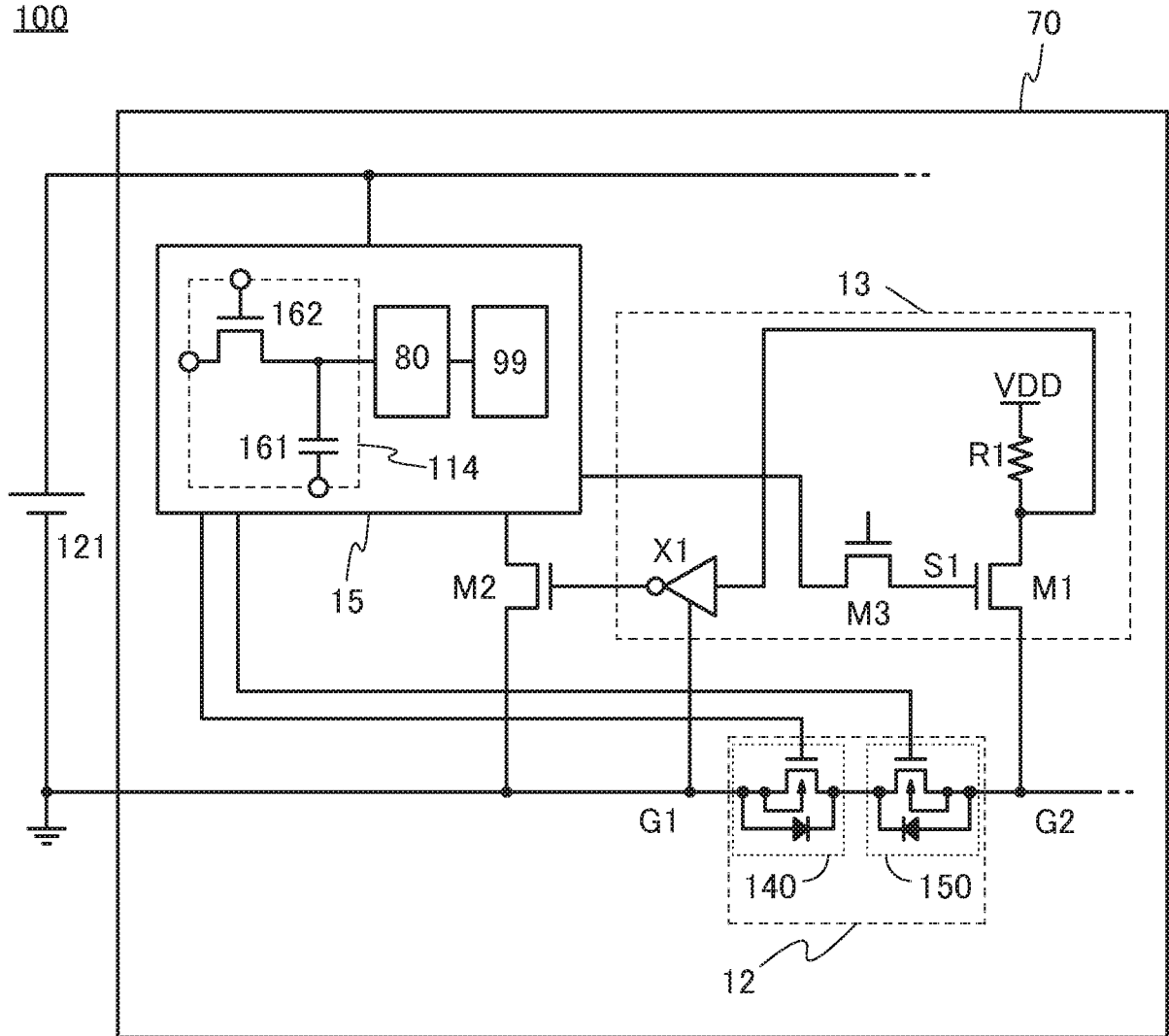


図23B



24A

100



24B

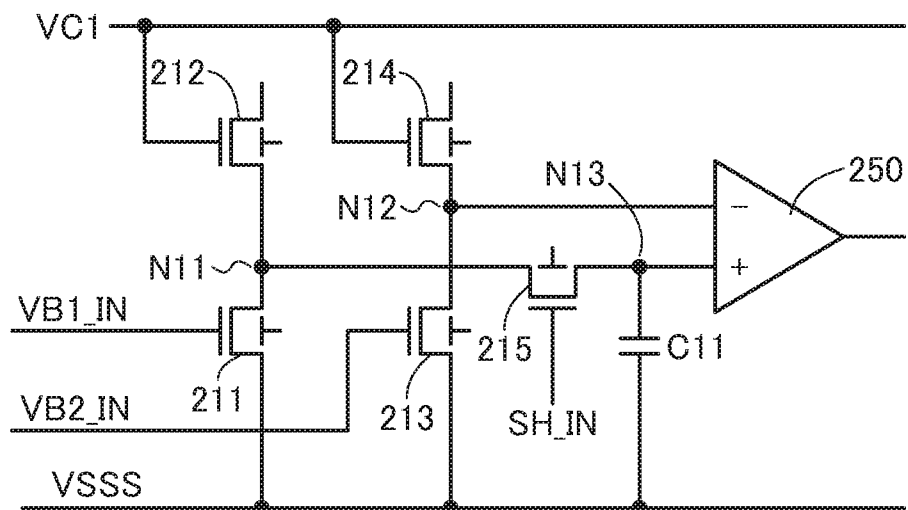


図25A

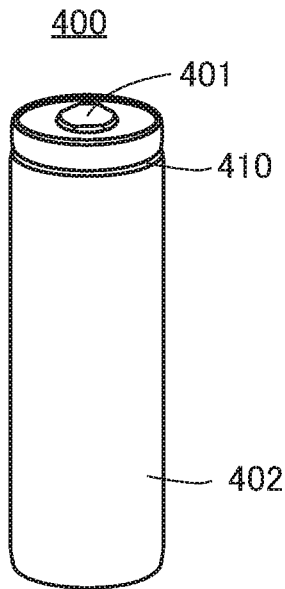


図25B

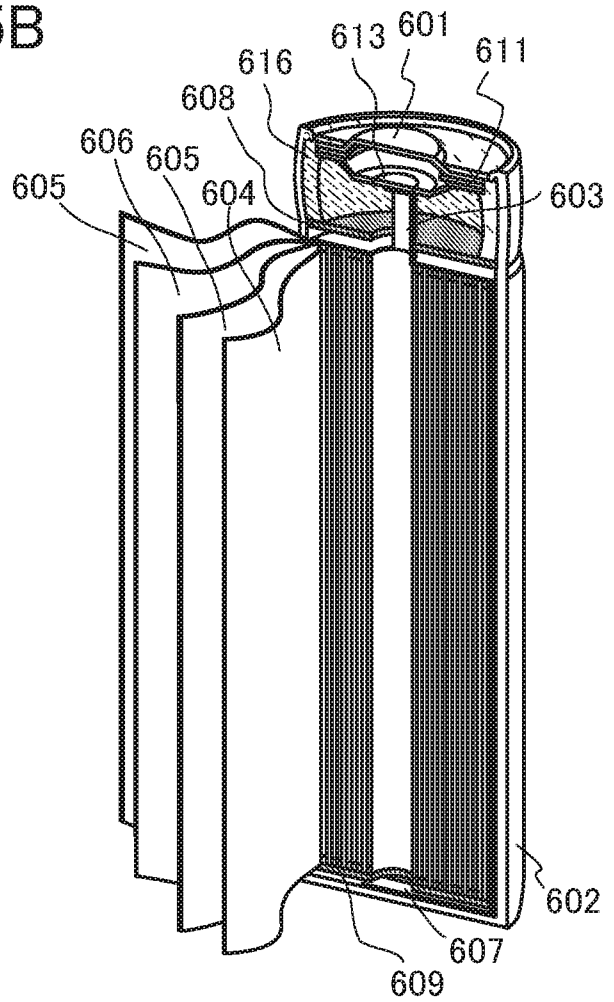


図25C

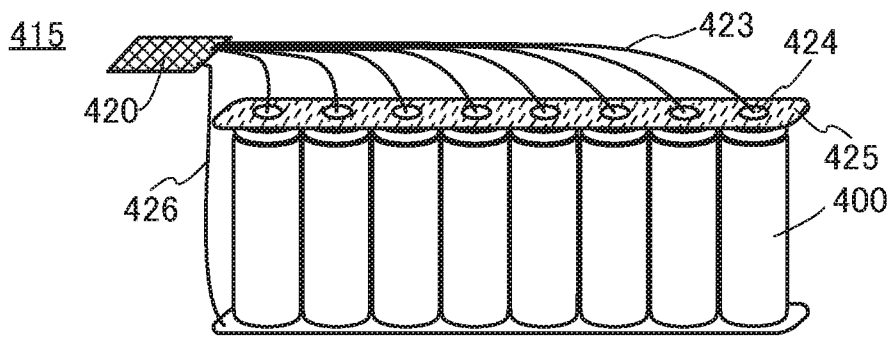


図25D

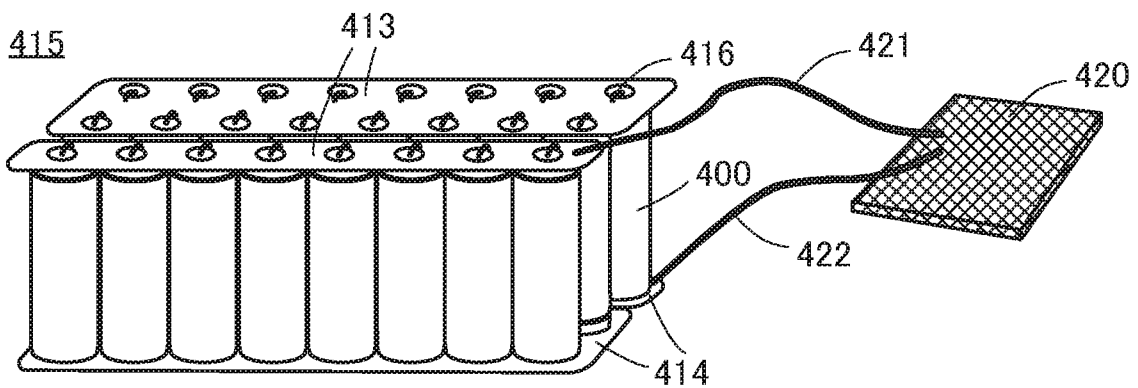




图27A

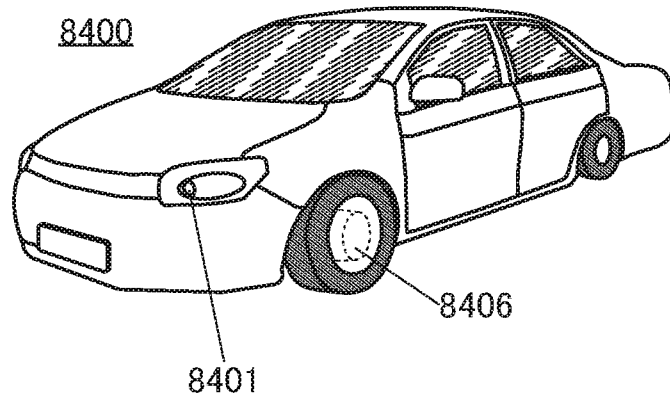


图27B

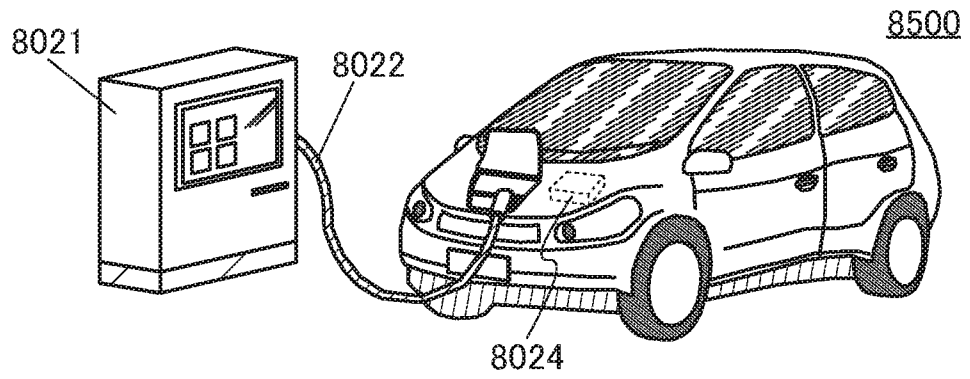


图27C

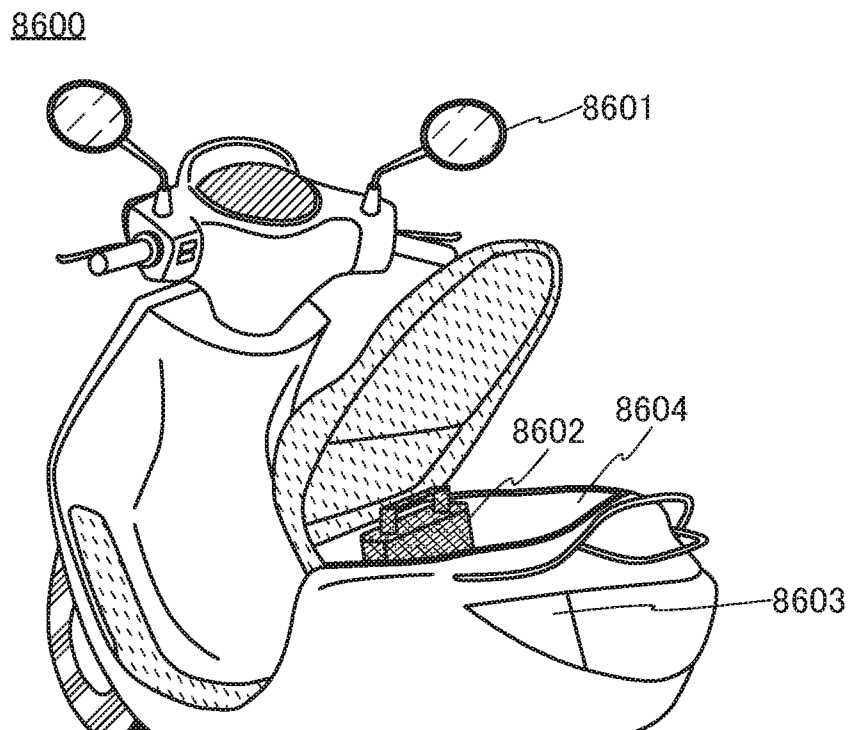




図28A

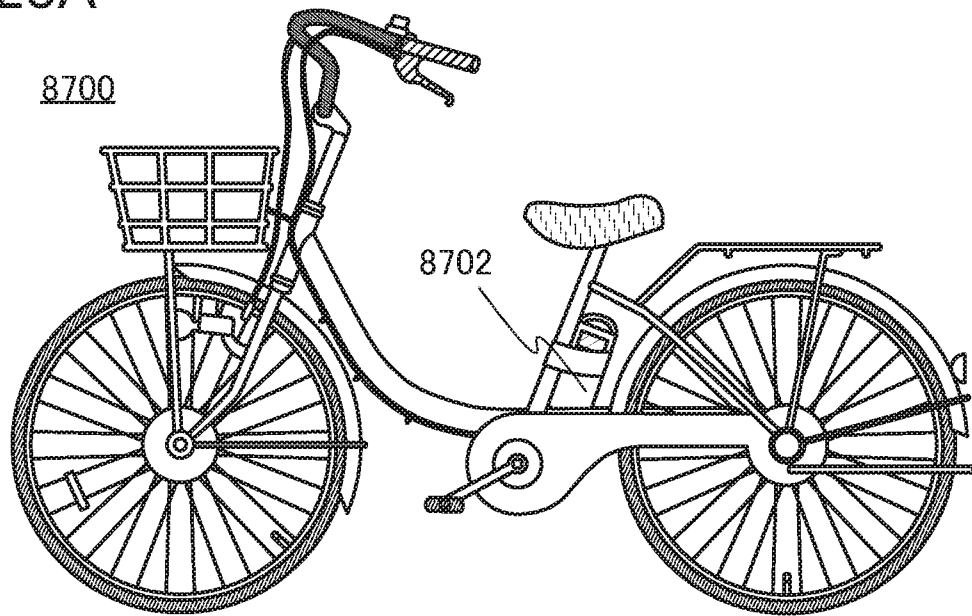
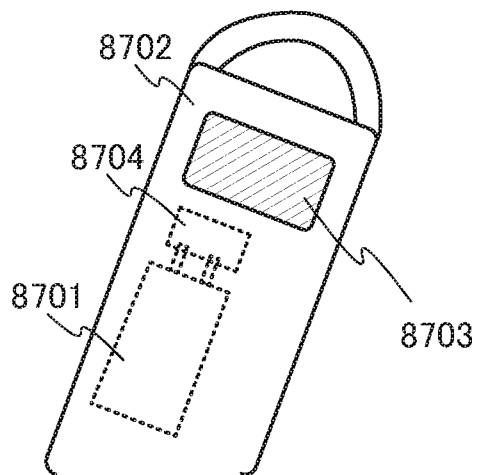
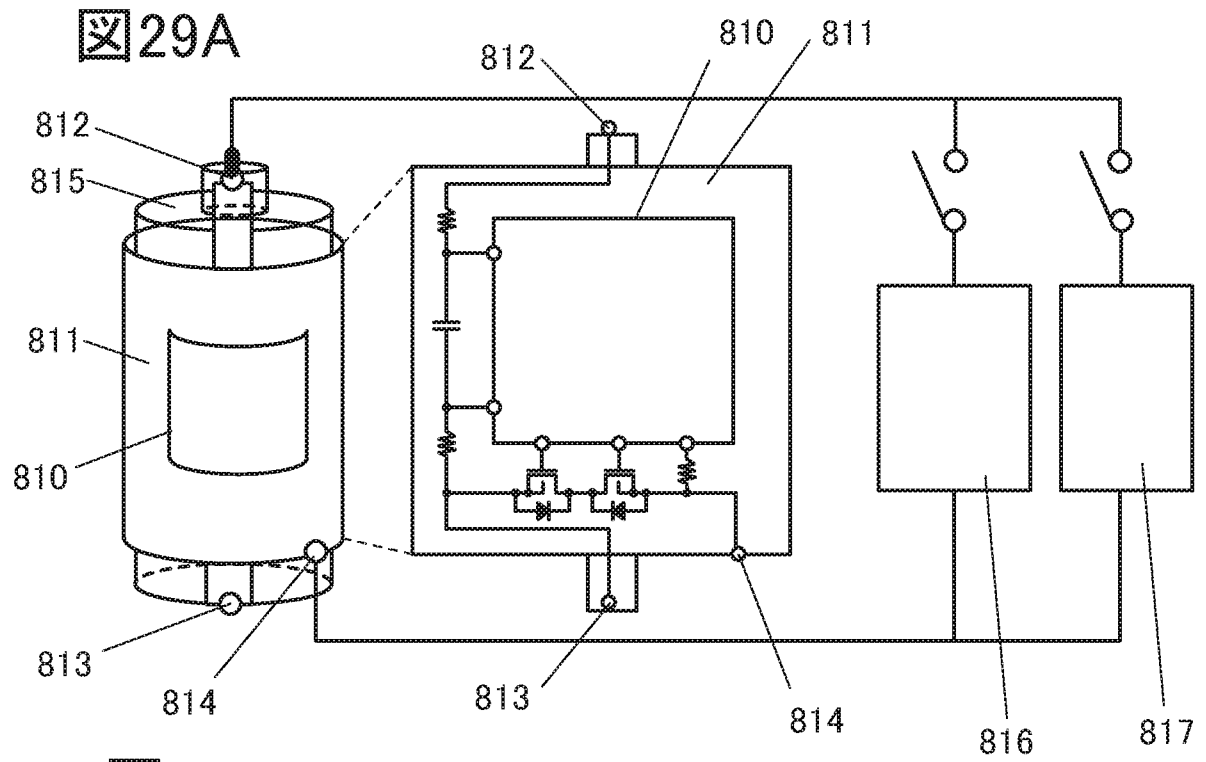
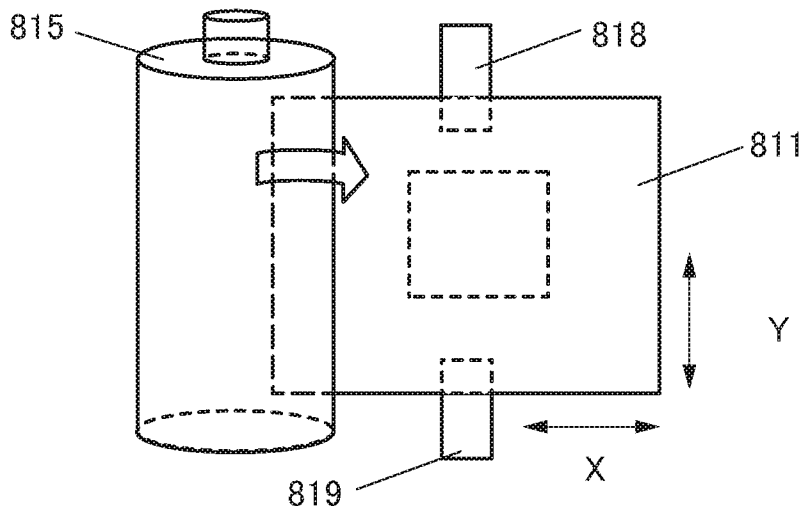


図28B

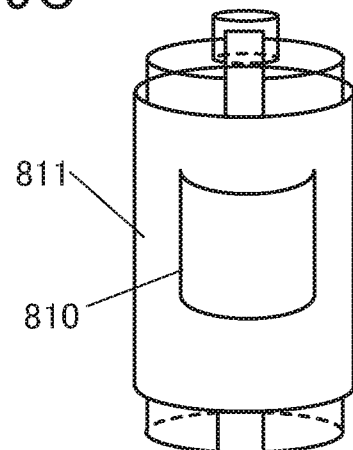




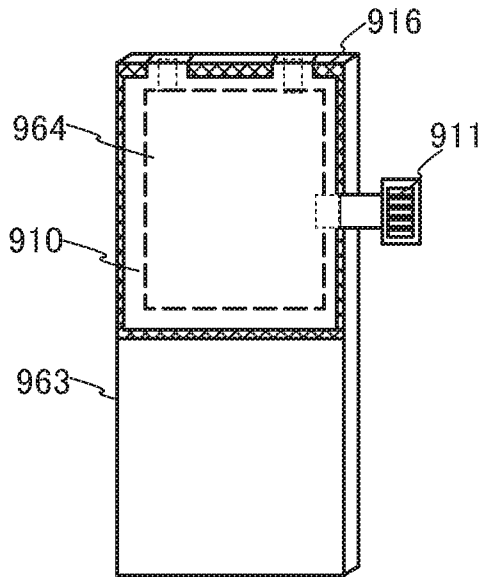
**29B**



**29C**



30A



30B

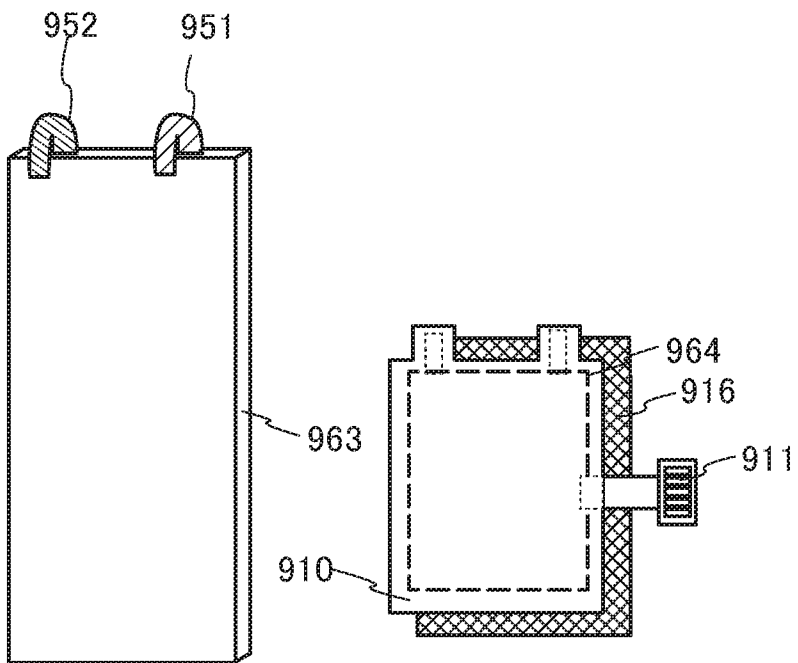


图31

31/32

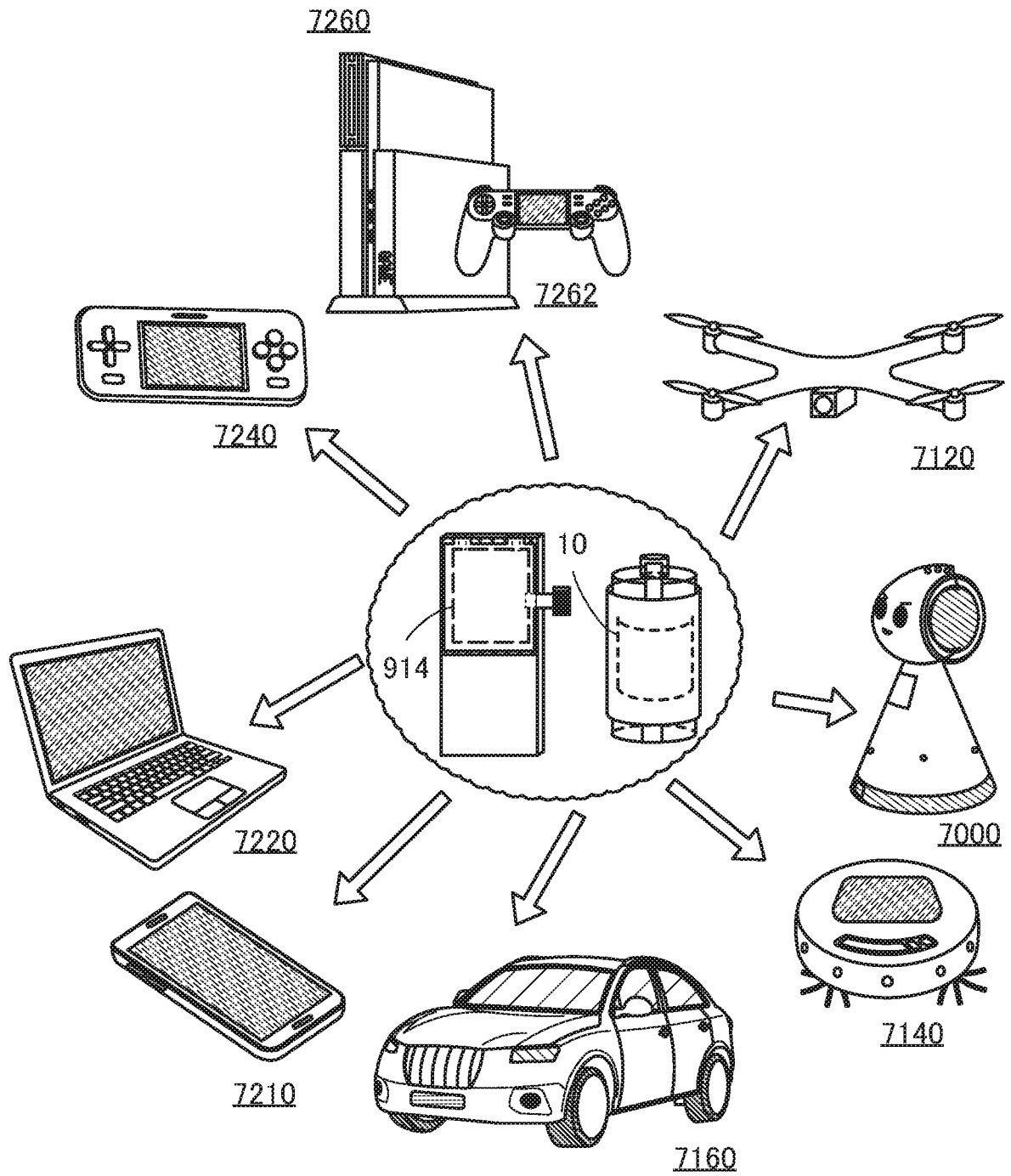
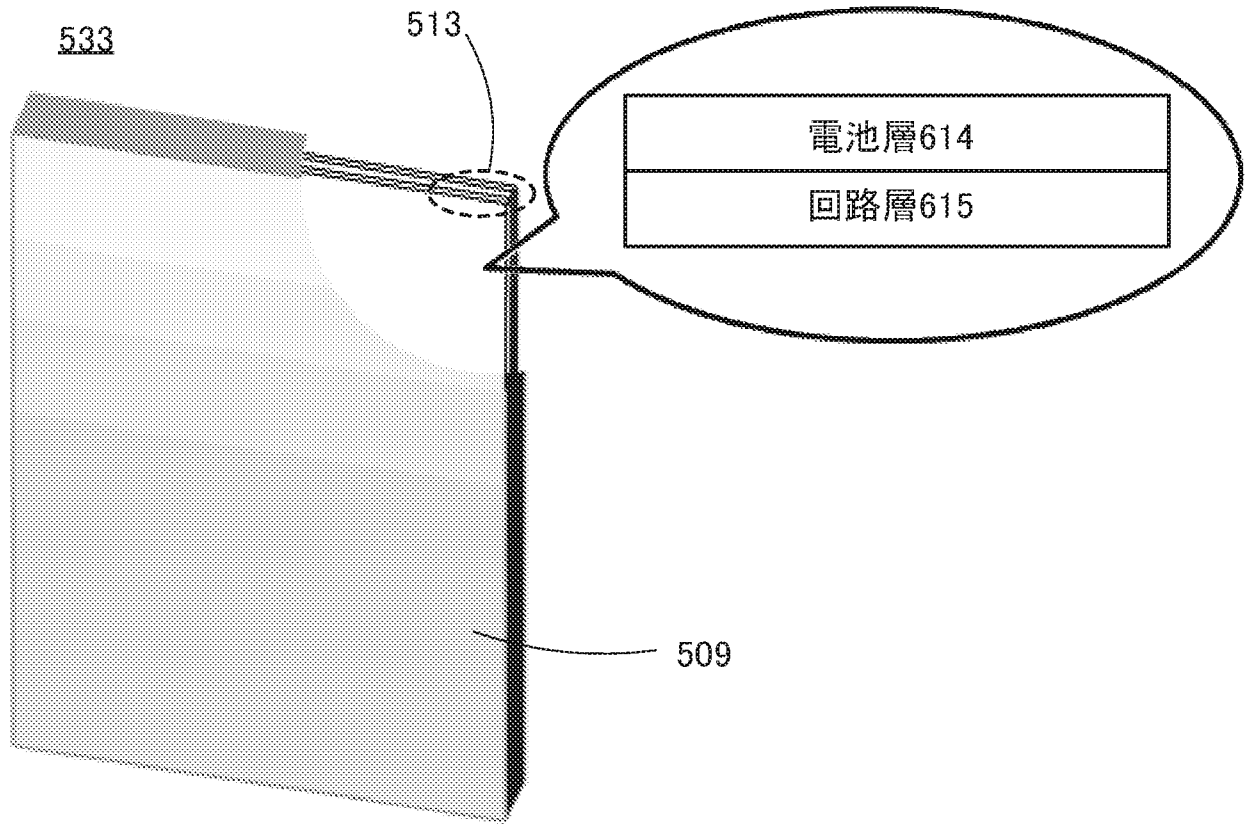


図32

32/32



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2020/057528

## A. CLASSIFICATION OF SUBJECT MATTER

H03K 5/08(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/786(2006.01)i; H03F 3/45(2006.01)i

FI: H03K5/08 E; H03F3/45; H01L27/088 E; H01L27/088 331E; H01L27/06 102A; H01L29/78 618B; H01L29/78 613Z; H01L27/04 C

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K5/08; H01L21/822; H01L27/04; H01L21/8234; H01L27/06; H01L27/088; H01L29/786; H03F3/45

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2006-352607 A (RENESAS TECHNOLOGY CORP.) 28 December 2006 (2006-12-28) paragraphs [0003], [0058]-[0075], fig. 4	1-3, 6 4-5, 7
Y A	JP 2003-142598 A (HITACHI, LTD.) 16 May 2003 (2003-05-16) paragraphs [0006], [0015], fig. 1-2, 6	1-3, 6 4-5, 7
Y A	WO 2010/082239 A1 (PANASONIC CORP.) 22 July 2010 (2010-07-22) paragraphs [0028]-[0040], fig. 1	1-3, 6 4-5, 7
Y A	JP 2017-192124 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 19 October 2017 (2017-10-19) paragraphs [0033]-[0042], fig. 1	2-3, 6 4-5, 7

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
13 November 2020 (13.11.2020)

Date of mailing of the international search report  
24 November 2020 (24.11.2020)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/IB2020/057528

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 8-125504 A (SONY CORP.) 17 May 1996 (1996-05-17) entire text, all drawings	4-5, 7
A	JP 2010-50590 A (KANAGAWA UNIVERSITY) 04 March 2010 (2010-03-04) entire text, all drawings	4-5, 7

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

PCT/IB2020/057528

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2006-352607 A	28 Dec. 2006	(Family: none)	
JP 2003-142598 A	16 May 2003	US 2003/0080802 A1 paragraphs [0025], [0035], fig. 1-2, 6 KR 10-2003-0038392 A	
WO 2010/082239 A1	22 Jul. 2010	(Family: none)	
JP 2017-192124 A	19 Oct. 2017	US 2017/0230041 A1 paragraphs [0078]- [0087], fig. 1	
JP 8-125504 A	17 May 1996	(Family: none)	
JP 2010-50590 A	04 Mar. 2010	(Family: none)	



<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H03K 5/08(2006.01)i; H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/786(2006.01)i; H03F 3/45(2006.01)i                  FI: H03K5/08 E; H03F3/45; H01L27/088 E; H01L27/088 331E; H01L27/06 102A; H01L29/78 618B; H01L29/78 613Z; H01L27/04 C</p>																																
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））                  H03K5/08; H01L21/822; H01L27/04; H01L21/8234; H01L27/06; H01L27/088; H01L29/786; H03F3/45</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年																						
日本国実用新案公報	1922 - 1996年																															
日本国公開実用新案公報	1971 - 2020年																															
日本国実用新案登録公報	1996 - 2020年																															
日本国登録実用新案公報	1994 - 2020年																															
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y A</td> <td>JP 2006-352607 A（株式会社ルネサステクノロジ）28.12.2006（2006 - 12 - 28） 段落[0003], [0058]-[0075], 図4</td> <td>1-3, 6 4-5, 7</td> </tr> <tr> <td>Y A</td> <td>JP 2003-142598 A（株式会社日立製作所）16.05.2003（2003 - 05 - 16） 段落[0006], [0015], 図1-2, 6</td> <td>1-3, 6 4-5, 7</td> </tr> <tr> <td>Y A</td> <td>WO 2010/082239 A1（パナソニック株式会社）22.07.2010（2010 - 07 - 22） 段落[0028]-[0040], 図1</td> <td>1-3, 6 4-5, 7</td> </tr> <tr> <td>Y A</td> <td>JP 2017-192124 A（株式会社半導体エネルギー研究所）19.10.2017（2017 - 10 - 19） 段落[0033]-[0042], 図1</td> <td>2-3, 6 4-5, 7</td> </tr> <tr> <td>A</td> <td>JP 8-125504 A（ソニー株式会社）17.05.1996（1996 - 05 - 17） 全文, 全図</td> <td>4-5, 7</td> </tr> </tbody> </table> <p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&amp;” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y A	JP 2006-352607 A（株式会社ルネサステクノロジ）28.12.2006（2006 - 12 - 28） 段落[0003], [0058]-[0075], 図4	1-3, 6 4-5, 7	Y A	JP 2003-142598 A（株式会社日立製作所）16.05.2003（2003 - 05 - 16） 段落[0006], [0015], 図1-2, 6	1-3, 6 4-5, 7	Y A	WO 2010/082239 A1（パナソニック株式会社）22.07.2010（2010 - 07 - 22） 段落[0028]-[0040], 図1	1-3, 6 4-5, 7	Y A	JP 2017-192124 A（株式会社半導体エネルギー研究所）19.10.2017（2017 - 10 - 19） 段落[0033]-[0042], 図1	2-3, 6 4-5, 7	A	JP 8-125504 A（ソニー株式会社）17.05.1996（1996 - 05 - 17） 全文, 全図	4-5, 7	* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																														
Y A	JP 2006-352607 A（株式会社ルネサステクノロジ）28.12.2006（2006 - 12 - 28） 段落[0003], [0058]-[0075], 図4	1-3, 6 4-5, 7																														
Y A	JP 2003-142598 A（株式会社日立製作所）16.05.2003（2003 - 05 - 16） 段落[0006], [0015], 図1-2, 6	1-3, 6 4-5, 7																														
Y A	WO 2010/082239 A1（パナソニック株式会社）22.07.2010（2010 - 07 - 22） 段落[0028]-[0040], 図1	1-3, 6 4-5, 7																														
Y A	JP 2017-192124 A（株式会社半導体エネルギー研究所）19.10.2017（2017 - 10 - 19） 段落[0033]-[0042], 図1	2-3, 6 4-5, 7																														
A	JP 8-125504 A（ソニー株式会社）17.05.1996（1996 - 05 - 17） 全文, 全図	4-5, 7																														
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの																															
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの																															
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの																															
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献																															
“O” 口頭による開示、使用、展示等に言及する文献																																
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献																																
国際調査を完了した日	国際調査報告の発送日																															
13.11.2020	24.11.2020																															
名称及びあて先	権限のある職員（特許庁審査官）																															
日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	及川 尚人 5W 5888  電話番号 03-3581-1101 内線 3576																															

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-50590 A (学校法人神奈川大学) 04.03.2010 (2010 - 03 - 04) 全文, 全図	4-5, 7

引用文献	公表日	パテントファミリー文献	公表日
JP 2006-352607 A	28.12.2006	(ファミリーなし)	
JP 2003-142598 A	16.05.2003	US 2003/0080802 A1 段落[0025], [0035], 図1-2, 6 KR 10-2003-0038392 A	
WO 2010/082239 A1	22.07.2010	(ファミリーなし)	
JP 2017-192124 A	19.10.2017	US 2017/0230041 A1 段落[0078]-[0087], 図1	
JP 8-125504 A	17.05.1996	(ファミリーなし)	
JP 2010-50590 A	04.03.2010	(ファミリーなし)	