



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I679852 B

(45)公告日：中華民國 108 (2019) 年 12 月 11 日

(21)申請案號：105112283

(22)申請日：中華民國 105 (2016) 年 04 月 20 日

(51)Int. Cl. : **H03L7/081 (2006.01)****G11C7/22 (2006.01)****H03K5/13 (2014.01)****G06F1/04 (2006.01)**

(30)優先權：2015/06/19 美國

14/745,326

(71)申請人：美商英特爾公司(美國) INTEL CORPORATION (US)

美國

(72)發明人：魏 芳欣 WEI, FANGXING (US)；夏 塞圖爾 M SHAH, SETUL M. (IN)；艾倫
麥可 J ALLEN, MICHAEL J. (US)；禪單 庫夏爾 N CHANDAN, KHUSHAL N.
(IN)

(74)代理人：惲軼群；劉法正

(56)參考文獻：

US 6750687B1

US 7400690B2

US 7969215B1

US 8314641B2

審查人員：陳明德

申請專利範圍項數：24 項 圖式數：7 共 49 頁

(54)名稱

具有可規劃追蹤斜率之數位相位控制技術

(57)摘要

於一 I/O(輸入/輸出)電路中之相位補償包括可變、可規劃之斜率。一相位補償電路可施加一斜率之相位補償並動態改變該相位補償之斜率，以允許較佳的環境條件追蹤。該相位補償電路可產生一線性碼來施加相位補償以便將一 I/O 信號之相位鎖定至一計時信號之一相位。該電路可選擇性調整具有一可變、可規劃之斜率的線性碼，其中該斜率定義該線性碼中之每單元改變施加多少相位補償。該電路將該經調整的線性碼施加至一鎖定迴路，以便將該 I/O 信號之相位鎖定至該計時信號之相位。

Phase compensation in an I/O (input/output) circuit includes variable, programmable slope. A phase compensation circuit can apply phase compensation of one slope and dynamically change the slope of the phase compensation to allow for better tracking of environmental conditions. The phase compensation circuit can generate a linear code to apply phase compensation to lock phase of an I/O signal to a phase of a timing signal. The circuit selectively adjusts the linear code with a variable, programmable slope, where the slope defines how much phase compensation is applied per unit change in the linear code. The circuit applies the adjusted linear code to a lock loop to lock the phase of the I/O signal to the phase of the timing signal.

指定代表圖：

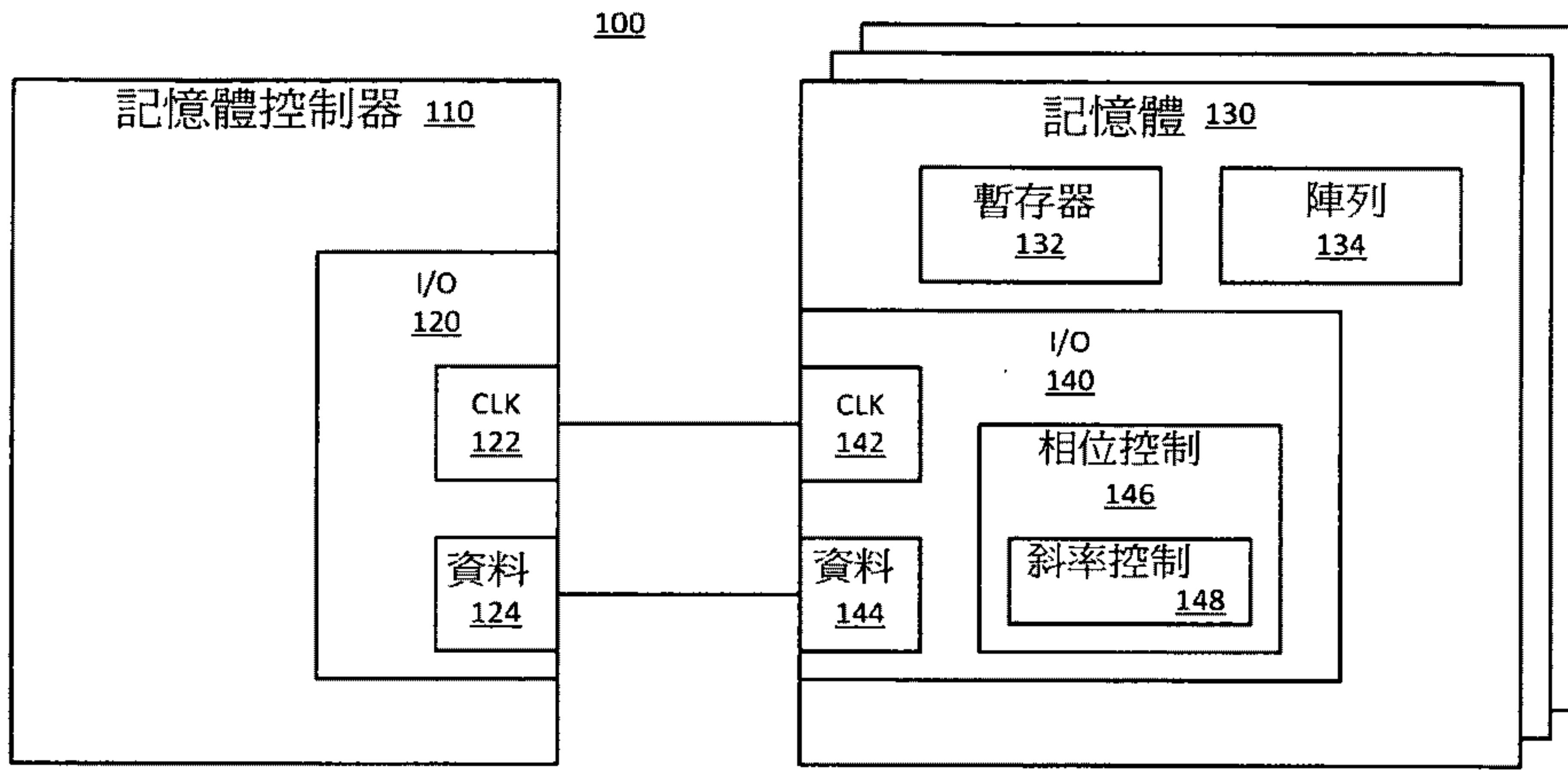


圖1

符號簡單說明：

- 100 . . . 系統
- 110 . . . 記憶體控制器
- 120、140 . . . I/O
- 122 . . . 時鐘介面
- 124 . . . 資料介面
- 130 . . . 記憶體
- 132 . . . 暫存器
- 134 . . . 記憶體陣列
- 142 . . . 介面時鐘
- 144 . . . 資料
- 146 . . . 相位控制
- 148 . . . 斜率控制

I679852

發明摘要

※ 申請案號：105112283

H03L 7/081 (2006.01)

※ 申請日：105年4月20日

※IPC 分類：

G11C 7/22 (2006.01)

H03K 5/13 (2014.01)

G06F 1/04 (2006.01)

【發明名稱】(中文/英文)

具有可規劃追蹤斜率之數位相位控制技術/ DIGITAL PHASE CONTROL WITH PROGRAMMABLE TRACKING SLOPE

【中文】

於一I/O(輸入/輸出)電路中之相位補償包括可變、可規劃之斜率。一相位補償電路可施加一斜率之相位補償並動態改變該相位補償之斜率，以允許較佳的環境條件追蹤。該相位補償電路可產生一線性碼來施加相位補償以便將一I/O信號之相位鎖定至一計時信號之一相位。該電路可選擇性調整具有一可變、可規劃之斜率的線性碼，其中該斜率定義該線性碼中之每單元改變施加多少相位補償。該電路將該經調整的線性碼施加至一鎖定迴路，以便將該I/O信號之相位鎖定至該計時信號之相位。

【英文】

Phase compensation in an I/O (input/output) circuit includes variable, programmable slope. A phase compensation circuit can apply phase compensation of one slope and dynamically change the slope of the phase compensation to allow for better tracking of environmental conditions. The phase compensation circuit can generate a linear code to apply phase compensation to lock phase of an I/O signal to a phase of a timing signal. The circuit selectively adjusts the linear code with a variable, programmable slope, where the slope defines how much phase compensation is applied per unit change in the linear code. The circuit applies the adjusted linear code to a lock loop to lock the phase of the I/O signal to the phase of the timing signal.

【代表圖】

【本案指定代表圖】：第（ 1 ）圖。

【本代表圖之符號簡單說明】：

100...系統	132...暫存器
110...記憶體控制器	134...記憶體陣列
120、140...I/O	142...介面時鐘
122...時鐘介面	144...資料
124...資料介面	146...相位控制
130...記憶體	148...斜率控制

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

具有可規劃追蹤斜率之數位相位控制技術

DIGITAL PHASE CONTROL WITH PROGRAMMABLE
TRACKING SLOPE

【技術領域】

發明領域

[0001]本發明之實施例一般係有關數位輸入/輸出(I/O)電路，而更特別是有關具有可規劃追蹤斜率之一相位控制迴路。

版權通知/許可

[0002]本專利文件之揭示內容的一部分可包含接受版權保護之材料。該專利文件或該專利揭示內容出現在專利與商標局之專利檔案或記錄中時，該版權擁有者並不反對任何人將其重製，但無論如何其可以其他方式來保留所有版權。該版權通知可應用在下述所有資料、與其附圖上、以及應用在下述任何軟體上：版權所有©2015，英代爾公司，保留所有權利。

【先前技術】

發明背景

[0003]裝置間I/O(輸入/輸出)可針對計算系統之操作來允許不同的系統構件彼此傳遞。計算系統可用於大量的消費者與商用裝置之任一種。計算系統包括記憶體子系統來儲存與提供存取該計算系統之一處理器執行的編碼與資料。

I/O於記憶體子系統中係相當重要來允許該處理器與儲存該編碼與資料之記憶體資源間的資料轉移。

[0004]特定的記憶體技術具有適用於與多個裝置必須符合來視為順應之I/O相關聯的計時之標準。DDR(雙倍資料速率)記憶體I/O系統提供相位補償來鎖定具有一時鐘或計時信號之一資料信號。DDR I/O相位補償之一範例為使用一DLL(延遲鎖定迴路)，其將一可變量的延遲提供至一時鐘邊緣來調整該時鐘信號之計時。每次調整之相位補償量(企業中通常參照為“步階大小”)可控制該DLL多快或多慢鎖定該正確的相位計時。於一DDR實施態樣中，會有需要該DLL鎖定在一特定的時鐘週期數量中之一DLL鎖定規格說明。

[0005]每次調整的相位補償量中會有一平衡：較精細調整允許更精確的鎖定，其可改善信號品質，而較粗略調整允許該DLL來鎖定在規格說明計時需求中。於具有許多雜訊之一電源供應器來供電的一記憶體子系統中，較精細調整會遺失在雜訊中，其可避免該DLL甚至“趕上”該適當相位並取得一鎖定。因此，較粗略相位調整大小與較精細相位調整大小兩者各有優缺點。

[0006]除了相位調整大小的限制外，傳統的記憶體子系統I/O設計亦會經歷該鎖定位位置搜尋機構所導入之錯誤。大多數目前的數位DLL設計使用一移位暫存器設計來作為該相位控制器，並使用二進制搜尋來決定該鎖定位位置。基於該移位暫存器設計之二進制搜尋可形成諧波鎖定(鎖定在一諧波而非該時鐘信號之主要相位上)。該移位暫存器狀態

機器控制器設計相當複雜，會增加整體系統複雜性與成本。
該二進制搜尋在有雜訊的條件下追蹤典型為不可改變。

【發明內容】

[0007]依據本發明之一實施例，係特地提出一種用於相位補償之方法，其包含：產生一線性碼來施加相位補償以將一I/O(輸入/輸出)信號之相位鎖定至一計時信號之一相位；選擇性地以一可變、可規劃之斜率調整該線性碼，其中該斜率定義該線性碼中之每單元改變施加多少相位補償；以及將該經調整的線性碼施加至一鎖定迴路，以將該I/O信號之相位鎖定至該計時信號之相位。

【圖式簡單說明】

[0008]下列說明包括具有藉由本發明之實施例的實施態樣之範例給定的圖例之圖形討論。該等圖式應藉由範例、而非藉由限制來加以理解。如本文所使用，參照為一或多個“實施例”可理解為說明包括在本發明之至少一實施態樣中的一特定特徵、結構、及/或特性。因此，本文出現諸如“於一實施例中”或“於一替代實施例中”之片語可說明本發明之各種不同實施例與實施態樣，並且不需皆參照為相同實施例。然而，其亦不需彼此互斥。

[0009]圖1為一針對於兩個裝置間交換之一I/O信號來施加相位控制，包括相位斜率控制之一系統的一方塊圖之實施例。

[0010]圖2為一產生具有一可規劃斜率之相位補償控制之一系統之一方塊圖的實施例。

[0011]圖3爲一基於一可規劃斜率之相位鎖定的一實施例之圖形表示法。

[0012]圖4爲一相位控制包括互斥或運算來產生一三角控制特徵，其可提供可變斜率之相位控制的粗略控制與精細控制之一系統的一方塊圖之實施例。

[0013]圖5爲一用以產生具有可變補償斜率之線性相位控制的一程序之一實施例的流程圖。

[0014]圖6爲一具有可變斜率之I/O相位延遲控制可得以執行的一計算系統之一實施例的方塊圖。

[0015]圖7爲一具有可變斜率之I/O相位延遲控制可得以執行的一行動裝置之一實施例的方塊圖。

[0016]下列某些細節與實施態樣之說明，包括該等圖形之一說明，其可描述某些或所有下述實施例、以及說明本文呈現之發明概念的其他潛在實施例或實施態樣。

【實施方式】

較佳實施例之詳細說明

[0017]如本文所述，於一I/O(輸入/輸出)電路中之相位補償包括可變、可規劃的斜率。該相位補償可從一線性控制器來施加，其可施加一斜率之相位補償並動態改變該相位補償之斜率，以允許較佳的環境條件追蹤。該相位補償電路可產生一線性碼來施加相位補償以便將一I/O信號之相位鎖定至一計時信號之一相位。該電路可選擇性調整具有一可變、可規劃之斜率的線性碼，其中該斜率定義該相位補償的大小、或者該線性碼中之每單元改變施加多少相

位補償。該電路將該調整的線性碼施加至一鎖定迴路，以便將該I/O信號之相位鎖定至該計時信號之相位。

[0018]由於一可變、可規劃相位調整的斜率，該鎖定電路可提供較快鎖定來較快提供粗略相位補償、以及較慢速追蹤來改善鎖定精確度並降低追蹤抖動。藉由使用該類相位補償，針對某些DDR(雙倍資料速率)I/O需求，一DLL可鎖定在該特定數量的時鐘週期中。因為該相位調整為可規劃，故該DLL或其他相位補償電路可針對不同的環境條件，諸如不同振幅與頻率之電源供應器雜訊或其他雜訊來調整操作。因此，於一實施例中，該相位補償可反應來藉由改變該追蹤斜率以改變環境條件。

[0019]於一實施例中，該相位補償電路可使用具有一粗略鎖定與一精細鎖定之一並列相位補償系統。該相位補償可建立分開的粗略碼與精細碼來控制不同的鎖定/追蹤機構。該相位補償電路可藉由掃過該粗略碼來找出一粗略鎖定直到一回饋信號指出該調整時鐘邊緣跨過一參考時鐘邊緣為止。於一實施例中，該相位補償電路可將該粗略鎖定碼儲存至一儲存裝置中，而之後觸發具有一較精細的相位調整大小之慢速追蹤。以該精細相位調整來鎖定在該相位後，該系統可以該精細相位調整來繼續追蹤該環境條件的改變(例如，溫度變化、電源供應器雜訊感應變化)。若該回饋指出該鎖定遺失，則該系統可回復至粗略相位調整。

[0020]參照記憶體裝置可適用於不同記憶體類型。記憶體裝置一般參照為依電性記憶體技術。依電性記憶體為若

電力從該裝置中斷連接時，其狀態(與因而儲存其中之資料)為未定之記憶體。非依電性記憶體參照為即使電力從該裝置中斷連接時，其狀態為可決定之記憶體。動態依電性記憶體需要刷新儲存於該裝置之資料以維持狀態。動態依電性記憶體之一範例包括DRAM(動態隨機存取記憶體)、或某些變化型態，諸如同步DRAM(SDRAM)。本文所述之一記憶體子系統可與若干記憶體技術相容，DDR4(JEDEC於2012年十二月發布之初始規格說明書，DDR第四版)、LPDDR4(JEDEC於2014年八月初始發布之低功率雙倍速率(LPDDR)第四版，JESD209-4)、WIO2(JEDEC於2014年八月初始發布之寬廣I/O 2(WideIO2)，JESD229-2)、HBM(JEDEC於2013年十月初始發布之高頻寬記憶體DRAM，JESD235)、DDR5(JEDEC目前討論之DDR第五版)、LPDDR5(JEDEC目前討論)、WIO3(JEDEC目前討論之寬廣I/O 3)、HBM2(JEDEC目前討論之HBM第二版)、及/或其他、以及基於該類規格說明之衍生或擴充的技術。除了該記憶體裝置之I/O外，該等相位補償技術可適用於相位補償可用來將一命令或資料信號準直至一時鐘信號之其他裝置間通信。

[0021]圖1為一針對於兩個裝置間交換之一I/O信號來施加相位控制，包括相位斜率控制之一系統的一方塊圖之實施例。系統100提供一記憶體子系統之一範例，其具有提供相位補償可規劃、可變斜率控制之I/O相位控制。記憶體130代表系統100中之記憶體資源。例如，每一記憶體裝置可為一DRAM裝置。記憶體陣列134包括儲存資料位元之胞

元或可定址位置。記憶體陣列134代表資料用以響應一寫入命令而儲存以及用以響應一讀取命令而存取之記憶體資源。記憶體130與陣列134中之儲存位置可組織為通道、排組、記憶體庫、DIMM(雙直列記憶體模組)、及/或其他方式來管理該記憶體之定址與存取。

[0022]記憶體控制器110代表用以控制存取記憶體130之一電路或控制邏輯。記憶體控制器110可作為一分開裝置，如作為一主要處理器之一部分的一電路、或作為整合為一晶載系統之一晶片來予以執行。於一實施例中，記憶體控制器110為一中央處理單元(未顯示)的一部分，其提供系統100為一部分之一計算系統的主機處理控制。每一記憶體通道具有一共同記憶體控制器，因此，於一主機系統中可有一或多個獨立的記憶體控制器。

[0023]記憶體控制器110包括I/O 120來與該記憶體控制器裝置外部的晶片或其他裝置通信。例如，記憶體控制器110經由I/O 120來與記憶體130通信。記憶體130包括I/O 140來連接至提供記憶體控制器110與記憶體130間之電氣或信號介面的信號線。I/O 120可包括一命令/位址(C/A)介面(未特別顯示)來使記憶體控制器110能夠將命令與控制信號提供至記憶體130。記憶體130之I/O 140可包括一對應C/A介面來接收該等命令與控制信號。

[0024]於一實施例中，I/O 120包括時鐘(CLK)介面122與一資料介面124。I/O 140包括對應的介面時鐘142與資料144。該時鐘介面可使該記憶體控制器能夠提供記憶體130

一計時信號或時鐘信號來接收與發送信號。因此，記憶體130可與往返記憶體控制器110發送之資料的計時準直，故兩裝置可同步I/O。該資料介面可使記憶體控制器110能夠針對一寫入交易來將資料送至記憶體130、以及使記憶體130針對一讀取交易來將資料送至記憶體控制器。於一實施例中，記憶體控制器110與記憶體130基於需相位補償之信號來交換資料以確保適當的信號容限。於一實施例中，記憶體控制器110包括相位控制(未特別顯示)。

[0025]於一實施例中，記憶體130包括一或多個暫存器132，其可代表儲存有關I/O之組態設定或操作設定的其他儲存裝置之模式暫存器。於一實施例中，暫存器132儲存有關I/O相位補償斜率之一或多個編碼。於一實施例中，暫存器132決定哪個相位補償之斜率將用來鎖定該I/O相位。於一實施例中，記憶體130包括相位控制146來準直資料介面144上之信號與時鐘142上之時鐘信號。相位控制146可基於儲存在暫存器132或等效元件中之數值來操作。

[0026]因此，相位控制146代表記憶體130中之邏輯以提供相位調整來準直經由資料介面144之通信與該時鐘信號。於一實施例中，相位控制146包括記憶體130之一內部控制器中的邏輯。記憶體130內部之控制器可控制該等計時與內部命令以執行操作來執行記憶體控制器110提供之命令。於一實施例中，相位控制146包括一鎖定迴路，諸如一數位延遲鎖定迴路(DLL)或相位鎖定迴路(PLL)，來提供相位補償。相位控制146可針對雜訊與漂移以及會造成該資料邊緣與

該時鐘邊緣間之一偏移的其他條件來調整計時。相位控制146可根據本文所述之任何相位控制實施例來操作。相位控制146包括斜率控制148來使該相位控制能夠規劃具有不同相位調整大小之相位補償。

[0027]於一實施例中，相位控制146可藉由針對一粗略延遲鏈而掃過一DLL粗略碼來找出一粗略鎖定，直到一DLL回饋時鐘邊緣跨過一DLL參考時鐘邊緣為止。於一實施例中，相位控制146之後可將該粗略鎖定碼儲存至一儲存裝置(諸如記憶體130中之暫存器132或其他儲存器)，而之後將該DLL放入慢速追蹤模式。於一實施例中，相位控制146重新載入該儲存的DLL粗略鎖定碼，而經由斜率控制148，來觸發該DLL以便於具有一不同相位調整大小(一不同斜率)之一精細追蹤中操作。

[0028]圖2為一產生具有一可規劃斜率之相位補償控制的一系統之一方塊圖的實施例。電路200提供根據系統100之相位控制146的一實施例之一相位補償電路的一範例。電路200亦可參照為一I/O控制電路，因為其控制用於I/O之時鐘的相位。電路200可接收一時鐘輸入，識別為PAD_CLK或襯墊時鐘。該襯墊時鐘信號為提供至包括電路200之記憶體子系統的一時鐘或同步信號。應了解以一記憶體裝置或記憶體子系統來說明的情況下，電路200可包括在一時鐘信號伴隨一資料或資訊信號交換之裝置間的任何I/O介面中。於是，本發明之實施例並不侷限於記憶體裝置。

[0029]襯墊時鐘為進入該I/O電路之一輸入，且於RX緩

衝器212處緩衝。該輸入可於，例如電路200之一襯墊或多個襯墊或其他輸入硬體處接收。接收該時鐘信號時會有一延遲D1。電路200可調整具有可變延遲214之輸入時鐘信號。於一實施例中，可變延遲214可由一相位補償電路來提供、或代表一相位補償電路之一部分。於一實施例中，電路200提供可變延遲一並列類型相位補償、一粗略延遲鏈與一精細延遲混合。該類電路可根據於共同申請的美國專利申請案編號TBD(P82402)中說明、具有共同發明歸屬、並藉此同時申請之任何實施例。一狀態機器與延遲電路之某些細節可在下文中參照圖4與5來提供。

[0030]可變延遲214可將一可變、可規劃的延遲量導入該輸入時鐘以鎖定具有該時鐘之一資料信號。該延遲時鐘個別提供輸入至發送緩衝器216與218作為DQS_OUT與DQ_OUT。電路200中該延遲時鐘識別為DLL_CLK。該等DQS_OUT與DQ_OUT信號係針對資料選通與資料信號。該襯墊時鐘可在連接至電路200之一信號線上接收。位在216與218之DQ輸出可針對資料信號且在I/O信號線上發送。該I/O輸入時鐘接收之資料信號可經由電路200來相位鎖定至該時鐘信號，其施加相位補償以便將該I/O信號之相位鎖定至一計時或時鐘信號之一相位。

[0031]該輸出之延遲為D2。經過可變延遲之時間繪示為 $N \cdot t_{CLK} - (D1 + D2)$ ，或該時間週期數量扣除該等RX與TX延遲。於一實施例中，可變延遲214不改變該輸入時鐘之週期，但改變該時鐘信號之觸發邊緣(例如，上升邊緣)以便考

量雜訊、溫度改變、及/或會造成信號漂移之其他環境條件。可變延遲214之輸出可饋送回TX+RX虛擬路由230，其代表與從緩衝器212至緩衝器216與218之路徑匹配或延遲等效的路徑。因此，虛擬路由230具有相同延遲 $N \cdot t_{CLK} - (D1 + D2)$ 。於是，該信號可與該初始接收的時鐘(REFCLK或參考時鐘)饋送回來作為回饋(FBCLK)進入相位檢測器220，以決定該等時鐘信號間之一偏移。

[0032]如上所述，相位檢測220可接收該輸入時鐘來作為一參考時鐘，而具有可變延遲214之先前週期可施加來作為一回饋時鐘。相位檢測220可檢測該等時鐘間之一偏移並將一輸入提供至狀態機器240以決定該系統位於哪個狀態、以及如何將相位補償施加至該時鐘。狀態機器240代表該相位補償之控制邏輯。狀態機器240可為一裝置上之一分開的控制器、或可為一現存控制器的一部分。於一實施例中，針對一晶片或裝置中之I/O來管理計時與操作的控制器包括電路200之控制元件。

[0033]於一實施例中，狀態機器240包括一線性向上/向下計數器。於一實施例中，狀態機器240可包括一可負載計數器。狀態機器240提供線性控制來產生可變延遲214。該線性控制從用來控制可變延遲214之編碼來產生。於一實施例中，狀態機器240包括一線性計數器，其可產生用來產生該控制碼以控制可變延遲214之一計數。於一並列相位補償電路中，電路200可包括一DLL延遲鏈，其具有針對粗略延遲補償之一上半部段、以及針對精細延遲混合之一下半

部段。該類補償電路可包括在狀態機器240中。

[0034]狀態機器240可接收一初始條件輸入(INIT_CONDITION)。該初始條件輸入代表由電路200設定相位補償操作之一啓動點之一或多個設定。於一實施例中，初始條件可藉由將一或多個數值寫入一暫存器(諸如系統100之暫存器132)來組配。於一實施例中，初始條件可組配來將該狀態機器之操作放置在其操作範圍的一“中間”。因此，該狀態機器可以一偏移開始來允許依照該檢測的環境條件來向上或向下調整的空間。電路200可從啓動該相位補償點之一識別預設值來起始鎖定操作，並基於初始條件來調整用來執行該鎖定之線性碼。

[0035]狀態機器240可接收一重置輸入，識別為DLL_RESET。該重置輸入可觸發電路200之操作的初始。若該電路已操作，則目前數值可被重置，而該電路將返回初始條件。該重置條件會出現在開機時，從省電模式、或者關機或低電力狀態後該I/O受供電之其他時間時離開。於一實施例中，該重置信號失效後(於一替代實施例中其可出現在生效時)，電路200啓動一快速鎖定程序。快速鎖定期間，該計數器可向上計數該粗略碼，直到取得一粗略鎖定為止。於一實施例中，該回饋時鐘邊緣(FBCLK)跨過該參考時鐘邊緣(REFCLK)時，一粗略鎖定被識別。於一實施例中，相位檢測220包括該回饋時鐘邊緣跨過該參考時鐘時輸出一信號之一比較器。該粗略碼首次“抓取”該時鐘信號時，該類時鐘跨越會出現。

[0036]於一實施例中，一旦該粗略鎖定取得時，狀態機器240可觸發一精細延遲鎖定以取得該信號上之一更精細修正。於一實施例中，電路200包括影響該線性鎖定碼之斜率的一或多個碼移位方塊252、254。於一實施例中，碼移位252、254可視為規劃每一單元相位調整之相位補償的斜率或數量。於一實施例中，碼移位252、254可操作來作為一調整至該粗略碼。例如，其可完全不移位(亦即，保持與該粗略碼相同的斜率)、或執行該粗略碼之一二進制除法運算以產生一不同斜率(例如，將該粗略碼除以1、2、4、8、...)。移位量或二進制除法運算(例如，藉由從該粗略碼移出LSB來向下除)可由識別為SEL_BIT_SHIFT之一選擇位元來規劃或選擇。於一實施例中，該選擇位元可儲存於一暫存器中，且從一驗證序列來決定。該驗證序列中，該系統可執行一或多個I/O測試來決定會影響該I/O之環境條件(例如，電壓、溫度、雜訊)。基於該等環境條件，該系統可決定(例如，經由計算一試探演算法之一處理器)多少斜率可允許電路200來追蹤該雜訊，同時提供所需的精確性(例如，如藉由決定錯誤效能來測量)。

[0037]於一實施例中，碼移位254可位於狀態機器240之計數器與可變延遲214之一延遲鏈之間。因此，碼移位254可將一計數器輸出(CODE OUT)移位至該適當的匯流排位置以控制粗略延遲。於一實施例中，快速鎖定期間，該精細延遲混合碼係來自該初始條件(諸如來自一先前精細延遲混合搜尋之一儲存或保留值)。於一實施例中，一粗略鎖

定由相位檢測220定旗標後，電路200可儲存形成儲存碼242中鎖定之粗略碼。儲存碼242代表可保持該粗略鎖定碼之一儲存器(例如，一暫存器或一記憶體中之一位置)。

[0038]取得一粗略鎖定後，狀態機器240可離開快速鎖定並執行一慢速追蹤模式。該慢速追蹤可以一移位的儲存碼242版本來完成，其可回饋回到碼移位252、254。每一迴路爲了以1精細調整來追蹤，電路200可將該整個儲存粗略鎖定延遲碼(儲存碼242)(經由碼移位252)載入狀態機器240之計數器以執行一單一精細向上/向下追蹤。每一迴路爲了以2精細調整來追蹤，SEL_BIT_SHIFT可將儲存碼242移位一位元、丟棄該LSB、以及將該儲存粗略鎖定延遲碼的其他部分重新載入該計數器作向上/向下追蹤。同樣地，4精細調整與8精細調整可藉由從該粗略鎖定延遲碼(經由碼移位252、254)丟棄多個位元來完成。於一實施例中，輸入至狀態機器240之重新載入信號可(依照狀態機器240之狀態)從碼移位254及/或一初始條件來觸發該碼之重新載入。

[0039]應了解電路200繪示單向來調整用於追蹤之線性延遲碼的斜率。應了解由於一較大斜率(每一單元改變之多個相位調整)，電路200可較快鎖定，而由於一較小斜率(每一單元改變之較少相位調整)，電路200將較慢鎖定但以較小追蹤抖動來追蹤。由於可規劃斜率，電路200可追蹤至不同的環境條件，諸如具有不同雜訊振幅與雜訊頻率之一雜訊電源供應器。

[0040]該簡易線性狀態機器與電路200之控制與該典型

DLL設計相比，其使用一移位暫存器來作為一控制器、以及使用二進制搜尋來決定一鎖定位置。諸如一傳統方法可形成諧波鎖定。電路200包括狀態機器240，其使用從最小碼之一線性鎖定搜尋，其可避免諧波鎖定。電路200亦允許可規劃斜率，其可提供如傳統設計所提供之快速鎖定，但可供應較佳的彈性來於雜訊條件下追蹤。此外，狀態機器240可遠較現存DLL狀態機器簡單。由於較簡單的電路，電路200相較於傳統DLL設計可提供較少電力耗損。

[0041]圖3為一基於一可規劃斜率之相位鎖定的一實施例之圖形表示法。圖形300提供應用可規劃斜率如何使一狀態機器循環更多延遲碼來讀取相同數量的延遲之一圖形。延遲軸302對照碼軸304來描繪。延遲302代表有多少延遲導入該相位補償。碼304代表有多少碼或經過該碼有多少循環需達到該延遲軸302。該延遲鏈延遲可以快速鎖定或粗略鎖定中之較少控制碼來快速提供，而之後以較精細延遲來更慢速調整。

[0042]初始條件312代表該相位補償電路之一啟動點，其可為該系統期待之一最小延遲。因此，該初始條件可以一時間T0來識別。PVT(程序、電壓、溫度)改變時，該DLL或其他相位補償電路可具有足夠的延遲容限來向上或向下追蹤。該相位補償電路開始操作，並開始(於初始條件312與粗略鎖定314之間)粗略鎖定或快速鎖定。於一實施例中，粗略鎖定時，一DLL計數器可向上掃過一DLL延遲鏈之粗略碼直到一DLL回饋時鐘邊緣跨過一DLL參考時鐘邊緣為

止。粗略鎖定314於時間T1達到時，該相位補償可改變至鎖定與追蹤340，以陰影區表示。

[0043]該慢速鎖定與追蹤340係介於粗略鎖定314與達到最大量(max)316之間。於一實施例中，慢速鎖定與追蹤340時，該DLL計數器可完全或部分地向上或向下掃過精細延遲混合控制來追蹤DLL延遲變動。例如，該等延遲變動可根據一DLL相位檢測器上/下檢測來追蹤。於一實施例中，該相位補償可使該DLL計數器依照該規畫之追蹤斜率來計數完全DLL精細延遲混合碼或部分碼。該最大點316代表達到一延遲T2時。可觀察到不同斜率332、334、336、與338採用更多碼來達到相同的延遲數量。可觀察到斜率332與該粗略鎖定之斜率匹配。於一實施例中，斜率332、334、336、與338之每一個為該粗略延遲碼之二進制除法運算，而斜率332為除以1之粗略延遲碼。因此，該精細延遲相位調整之每一個為該粗略延遲相位調整的一子除法運算。

[0044]圖4為一相位控制包括互斥或運算來產生一三角控制特徵，其可提供可變斜率之相位控制的粗略控制與精細控制之一系統的一方塊圖之實施例。於一實施例中，系統400為系統100之相位控制及/或系統200之狀態機器的一範例。系統400可提供裝置間I/O—DLL或PLL之相位控制。於一實施例中，圖形300之不同斜率由提供相位補償控制至一DLL之一狀態機器來提供。於一實施例中，系統400代表該類狀態機器。於一實施例中，系統400可提供該相位補償可變、可規劃斜率。

[0045]於一實施例中，系統400從襯墊410接收一時鐘進入信號(CLK IN)。襯墊410代表至一外部介面之任何類型的實體連接器。於一實施例中，CLK IN為從送出一信號作處理之裝置接收的一輸入時鐘信號，諸如一資料信號。相位調整420代表將一或多個調整提供至該CLK IN信號之相位以產生該時鐘輸出信號(CLK OUT)的邏輯及/或電路。CLK OUT為該資料信號最可能被正確處理時，調整至該資料來對該取樣與發信號計時之相位。於一實施例中，相位調整420代表多個調整電路，諸如一粗略延遲調整與一精細延遲調整。

[0046]於一實施例中，系統400提供相位調整420之至少某些部分三角延遲控制。於一實施例中，系統400提供精細延遲混合三角延遲控制。計數器430代表一簡單、線性向上/向下計數器。為了舉例，計數器430特別繪示為一9位元計數器，但可為將提供該相位控制之特定實施態樣所需的控制之任何位元數量(N)。如圖繪示，來自計數器430之計數部分可循路由連接來控制精細相位調整。應了解參照為該計數之“下半部分”係參照為最常改變之計數部分、或該最低有效位元(該最低有效M位元[(M-1):0])。該計數之“上半部分”係參照為該計數之其他部分、或該較高有效位元(該最高有效(N-M)位元[(N-1):M])。

[0047]系統400將該計數器輸出位元之下半部分循路由連接以控制該精細延遲混合。如圖繪示，於一實施例中，該計數器430之輸出的較高六位元，計數[8:3]，循路由連接

以控制該粗略延遲。計數[8:3]變為粗略碼[5:0]來作為線性解碼器450之輸入。於一實施例中，粗略碼[5:0]提供一粗略延遲鏈偶數/奇數輸出選擇之控制。應了解依照該控制系統與該延遲電路之設計，不同數量的位元可用於精細延遲混合。於一實施例中，線性解碼器450可執行一二位元熱二進制解碼操作來從相位調整420之一部分的一粗略延遲鏈選擇偶數/奇數時鐘輸出。

[0048]於一實施例中，該計數器430之輸出的較低三位元，計數[2:0]，循路由連接以控制該精細延遲混合。針對精細延遲控制，該等較低位元並不直接通過。而是，系統400提供計數[2:0]之一按位元互斥或該粗略延遲控制之LSB。應了解該粗略碼延遲控制之LSB可參照為粗略碼[0]，其與計數[3]相同。互斥或電路440可執行該按位元互斥或操作並將計數[2:0]改變至精細碼[2:0]或該精細延遲碼。於一實施例中，線性解碼器450接收精細碼[2:0]以便於相位調整420之一相位內插器單元中控制精細延遲混合。應了解線性解碼器450可包括超過一電路，且不需於該精細延遲碼與該粗略延遲碼上執行相同的解碼操作。應了解相較於傳統透過一複雜的狀態機器來施加之間接控制，系統400基於施加該互斥或精細碼延遲位元來提供該延遲混合之更直接控制。

[0049]該等上半與下半部分不需為相同的位元數量，雖然其可為相同。於一實施例中，互斥或電路440可執行該粗略延遲碼之該LSB(最低有效位元)的一按位元互斥或操作

來控制該精細延遲碼。因此，該互斥或電路可包括多個互斥或閘體。該粗略碼之LSB為0時，照情況該按位元互斥或操作將形成傳遞該計數之下半部分、產生該計數器增加時向上計數之一精細碼。應了解該精細碼達到其上限制並溢流時，該粗略碼之LSB將變遷為1，因為該粗略碼之LSB為該精細碼之溢流位元。該粗略碼之LSB為1時，該按位元互斥或操作將形成反轉該計數之下半部分，形成於其尖峰值啓動並在該計數器增加時減少之一精細碼。應了解該相同結果可藉由使用一減少計數器來達成。於是，來自該計數器之計數可在全程中於相同方向繼續，但將重覆形成該精細碼，從零至其最大值(2^M-1)、從其最大值至零繼續計數，之後返回到其最大值。

[0050]於一實施例中，解碼器450產生精細延遲混合控制來作為一3至7解碼。因此，精細碼[2:0]之三位元可轉換至控制的7位元(例如，如下文參照圖5說明)。於一實施例中，如圖繪示之系統400的精細延遲控制可以一重複循環，從0至7至0繼續計數。於二進制中，該計數於“000xB”開始並向上計數直到其達到“111xB”為止，而之後其從“111xB”向下回到“000xB”。於一實施例中，解碼器450可從該六位元粗略碼[5:0](亦即，6至64解碼)產生64位元的粗略延遲控制。應了解粗略控制所需之位元數量可依照該粗略延遲鏈之長度，而亦可使用非64之二進制長度鏈。

[0051]於一實施例中，線性解碼器450包括來自系統400中顯示之額外輸入。該類額外輸入可基於一碼移位方塊(針

對系統400其可理解為位於線性解碼器450中)，使線性解碼器450能夠產生不同斜率的編碼。該類碼移位方塊可使系統400能夠執行粗略碼[5:0]之一二進制除法運算以降低每單元改變之相位調整的斜率。該斜率控制可用以響應該系統中檢測之各種不同的環境條件而加以執行。於一實施例中，線性解碼器450從一向下除運算之粗略碼，而非一分開的輸入來提供線性延遲混合控制。該類精細延遲碼可提供可變、可規劃的斜率來鎖定該時鐘之相位。

[0052]圖5為一用以產生具有可變補償斜率之線性相位控制的一程序之一實施例的流程圖。程序500可針對具有相位補償之可變、可規劃斜率的I/O傳輸來提供用以執行相位補償之一實施例的範例。於一實施例中，502中，具有I/O相位補償之一裝置可執行系統初始化以決定該系統實施態樣中存在哪些環境條件(例如，PVT)，並決定I/O相位控制之哪些設定將提供最佳效能與相位匹配。該系統可預先設定有關該等條件之一或多個設定來作為該I/O相位控制之操作的初始條件。

[0053]於一實施例中，504中，一裝置請求與另一裝置之I/O，並決定該I/O信號之操作條件。該類決定可為間接，諸如經由一回饋機構或從一儲存器讀取設定。於一實施例中，506中，該I/O相位補償設定初始條件並決定哪些設定係用於粗略延遲鎖定與精細延遲鎖定。該精細延遲鎖定可設定為多個不同斜率的其中之一。

[0054]508中，一裝置接收或產生一命令來執行與另一

裝置之I/O。該I/O可接收一輸入信號或產生一輸出信號。該裝置包括一I/O控制電路，諸如管理該I/O之一微控制器。該控制器可組配用來與其他裝置交換之I/O。於一實施例中，組配該I/O包括觸發延遲控制來調整該I/O信號之相位以便與一時鐘信號準直。於一實施例中，510中，該相位控制可以粗略相位補償來追蹤該I/O信號之相位。於一實施例中，512中，控制該相位補償之一狀態機器或控制器可決定該粗略調整是否已達到一參考相位。

[0055]若未達到該粗略鎖定，514的否分支，則該粗略鎖定繼續。於一實施例中，若已達到該粗略鎖定，514的是分支，則516中，該相位控制進入一慢速鎖定模式並針對該精細延遲調整來設定該精細延遲相位調整斜率。於一實施例中，該相位控制可針對該精細延遲追蹤來選擇性調整具有一可變、可規劃斜率之一線性碼。該斜率定義該線性碼中之每單元改變施加多少相位補償。於一實施例中，該相位控制初始可施加一粗略碼作相位調整，並由該粗略碼改變斜率至該粗略碼調整之一分支而進入較精細調整。

[0056]518中，該控制電路可於具有回饋之慢速追蹤中追蹤該I/O信號之相位，且520中，決定是否達到該精細追蹤。若未達到精細追蹤，522的否分支，則該相位控制以該精細延遲繼續追蹤與鎖定。達到精細追蹤時，522的是分支，則524中，該裝置可執行該I/O。

[0057]圖6為一具有可變斜率之I/O相位延遲控制得以執行的一計算系統之一實施例的方塊圖。系統600代表根

據本文所述之任何實施例的一計算裝置，並可為一膝上型電腦、一桌上型電腦、一伺服器、一遊戲或娛樂控制系統、一掃描器、影印機、印表機、循路由或交換裝置、或其它電子裝置。系統600包括處理器620，其提供系統600之指令的處理、操作管理、與執行。處理器620可包括任何類型的微處理器、中央處理單元(CPU)、處理核心、或提供系統600之處理的其它處理硬體。處理器620控制系統600之整體操作、並可為或包括，一或多個可規劃通用或專用微處理器、數位信號處理器(DSP)、可規劃控制器、特定應用積體電路(ASIC)、可規劃邏輯裝置(PLD)、等等、或該類裝置之一組合。

[0058] 記憶體子系統630代表系統600之主記憶體，並提供處理器620執行之編碼、或用來執行一常式之資料值暫時儲存器。記憶體子系統630可包括一或多個記憶體裝置，諸如唯讀記憶體(ROM)、快取記憶體、一或多個各種不同的隨機存取記憶體(RAM)、或其他記憶體裝置、或者該類裝置的一組合。除此之外，記憶體子系統630儲存與主宰作業系統(OS)636以提供用於執行系統600中之指令執行的一軟體平台。此外，其他指令638可從記憶體子系統630儲存與執行來提供系統600之邏輯與處理。OS 636與指令638可由處理器620執行。記憶體子系統630包括儲存資料、指令、程式、或其他項目之記憶體裝置632。於一實施例中，記憶體子系統包括記憶體控制器634，其為一記憶體控制器以產生與發出命令至記憶體裝置632。應了解記憶體控制器634

可為處理器620之一實體部分。

[0059]處理器620與記憶體子系統630耦合至匯流排/匯流排系統610。匯流排610為代表由適當橋接器、配接器、及/或控制器連接之任何一個或多個分開的實體匯流排、通信線路/介面、及/或點對點連接之一抽象表示法。因此，匯流排610可包括，例如，一系統匯流排、一周邊組件互連(PCI)匯流排、一超傳送協定或工業標準架構(ISA)匯流排、一小電腦系統介面(SCSI)匯流排、一通用串列匯流排(USB)、或一美國電機電子工程師協會(IEEE)標準1394匯流排(共同參照為“火線”)的其中之一或多個匯流排。匯流排610之匯流排亦可對應於網路介面650中之介面。

[0060]系統600亦包括一或多個輸入/輸出(I/O)介面640、網路介面650、一或多個內部大量儲存裝置660、以及耦合至匯流排610之周邊介面670。I/O介面640可包括一使用者所透過與系統600互動之一或多個介面構件(例如，視訊、聲響、及/或文數字介接)。網路介面650提供系統600於一或多個網路上與遠端裝置(例如，伺服器、其他計算裝置)通訊的功能。網路介面650可包括一乙太網路配接器、無線互連構件、USB(通用串列匯流排)、或其他有線或無線的標準式或專屬介面。

[0061]儲存器660可為或包括以一非依電性方法，諸如一或多個磁性、固態、或光學式碟片、或者一組合來儲存大量資料之任何習知媒體。儲存器660可將編碼或指令與資料662保持在一永久狀態(亦即，儘管系統600之電力中斷該

數值仍可被保持)。雖然記憶體630為該執行或操作記憶體來將指令提供至處理器620，但儲存器660一般可視為一“記憶體”。其中儲存器660為非依電性，記憶體630可包括依電性記憶體(亦即，若系統600之電力中斷，該資料之數值或狀態為不確定)。

[0062] 周邊介面670可包括未於上文特別陳述之任何硬體介面。周邊裝置一般參照為相依連接至系統600之裝置。一相依連接為系統600提供操作執行、與一使用者互動之軟體及/或硬體平台的連接。

[0063] 於一實施例中，系統600包括相位控制680。相位控制680可包括在一I/O相位補償電路中來以，諸如記憶體子系統630中之一時鐘信號鎖定I/O。於一實施例中，相位控制680提供I/O相位補償可變、可規劃的延遲。於一實施例中，該可規劃的延遲可藉由區分一粗略鎖定碼以及以較精細的相位調整來追蹤與鎖定以提供。於一實施例中，該相位控制包括具有線性碼控制之一狀態機器以控制該相位補償之操作。

[0064] 圖7為一具有可變斜率之I/O相位延遲控制得以執行的一行動裝置之一實施例的方塊圖。裝置700代表一行動計算裝置，諸如一計算平板、一行動電話或智慧型手機、一無線賦能e化讀取器、隨身計算裝置、或其他行動裝置。應了解一般僅顯示某些該等構件、而非該類裝置之所有構件皆顯示在裝置700中。

[0065] 裝置700包括處理器710，其執行裝置700之主要

處理操作。處理器710可包括一或多個實體裝置，諸如微處理器、應用處理器、微控制器、可規劃邏輯裝置、或其他處理裝置。處理器710執行之處理操作包括可執行應用程式及/或裝置功能之一操作平台或作業系統的執行。該等處理操作包括有關與一使用者或與其他裝置互動之I/O(輸入/輸出)的操作、有關電力管理的操作、及/或有關將裝置700連接至其他裝置的操作。該等處理操作亦可包括有關聲響I/O及/或顯示I/O的操作。

[0066]於一實施例中，裝置700包括聲響子系統720，其代表與將聲響功能提供至該計算裝置相關聯之硬體(例如，聲響硬體與聲響電路)與軟體(例如，驅動程式、編解碼)構件。聲響功能可包括揚聲器及/或耳機輸出、以及麥克風輸入。該類功能之裝置可整合於裝置700中、或連接至裝置700。於一實施例中，一使用者可藉由提供處理器710接收並處理之聲響命令來與裝置700互動。

[0067]顯示器子系統730代表提供使用者一視覺及/或觸覺的顯示來與該計算裝置互動之硬體(例如，顯示裝置)與軟體(例如，驅動程式)構件。顯示器子系統730可包括顯示器介面732，其可包括用來將一顯示器提供至一使用者之特定螢幕或硬體裝置。於一實施例中，顯示器介面732包括與處理器710分開來執行有關該顯示器之至少某些處理的邏輯。於一實施例中，顯示器子系統730包括提供輸出與輸入兩者至一使用者之一觸控螢幕裝置。於一實施例中，顯示器子系統730包括將一輸出提供至一使用者之一高解析

度(HD)顯示器。高解析度可參照為具有約100 PPI(每英寸像素)或更大之一像素密度的一顯示器，且可包括諸如完全HD(例如，1080p)、網膜顯示、4K(超高解析度或UHD)、等等的格式。

[0068] I/O控制器740代表有關與一使用者互動之硬體裝置與軟體構件。I/O控制器740可操作來管理聲響子系統720及/或顯示器子系統730之一部分的硬體。此外，I/O控制器740繪示一使用者可透過它與該系統互動、且連接至裝置700之額外裝置的一連接點。例如，可附接於裝置700之裝置可包括麥克風裝置、揚聲器或身歷聲系統、視訊系統或其他顯示系統、鍵盤或小鍵盤裝置、或者與特殊應用程式使用之其他I/O裝置，諸如讀卡機或其他裝置。

[0069] 如上所述，I/O控制器740可與聲響子系統720及/或顯示器子系統730互動。例如，透過一麥克風或其他聲響裝置之輸入可提供裝置700之一或多個應用程式或功能輸入或命令。此外，替代或除了顯示器輸出外，亦可提供聲響輸出。另一範例中，若顯示器子系統包括一觸控螢幕，則該顯示器裝置亦可作為一輸入裝置，其可至少部分由I/O控制器740管理。裝置700上亦可有額外按鈕或開關來提供由I/O控制器740管理之I/O功能。

[0070] 於一實施例中，I/O控制器740管理諸如加速器、攝影機、光感測器或其他的環境感測器、迴轉儀、全球定位系統(GPS)的裝置、或可包括於裝置700中之其他硬體。該輸入可為直接使用者互動的一部分、以及將環境上輸入

提供至該系統來影響其操作(諸如過濾雜訊、針對亮度檢測來調整顯示器、針對攝影機應用閃光、或其他特徵)。於一實施例中，裝置700包括電力管理750，其管理電池電力使用率、電池的充電、以及有關省電操作之特徵。

[0071]記憶體子系統760包括用於將資訊儲存於裝置700中之記憶體裝置762。記憶體子系統760可包括非依電性(若該記憶體裝置之電力中斷則狀態不改變)及/或依電性(若該記憶體裝置之電力中斷則狀態不確定)記憶體裝置。記憶體760可儲存應用程式資料、使用者資料、音樂、相片、文件、或其他資料、以及有關係統700之應用程式與功能執行的系統資料(長期或暫時)。於一實施例中，記憶體子系統760包括記憶體控制器764(其亦可視為系統700之控制的一部分，且可潛在地視為處理器710之一部分)。記憶體控制器764包括一排程器來產生與發出命令至記憶體裝置762。

[0072]連接770包括硬體裝置(例如，無線及/或有線連接器與通訊硬體)與軟體構件(例如，驅動程式、協定堆疊)來使裝置700能夠與外部裝置通訊。該裝置可為分開裝置，諸如其他計算裝置、無線存取點或基地站、以及諸如耳機、印表機、或其他裝置之周邊裝置。

[0073]連接770可包括多個不同類型的連接。概括來說，裝置700以蜂巢式連接772與無線連接774來繪示。蜂巢式連接772一般參照為由無線載波提供之蜂巢式網路連接，諸如經由GSM(全球行動通信系統)或變化型態或衍生元件、CDMA(碼分多重存取)或變化型態或衍生元件、TDM(時分

多工)或變化型態或衍生元件、LTE(長期演進技術-亦參照為“4G”)、或其他蜂巢式服務標準來提供。無線連接774參照為非蜂巢式的無線連接，且可包括個人區域網路(諸如藍芽)、區域網路(諸如WiFi)、及/或廣域網路(諸如WiMax)、或其他無線通訊。無線通訊參照為透過使用透過一非固態媒體之調變電磁輻射的資料轉移。有線通訊透過一固態通訊媒體來出現。

[0074] 周邊連接780包括硬體介面與連接器、以及軟體構件(例如，驅動程式、協定堆疊)來完成周邊連接。應了解裝置700可為至其它計算裝置之一周邊裝置(“至”782)、以及具有與其連接之周邊裝置(“來自”784)。裝置700共同具有一“對接”連接器來連接至其他計算裝置，以便諸如管理(例如，下載及/或上載、改變、同步)裝置700的內容。此外，一對接連接器可允許裝置700連接至允許裝置700來控制內容輸出，例如，至影音或其他系統之某些周邊裝置。

[0075] 除了一專屬對接連接器或其他專屬連接硬體外，裝置700可經由共同或標準式連接器來完成周邊連接780。共同類型可包括一通用串列匯流排(USB)連接器(其可包括若干不同的硬體介面之任一個)、包括迷你顯示埠(MDP)之顯示埠、高畫質多媒體介面(HDMI)、火線、或其他類型。

[0076] 於一實施例中，系統700包括相位控制790。相位控制790可包括在一I/O相位補償電路中來以一時鐘信號鎖定I/O，諸如於記憶體子系統760中。於一實施例中，相位控制680提供I/O相位補償可變、可規劃的延遲。於一實施

例中，該可規劃的斜率可藉由區分一粗略鎖定碼以及以較精細的相位調整來追蹤與鎖定以提供。於一實施例中，該相位控制包括具有線性碼控制之一狀態機器以控制該相位補償之操作。

[0077]於一觀點中，一種用於相位補償之方法，其包括：產生一線性碼來施加相位補償以將一I/O(輸入/輸出)信號之相位鎖定至一計時信號之一相位；以一可變、可規劃之斜率選擇性地調整該線性碼，其中該斜率定義該線性碼中之每單元改變施加多少相位補償；以及將該經調整的線性碼施加至一鎖定迴路，以將該I/O信號之相位鎖定至該計時信號之相位。

[0078]於一實施例中，產生該線性碼包含由一線性數位計數器產生該編碼。於一實施例中，以該可變、可規劃之斜率選擇性地調整該線性碼，更進一步包含：基於一初始條件由一預設值調整該線性碼。於一實施例中，以該可變、可規劃之斜率選擇性地調整該線性碼，更進一步包含：初始施加一粗略碼作相位調整；以及由該粗略碼改變斜率來將該粗略碼調整細分為較精細調整。於一實施例中，以該可變、可規劃之斜率選擇性地調整該線性碼，更進一步包含：初始施加一粗略碼作相位調整；以及藉由將該粗略碼位元移位來改變該粗略碼之斜率。於一實施例中，該鎖定迴路包含一數位延遲鎖定迴路(DLL)。於一實施例中，該DLL包含一記憶體裝置之一資料I/O介面的一DLL。於一實施例中，該鎖定迴路包含一相位鎖定迴路(PLL)。

[0079]於一觀點中，一種I/O(輸入/輸出)控制電路，包含：一用以接收一I/O信號之I/O信號線；一狀態機器，其產生一線性碼來施加相位補償以將該I/O信號之相位鎖定至一計時信號之一相位，以一可變、可規劃之斜率選擇性地調整該線性碼，其中該斜率定義該線性碼中之每單元改變施加多少相位補償、以及將該經調整的線性碼施加至一鎖定迴路，以將該I/O信號之相位鎖定至該計時信號之相位。

[0080]於一實施例中，該狀態機器包括一線性數位計數器以產生該編碼。於一實施例中，該狀態機器更進一步：接收一初始條件輸入以識別該相位補償之一預設值起點；以及基於該初始條件來調整該線性碼。於一實施例中，該狀態機器更進一步：初始施加一粗略碼作相位調整；以及由該粗略碼改變斜率來將該粗略碼調整細分為較精細調整。於一實施例中，該狀態機器更進一步用來初始施加一粗略碼作相位調整、且更進一步包含一位元移位器來將該粗略碼位元移位以改變該斜率。於一實施例中，該鎖定迴路包含一數位延遲鎖定迴路(DLL)。於一實施例中，該DLL包含一記憶體裝置之一資料I/O介面的一DLL。於一實施例中，該鎖定迴路包含一相位鎖定迴路(PLL)。

[0081]於一觀點中，一記憶體裝置包括：I/O(輸入/輸出)硬體，其組配來與I/O信號線介接以與一相關聯記憶體控制器耦合時交換資料；以及一I/O(輸入/輸出)控制電路，其用來產生一線性碼來施加相位補償以將送至該記憶體控制器之一I/O信號的相位鎖定至一計時信號之一相位，以一可變、

可規劃之斜率選擇性地調整該線性碼，其中該斜率定義該線性碼中之每單元改變施加多少相位補償、以及將該調整的線性碼施加至一鎖定迴路，以將該I/O信號之相位鎖定至該計時信號之相位。

[0082]於一實施例中，該狀態機器包括一線性數位計數器來產生該編碼。於一實施例中，該I/O控制電路更用來執行下列步驟：接收一初始條件輸入以識別該相位補償之一預設值起點；以及基於該初始條件來調整該線性碼。於一實施例中，該I/O控制電路更進一步：初始施加一粗略碼作相位調整；以及由該粗略碼改變斜率來將該粗略碼調整細分為較精細調整。於一實施例中，該I/O控制電路更用來初始施加一粗略碼作相位調整，而其中該I/O控制電路更包含一位元移位器來將該粗略碼位元移位以改變該斜率。於一實施例中，該鎖定迴路包含一數位延遲鎖定迴路(DLL)。

[0083]於一觀點中，一種具有包含I/O(輸入/輸出)相位補償之一記憶體子系統的系統，包括：一針對一記憶體控制器與一記憶體裝置間之一資料介面的I/O(輸入/輸出)控制電路，其包括：一用以接收一I/O信號之I/O信號線；一狀態機器，其產生一線性碼來施加相位補償以將一輸入時鐘信號之相位鎖定至一資料信號，以一可變、可規劃之斜率選擇性地調整該線性碼，其中該斜率定義該線性碼中之每單元改變施加多少相位補償、以及將該經調整的線性碼施加至一鎖定迴路，以將該I/O信號之相位鎖定至該計時信號之相位；以及一觸控螢幕顯示器，其被耦合以基於從該記

憶體裝置存取之資料來產生一顯示。根據上文所述之該I/O控制電路或該記憶體裝置的任何實施例，該系統可包括一I/O控制電路。

[0084]於一觀點中，一種製造物品包含儲存有內容之一電腦可讀儲存媒體，該內容受存取時可使一機器來執行相位補償之操作，其包括：產生一線性碼來施加相位補償以將一I/O(輸入/輸出)信號之相位鎖定至一計時信號之一相位；以一可變、可規劃之斜率選擇性地調整該線性碼，其中該斜率定義該線性碼中之每單元改變施加多少相位補償；以及將該調整的線性碼施加至一鎖定迴路，以將該I/O信號之相位鎖定至該計時信號之相位。該製造物品可使一機器來執行操作以執行根據上文所述之方法的任何實施例之一方法。

[0085]於一觀點中，一種用於相位補償之裝置包括：用以產生一線性碼來施加相位補償以將一I/O(輸入/輸出)信號之相位鎖定至一計時信號之一相位的裝置；用以以一可變、可規劃之斜率選擇性地調整該線性碼之裝置，其中該斜率定義該線性碼中之每單元改變施加多少相位補償；以及用來將該調整的線性碼施加至一鎖定迴路，以將該I/O信號之相位鎖定至該計時信號之相位的裝置。該裝置可包括用以執行操作來執行根據上文所述之方法的任何實施例之一方法的裝置。

[0086]於一觀點中，一種用於相位補償之方法包括下列步驟：將粗略相位調整施加至一I/O(輸入/輸出)同步信號，

直到該同步信號之一相位超過一參考相位為止；以及超過該參考相位後將精細相位調整施加至該I/O同步信號，其中該精細相位調整為一粗略相位調整之分支，其中一精細相位調整之每一相位偏移小於一粗略相位調整之一相位偏移；其中該精細相位調整之相位偏移之一大小為可規劃地調整。

[0087]於一實施例中，施加該粗略相位調整更包含產生一線性碼來施加相位補償，以將一I/O(輸入/輸出)信號之相位鎖定至一計時信號之一相位。於一實施例中，施加該粗略相位調整更包含從一線性數位計數器來產生一線性碼。於一實施例中，該相位偏移之大小定義該線性碼中之每單元改變施加多少相位補償。於一實施例中，施加該精細相位調整包含選擇性調整具有可變、可規劃相位偏移之粗略調整。於一實施例中，選擇性調整具有可變、可規劃相位偏移之該粗略調整更包含：基於一初始條件來從一預設值調整該相位偏移。於一實施例中，施加該精細相位調整更包含藉由將針對該粗略相位調整來控制該相位偏移的一編碼作位元移位來改變該相位偏移之大小。於一實施例中，施加該粗略相位調整與該精細相位調整包含於一數位延遲鎖定迴路(DLL)中提供相位控制。於一實施例中，該DLL包含一記憶體裝置之一資料I/O介面的一DLL。於一實施例中，施加該粗略相位調整與該精細相位調整包含於一相位鎖定迴路(PLL)中提供相位控制。

[0088]於一觀點中，一種製造物品包含儲存有內容之一

電腦可讀儲存媒體，該內容受存取時可使一機器來執行操作以執行根據該直接先前方法之任何實施例的一相位補償方法。於一觀點中，一種用以相位補償之裝置包括用以執行操作來執行根據該直接先前方法之任何實施例的一相位補償方法之裝置。

[0089] 本文繪示之流程圖提供各種不同程序動作之序列的範例。該等流程圖可指出由一軟體或韌體常式執行的操作、以及實體操作。於一實施例中，一流程圖可繪示可以硬體及/或軟體來執行之一有限狀態機器(FSM)的狀態。雖然圖中以一特定序列或順序來顯示，但除非於其他地方指定，否則該等動作之順序可加以修改。因此，該等繪示實施例應僅理解為一範例，而該程序可以一不同順序來執行，而某些動作可同時執行。此外，各種不同實施例中，一或多個動作可加以省略；因此，每一實施例中不需具有所有動作。亦可有其他程序流程圖。

[0090] 本文說明各種不同操作或功能之範圍中，其可說明或定義為軟體碼、指令、組態、及/或資料。該內容可為直接執行(“物件”或“可執行”格式)的來源碼、或差異碼(“差量”或“修補”碼)。本文所述之實施例的軟體內容可經由儲存有內容之一製造物品、或經由操作一通信介面來經由該通信介面發送資料之一方法來提供。一機器可讀儲存媒體可使一機器來執行所述之功能或操作，並包括以一機器(例如，計算裝置、電子系統、等等)可存取之一格式來儲存資訊的任何機構，諸如可記錄/不可紀錄媒體(例如，唯

讀記憶體(ROM)、隨機存取記憶體(RAM)、磁碟儲存媒體、光學儲存媒體、快取記憶體裝置、等等)。一通信介面包括介接至一硬線、無線、光學、等等媒體之任一個來傳遞至另一裝置的任何機構，諸如一記憶體匯流排介面、一處理器匯流排介面、一網際網路連接、一磁碟控制器、等等。該通信介面可藉由提供組態參數及/或送出信號來組配以準備該通信介面來提供說明該軟體內容之一資料信號。該通信介面可經由送至該通信介面之一或多個命令或信號來加以存取。

[0091]本文所述之各種不同構件可為用以執行所述之操作或功能的裝置。本文所述之每一構件包括軟體、硬體、或其一組合。該等構件可作為軟體模組、硬體模組、專用硬體(例如，特殊應用硬體、特殊應用積體電路(ASIC)、數位信號處理器(DSP)、等等)、嵌式控制器、硬體電路來予以執行。

[0092]除了本文說明的之外，本發明之該等揭示實施例與實施態樣在不違背其範疇的情況下可有各種不同修改。於是，本文之舉例說明與範例應以一舉例解說、而非一限制觀點來加以視之。本發明之範疇應僅參照下列請求項來估量。

【符號說明】

100、400、600...系統	122...時鐘介面
110...記憶體控制器	124...資料介面
120、140...I/O	130...記憶體

- 132...暫存器
- 134...記憶體陣列
- 142...介面時鐘
- 144...資料
- 146...相位控制
- 148...斜率控制
- 200...電路
- 212...接收緩衝器
- 214...可變延遲
- 216、218...發送緩衝器
- 220...相位檢測器
- 230...虛擬路由
- 240...狀態機器
- 242...儲存碼
- 252、254...碼移位方塊
- 300...圖形
- 302...延遲軸
- 304...碼軸
- 312...初始條件
- 314...粗略鎖定
- 316...達到的最大量
- 332、334、336、338...斜率
- 340 鎖定與追蹤
- 410...襯墊
- 420...相位調整
- 430...計數器
- 440...互斥或電路
- 450...線性解碼器
- 500...程序
- 502、504、506、508、510、512、514、
516、518、520、522、524...方塊
- 610...匯流排/匯流排系統
- 620、710...處理器
- 630、760...記憶體子系統
- 632、762...記憶體裝置
- 634、764...記憶體控制器
- 636...作業系統
- 638...指令
- 640...輸入/輸出介面
- 650...網路介面
- 660...大量儲存裝置
- 662...碼或指令與資料
- 670...周邊介面
- 680、790...相位控制
- 700...裝置
- 720...聲響子系統
- 730...顯示器子系統
- 732...顯示器介面

740...輸入/輸出控制器

770...連接

772...蜂巢式連接

774...無線連接

780...周邊連接

782...至

784...來自

T0、T1...時間

D1、D2...延遲

申請專利範圍

雙面影印

1. 一種 I/O(輸入/輸出)控制電路，其包含：
 - 一用以接收一輸入信號之 I/O 信號線；以及
 - 一相位控制電路，其用以準直該輸入信號與一內部參考信號之一相位，其中該相位控制電路係用來基於一可規劃線性解碼器以一可變斜率調整該輸入信號之一相位，該線性解碼器用來施加一粗略碼以產生對於該輸入信號之該相位的粗略延遲調整，然後用來施加一精細碼以產生對於該輸入信號之該相位的精細延遲調整，其中該精細碼提供該粗略碼之一細分(subdivision)，其中每一個精細延遲調整係用以調整該輸入信號之該相位達一較小於粗略延遲調整的量，其中該精細相位調整係可規劃地作調整。
2. 如請求項 1 之 I/O 控制電路，其中該相位控制電路係用以：
 - 接收一初始條件輸入以識別用於相位調整之一預設值起點；以及
 - 基於該初始條件來調整該可變斜率。
3. 如請求項 1 之 I/O 控制電路，其中該相位控制電路係用以設定該粗略碼並施加該精細碼至該經設定的粗略碼以將該粗略延遲調整細分為較精細調整。
4. 如請求項 3 之 I/O 控制電路，其中該相位控制電路係首先用來以粗略延遲調整將該輸入信號之該相位移位，且接

著基於該精細碼作為被施加至該粗略碼的最低有效位元 (LSB) 以該精細延遲調整將該輸入信號之該相位移位。

5. 如請求項1之I/O控制電路，其中該相位控制電路包含一按位元XOR(互斥或)電路用來將一數位計數器的M個最低有效位元(LSB)與數位計數器位元M作按位元XOR運算以產生一精細碼值，其持續增加至它的最大值，然後減少至零，並且重複進行。
6. 如請求項1之I/O控制電路，其中該相位控制電路係用來位元移位該線性解碼器之該粗略碼以調整該輸入信號之該相位直到該輸入信號的一邊緣跨過該內部參考信號的一邊緣。
7. 如請求項1之I/O控制電路，其中該相位控制電路包含一數位延遲鎖定迴路(DLL)。
8. 如請求項7之I/O控制電路，其中該DLL包含用於一記憶體裝置之一資料I/O介面的DLL。
9. 一種記憶體裝置，其包含：
 - 一記憶體陣列；
 - 一I/O(輸入/輸出)信號線介面，其用以接收一輸入信號供存取至該記憶體陣列；以及
 - 一相位控制電路，其耦接至該I/O信號線介面用以準直該輸入信號與一內部參考信號之一相位，其中該相位控制電路係用來基於一可規劃線性解碼器以一可變斜率調整該輸入信號之一相位，該線性解碼器用來施加一粗略碼以產生對於該輸入信號之該相位的粗略延遲

調整，然後用來施加一精細碼以產生對於該輸入信號之該相位的精細延遲調整，其中該精細碼提供該粗略碼之一細分，其中每一個精細延遲調整係用以調整該輸入信號之該相位達一較小於粗略延遲調整的量，其中該精細相位調整係可規劃地作調整。

10. 如請求項9之記憶體裝置，其中該相位控制電路係用以：
接收一初始條件輸入以識別用於相位調整之一預設值起點；以及
基於該初始條件來調整該可變斜率。
11. 如請求項9之記憶體裝置，其中該相位控制電路係用以設定該粗略碼並施加該精細碼至該經設定的粗略碼以將該粗略延遲調整細分為較精細調整。
12. 如請求項11之記憶體裝置，其中該相位控制電路係首先用來以粗略延遲調整將該輸入信號之該相位移位，且接著基於該精細碼作為被施加至該粗略碼的最低有效位元(LSB)以該精細延遲調整將該輸入信號之該相位移位。
13. 如請求項9之記憶體裝置，其中該相位控制電路包含一按位元XOR(互斥或)電路用來將一數位計數器的M個最低有效位元(LSB)與數位計數器位元M作按位元XOR運算以產生一精細碼值，其持續增加至它的最大值，然後減少至零，並且重複進行。
14. 如請求項9之記憶體裝置，其中該相位控制電路係用來位元移位該線性解碼器之該粗略碼以調整該輸入信號之該相位直到該輸入信號的一邊緣跨過該內部參考信

號的一邊緣。

15. 如請求項9之記憶體裝置，其中該相位控制電路包含一數位延遲鎖定迴路(DLL)。

16. 一種用於相位補償之方法，其包含：

施加一粗略碼至一線性解碼器以對一I/O(輸入/輸出)輸入信號之一相位產生粗略延遲調整直到該輸入信號的一邊緣跨過一參考信號的一邊緣；以及

施加一精細碼至該線性解碼器以在該輸入信號的該邊緣跨過該參考信號的該邊緣之後對該I/O輸入信號產生精細延遲調整，其中該精細碼提供該粗略碼之一細分，其中每一個精細延遲調整係較小於粗略延遲調整；

其中該精細延遲調整係可規劃地作調整。

17. 如請求項16之方法，其中施加該粗略碼進一步包含由一線性數位計數器產生一線性碼。

18. 如請求項17之方法，其中該粗略碼和該精細碼提供不同大小的相位偏移，其定義在該線性碼中之每單元改變被施加多少的相位補償。

19. 如請求項16之方法，其中施加該精細碼包含以可變、可規劃之相位偏移來選擇性地調整該粗略延遲調整。

20. 如請求項19之方法，其中以可變、可規劃之相位偏移來選擇性地調整該粗略延遲調整進一步包含：

基於一初始條件由一預設值來調整該相位偏移。

21. 如請求項19之方法，其中施加該精細碼進一步包含藉由針對該粗略延遲調整來控制該相位偏移的一編碼作位

元移位來改變該相位偏移之大小。

22. 如請求項16之方法，其中施加該粗略碼和該精細碼包含提供在一數位延遲鎖定迴路(DLL)中之相位控制。
23. 如請求項22之方法，其中該DLL包含用於一記憶體裝置之一資料I/O介面的DLL。
24. 如請求項16之方法，其中施加該粗略碼和該精細碼包含提供在一相位鎖定迴路(PLL)中之相位控制。

圖式

1/5

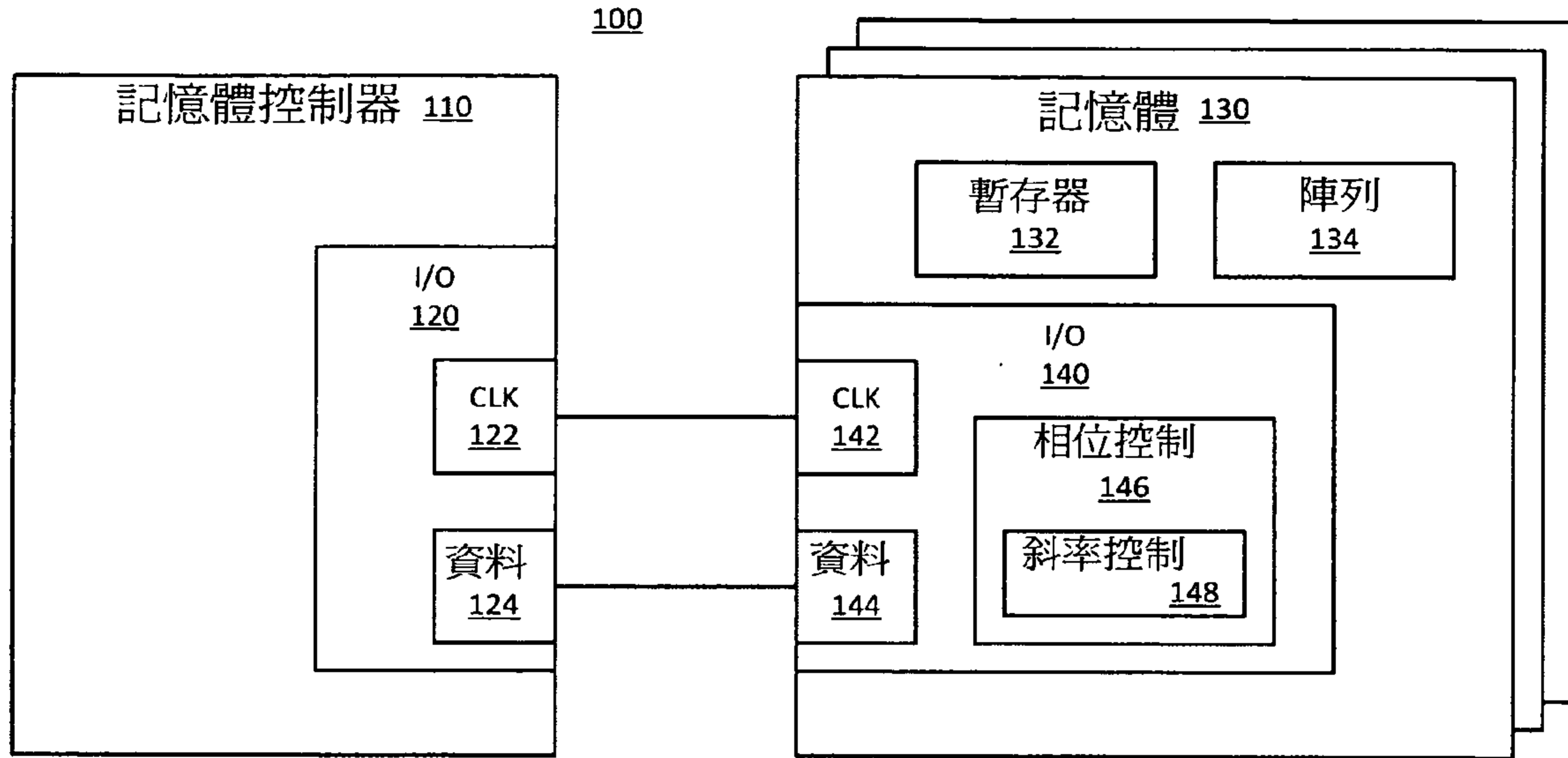


圖1

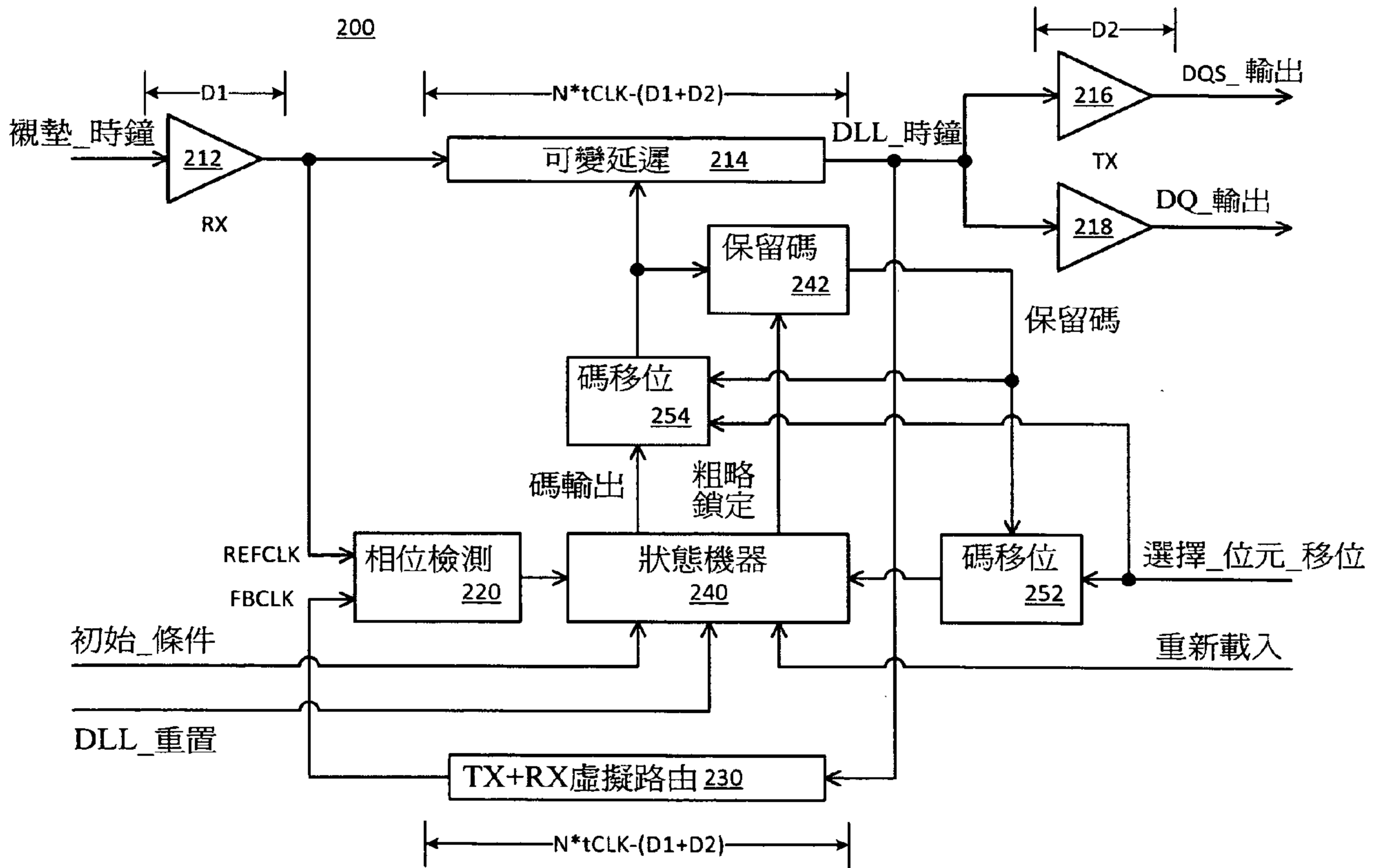


圖2

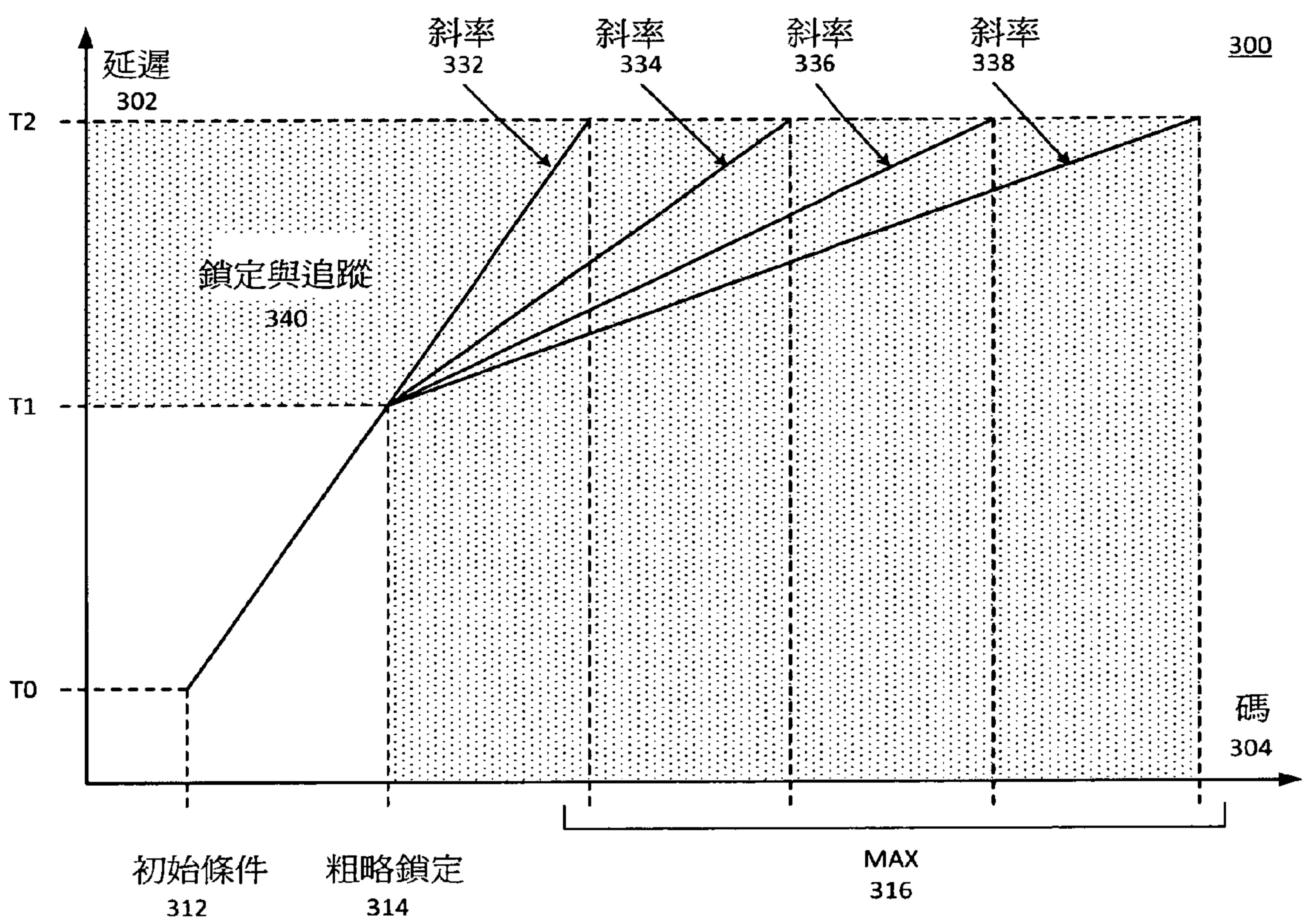


圖3

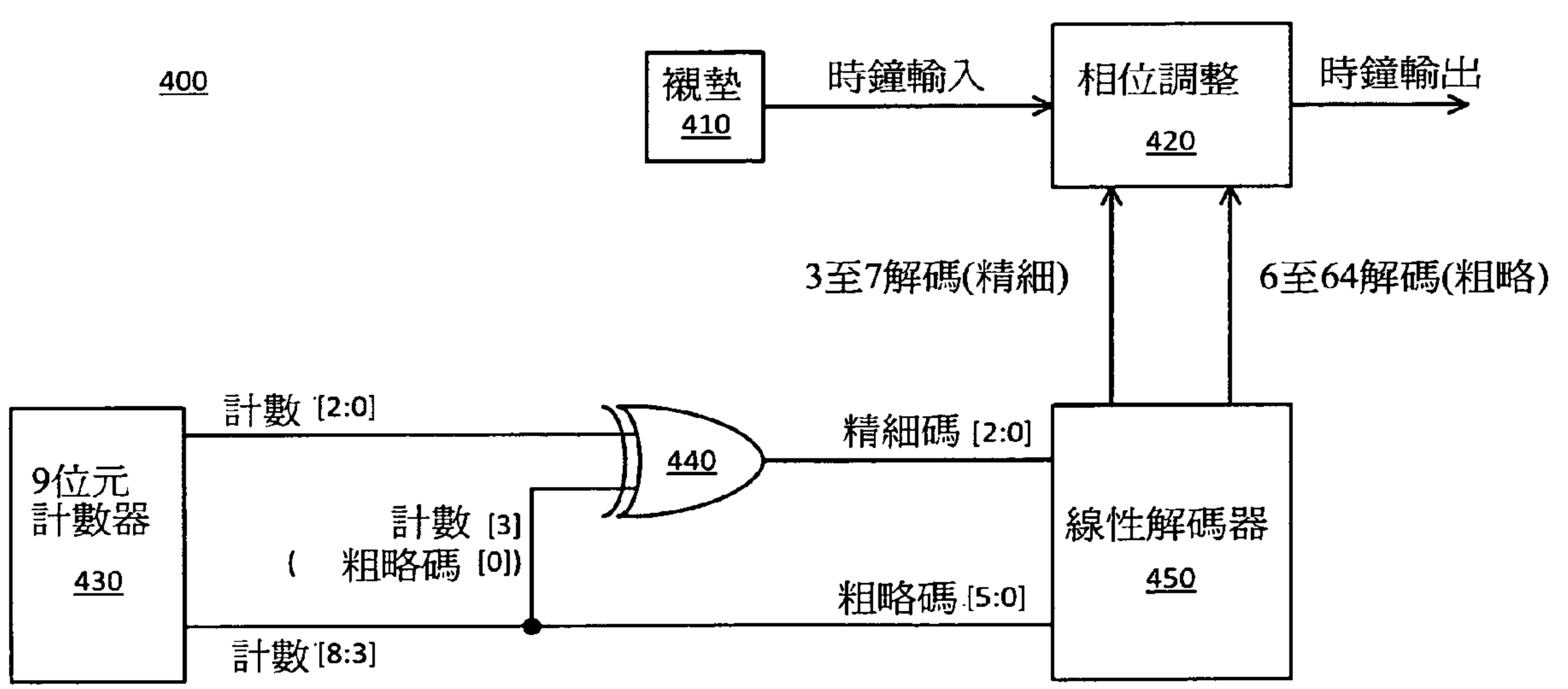


圖4

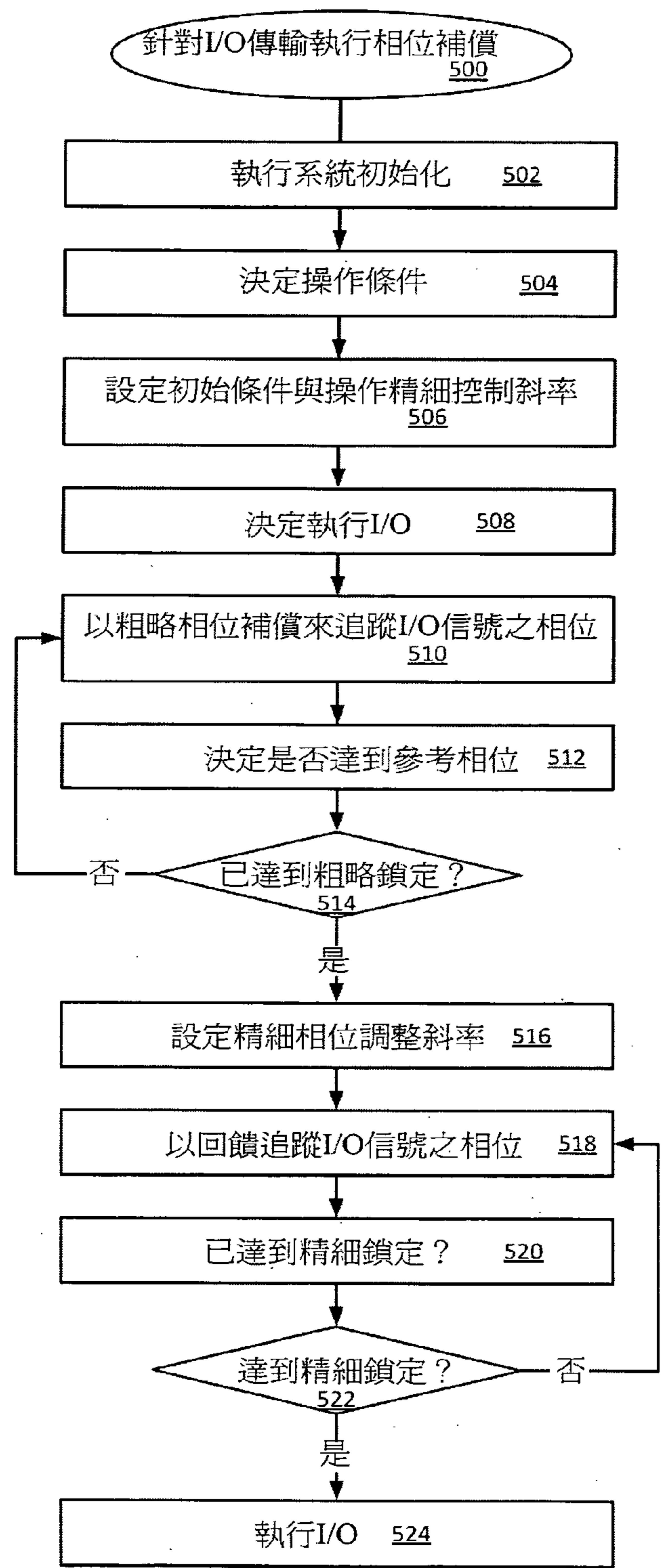


圖5

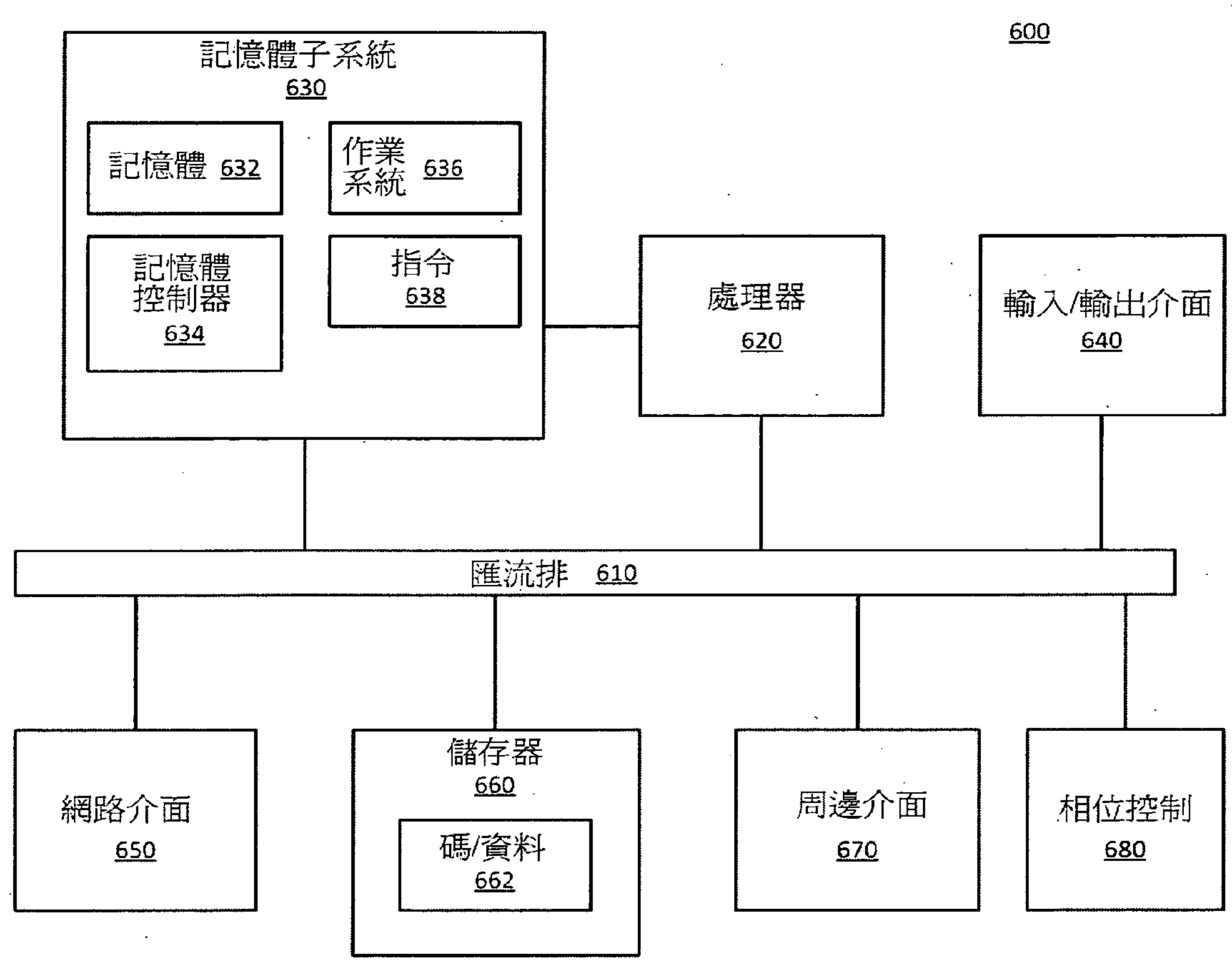


圖6

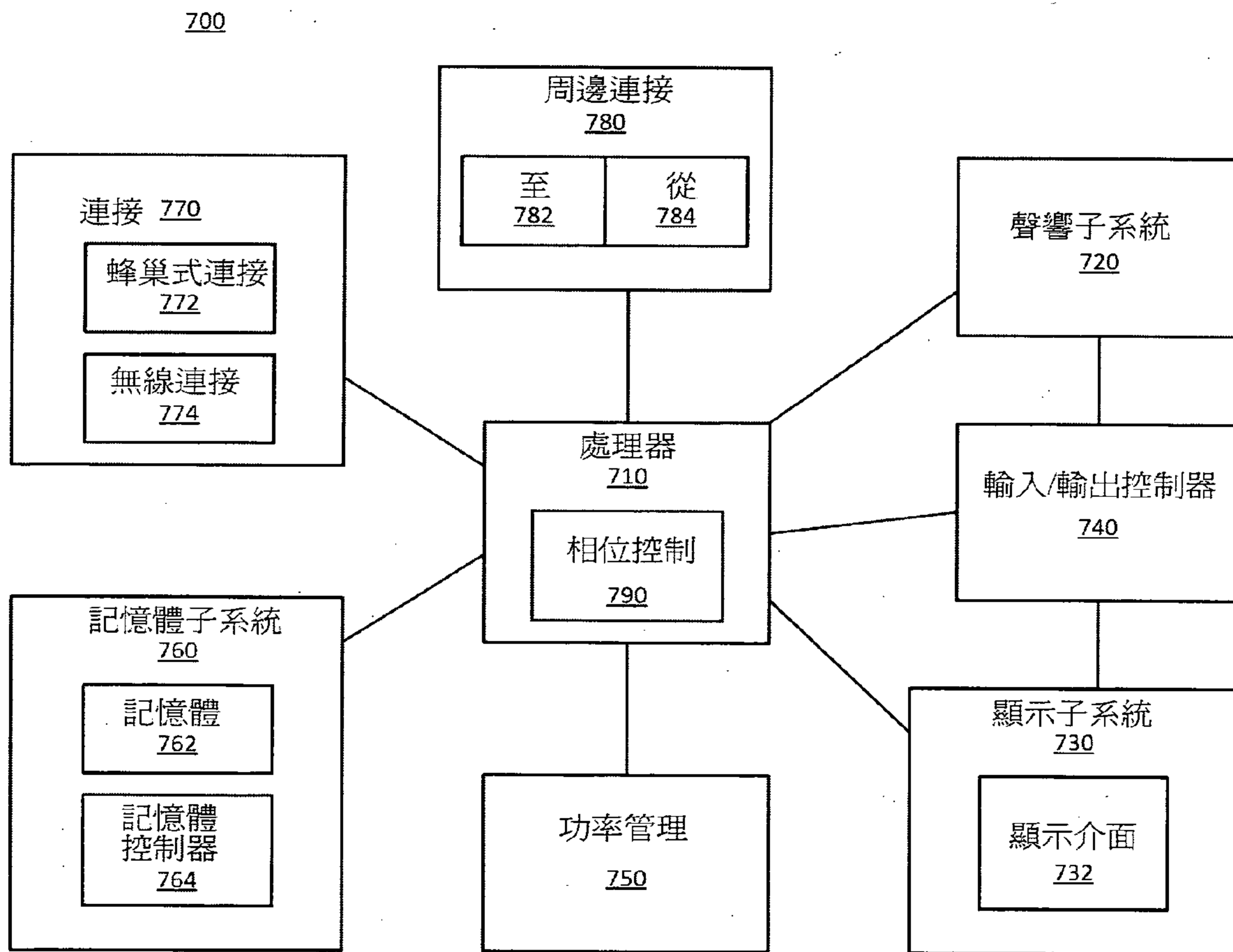


圖7