

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-247593
(P2004-247593A)

(43) 公開日 平成16年9月2日(2004.9.2)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/78	HO 1 L 29/78	6 5 5 B
HO 1 L 21/336	HO 1 L 29/78	6 5 2 L
	HO 1 L 29/78	6 5 3 A
	HO 1 L 29/78	6 5 8 A

審査請求 未請求 請求項の数 12 O L (全 17 頁)

(21) 出願番号	特願2003-37004 (P2003-37004)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成15年2月14日 (2003.2.14)	(74) 代理人	100075812 弁理士 吉武 賢次
		(74) 代理人	100088889 弁理士 橘谷 英俊
		(74) 代理人	100082991 弁理士 佐藤 泰和
		(74) 代理人	100096921 弁理士 吉元 弘
		(74) 代理人	100103263 弁理士 川崎 康

最終頁に続く

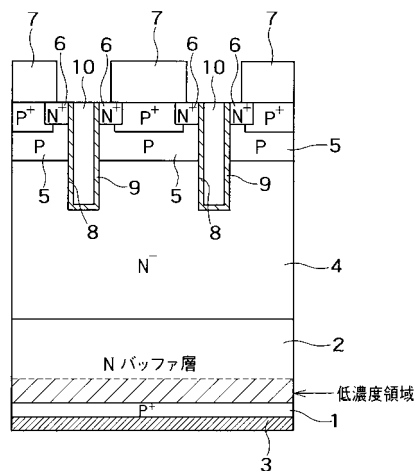
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 アノードショート状態の発生を阻止した、オン電圧特性及びスイッチング特性に優れた半導体装置及びその製造方法を提供する。

【解決手段】 第2導電型ドレイン層と、前記第2導電型ドレイン層上に形成された第1導電型バッファ層と、前記第1導電型バッファ層上に形成された第1導電型高抵抗層と、前記第1導電型高抵抗層の表面に形成された第2導電型ベース層と、前記第2導電型ベース層の表面に形成された第1導電型ソース層と、前記第1導電型ソース層の表面から前記第1導電型高抵抗層に達するトレンチの内壁に形成された絶縁膜と、前記トレンチの内部に形成されたゲート電極と、前記第2導電型ベース層及び前記第1導電型ソース層の表面に形成されたソース電極と、前記第2導電型ドレイン層の表面に形成されたドレイン電極と、を備え、前記第1導電型バッファ層の不純物濃度を、前記第2導電型ドレイン層側における表面近傍において相対的に低濃度とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 2 導電型ドレイン層と、
前記第 2 導電型ドレイン層上に形成された第 1 導電型バッファ層と、
前記第 1 導電型バッファ層上に形成され、前記第 1 導電型バッファ層よりも不純物濃度の低い第 1 導電型高抵抗層と、
前記第 1 導電型高抵抗層の表面領域に形成された第 2 導電型ベース層と、
前記第 2 導電型ベース層の表面領域に形成された第 1 導電型ソース層と、
前記第 1 導電型ソース層の表面から前記第 2 導電型ベース層を貫通して前記第 1 導電型高抵抗層に達するトレンチの底面及び周壁に形成された絶縁膜と、
前記トレンチの内部に前記絶縁膜を介して形成されたゲート電極と、
前記第 2 導電型ベース層及び前記第 1 導電型ソース層の表面に形成されたソース電極と、
前記第 2 導電型ドレイン層の表面に形成されたドレイン電極と、を備え、
前記第 1 導電型バッファ層の不純物濃度は、前記第 2 導電型ドレイン層側における表面近傍において相対的に低濃度であることを特徴とする半導体装置。

10

【請求項 2】

第 2 導電型ドレイン層と、
前記第 2 導電型ドレイン層上に形成された第 1 導電型バッファ層と、
前記第 1 導電型バッファ層上に形成され、前記第 1 導電型バッファ層よりも不純物濃度の低い第 1 導電型高抵抗層と、
前記第 1 導電型高抵抗層の表面領域に形成された第 2 導電型ベース層と、
前記第 2 導電型ベース層の表面領域に形成された第 1 導電型ソース層と、
前記第 1 導電型ソース層、前記第 2 導電型ベース層、前記第 1 導電型高抵抗層の表面に形成された絶縁膜と、
前記絶縁膜の表面に形成されたゲート電極と、
前記第 2 導電型ベース層及び前記第 1 導電型ソース層の表面に形成されたソース電極と、
前記第 2 導電型ドレイン層の表面に形成されたドレイン電極と、を備え、
前記第 1 導電型バッファ層の不純物濃度は、前記第 2 導電型ドレイン層側における表面近傍において相対的に低濃度であることを特徴とする半導体装置。

20

【請求項 3】

前記第 1 導電型バッファ層の前記第 2 導電型ドレイン層側における表面近傍の不純物濃度は、前記ドレイン電極が前記第 1 導電型バッファ層を貫通して前記第 2 導電型ドレイン層に接触した状態のときにオーミック接触を形成しない程度に低いことを特徴とする請求項 1 又は 2 に記載の半導体装置。

30

【請求項 4】

前記第 1 導電型バッファ層は n 型バッファ層であり、前記ドレイン電極はアルミニウムを主体とする金属により構成されており、
前記第 1 導電型バッファ層の表面近傍の不純物濃度は、 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以下であることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【請求項 5】

前記第 1 導電型バッファ層は n 型バッファ層であり、前記ドレイン電極はアルミニウムを主体とする金属により構成されており、
前記第 1 導電型バッファ層の表面近傍の不純物濃度は、 $5.0 \times 10^{18} \text{ cm}^{-3}$ 以下であることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

40

【請求項 6】

前記第 1 導電型バッファ層は n 型バッファ層であり、前記ドレイン電極は、クロム、銀及び金の少なくともいずれかを主体とする金属により構成されており、
前記第 1 導電型バッファ層の表面近傍の不純物濃度は、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以下であることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【請求項 7】

50

前記第1導電型バッファ層はn型バッファ層であり、前記ドレイン電極は、クロム、銀及び金の少なくともいずれかを主体とする金属により構成されており、
前記第1導電型バッファ層の表面近傍の不純物濃度は、 $7.0 \times 10^{17} \text{ cm}^{-3}$ 以下であることを特徴とする請求項1乃至3のいずれかに記載の半導体装置。

【請求項8】

前記第1導電型バッファ層はp型バッファ層であり、前記ドレイン電極は、クロム、銀及び金の少なくともいずれかを主体とする金属により構成されており、
前記第1導電型バッファ層の表面近傍の不純物濃度は、 $9.0 \times 10^{16} \text{ cm}^{-3}$ 以下であることを特徴とする請求項1乃至3のいずれかに記載の半導体装置。

【請求項9】

前記第1導電型バッファ層はp型バッファ層であり、前記ドレイン電極は、クロム、銀及び金の少なくともいずれかを主体とする金属により構成されており、
前記第1導電型バッファ層の表面近傍の不純物濃度は、 $1.5 \times 10^{16} \text{ cm}^{-3}$ 以下であることを特徴とする請求項1乃至3のいずれかに記載の半導体装置。

【請求項10】

前記第1導電型バッファ層の低不純物濃度領域は、前記第1導電型バッファ層の前記第2導電型ドレイン層側における表面から $1.0 \mu\text{m}$ 以下の領域であることを特徴とする請求項1乃至8のいずれかに記載の半導体装置。

【請求項11】

第1導電型基板の表面領域に第2導電型ベース層を形成し、
前記第2導電型ベース層の表面領域に第1導電型ソース層を形成し、
前記第1導電型ソース層の表面から前記第1導電型基板に達するトレンチを形成した後、前記トレンチの内壁に絶縁膜を形成し、
前記トレンチの内部にゲート電極を形成し、
前記第2導電型ベース層及び前記第1導電型ソース層の表面にソース電極を形成し、
前記第1導電型基板の裏面から第1導電型不純物を 1 MeV 以上の加速エネルギーで打ち込んで、前記第1導電型基板の裏側方向における表面近傍の不純物濃度が相対的に低濃度の第1導電型バッファ層を形成し、
前記第1導電型バッファ層に第2導電型不純物を打ち込んで第2導電型ドレイン層を形成し、
前記第2導電型ドレイン層の表面にドレイン電極を形成する、
ことを特徴とする半導体装置の製造方法。

【請求項12】

第1導電型基板上に、前記第1導電型基板の不純物濃度よりも不純物濃度の低い第1導電型高抵抗層をエピタキシャル成長させ、
前記第1導電型高抵抗層の表面領域に第2導電型ベース層を形成し、
前記第2導電型ベース層の表面領域に第1導電型ソース層を形成し、
前記第1導電型ソース層の表面から前記第1導電型基板に達するトレンチを形成した後、前記トレンチの内壁に絶縁膜を形成し、
前記トレンチの内部にゲート電極を形成し、
前記第2導電型ベース層及び前記第1導電型ソース層の表面にソース電極を形成し、
前記第1導電型基板の裏面から第2導電型不純物を打ち込んで第2導電型ドレイン層を形成するとともに、前記第1導電型基板の前記第2導電型ドレイン層側における表面近傍の不純物濃度を相対的に下げ、
前記第2導電型ドレイン層の表面にドレイン電極を形成する、
ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、例えば、絶縁ゲートバイポーラトランジ

10

20

30

40

50

スタ (I G B T : I n s u l a t i n g G a t e B i - p o l a r T r a n s i s t o r) 及びその製造方法に関する。

【 0 0 0 2 】

【 従 来 の 技 術 】

近年、絶縁ゲートバイポーラトランジスタ (I G B T : I n s u l a t i n g G a t e B i - p o l a r T r a n s i s t o r) に関する技術は著しく進歩し、過去十数年の間に、例えば I G B T のオン電圧の低減化やスイッチング速度の高速化は著しく進んだ。これによって、現在では、例えば耐圧が 6 0 0 V 系の I G B T において、電流のフォールタイムが 1 0 0 n s 、電流密度が 1 5 0 A / c m ² 、オン電圧が 1 . 8 V 以下の製品が開発されており、さらなるオン電圧の低減化及びスイッチング速度の高速化が要求されている。一方で、スイッチング速度の高速化に伴って、スイッチングの際に生じる誘起ノイズの低減も求められている。

【 0 0 0 3 】

図 9 は、従来の縦型 I G B T を示す縦断面図である。ここに示された I G B T は、p⁺型基板 (ドレイン層) 3 1 と n⁻型高抵抗層 3 3 との間に n 型バッファ層 3 2 を形成したパンチスルー構造を有する。

【 0 0 0 4 】

この I G B T の構造について詳細に説明する。

p⁺型基板 (ドレイン層) 3 1 上に、n 型バッファ層 3 2 及び n⁻型高抵抗層 3 3 が順次エピタキシャル成長法により形成されている。この n 型バッファ層 3 2 は、p⁺型基板 (ドレイン層) 3 1 から n⁻型高抵抗層 3 3 へのキャリアの注入効率を下げ、スイッチング素子の高速化を図るためのものである。この n⁻型高抵抗層 3 3 の表面には p 型ベース層 3 4 が形成されている。この p 型ベース層 3 4 の表面の一部は、ソース電極 3 9 とのオーミック接触を可能とすべく高濃度領域とされている。また、この p 型ベース層 3 4 の表面の一部には、上記高濃度領域と一部重なった状態で n⁺型ソース領域 3 5 が形成されている。これら p 型ベース層 3 4 及び n⁺型ソース領域 3 5 の表面に接してソース電極 3 9 が形成されている。n⁺型ソース領域 3 5 の表面から内部へ向けて n⁻型高抵抗層 3 3 に達するトレンチ 3 6 が形成されている。このトレンチ 3 6 の底面及び周壁にはゲート絶縁膜 3 7 が形成されており、このゲート絶縁膜 3 7 を介してトレンチ 3 6 の内部にはゲート電極 3 8 が埋め込み形成されている。一方、p⁺型基板 3 1 の下面にはドレイン電極 4 0 が形成されている。

【 0 0 0 5 】

上述した I G B T は、例えばエピタキシャル基板 (エピタキシャルウェハ) を用いて製造される。しかし、エピタキシャル基板は、製造コストが高く付くため、その結果 I G B T の製造コストも高く付いてしまう。

【 0 0 0 6 】

また、上の I G B T では、n⁻型高抵抗層 3 3 におけるキャリア・ライフタイムを短くするため、ウェハプロセスの終了後に全域に電子線を照射している。これにより、確かに、n⁻型高抵抗層 3 3 中のキャリア濃度は低下し、スイッチング速度は高速化される。

【 0 0 0 7 】

しかし、n⁻型高抵抗層 3 3 のキャリア濃度が低下すると、通電時における n⁻型高抵抗層 3 3 の電圧降下が大きくなる問題が生じる。即ち、オン電圧が高くなる問題が生じる。

【 0 0 0 8 】

仮に、上述したキャリア・ライフタイム制御を行わなければ n⁻型高抵抗層 3 3 のキャリア濃度の低下は抑制されオン電圧を低できるが、スイッチング速度 (ターンオフ時間) は極端に遅くなる。

【 0 0 0 9 】

このように、オン電圧とターンオフ時間とはトレードオフの関係にあり、また、キャリア・ライフタイム制御によるオン電圧 - ターンオフ時間のトレードオフ特性は良くないため、上述の I G B T の構造では素子特性の向上に限界があった。

10

20

30

40

50

【0010】

図10は、従来の別の縦型IGBTを示す縦断面図である。

このIGBTは、上で述べたIGBTの特性を改善したものである。

【0011】

より詳しくは、このIGBTは、図10から分かるように、パンチスルー型を有し、低ドーズ量により形成された、つまり低注入量の p^+ 型ドレイン層41を備えている。この低ドーズ量による p^+ 型ドレイン層41はノンパンチスルー型のIGBTで広く用いられているものである。この低注入量による p^+ 型ドレイン層41を用いることで n^- 型高抵抗層43へのキャリアの注入効率を抑えることができる。これにより上述のしたトレードオフ特性の悪いキャリア・ライフタイム制御を行うことなくスイッチング速度の高速化を図ることができる。なお、このIGBTは、この n^- 型高抵抗層43と p^+ 型ドレイン層41との間に形成した n 型バッファ層42によって特に耐圧を維持するものであるので、 n^- 型高抵抗層43の厚さを薄くできる特徴を有する。

10

【0012】

ところで、上述したように、 p^+ 型ドレイン層における不純物の注入量は少なくされているが、 p^+ 型ドレイン層41の表面はドレイン電極50とオーミック接触可能な程度に不純物濃度を上げる必要がある。よって、 p^+ 型ドレイン層41の形成に当たっては、 p^+ 型ドレイン層41の厚みを極端に薄くすると共に、 p^+ 型ドレイン層41における不純物の拡散深さを非常に浅いものにする必要がある。なお、このIGBTの総厚は、 n 型バッファ層42と、耐圧に応じた厚さを有する n^- 型高抵抗層43(p 型ベース層44を含む)との厚み、及びソース電極39、ドレイン電極40の厚みに、薄い p^+ 型ドレイン層41の厚みを足した薄い厚さとなる。例えば、600V系の素子の場合、このIGBTの総厚は60.0 μ m程度と薄い構造を有する。

20

【0013】

【特許文献1】

特開平11-274484号公報

【特許文献2】

米国特許第5466951号明細書

【特許文献3】

米国特許第5506153号明細書

30

【非特許文献1】

T. Matsudai 他3名 “Advanced 60 μ m Thin 600V Punch-Through IGBT Concept for Extremely Low Forward Voltage and Low Turn-Off Loss” Thursday, June 7, Proceedings of 2001 International Symposium on Power Semiconductor Devices & ICs (ISPSD'01), p441-444

【非特許文献2】

T. matsudai 他2名 “New 600V Trech Gate Punch-Through IGBT Concept with Very Thin Wafer and Low Efficiency p-emitter, having an On-state Voltage Drop lower than Diodes” April 3-7, 2000, International Power Electronics Conference (IPEC-TOKYO 2000), P292-296

40

【非特許文献3】

T. Laska 他4名 “The Field Stop IGBT (FS IGBT) - A New Power Device Concept with a Great Improvement Potential” May 22-25, 2000,

50

The 12th International Symposium on Power Semiconductor Devices & ICs (ISPSD'2000), P355-358

【非特許文献4】

J. G. Bauer 他5名 "6.5 kV - Modules using IGBTs with Field Stop Technology" JUNE 4-7, 2001 Proceedings of 13th International Symposium on Power Semiconductor Devices & ICs (ISPSD'01), P121-124

【非特許文献5】

Katsumi Nakamura 他5名 "Advanced Wide Cell Pitch CSTBTs Having Light Punch-Through (LPT) Structures" Proceedings of 14th International Symposium on Power Semiconductor Devices & ICs 2002, P277-280

【0014】

【発明が解決しようとする課題】

しかしながら、 p^+ 型ドレイン層41の厚さは非常に薄いため、製造プロセス中に、何らかの原因で、 p^+ 型ドレイン層41中に欠損が生じる可能性が高い。例えば、製造工程中に空気中のダストが p^+ 型ドレイン層41に付着したことが原因となって物理的に欠損が生じることがある。また、 p^+ 型ドレイン層41の表面にアルミニウムによるドレイン電極50を形成する際にアルミスパイクが生成され、このアルミスパイクによって p^+ 型ドレイン層41が部分的に欠損することがある。このように p^+ 型ドレイン層41に欠損が生じると、この p^+ 型ドレイン層41の欠損部分を介してドレイン電極50と n 型バッファ層42とが電氣的に接続した状態、いわゆるアノードショート状態が生じ、素子不良となる。

【0015】

以上に述べたところをまとめると以下のようなになる。

図9に示すような厚い p^+ 型基板31を用いたIGBTでは、トレードオフ特性の悪いキャリア・ライフタイム制御が必須となるため、素子特性の向上には限界があった。

【0016】

また、図10に示すような薄い p^+ 型ドレイン層41と n^- 型高抵抗層43との間に n 型バッファ層42を形成し、この n 型バッファ層42で耐圧を維持するIGBTでは、IGBTの製造工程中に、薄い p^+ 型ドレイン層42に欠損が生じる恐れが高かった。薄い p^+ 型ドレイン層42に欠損が生じた場合、この欠損部分を介して n 型バッファ層42とドレイン電極50とが電氣的に接続するアノードショート状態が発生し、素子不良となることを防ぐのは困難であった。

【0017】

本発明は、上記問題点に鑑みてなされたものであり、その目的は、アノードショート状態の発生を阻止した半導体装置及びその製造方法を、オン電圧特性及びスイッチング特性に優れたものとして提供することにある。

【0018】

【課題を解決するための手段】

本発明の第1の半導体装置は、第2導電型ドレイン層と、前記第2導電型ドレイン層上に形成された第1導電型バッファ層と、前記第1導電型バッファ層上に形成され、前記第1導電型バッファ層よりも不純物濃度の低い第1導電型高抵抗層と、前記第1導電型高抵抗層の表面領域に形成された第2導電型ベース層と、前記第2導電型ベース層の表面領域に形成された第1導電型ソース層と、前記第1導電型ソース層の表面から前記第2導電型ベース層を貫通して前記第1導電型高抵抗層に達するトレンチの底面及び周壁に形成された絶縁膜と、前記トレンチの内部に前記絶縁膜を介して形成されたゲート電極と、前記第2

10

20

30

40

50

導電型ベース層及び前記第1導電型ソース層の表面に形成されたソース電極と、前記第2導電型ドレイン層の表面に形成されたドレイン電極と、を備え、前記第1導電型バッファ層の不純物濃度は、前記第2導電型ドレイン層側における表面近傍において相対的に低濃度であるものとして構成される。

【0019】

本発明の第2の半導体装置は、第2導電型ドレイン層と、前記第2導電型ドレイン層上に形成された第1導電型バッファ層と、前記第1導電型バッファ層上に形成され、前記第1導電型バッファ層よりも不純物濃度の低い第1導電型高抵抗層と、前記第1導電型高抵抗層の表面領域に形成された第2導電型ベース層と、前記第2導電型ベース層の表面領域に形成された第1導電型ソース層と、前記第1導電型ソース層、前記第2導電型ベース層、前記第1導電型高抵抗層の表面に形成された絶縁膜と、前記絶縁膜の表面に形成されたゲート電極と、前記第2導電型ベース層及び前記第1導電型ソース層の表面に形成されたソース電極と、前記第2導電型ドレイン層の表面に形成されたドレイン電極と、を備え、前記第1導電型バッファ層の不純物濃度は、前記第2導電型ドレイン層側における表面近傍において相対的に低濃度であるものとして構成される。

10

【0020】

本発明の第1の半導体装置の製造方法は、第1導電型基板の表面領域に第2導電型ベース層を形成し、前記第2導電型ベース層の表面領域に第1導電型ソース層を形成し、前記第1導電型ソース層の表面から前記第1導電型基板に達するトレンチを形成した後、前記トレンチの内壁に絶縁膜を形成し、前記トレンチの内部にゲート電極を形成し、前記第2導電型ベース層及び前記第1導電型ソース層の表面にソース電極を形成し、前記第1導電型基板の裏面から第1導電型不純物を1MeV以上の加速エネルギーで打ち込んで、前記第1導電型基板の裏側方向における表面近傍の不純物濃度が相対的に低濃度の第1導電型バッファ層を形成し、前記第1導電型バッファ層に第2導電型不純物を打ち込んで第2導電型ドレイン層を形成し、前記第2導電型ドレイン層の表面にドレイン電極を形成するものとして構成される。

20

【0021】

本発明の第2の半導体装置の製造方法は、第1導電型基板上に、前記第1導電型基板の不純物濃度よりも不純物濃度の低い第1導電型高抵抗層をエピタキシャル成長させ、前記第1導電型高抵抗層の表面領域に第2導電型ベース層を形成し、前記第2導電型ベース層の表面領域に第1導電型ソース層を形成し、前記第1導電型ソース層の表面から前記第1導電型基板に達するトレンチを形成した後、前記トレンチの内壁に絶縁膜を形成し、前記トレンチの内部にゲート電極を形成し、前記第2導電型ベース層及び前記第1導電型ソース層の表面にソース電極を形成し、前記第1導電型基板の裏面から第2導電型不純物を打ち込んで第2導電型ドレイン層を形成するとともに、前記第1導電型基板の前記第2導電型ドレイン層側における表面近傍の不純物濃度を相対的に下げ、前記第2導電型ドレイン層の表面にドレイン電極を形成するものとして構成される。

30

【0022】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態について説明する。

40

図1は、本発明の実施の形態としての縦型IGBTを示す縦断面図である。

【0023】

この縦型IGBTは、薄い p^+ ドレイン層1を備え、製造プロセス中にこの薄い p^+ ドレイン層1に欠損が生じ、薄い p^+ ドレイン層1の欠損部分を貫通して n 型バッファ層2とドレイン電極3とが接触しても、オーミック接触を形成しない程度に、 n 型バッファ層2のドレイン電極3側における表面近傍の不純物濃度が低くされていることを大きな特徴の一つとして有する。

【0024】

以下、この縦型IGBTについて詳しく述べる。

まず、この縦型IGBTの構造について説明する。

50

この縦型 IGBT は、 p^+ 型ドレイン層 1 と n^- 型高抵抗層 4 との間に n 型バッファ層 2 を形成したパンチスルー構造を有している。より詳しくは以下の通りである。

【0025】

図 1 に示すように、不純物の注入量の少ない薄い p^+ 型ドレイン層 1 が形成されている。この p^+ 型ドレイン層 1 上には n 型バッファ層 2 が形成されており、この n 型バッファ層 2 上には n^- 型エピタキシャル層（高抵抗層）4 が形成されている。この n^- 型高抵抗層 4 上には p 型ベース層 5 が形成されており、この p 型ベース層 5 の表面の一部は、ソース電極 7 とのオーミック接触を可能とすべく高濃度領域とされている。また、この p 型ベース層 5 の表面領域には、上述の p^+ 型高濃度領域と一部重なった状態で n^+ 型ソース領域 6 が形成されている。これら p^+ 型高濃度領域と n^+ 型ソース領域 6 の表面に接してソース電極 7 が形成されている。この n^+ 型ソース領域 6 の表面から内部に向けて高抵抗層 4 に達するトレンチ 8 が形成されている。このトレンチ 8 の底面及び側壁にはゲート絶縁膜 9 が形成されており、このゲート絶縁膜 9 を介してトレンチ 8 の内部にはゲート電極 10 が形成されている。一方、 p^+ ドレイン層 1 の下面に接してドレイン電極 3 が形成されている。このドレイン電極 3 の材料にはアルミニウム (Al) が用いられている。但し、ドレイン電極 3 の材料として、その他の金属、例えばクロム (Cr)、銀 (Ag)、金 (Au) 等を用いてもよい。

10

【0026】

次に、この縦型 IGBT の動作について説明する。

まず、ターンオンモードについて説明する。

20

ドレイン電極 3 を正、ソース電極 7 を負とする電圧を印加した状態で、ゲート電極 10 に、ある閾値以上の正の電圧を印加すると、トレンチ 8 周りの p 型ベース層 5 に反転層（チャンネル）が形成される。このチャンネルを経由して、 n^+ 型ソース領域 6 から n^- 型高抵抗層 4 に電子が注入される。この n^- 型高抵抗層 4 に注入された電子により、 n 型バッファ層 2 の電位が p^+ 型ドレイン層 1 に対して低下し、 p^+ 型ドレイン層 1 から n 型バッファ層 2 を通過して高抵抗層 4 に正孔が注入される。このようにして n^- 型高抵抗層 4 に注入された電子と正孔とが、 n^- 型高抵抗層 4 に電気的な中性条件を満たすように蓄積して、 n^- 型高抵抗層 4 に伝導度変調を起こさせる。即ち、 n^- 型高抵抗層 4 の抵抗は極めて小さくなり、オン状態になる。このオン状態で p^+ 型ドレイン層 1 から注入された正孔は、 p 型ベース層 5 を通過して、ソース電極 7 からの電子と結合し、これにより電流が流れる。

30

【0027】

次に、ターンオフモードについて説明する。

オン状態において、ゲート電極 10 の正の電圧を下げると、トレンチ 8 周りに形成されたチャンネルが消滅し、 n^+ 型ソース領域 6 から n^- 型高抵抗層 4 への電子の注入が止まる。このため、 n 型バッファ層 2 の電位が上昇し、 p^+ 型ドレイン層 1 から n^- 型高抵抗層 4 に注入されていた正孔も減じる。この n^- 型高抵抗層 4 中に蓄積されたキャリア（電子、ホール）は、 n^- 型高抵抗層 4 の中で対となって消滅する。あるいは、 n^- 型高抵抗層 4 中の電子は p^+ 型ドレイン層 1 からドレイン電極 3 へ流出し、 n^- 型高抵抗層 4 中の正孔はベース層 5 を通過してソース電極 7 からの電子と結合消滅する。 n^- 型高抵抗層 4 中の蓄積キャリアが全て消滅すると、 n^- 型高抵抗層 4 の抵抗は極めて高くなり、オフ状態となる。

40

【0028】

図 2 は、上述の縦型 IGBT を構成する各層における厚さと、各層における不純物濃度との関係を示すグラフである。

【0029】

以下、図 2 を参照しながら、 n 型バッファ層 2 及び p^+ 型ドレイン層 1 の不純物濃度及び層厚について説明する。

まず、 n 型バッファ層 2 の不純物濃度について説明する。

図 2 中の斜線で示すように、 n 型バッファ層 2 のドレイン電極 3 側における表面近傍の不純物濃度は例えば $1.0 \times 10^{15} \text{ cm}^{-3}$ 以下となっている。この不純物濃度は、後に

50

詳述するように、n型バッファ層2とドレイン電極3(図1参照)とが接触してもオーミック接触を形成しない程度に十分に低いものである。別の言い方をすれば、この不純物濃度は、製造工程中にアルミスパイク等により p^+ 型ドレイン層1に欠損部が生じた場合に、ドレイン電極3とn型バッファ層2とが接触してもアノードショート状態とならない程度に十分に低い値である。このようにn型バッファ層2のドレイン電極3側の不純物濃度を低くすることによって、n型バッファ層2とドレイン電極3とがオーミック接触を形成することを防いだ理由について簡単に述べれば以下の通りである。

【0030】

一般に、接触抵抗は、例えば、シリコンと接触する金属の種類、シリコンにドーパされた不純物の型(p型、n型)、シリコンの表面の状態など、種々の条件によって変わってくる。この内、接触抵抗を変えるのに特に有効な手段は、半導体表面(シリコンの表面)の不純物濃度を変えてシリコンの表面の状態を変える方法であると本発明者は把握した。このような認識に基づき、本発明者は、上述のようにn型バッファ層2の p^+ ドレイン層1側における不純物濃度を十分に低いものとしたのである。

10

【0031】

次に、n型バッファ層2の層厚について説明する。

n型バッファ層2の低不純物濃度領域部の厚さは、製造工程中にアルミスパイクの入る深さを考慮して、 $0.5\mu\text{m}$ 以上が望ましく、より好ましくは図2に示すように、 $1.0\mu\text{m}$ 以上である。また、このn型バッファ層2の全体の厚さは、図2に示すように、例えば $15.0\mu\text{m}$ であるが、この厚さに限定されるものではない。

20

【0032】

ここで、n型バッファ層2の低不純物濃度領域に用いて好適な不純物濃度を、ドレイン電極3として用いる金属材料別に説明する。

【0033】

図3は、不純物半導体と、クロム(Cr)・銀(Ag)・金(Au)及びアルミニウム(Al)との接触抵抗を示す表である。

【0034】

図3に示すように、n型の不純物半導体に対して金属としてAlを用いた場合、不純物濃度が $1 \times 10^{19} \text{cm}^{-3}$ の辺りから接触性が悪くなり、不純物濃度 $5 \times 10^{18} \text{cm}^{-3}$ で非オーミックとなる。従って、図1のn型バッファ層2とドレイン電極3とのアノードショート状態を阻止する観点から言えば、n型バッファ層2の低不純物濃度領域の不純物濃度は、 $1.0 \times 10^{19} \text{cm}^{-3}$ 以下が望ましく、 $5.0 \times 10^{18} \text{cm}^{-3}$ 以下が好適であるといえる。図1のn型バッファ層2の低不純物濃度領域の不純物濃度は、図2に示すように $1.0 \times 10^{15} \text{cm}^{-3}$ となっているため、n型バッファ層2とドレイン層3とのアノードショート状態を阻止できるといえる。

30

【0035】

次に、図3に示すように、金属としてCr、AgあるいはAuをn型不純物半導体に用いた場合は、不純物濃度 $7.0 \times 10^{17} \text{cm}^{-3}$ 以下で非オーミックとなる。従って、n型バッファ層2の低不純物濃度領域の不純物濃度は、接触性が悪くなる $1.0 \times 10^{18} \text{cm}^{-3}$ 以下が好ましく、非オーミックとなる $7.0 \times 10^{17} \text{cm}^{-3}$ 以下が最適である。

40

【0036】

一方、図3に示すように、導電型がp型の不純物半導体においては、金属としてCr、AgあるいはAuを用いた場合、不純物濃度 $1.5 \times 10^{16} \text{cm}^{-3}$ 以下で非オーミックとなる。従って、バッファ層(n型バッファ層2参照)としてp型の不純物半導体層を用いた場合は、このバッファ層の低不純物濃度領域の不純物濃度は、接触性が悪くなる $9.0 \times 10^{16} \text{cm}^{-3}$ 以下が好ましく、非オーミックとなる $1.5 \times 10^{16} \text{cm}^{-3}$ 以下が最適であるといえる。

【0037】

次に、 p^+ 型ドレイン層1の不純物濃度について説明する。

50

p^+ 型ドレイン層1(図1参照)の不純物濃度は、 n^- 型の高抵抗層4へのホールの注入効率を抑えるため、望ましくは $1 \times 10^{19} \text{ cm}^{-3}$ 以下、より好ましくは $5 \times 10^{18} \text{ cm}^{-3}$ 以下である。従って、図2に示す p^+ 型ドレイン層1の不純物濃度 $2 \times 10^{18} \text{ cm}^{-3}$ は好ましい値であるという。また、 p^+ 型ドレイン層1の不純物総量も、 n^- 型の高抵抗層4へのホールの注入効率を抑えるため、 $5 \times 10^{14} \text{ cm}^{-2}$ 以下と少なくすることが望ましい。

【0038】

このように p^+ 型ドレイン層1の不純物濃度を低く及び不純物総量を少なくすることにより、 n^- 型の高抵抗層4へのホールの注入効率を抑えて、スイッチング速度を高速化することができる。即ち、 n^- 型高抵抗層4のライフタイムを短くすることなくスイッチング速度を高速化できる。

10

【0039】

また、このように n^- 型高抵抗層4のライフタイムを短くする必要がないので、 n^- 型高抵抗層4において高いキャリア濃度を得ることができる。即ち、低オン電圧を得ることができる。例えば、電圧降下を例えば1.2V以下と、従来の縦型IGBTよりも0.5V程度低くした好適なオン電圧特性を得ることができる。

【0040】

次に、 p^+ 型ドレイン層1の層厚について説明する。

図2に示すように、 p^+ 型ドレイン層1の層厚は、上に述べた理由で不純物総量を少なくするべく、例えば $0.3 \mu\text{m}$ と薄くされている。このように p^+ 型ドレイン層1の層厚が薄くても本実施の形態によれば従来技術のところで述べたアノードショート状態を生じさせない。

20

【0041】

即ち、上にも述べたように、 p^+ 型ドレイン層1は薄く形成されているため、製造プロセス中に p^+ 型ドレイン層1に欠損が生じる場合がある。具体的には、例えば空気中のダストが p^+ 型ドレイン層1に付着したことが原因となって物理的に欠損の生じる場合や、製造工程中に生成されたアルミスパイクによって p^+ 型ドレイン層1に欠損が生じる場合がある。 p^+ 型ドレイン層1に欠損が生じると、この欠損部分を貫通して、ドレイン電極3と n 型バッファ層2とが接触することが避けられない。しかし、 n 型バッファ層2の p^+ 型ドレイン層1側の不純物濃度は、上述したように、 n 型バッファ層2とドレイン電極3とが接触してもオーミック接触を形成しない程度に低くしてある。よって、 p^+ 型ドレイン層1が欠損してドレイン電極3と n 型バッファ層2とが接触しても、アノードショート状態にはならず、素子の不良の発生を阻止することができる。

30

【0042】

以上のようなアノード状態の発生を阻止した構造を有する縦型IGBTにおいて、 n 型バッファ層2の厚さ方向における不純物濃度分布を変えることによって、スイッチング速度を高速化したりオン電圧の低減化したりする等、目的によった素子特性を実現することができる。

【0043】

例えば、縦型IGBTの特性として特にスイッチング速度の高速化が要求される場合は、図2に示すように、例えば n 型バッファ層2のほぼ中心部の不純物濃度を、例えば $5 \times 10^{16} \text{ cm}^{-3}$ 以上とし、より好ましくは $1 \times 10^{17} \text{ cm}^{-3}$ 以上とするのがよい。この不純物濃度は、 n 型バッファ層2が十分な厚みを有することから、耐圧維持の観点からも十分な値である。

40

【0044】

また、この縦型IGBTの特性として特にオン電圧の低減化が要求される場合は、例えば n 型バッファ層2のほぼ中心部の不純物濃度を、例えば $5 \times 10^{16} \text{ cm}^{-3}$ 以下とするのがよい。

【0045】

以上、本発明をトレンチ型の縦型IGBTに適用した例について説明したが、本発明は、

50

例えば、図4に示すプレーナ型の縦型IGBTについても当然に適用することができる。このプレーナ型の縦型IGBTの構造について簡単に説明しておく。

【0046】

即ち、薄い p^+ 型ドレイン層21上に n 型バッファ層22が形成されており、この n 型バッファ層22上には n^- 型エピタキシャル層(高抵抗層)24が形成されている。この n^- 型高抵抗層24の表面領域には p 型ベース層25が形成されており、この p 型ベース層25の表面領域には n^+ 型ソース領域26が形成されている。これら p^+ 型ベース層25と n^+ 型ソース領域26の表面に接してソース電極27が形成されている。 p^+ 型ベース層25、 n^+ 型ソース領域26及び n^- 型エピタキシャル層(高抵抗層)24上にはゲート絶縁膜29を介してゲート電極10が形成されている。一方、 p^+ ドレイン層21の下面に接してドレイン電極23が形成されている。このような構成において、 n 型バッファ層22のドレイン電極23側における表面近傍の不純物濃度は、前述したトレンチ型の縦型IGBTについての説明から分かるように低い不純物濃度とされている。即ち、薄い p^+ 型ドレイン層21が欠損してドレイン電極23と n 型バッファ層22が接触してもオーミック接触を形成しない程度に n 型バッファ層22のドレイン電極23側における表面近傍の濃度を低くしてある。これにより、プレーナ型の縦型IGBTにおいても、前述したトレンチ型の縦型IGBTと同様に、薄い p^+ 型ドレイン層21が欠損してアノードショート状態が発生することを防ぐことができる。

10

【0047】

次に、図1に示す縦型IGBTの製造方法を説明する。より詳しくは、この縦型IGBTの製造方法を、通常のウエハ(Rawウエハ)、つまりエピタキシャルウエハでないウエハを用いて製造する方法と、エピタキシャルウエハを用いて製造する方法とに分けて、それぞれ説明する。

20

【0048】

まず、通常のウエハを用いてIGBTを製造する方法について説明する。

図5(a)~(c)及び図6(a)~(c)は、通常のウエハを用いて縦型IGBTを製造する工程を示す製造工程断面図である。

【0049】

以下、通常のウエハを用いて縦型IGBTを製造する工程について説明する。

まず、図5(a)に示すように、 n^- 型のウエハ(n^- 型基板)4aを用意する。

30

【0050】

次に、図5(b)に示すように、周知の方法によって、 n^- 型ウエハ4aの表面にカソード領域を形成する。即ち、 n^- 型ウエハ4aの表面領域に、ホウ素等の不純物を打ち込んで熱処理して p 型ベース層5を形成し、次いで、 p 型ベース層5の表面領域に選択的にリン等の不純物を打ち込んで熱処理して n^+ 型ソース層6を形成する。次いで、 p 型ベース層5及び n^+ 型ソース層6上にフォトレジストを塗布し、フォトリソグラフィ技術を用いてフォトレジストパターン(図示せず)を形成する。このフォトレジストパターンを用いて n^+ 型ソース層6の表面から n^- 型ウエハ4aに達するトレンチ8を形成する。フォトレジストパターンを除去した後、全面に絶縁性材料であるシリコン酸化膜を形成し、エッチバックして、トレンチ8の底面及び側壁にゲート絶縁膜9を形成する。次に、全面に導電性材料である銅等の金属を全面に形成し、平坦化处理して、トレンチ8内にゲート電極10を形成する。この後、導電性材料であるアルミニウム等の金属を全面に形成し、エッチバックして、 n^+ 型ソース層6及び p 型ベース層5の表面にソース電極7を形成する。なお、 n^- 型ウエハ4aは、IGBTの n^- 型ドリフト層となる。

40

【0051】

次に、図5(c)に示すように、 n^- 型ウエハ4aの裏面を化学機械研磨等を用いて研磨し、所定の厚さまで薄くして n^- 型ウエハ(n^- 型ドリフト層)4bとする。具体的には、耐圧600VのIGBTの場合、 n^- 型ドリフト層の厚さはおよそ60~80 μm が適しているので、 n^- 型ドリフト層の厚さが60~80 μm となるように n^- 型ウエハ4aの裏面を研磨して薄くする。なお、 n^- 型ドリフト層の厚さが60~80 μm であるIG

50

B Tの総厚は、従来の I G B Tに比べて、十分に薄い。

【0052】

次に、図6(a)に示すように、ウエハ4bの裏面からリン(不純物)を例えば1MeVで高加速イオン注入し、素子の裏面から十分に内側にまで不純物を打ち込む。これにより不純物濃度のピークが素子の裏面から十分奥に形成されたn型バッファ層2'が形成される(図2参照)。即ち、中程度の加速エネルギー240keVで不純物を打ち込むと不純物濃度のピークは素子の裏面から0.3μm内側の浅い部分に形成されるのに対し、上述のような1MeVの高加速エネルギーで不純物を打ち込むと、素子の裏面から1.0~1.1μm内側の深い部分に不純物のピークが形成される。これにより、図2に示すように、ドレイン層側の不純物濃度を低くしたn型バッファ層を形成することができる。

10

【0053】

次に、図6(b)に示すように、n型バッファ層2'の裏面からボロンを通常の方法でイオン注入して、p⁺型ドレイン層1'を形成する。

【0054】

次に、レーザーアニール、フラッシュアニール、シンター、熱拡散等の熱処理を行って、図6(b)に示すn型バッファ層2'及びp⁺型ドレイン層1'をそれぞれ図6(c)に示すようにn型バッファ層2及びp⁺型ドレイン層1とする。この後、p⁺ドレイン層1の表面にドレイン電極3を形成して縦型IGBTのアノード側を完成させる。

【0055】

上述した縦型IGBTの製造工程では図6(b)に示すn型バッファ層2'とp⁺型ドレイン層1'の熱処理工程を同時に行ったが、n型バッファ層2'とp⁺型ドレイン層1'の熱処理工程をそれぞれ別個に行っても良い。即ち、まず、図6(a)に示すようにリンをn⁻型ウエハ4bに高加速イオン注入した後に1度目の熱処理工程をし、次に、図6(b)に示すように、ボロンをn型バッファ層2'にイオン注入した後に2度目の熱処理工程を行うようにしてもよい。これによれば、n型バッファ層2'は2回の熱処理工程を経ることとなるので、n型バッファ層2'に打ち込まれたリンは十分に拡散されることとなる。

20

【0056】

また、上述した縦型IGBTの製造工程では、n型バッファ層2及びp⁺型ドレイン層1の形成(図6(c)参照)前にソース電極7を形成(図5(b)参照)したが、n型バッファ層2及びp⁺型ドレイン層1の形成後にソース電極7を形成してもよい。

30

【0057】

次に、エピタキシャルウエハを用いて縦型IGBTを製造する方法について説明する。図7(a)~(c)及び図8(a)~(c)は、エピタキシャルウエハを用いて縦型IGBTを製造する工程を示す製造工程断面図である。

【0058】

以下、エピタキシャルウエハを用いて縦型IGBTを製造する工程について説明する。まず、図7(a)に示すように、n型ウエハ(n型基板)2aを用意する。このn型ウエハ2aの一部が最終的にn型バッファ層となる。このn型ウエハ2aに、エピタキシャル成長により、n⁻型高抵抗層(n⁻型エピタキシャル層)4を形成する。このn⁻型高抵抗層4の一部が、最終的にn⁻型ドリフト層となる。

40

【0059】

次に、図7(b)に示すように、n⁻型高抵抗層4の表面にカソード領域を形成する。即ち、p型ベース層5、n⁺型ソース層6、ゲート絶縁膜9、ゲート電極10、ソース電極7を、上述した方法(図5(b)参照)等を用いて形成する。

【0060】

次に、図7(c)に示すように、n型ウエハ(n型基板)2aの裏面を研磨して、所定の厚さまで薄くしてn型バッファ層2とする。600V系のIGBTの場合、n型ドリフト層の厚みが、例えば60.0~80.0μmが好ましいので、素子の総厚もこれとほぼ同じ60.0~80.0μmとなるように、上述のn型ウエハ2aを研磨して薄くする。

50

【0061】

次に、図8(a)に示すように、n型バッファ層2の裏面からp型不純物を非常に低不純物総量でイオン注入し、n型バッファ層2の裏面に近い部分のn型不純物濃度を実質的に下げる。

【0062】

次に、図8(b)に示すように、通常の条件でボロンをイオン注入することにより、p⁺型ドレイン層1'を形成すると同時に、n型バッファ層2のp⁺型ドレイン層3'側における表面近傍の不純物濃度を低くする(図2参照)。

【0063】

次に、レーザーアニール、フラッシュアニール、シンター、熱拡散等の熱処理を行って、図8(b)に示すp⁺型ドレイン層1'を、図8(c)に示すようにp⁺型ドレイン層1とする。この後、図8(c)に示すように、p⁺型ドレイン層1の裏面にドレイン電極3を形成してこの縦型IGBTのアノード側を完成させる。なお、上述した通常のウエハを用いた縦型IGBTの製造方法と同様、n型バッファ層2及びp⁺型ドレイン層1を形成した後にソース電極7を形成してもよい。

【0064】

以上、本発明の実施の形態について説明したが、本発明の適用の範囲は上述した内容に限定されることはなく、本発明の要旨を変えない範囲において、種々の変形を加えて実施できる。

【0065】

【発明の効果】

本発明によれば、第1導電型バッファ層の第2導電型ドレイン層側における表面近傍の不純物濃度を低くしたので、この第2導電型ドレイン層に欠損が生じてドレイン電極と第1導電型のバッファ層とが接触してもアノードショート状態とならない。従って、好適なスイッチング特性及びターンオフ特性を有する半導体素子を、アノードショート状態の発生を阻止しつつ実現できる。

【図面の簡単な説明】

【図1】本発明の実施の形態としての縦型IGBT(トレンチ型)の縦断面図を示す。

【図2】図1の縦型IGBTを構成する各層の層厚と各層における不純物濃度との関係を示すグラフである。

【図3】不純物半導体に対するAlとCr・Ag・Auの接触抵抗を示す表である。

【図4】本発明の実施の形態としての縦型IGBT(プレーナ型)の縦断面図を示す。

【図5】通常のウエハを用いて縦型IGBT(トレンチ型)を製造する工程の途中までを示す製造工程断面図である。

【図6】図5に続いて、縦型IGBT(トレンチ型)を製造する工程を示す製造工程断面図である。

【図7】エピタキシャルウエハを用いて縦型IGBT(トレンチ型)を製造する工程の途中までを示す製造工程断面図である。

【図8】図7に続いて、縦型IGBT(トレンチ型)を製造する工程を示す製造工程断面図である。

【図9】従来の縦型IGBT(トレンチ型)の縦断面図を示す。

【図10】従来の別の縦型IGBT(トレンチ型)の縦断面図を示す。

【符号の説明】

- 1 p⁺型ドレイン層(第2導電型ドレイン層)
- 2 n型バッファ層(第1導電型バッファ層)
- 2a n型基板
- 3 ドレイン電極
- 4 n⁻型エピタキシャル層(第1導電型高抵抗層)
- 4a n⁻型基板
- 4b n⁻型基板(n⁻型ドリフト層)

10

20

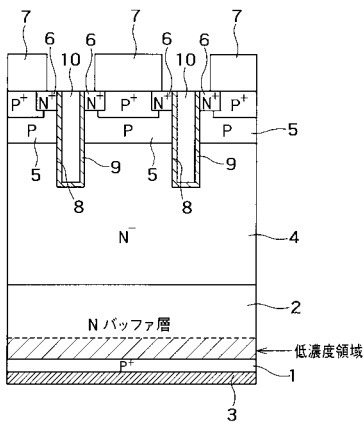
30

40

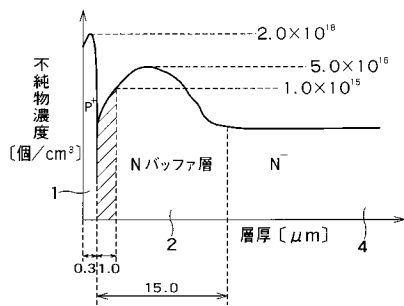
50

- 5 p型ベース層 (第2導電型ベース層)
- 6 n⁺型ソース層 (第1導電型ソース層)
- 7 ソース電極
- 8 トレンチ
- 9 ゲート絶縁膜 (絶縁膜)
- 10 ゲート電極

【図1】



【図2】

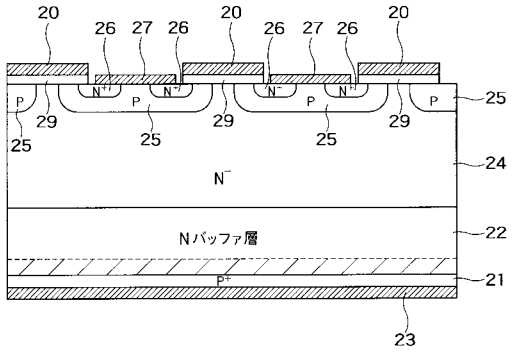


【図3】

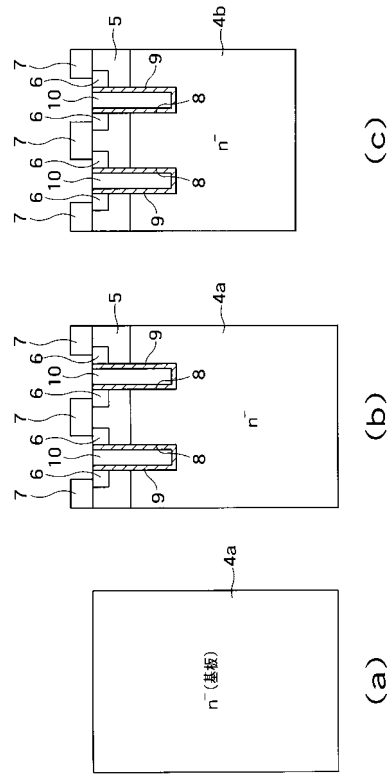
不純物半導体に対するCr・Ag・AuとAlの接触抵抗

導伝型	不純物半導体の比抵抗 (Ω・cm)	不純物濃度 [個/cm³]	Al [Ω・cm²]	Cr・Ag・Au [Ω・cm²]
p	0.001	1.5×10 ²⁰	1.2×10 ⁶	1.2×10 ⁻⁶
	0.002	6.0×10 ¹⁹	4.0×10 ⁶	4.0×10 ⁻⁶
	0.01	1.0×10 ¹⁹	2.3×10 ⁵	3.0×10 ⁻⁵
	0.1	6.0×10 ¹⁷	1.1×10 ⁴	1.5×10 ⁻⁴
	0.3	9.0×10 ¹⁶	1.0×10 ³	4.8×10 ⁻⁴
n	1.0	1.5×10 ¹⁶	1.9×10 ⁶	非オーミック
	0.001	1.0×10 ²⁰	1.2×10 ⁶	1.2×10 ⁻⁶
	0.007	1.0×10 ¹⁹	8.0×10 ⁵	8.0×10 ⁻⁵
	0.01	5.0×10 ¹⁸	非オーミック	2.1×10 ⁻⁴
	0.03	7.0×10 ¹⁷	非オーミック	非オーミック

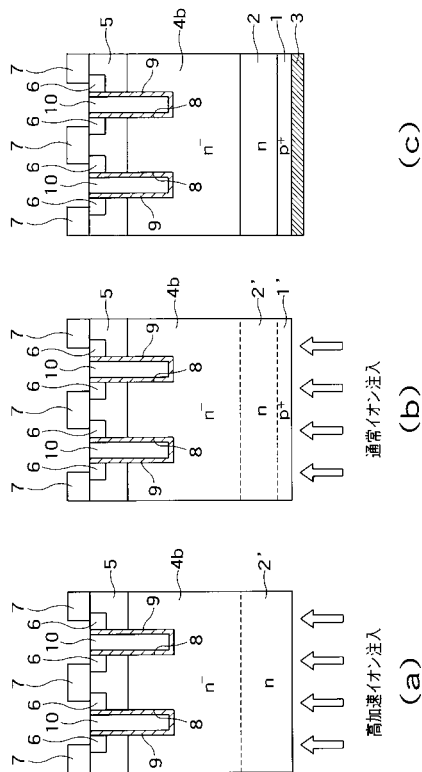
【図4】



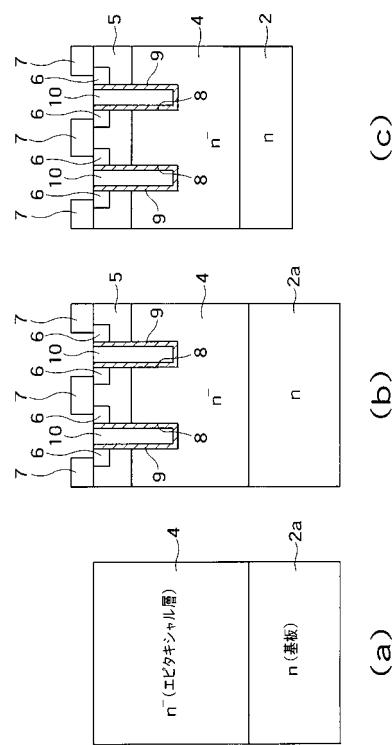
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 末代知子

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内