

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4846348号
(P4846348)

(45) 発行日 平成23年12月28日(2011.12.28)

(24) 登録日 平成23年10月21日(2011.10.21)

(51) Int.Cl.

F I

G09G	3/36	(2006.01)	G09G	3/36	
G09G	3/20	(2006.01)	G09G	3/20	611F
G02F	1/133	(2006.01)	G09G	3/20	622E
			G09G	3/20	623H
			G02F	1/133	505

請求項の数 33 (全 23 頁)

(21) 出願番号 特願2005-334599 (P2005-334599)
 (22) 出願日 平成17年11月18日(2005.11.18)
 (65) 公開番号 特開2007-140197 (P2007-140197A)
 (43) 公開日 平成19年6月7日(2007.6.7)
 審査請求日 平成20年10月31日(2008.10.31)

(73) 特許権者 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (73) 特許権者 506087819
 パナソニック液晶ディスプレイ株式会社
 兵庫県姫路市飾磨区委鹿日田町1-6
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所
 (72) 発明者 仲尾 貴之
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

複数の画素と、
 前記複数の画素を駆動する駆動回路とを備え、
 前記駆動回路は、第1方向および第2方向の双方向走査可能な単チャンネル双方向シフトレジスタを有し、
 前記単チャンネル双方向シフトレジスタは、多段に縦接接続される $n(n \geq 2)$ 個の基本回路を有し、
 前記基本回路は、第1および第2のRSフリップフロップ回路を有し、
 前記第1のRSフリップフロップ回路は、第1電極が出力端子に接続され、第2電極が第2走査方向制御信号が供給される第2走査制御線に接続されるとともに、制御電極が第1走査方向時において前段側の基本回路の出力端子に接続される第1のトランジスタと、
 第1電極が出力端子に接続され、第2電極が第1走査方向制御信号が供給される第1走査制御線に接続されるとともに、制御電極が前記第1走査方向時において後段側の基本回路の出力端子に接続される第2のトランジスタとを有し、
 前記第2のRSフリップフロップ回路は、第1電極が出力端子に接続され、第2電極が前記第2走査制御線に接続されるとともに、制御電極が前記第1走査方向時において後段側の基本回路の出力端子に接続される第3のトランジスタと、
 第1電極が出力端子に接続され、第2電極が前記第1走査制御線に接続されるとともに、制御電極が前記第1走査方向時において前段側の基本回路の出力端子に接続される第4

10

20

のトランジスタとを有することを特徴とする表示装置。

【請求項 2】

前記基本回路は、制御電極が前記第 1 の R S フリップフロップ回路の出力端子に接続され、第 2 電極が前記第 2 の R S フリップフロップ回路の出力端子に接続されるとともに、第 1 電極が基準電位が供給される基準電位線に接続される第 5 のトランジスタと、

制御電極が前記第 5 のトランジスタの第 2 電極に接続されるとともに、第 1 電極がクロック端子に接続され、第 2 電極が基本回路の出力端子に接続される第 6 のトランジスタと、

前記第 6 のトランジスタの制御電極と第 2 電極との間に接続される第 1 の容量素子とを有することを特徴とする請求項 1 に記載の表示装置。

10

【請求項 3】

前記基本回路は、第 1 電極が前記基準電位線に接続され、第 2 電極が前記第 5 のトランジスタの制御電極に接続されるとともに、制御電極が前記第 6 のトランジスタの制御電極に接続される第 7 のトランジスタを有することを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記基本回路は、制御端子および第 2 電極がフレーム開始信号が供給されるフレーム信号線に接続され、第 1 電極が前記第 5 のトランジスタの制御電極に接続される第 8 のトランジスタを有することを特徴とする請求項 2 または請求項 3 に記載の表示装置。

【請求項 5】

前記基本回路は、前記基準電位線と前記第 5 のトランジスタの制御電極との間に接続される第 2 の容量素子を有することを特徴とする請求項 2 ないし請求項 4 のいずれか 1 項に記載の表示装置。

20

【請求項 6】

前記基本回路は、前記第 6 のトランジスタの制御電極と、前記第 5 のトランジスタの第 2 電極との間に接続され、制御電極が前記第 1 走査制御線に接続される第 9 のトランジスタと、

前記第 6 のトランジスタの制御電極と、前記第 5 のトランジスタの第 2 電極との間に接続され、制御電極が前記第 2 走査制御線に接続される第 10 のトランジスタとを有することを特徴とする請求項 2 ないし請求項 5 のいずれか 1 項に記載の表示装置。

【請求項 7】

前記基本回路は、制御電極が前記第 6 のトランジスタの制御電極に接続され、第 1 電極がクロック端子に接続されるとともに、第 2 電極が外部出力端子に接続される第 11 のトランジスタを有することを特徴とする請求項 2 ないし請求項 6 のいずれか 1 項に記載の表示装置。

30

【請求項 8】

前記基本回路は、第 1 電極に前記基準電位が印加され、第 2 電極が前記第 11 のトランジスタの第 2 電極に接続される第 12 のトランジスタと、

第 1 電極が前記第 12 のトランジスタの制御電極に接続され、第 2 電極が前記第 2 走査制御線に接続されるとともに、制御電極が前記第 1 走査方向時において直前の基本回路の外部出力端子に接続される第 13 のトランジスタと、

第 1 電極が前記第 12 のトランジスタの制御電極に接続され、第 2 電極が前記第 1 走査制御線に接続されるとともに、制御電極が前記第 1 走査方向時において後続の基本回路の外部出力端子に接続される第 14 のトランジスタとを有することを特徴とする請求項 7 に記載の表示装置。

40

【請求項 9】

前記基本回路は、制御端子および第 2 電極が前記フレーム信号線に接続され、第 1 電極が前記第 12 のトランジスタの制御電極に接続される第 15 のトランジスタを有することを特徴とする請求項 8 に記載の表示装置。

【請求項 10】

前記基本回路は、前記基準電位線と前記第 12 のトランジスタの制御電極との間に接続

50

される第3の容量素子を有することを特徴とする請求項8または請求項9に記載の表示装置。

【請求項11】

前記基本回路は、制御電極が前記第6のトランジスタの制御電極に接続され、第1電極がクロック端子に接続され、第2電極が第1の外部出力端子に接続される第16のトランジスタと、

制御電極が前記第6のトランジスタの制御電極に接続され、第1電極がクロック端子に接続され、第2電極が第2の外部出力端子に接続される第17のトランジスタとを有することを特徴とする請求項2ないし請求項6のいずれか1項に記載の表示装置。

【請求項12】

前記基本回路は、第1電極が前記基準電位線に接続され、第2電極が前記第16のトランジスタの第2電極に接続される第18のトランジスタと、

第1電極が前記基準電位線に接続され、第2電極が前記第17のトランジスタの第2電極に接続される第19のトランジスタと、

第1電極が前記第18および第19のトランジスタの制御電極に接続され、第2電極が前記第2方向制御線に接続されるとともに、制御電極が前記第1走査方向時において直前の基本回路の第2の外部出力端子に接続される第20のトランジスタと、

第1電極が前記第18および第19のトランジスタの制御電極に接続され、第2電極が前記第1走査制御線に接続されるとともに、制御電極が前記第1走査方向時において後続の基本回路の第2の外部出力端子に接続される第21のトランジスタとを有することを特徴とする請求項11に記載の表示装置。

【請求項13】

前記基本回路は、制御端子および第2電極が前記フレーム信号線に接続され、第1電極が前記第18および第19のトランジスタの制御電極に接続される第22のトランジスタを有することを特徴とする請求項12に記載の表示装置。

【請求項14】

前記基本回路は、前記基準電位線と前記第18および第19のトランジスタの制御電極との間に接続される第4の容量素子を有することを特徴とする請求項12または請求項13に記載の表示装置。

【請求項15】

前記第1走査方向時において奇数段の基本回路のクロック端子は、第1のクロック信号が供給される第1クロック信号線に接続され、

前記第1走査方向時において偶数段の基本回路のクロック端子は、第2のクロック信号が供給される第2クロック信号線に接続され、

前記第1のクロック信号と第2のクロック信号とは、同一周期で、位相が異なっていることを特徴とする請求項2ないし請求項14のいずれか1項に記載の表示装置。

【請求項16】

前記第1走査方向時において3段目から $(n - 2)$ 段目の基本回路は、前記第1のトランジスタの制御電極が、2段前の基本回路の出力端子に接続され、

前記第2のトランジスタの制御電極が、2段後の基本回路の出力端子に接続され、

前記第3のトランジスタの制御電極が、1段後の基本回路の出力端子に接続され、

前記第4のトランジスタの制御電極が、1段前の基本回路の出力端子に接続されることを特徴とする請求項2ないし請求項15のいずれか1項に記載の表示装置。

【請求項17】

制御電極が前記フレーム信号線に接続され、第1電極が前記第2のクロック信号線に接続される第23のトランジスタを有し、

前記第1走査方向時において1段目の基本回路は、前記第1のトランジスタの制御電極が、フレーム信号線に接続され、

前記第2のトランジスタの制御電極が、3段目の基本回路の出力端子に接続され、

前記第3のトランジスタの制御電極が、2段目の基本回路の出力端子に接続され、

10

20

30

40

50

前記第 4 のトランジスタの制御電極が、前記第 2 3 のトランジスタの第 2 電極に接続されることを特徴とする請求項 1 6 に記載の表示装置。

【請求項 1 8】

前記第 1 走査方向時において 2 段目の基本回路は、前記第 1 のトランジスタの制御電極が、前記第 2 3 のトランジスタの第 2 電極に接続され、

前記第 2 のトランジスタの制御電極が、4 段目の基本回路の出力端子に接続され、

前記第 3 のトランジスタの制御電極が、3 段目の基本回路の出力端子に接続され、

前記第 4 のトランジスタの制御電極が、1 段目の基本回路の出力端子に接続されることを特徴とする請求項 1 7 に記載の表示装置。

【請求項 1 9】

前記第 1 走査方向時において 2 段目の基本回路は、前記第 1 のトランジスタの制御電極が、前記フレーム信号線に接続され、

前記第 2 のトランジスタの制御電極が、4 段目の基本回路の出力端子に接続され、

前記第 3 のトランジスタの制御電極が、3 段目の基本回路の出力端子に接続され、

前記第 4 のトランジスタの制御電極が、1 段目の基本回路の出力端子に接続されることを特徴とする請求項 1 7 に記載の表示装置。

【請求項 2 0】

前記第 2 3 のトランジスタの第 2 電極と、前記基準電位線との間に接続される第 5 の容量素子を有することを特徴とする請求項 1 7 ないし請求項 1 9 のいずれか 1 項に記載の表示装置。

【請求項 2 1】

制御電極が前記第 2 走査制御線に接続され、第 1 電極および第 2 電極が前記第 2 3 のトランジスタの第 2 電極に接続される第 2 4 のトランジスタを有することを特徴とする請求項 1 7 ないし請求項 2 0 のいずれか 1 項に記載の表示装置。

【請求項 2 2】

n が偶数の場合に、制御電極が前記フレーム信号線に接続され、第 1 電極が前記第 1 のクロック信号線に接続される第 2 5 のトランジスタを有し、

前記第 1 走査方向時において n 段目の基本回路は、前記第 1 のトランジスタの制御電極が、 $(n - 2)$ 段目の基本回路の出力端子に接続され、

前記第 2 のトランジスタの制御電極が、前記フレーム信号線に接続され、

前記第 3 のトランジスタの制御電極が、前記第 2 5 のトランジスタの第 2 電極に接続され、

前記第 4 のトランジスタの制御電極が、 $(n - 1)$ 段目の基本回路の出力端子に接続されることを特徴とする請求項 1 6 に記載の表示装置。

【請求項 2 3】

前記第 1 走査方向時に、前記フレーム開始信号が有効となった後に、初めに、前記第 1 のクロック信号の電圧レベルが変化し、次に、前記第 2 のクロック信号電圧レベルが変化し、

前記第 2 走査方向時に、前記フレーム開始信号が有効となった後に、初めに、前記第 2 のクロック信号の電圧レベルが変化し、次に、前記第 1 のクロック信号電圧レベルが変化することを特徴とする請求項 2 2 に記載の表示装置。

【請求項 2 4】

n が奇数の場合に、制御電極が前記フレーム信号線に接続され、第 1 電極が前記第 2 のクロック信号線に接続される第 2 5 のトランジスタを有し、

前記第 1 走査方向時において n 段目の基本回路は、前記第 1 のトランジスタの制御電極が、 $(n - 2)$ 段目の基本回路の出力端子に接続され、

前記第 2 のトランジスタの制御電極が、前記フレーム信号線に接続され、

前記第 3 のトランジスタの制御電極が、前記第 2 5 のトランジスタの第 2 電極に接続され、

前記第 4 のトランジスタの制御電極が、 $(n - 1)$ 段目の基本回路の出力端子に接続さ

10

20

30

40

50

れることを特徴とする請求項 16 に記載の表示装置

【請求項 25】

前記第1走査方向時、あるいは、前記第2走査方向時に、前記フレーム開始信号が有効となった後に、初めに、前記第2のクロック信号の電圧レベルが変化し、次に、前記第1のクロック信号電圧レベルが変化することを特徴とする請求項 24 に記載の表示装置。

【請求項 26】

前記第1走査方向時において ($n - 1$) 段目の基本回路は、前記第1のトランジスタの制御電極が、($n - 3$) 段目の基本回路の出力端子に接続され、

前記第2のトランジスタの制御電極が、前記第25のトランジスタの第2電極に接続され、

前記第3のトランジスタの制御電極が、 n 段目の基本回路の出力端子に接続され、

前記第4のトランジスタの制御電極が、($n - 2$) 段目の基本回路の出力端子に接続されることを特徴とする請求項 22 ないし請求項 25 のいずれか1項に記載の表示装置。

【請求項 27】

前記第1走査方向時において ($n - 1$) 段目の基本回路は、前記第1のトランジスタの制御電極が、($n - 3$) 段目の基本回路の出力端子に接続され、

前記第2のトランジスタの制御電極が、前記フレーム信号線に接続され、

前記第3のトランジスタの制御電極が、 n 段目の基本回路の出力端子に接続され、

前記第4のトランジスタの制御電極が、($n - 2$) 段目の基本回路の出力端子に接続されることを特徴とする請求項 22 ないし請求項 25 のいずれか1項に記載の表示装置。

【請求項 28】

前記第25のトランジスタの第2電極と、前記基準電位線との間に接続される第6の容量素子を有することを特徴とする請求項 22 ないし請求項 27 のいずれか1項に記載の表示装置。

【請求項 29】

制御電極が前記第2走査制御線に接続され、第1電極および第2電極が前記第25のトランジスタの第2電極に接続される第26のトランジスタを有することを特徴とする請求項 22 ないし請求項 28 のいずれか1項に記載の表示装置。

【請求項 30】

前記各トランジスタは、 n 型のトランジスタであって、

前記基準電位をLレベル、Hレベルを前記基準電位よりも高電位の電圧レベルとするとき、前記第1走査方向時に、第1走査方向制御信号の電圧レベルがHレベル、第2走査方向制御信号がLレベルであり、

前記第2走査方向時に、第1走査方向制御信号の電圧レベルがLレベル、第2走査方向制御信号がHレベルであることを特徴とする請求項 1 ないし請求項 29 のいずれか1項に記載の表示装置。

【請求項 31】

前記各トランジスタは、 p 型のトランジスタであって、

前記基準電位をHレベル、Lレベルを前記基準電位よりも低電位の電圧レベルとするとき、前記第1走査方向時に、第1走査方向制御信号の電圧レベルがLレベル、第2走査方向制御信号がHレベルであり、

前記第2走査方向時に、第1走査方向制御信号の電圧レベルがHレベル、第2走査方向制御信号がLレベルであることを特徴とする請求項 1 ないし請求項 29 のいずれか1項に記載の表示装置。

【請求項 32】

前記駆動回路は、前記各画素を1表示ライン毎に走査する走査線駆動回路であることを特徴とする請求項 1 ないし請求項 31 のいずれか1項に記載の表示装置。

【請求項 33】

前記駆動回路は、前記各画素に映像電圧を供給する映像線駆動回路であることを特徴とする請求項 1 ないし請求項 31 のいずれか1項に記載の表示装置。

10

20

30

40

50

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、表示装置に係り、特に、単チャンネル双方向シフトレジスタを有する駆動回路を備える表示装置に関する。

【背景技術】**【0002】**

近年、薄膜トランジスタ（TFT；Thin Film Transistor）をアクティブ素子として使用するアクティブマトリクス液晶表示装置が、デジタルスチルカメラや携帯電話等に使用されている。

10

この場合に、デジタルスチルカメラや携帯電話等においては、双方向表示が可能な液晶表示パネルが必要となる場合がある。

前述したような、双方向表示が可能な液晶表示パネルとしては、例えば、図18に示す順方向垂直走査回路10、および逆方向垂直走査回路20のように、順方向走査用と逆方向走査用のシフトレジスタを2つ液晶表示パネル30に内蔵する手法が想定される。

しかしながら、この手法では、回路規模がほぼ倍になるため、歩留まりの低下が起こり、さらに、今後新たなる回路の追加を考える上で回路規模の縮小が必要となる。

一般に、CMOSシフトレジスタは、図19（a）に示すように、1段あたり1入力（IN）、1出力（OUT）なため、図19（b）に示すように、順路スイッチ素子（F，R）による簡単な構成で片側に1つの回路にて双方向化することが可能である。

20

しかしながら、例えば、N型のMOSFETを使用する単チャンネルシフトレジスタでは、図20（a）に示すように、1段あたり3入力（IN、SET、RESET）、1出力（OUT）であり、さらに前後の段が関わってくるため、図20（b）に示すように、順路スイッチ素子（F，R）により双方向化する構成では、複雑かつ素子数が増大する。

【0003】

なお、本願発明に関連する先行技術文献としては以下のものがある。

【特許文献1】特開平7-13513公報

【特許文献2】特開2002-215118号公報

【発明の開示】**【発明が解決しようとする課題】**

30

【0004】

前述したように、CMOS回路構成でシフトレジスタの双方化を実現する場合には、回路構成では有利であるが、製造プロセスが増加するという問題点がある。

また、単チャンネル回路構成でシフトレジスタの双方化を実現する場合には、製造プロセスを短縮することができるが、素子数が増加し、さらに、回路構成が複雑になるという問題点がある。

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、従来のもものと比して、素子数を増加させることなく、しかも回路規模を縮小させることが可能な単チャンネル双方向シフトレジスタを有する駆動回路を備えた表示装置を提供することにある。

40

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】**【0005】**

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

前述の課題を達成するために、本発明では、複数の画素と、前記複数の画素を駆動する駆動回路とを備え、前記駆動回路は、第1方向および第2方向の双方向走査可能な単チャンネル双方向シフトレジスタを有する表示装置において、前記単チャンネル双方向シフトレジスタの基本回路が、第1および第2のRSフリップフロップ回路を有し、前記第1のRS

50

フリップフロップ回路は、第1電極が出力端子に接続され、第2電極が第2走査方向制御信号が供給される第2走査制御線に接続されるとともに、制御電極が第1走査方向時において前段側の基本回路の出力端子に接続される第1のトランジスタと、第1電極が出力端子に接続され、第2電極が第1走査方向制御信号が供給される第1走査制御線に接続されるとともに、制御電極が前記第1走査方向時において後段側の基本回路の出力端子に接続される第2のトランジスタとを有し、前記第2のRSフリップフロップ回路は、第1電極が出力端子に接続され、第2電極が前記第2走査制御線に接続されるとともに、制御電極が前記第1走査方向時において後段側の基本回路の出力端子に接続される第3のトランジスタと、第1電極が出力端子に接続され、第2電極が前記第1走査制御線に接続されるとともに、制御電極が前記第1走査方向時において前段側の基本回路の出力端子に接続される第4のトランジスタとを有し、さらに、制御電極が前記第1のRSフリップフロップ回路の出力端子に接続され、第2電極が前記第2のRSフリップフロップ回路の出力端子に接続されるとともに、第1電極が基準電位が供給される基準電位線に接続される第5のトランジスタと、制御電極が前記第5のトランジスタの第2電極に接続されるとともに、第1電極がクロック端子に接続され、第2電極が基本回路の出力端子に接続される第6のトランジスタと、前記第6のトランジスタの制御電極と第2電極との間に接続される第1の容量素子とを有する。

10

【0006】

即ち、本発明の単チャネル双方向シフトレジスタでは、走査方向制御信号を、第1乃至第4のトランジスタの第2電極に印加し、取り込んだ電位により走査方向を決定する。

20

このように、本発明では、走査方向制御信号を、従来のように信号経路制御のみに使用するのではなく、信号経路制御と共にセット電位やりセット電位として回路に取り込み、さらに、電位を保持するためのダイオードの機能を、第1乃至第4のトランジスタに同時に持たせたことを特徴とする。

【発明の効果】

【0007】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明によれば、従来のもものと比して、素子数を増加させることなく、しかも回路規模を縮小させることが可能な単チャネル双方向シフトレジスタを有する駆動回路を備えた表示装置を提供することが可能となる。

30

【発明を実施するための最良の形態】

【0008】

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

図1は、本発明の実施例のアクティブマトリクス型液晶表示装置の等価回路を示す回路図である。

図1に示すように、本実施例のアクティブマトリクス型液晶表示装置は、液晶を介して互いに対向配置される一对の基板の一方の基板の液晶面に、y方向に平行に設けられx方向に延びるn本のゲート線(X_1, X_2, \dots, X_n)と、x方向に平行に設けられy方向に延びるm本のドレイン線(Y_1, Y_2, \dots, Y_m)とを有する。

40

ゲート線(または、走査線ともいう)とドレイン線(映像線ともいう)とで囲まれた領域が画素領域であり、1つの画素領域には、ゲートがゲート線に、ドレイン(または、ソース)がドレイン線に、およびソース(または、ドレイン)が画素電極に接続される薄膜トランジスタ(T_{nm})が設けられる。さらに、画素電極と共通電極(COM)との間には保持容量(C_{nm})が設けられる。

各ゲート線(X_1, X_2, \dots, X_n)は、垂直駆動回路(XDV)に接続され、垂直駆動回路(XDV)により、ゲート信号を、 X_1 から X_n のゲート線に向かって順次供給する(順方向走査とする)か、あるいは、 X_n から X_1 のゲート線に向かって順次供給

50

する（逆方向走査とする）。

各ドレイン線（ Y_1, Y_2, \dots, Y_m ）は、スイッチ素子（ S_1, S_2, \dots, S_m ）のドレイン（または、ソース）に接続されている。

スイッチ素子（ S_1, S_2, \dots, S_m ）のソース（または、ドレイン）は、映像信号線（DATA）に、ゲートは水平駆動回路（YDV）に接続される。

水平駆動回路（YDV）により、 S_1 から S_m のスイッチ素子に向かって順次走査（順方向走査とする）するか、あるいは、 S_m から S_1 のスイッチ素子に向かって順次走査（逆方向走査とする）する。

【0009】

図2は、本実施例の垂直駆動回路（XYD）または水平駆動回路（YDV）に適用される双方向走査回路の原理を説明するための回路図である。

図2に示す回路は、2つのスイッチ素子（F, R）を有し、スイッチ素子Fのドレイン（または、ソース）はDRF端子に、ゲートはINF端子に接続される。スイッチ素子Rのドレイン（または、ソース）はDRR端子に、ゲートはINR端子に接続される。

スイッチ素子（F, R）のソース（または、ドレイン）はともにOUT端子に接続される。

図2に示す回路において、スイッチ素子（F, R）に、n型の薄膜トランジスタ（以下、NMOSという）を用い、例えば、DRF端子をHighレベル（以下、Hレベルという）とし、DRR端子をLowレベル（以下、Lレベルという）とすると、INF端子にHレベル信号が入力されると、OUT端子にはHレベル（正確には、INF端子に印加されるHレベルからスイッチ素子Fのしきい値電圧（ V_{th} ）分降下した電圧レベル）が出力され、INR端子にHレベル信号が入力されるとOUT端子にはLレベルが出力される。

入力信号がLレベルの場合、OUT端子は状態を保持する。ただし、INF端子とINR端子に同時にHレベル信号を入力することは禁止される。

これにより、図2に示す回路は、RSフリップフロップ回路として機能する。

双方向走査回路の走査方向を制御する走査方向制御信号をDRF（本願発明の第1走査方向制御信号）とDRR（本願発明の第2走査方向制御信号）とし、DRFがHレベルで、DRRがLレベルのとき順方向走査（本願発明の第1走査方向）、DRFがLレベルでDRRがHレベルのとき逆方向走査（本願発明の第2走査方向）を行なうものとする。

RSフリップフロップ回路のDRF端子とDRR端子に走査方向制御信号を印加することで、順方向走査時には、セット信号が印加されるINF端子がHレベルでHレベル出力、リセット信号が印加されるINR端子がHレベルでLレベル出力となり、逆方向時には、リセット信号が印加されるINF端子がHレベルでLレベル出力、セット信号が印加されるINR端子がHレベルでHレベル出力となる。

【0010】

図3は、本実施例の垂直駆動回路（XYD）または水平駆動回路（YDV）に適用される双方向走査回路の1ライン走査する基本回路を示す回路図である。

図3に示す基本回路では、2つのRSフリップフロップ回路を有する。一方のRSフリップフロップ回路は、ソース（または、ドレイン）が共通とされるNMOS（Tr1）と、NMOS（Tr2）とを有する。

NMOS（Tr1）のドレイン（または、ソース）にはDRRの走査方向制御信号が印加され、ゲートはIN1端子に接続され、NMOS（Tr2）のドレイン（または、ソース）にはDRFの走査方向制御信号が印加され、ゲートはIN4端子に接続される。

他方のRSフリップフロップ回路は、ソース（または、ドレイン）が共通とされるNMOS（Tr3）と、NMOS（Tr4）とを有する。

NMOS（Tr3）のドレイン（または、ソース）にはDRRの走査方向制御信号が印加され、ゲートはIN3端子に接続され、NMOS（Tr4）のドレイン（または、ソース）にはDRFの走査方向制御信号が印加され、ゲートはIN2端子に接続される。

NMOS（Tr1）（あるいは、NMOS（Tr2））のソース（または、ドレイン）

10

20

30

40

50

は、NMOS (Tr5) のゲートに接続され、NMOS (Tr5) のドレイン (または、ソース) は、NMOS (Tr6) のゲートに、また、ソース (または、ドレイン) は VSS 端子に接続される。

NMOS (Tr3) (あるいは、NMOS (Tr4)) のソース (または、ドレイン) は、NMOS (Tr6) のゲートに接続され、NMOS (Tr6) のソース (または、ドレイン) は CK 端子に接続される。

VSS 端子は、信号の L レベルに相当する VSS の基準電位に接続され、CK 端子はクロック信号線に接続される。

また、NMOS (Tr6) のドレイン (または、ソース) と、NMOS (Tr6) のゲートとの間に、容量素子 (Cbs) が接続される。

NMOS (Tr6) のドレイン (または、ソース)、即ち、TF ノードが、次の段へ伝送する信号出力及び走査信号出力ノードとなる。

【0011】

図3に示す基本回路において、走査方向制御信号 DRF が H レベル、走査方向制御信号 DRR が L レベルの場合のタイムチャートは、図4(a)に示すようになる。

IN1 端子に H レベルの信号が入力されると、NMOS (Tr5) のゲートに NMOS (Tr1) を介して L レベルが印加されるので、RS ノードは L レベルになる。

これにより、NMOS (Tr5) がオフすることで、BS ノードがフローティング状態となり、書き込み可能となる。

次に、IN2 端子に H レベルの信号が入力されると、NMOS (Tr4) を介して、BS ノードに、H レベル (正確には、走査方向制御信号 DRF の H レベルから NMOS (Tr4) のしきい値電圧 (Vth) 分降下した電圧レベル) の電位が書き込まれ、BS ノードが H レベルとなるので、NMOS (Tr6) がオンとなり、TF ノードにはクロック信号の L レベルが書き込まれる。

IN1 端子から IN4 端子が L レベルのとき BS ノードはフローティング状態となり、BS ノードが H レベルを保持しているときに、CK 端子にクロック信号の H レベルが入力されると、NMOS (Tr6) を介して TF ノードに H レベルから NMOS (Tr6) のしきい値電圧 (Vth) 分降下した電位が書き込まれる。

このとき、容量素子 (Cbs) を介してブートストラップ効果により、BS ノードの電位は引き上げられ、TF ノードにはクロック信号の H レベルがそのまま書き込まれる。

次に、IN3 端子に H レベルの信号が入力されて、BS ノードは、走査方向制御信号 DRR の L レベルとなる。

さらに、IN4 端子に H レベルの信号が入力され、RS ノードが、H レベルから NMOS (Tr2) のしきい値電圧 (Vth) 分降下した電位となり、そのまま状態を保持する。

これにより、以降、NMOS (Tr5) がオンとなり、BS ノードは常に VSS の基準電位となる。

【0012】

図3に示す基本回路において、走査方向制御信号 DRF が L レベル、走査方向制御信号 DRR が H レベルの場合のタイムチャートは、図4(b)に示すようになる。

走査方向制御信号 DRF が H レベル、走査方向制御信号 DRR が L レベルの場合 (本願発明の第1走査方向時) は、IN1 端子 IN2 端子 IN3 端子 IN4 端子の順番に H レベルの信号を印加するが、走査方向制御信号 DRF が L レベル、走査方向制御信号 DRR が H レベルの場合 (本願発明の第2走査方向時) は、IN4 端子 IN3 端子 IN2 端子 IN1 端子の順番に H レベルの信号を印加する。

IN1 端子と IN2 端子、および、IN3 端子と IN4 端子は、それぞれ同タイミングの信号が入力されても動作は可能であるが、RS ノードを L レベルにするタイミングと BS ノードに H レベル電位を書き込むタイミングとが同じであるため、DRF 端子または DRR 端子と、VSS 端子とが直結する可能性があるため分割している。

【0013】

10

20

30

40

50

図3に示す基本回路を n 個多段に接続して双方向走査回路を構成する。

図5は、偶数段接続の双方向走査回路を示し、図6(a)は、図5に示す双方向走査回路の順方向走査のタイムチャートを、図6(b)は、図5に示す双方向走査回路の逆方向走査のタイムチャートを示す。

また、図7は奇数段接続の双方向走査回路を示し、図8(a)は、図7に示す双方向走査回路の順方向走査のタイムチャートを、図8(b)は、図7に示す双方向走査回路の逆方向走査のタイムチャートを示す。

出力OUT1, OUT2, . . . , OUT n と順次走査する順方向走査の開始段を基準として、奇数段のCK端子はCLK1のクロック信号が供給されるクロック信号線に接続され、偶数段のCK端子はCLK2のクロック信号が供給されるクロック信号線に接続される。

10

クロック信号CLK1と、クロック信号CLK2とは、同一周期で、位相が異なっている。

段数が偶数か奇数によりフレーム開始信号であるFLM信号のパルス波形が異なり、また偶数段構成においては走査方向切り替え時、DRF、DRRの走査方向制御信号とともに、クロック信号CLK1とクロック信号CLK2とを入れ替える。

順方向走査時 i 段目において、走査方向に対し、2段前のTF出力信号TF($i-2$)が図3に示す基本回路におけるIN1端子入力に、1段前のTF出力信号TF($i-1$)がIN2端子入力に、1段後のTF出力信号TF($i+1$)がIN3端子入力に、2段後のTF出力信号TF($i+2$)がIN4端子入力に相当する。

20

【0014】

順方向走査の時には、走査方向制御信号DRFがHレベル、走査方向制御信号DRRがLレベルであり、順方向走査時において、1段目は2つ及び1つ前の段が、2段目は2つ前の段が、($n-1$)段目は2つ後の段が、 n 段目は1つ及び2つ後の段が存在しないため、他の段とは動作が多少異なる。

図6に示すようなFLM信号、及びCLK1, CLK2のクロック信号を入力する場合、図5に示す双方向走査回路では、NMOS($Tr11$)のゲートにFLM信号が印加されるので、順方向走査時、FLM信号がHレベルのときに、NMOS($Tr11$)により1段目のRS1ノードはLレベルとなる。

次に、FLM信号がHレベルの状態、CLK2のクロック信号がHレベルになると、NMOS($Trf1$)を介してINFノードに、Hレベルからしきい値電圧(V_{th})分降下した電位が書き込まれる。

30

INFノードに入力された信号が1段目のIN2入力信号、2段目のIN1入力信号に相当し、1段目及び2段目の動作が可能となる。

また、同様に、FLM信号がHレベルの状態、CLK1のクロック信号がHレベルになると、NMOS($Trr1$)を介してINRノードに、Hレベルからしきい値電圧(V_{th})分降下した電位が書き込まれる。

INRノードに入力された信号が($n-1$)段目のIN4入力信号、 n 段目のIN3入力信号となる。また、FLM信号が n 段目のIN4入力信号となる。

この場合、 n 段目のIN3入力信号と、IN4入力信号とは、同一タイミング入力となるが、BS n ノードをNMOS($Trn3$)及びNMOS($Trn5$)を介して同時にLレベルにするため、問題はない。

40

【0015】

逆方向走査時においては、この逆の動作となり、図6(b)に示すようなタイムチャートとなる。この逆方向走査の時には、走査方向制御信号DRFがLレベル、走査方向制御信号DRRがHレベルとなる。

構成段数が奇数段の場合は、NMOS($Trf1$)のソース(または、ドレイン)、およびNMOS($Trr1$)のソース(または、ドレイン)に接続されるクロック信号線が構成段数が偶数段の場合と異なり、どちらもCLK2のクロック信号線となる。

これに伴い、FLM信号も、図8(a)及び図8(b)に示すパルス波形となるが、動

50

作自体は基本的に変わりはない。

TFノードは、NMOS (Trn6) がオフのときは、フローティングノードになる。したがって、容量カップリングなどの影響を受けやすいが、NMOS (Trn5) がオンでBSノードは安定したVSSの基準電位となり、TFノードは容量素子 (Cbsn) により安定する。

しかし、INFノード及びINRノードは、フローティングノードで前述したような安定化容量を持たない。

よって、INFノードおよびINRノードにゲートが接続されるトランジスタのゲート容量及びゲートオフ容量による容量カップリングの影響を受けやすい。

【0016】

例えば、順方向走査時、BSnノードの電位が上昇すると、INRノードの負荷容量が小さい場合、NMOS (Trn3) のゲートオフ容量によるカップリングでINRノードの電位が持ち上げられる。この電位が、しきい値電圧 (Vth) を上回るとNMOS (Trn3) がオンとなり、NMOS (Trn4) がオンのとき、NMOS (Trn3) とNMOS (Trn4) を介して、走査方向制御信号DRFが供給される信号線と、走査方向制御信号DRRが供給される信号線とが直結され、BSnノードがブートストラップされるタイミングでは、NMOS (Trn3) を介してLレベルが同時に書き込まれるためブートストラップ電位が下がる。

例えば、順方向走査時、BSnノードがブートストラップされると、INRノードの負荷容量が小さい場合、NMOS (Trn3) のゲートオフ容量によるカップリングでINRノードの電位が持ち上げられる。

そこで、安定した電位、例えば、VSSの基準電位に対して、CsfおよびCsrの容量素子を設けることで安定化し、誤動作を抑止する。

本発明は、n型の薄膜トランジスタからなるMOS単チャネル構成だけでなく、p型の薄膜トランジスタからなるpMOS単チャネルにても構成可能である。

この場合、基準電位VSSをHレベルとし、走査方向制御信号DRFがLレベル、走査方向制御信号DRRがHレベルのときに順方向走査、制御DRFがHレベル、走査方向制御信号DRRがLレベルのときに逆方向走査となり、論理が反転する。例えば、偶数段構成の順方向走査時のタイムチャートは図9のようになる。

【0017】

図3に示す基本回路において、BSノードを、VSSの基準電位とするためNMOS (Tr5) のゲートノードであるRSノードは、書きこみ前後以外はHレベルである必要がある。しかし、電源投入時においてRSノードは不定であり、一度走査するまで確定しない。このため電源投入時に誤動作をする可能性がある。

そこで、図10に示すように、RSノードに、ゲート及びドレイン (または、ソース) がFLM信号線に接続されたNMOS (Tr0) のソース (または、ドレイン) を接続することで、FLM信号が入力されると同時にRSノードにHレベル電位が書き込まれる。

図3に示す基本回路において、RSノードはフローティングノードである。したがって、NMOS (Tr5) やNMOS (Tr1) 及びNMOS (Tr2) のゲートオフ容量による容量カップリングの影響を受けやすい。

また、Hレベル書きこみ後、次の書きこみタイミングまでHレベルを保持する必要がある。そこで、図10に示すように、安定した電位、例えば、VSSの基準電位に対して負荷容量素子 (Cs) を設けることにより、容量カップリングの影響を受けにくくなり、安定性が上昇する。

【0018】

図3に示す基本回路において、BSノードは書きこみ時ブートストラップ効果により最大でHレベル電位の2倍近くまで電位が上昇する。

つまり、NMOS (Tr5)、およびNMOS (Tr3) またはNMOS (Rr4) のドレイン - ソース間に高い電位差が生じることになり、電圧によっては耐圧が問題となる。

。

10

20

30

40

50

そこで、図 11 に示すように、NMOS (Tr7) 及び NMOS (Tr8) によるスイッチを設置し、それぞれゲートに走査方向制御信号 DR R 及び走査方向制御信号 DR F を印加することにより、BS2 ノードがブートストラップ効果により H レベル電位より高い電位になった場合においても、NMOS (Tr7) または NMOS (Tr8) のゲート電圧は H レベル電位であるので、BS1 ノードには H レベル電位から、NMOS (Tr7) または NMOS (Tr8) のしきい値電圧 (V_{th}) 分降下した電位しかかからず、どのトランジスタのドレイン - ソース間にも H レベル電位以上の電位差がかかることがなくなる。よって高耐圧回路が実現可能となる。

【0019】

図 3 に示す基本回路において、TF ノードが次の段に転送する出力と共に走査信号出力ノードとなる。

つまり、例えば、ゲート線に接続された場合、TF ノードに接続される負荷容量が大きくなり、TF ノードに供給する必要な電荷量が増大し、駆動能力に大きく影響を及ぼす。

また、出力線に対する電位変動の影響をそのまま受けてしまい、誤動作や停止などが起こる可能性がある。

そこで、図 12 に示すように、ゲートを BS ノードに接続し、ドレイン (または、ソース) を、NMOS (Tr6) のソース (または、ドレイン) が接続されているクロック信号線に接続した NMOS (TrC) を設けることで、同じ出力信号を異なるトランジスタから供給することが可能となる。

これにより、OUT ノードをゲート線に接続し、TF ノードはゲート線の負荷をなくすことができるので、電位変動の影響を抑止することができる。

さらに、出力ノードは、出力時以外はフローティングとなるので、常に VSS の基準電位とするための NMOS (TrB)、並びに、NMOS (Tr9) および NMOS (TrA) から成る RS フリップフロップ回路を設ける。

【0020】

RS フリップフロップは、前段出力においてリセット、つまり RS2 ノードを L レベルとし、後段出力においてセット、つまり RS2 ノードを H レベルとする。これにより書きこみタイミング以外を VSS の基準電位とすることができる。

図 12 に示す回路において、出力ノード OUT は、書きこみタイミング以外は VSS の基準電位に接続されている。

しかし、VSS の基準電位には NMOS (TrB) を介して接続されているため、容量カップリングなどによる電位変動に対して、VSS の基準電位に収束するためにある程度の時間が必要となる。

したがって、変動電位がしきい値電圧 (V_{th}) を瞬間的にでも越える場合、NMOS (Tr9) または NMOS (TrA) が瞬間的にオンとなり、リーク電流が流れる可能性がある。

出力ノード OUT がゲート線などに接続される場合、連続的に容量カップリングなどによる電位変動を受ける可能性があり、RS2 ノードはフローティングノードであることからリーク電流により H レベルを保持できなくなることが考えられる。

【0021】

そこで、図 13 に示すように、もう一組の出力 NMOS (TrE) 及び VSS の基準電位とするための NMOS (TrD) を設け、RS フリップフロップ入力信号を供給するトランジスタと、走査信号を供給するトランジスタを分割することで、互いの影響を受けにくくすることが可能となる。また同手法により任意数の出力線を有することが可能である。

なお、図 12、図 13 に示す回路において、図 10 と同様に、RS2 ノードに、ゲート及びドレイン (または、ソース) が FL M 信号線に接続されたトランジスタのソース (または、ドレイン) を接続し、FL M 信号が入力されると同時に RS2 ノードに H レベル電位が書き込まれるようにしてもよい。

さらに、図 10 と同様、RS2 ノードに安定した電位、例えば、VSS の基準電位に対

10

20

30

40

50

して負荷容量素子 (C_s) を設けることにより、容量カップリングの影響を受けにくくなり、安定性を上昇させることができる。

【 0 0 2 2 】

図 3 に示す基本回路において、 $T F$ ノード出力はクロック信号の H レベルがそのまま出力される。これにより減衰なく次段に伝送が可能であり、 $N M O S (T r 3)$ または $N M O S (T r 4)$ のゲートには H レベルを、 $B S$ ノードには H レベルからしきい値電圧 (V_{th}) 分降下した電位を書き込むことが可能である。

しかし、図 5 に示す双方向走査回路において、順方向走査時、 $I N F$ ノードには H レベルからしきい値電圧 (V_{th}) 分降下した電位が供給されるため、 $B S 1$ ノードには、 $N M O S (T r 1 4)$ を介して H レベルからしきい値電圧 (V_{th}) 分降下した電位から、

10

さらにしきい値電圧 (V_{th}) 分降下した電位が供給される。つまり、その他の段と異なり、 $N M O S (T r 1 4)$ に十分な H レベルを供給することができず、低電圧化が難しい。

$I N F$ ノードは、フローティングノードであり、容量カップリングによる電位変動を受けやすい。順方向走査時において、 $I N F$ ノードが H レベルで $N M O S (T r 1 4)$ をオンして $B S 1$ ノードに走査方向制御信号 $D R F$ を供給する。

このとき、 $N M O S (T r 1 4)$ のゲートオン容量を介してブートストラップ効果により $I N F$ ノードの電位が上昇する。その上昇率は $N M O S (T r 1 4)$ のゲート容量と $I N F$ ノードの負荷容量の比で決まる。

【 0 0 2 3 】

20

そこで、図 1 4 に示すように、 $N M O S (T r 2 1)$ のゲートを、 $F L M$ 信号が供給される $F L M$ 信号線に接続し、さらに、負荷容量素子 (C_{sf}) を小さくすることで、ゲート容量の値によっては高い上昇率を得ることができ、 $N M O S (T r 1 4)$ を十分オンすることが可能となる。

この場合、 $N M O S (T r 2 1)$ をオンするタイミングは、図 5 に示す回路構成に比べ 1 クロック前後することになる。つまり、図 3 に示す $R S$ ノードが 1 クロック早く L レベル、または 1 クロック遅く H レベルとなる。

この場合、 $B S$ ノードがフローティングとなる期間が長くなるが、増加したクロックタイミングは書きこみタイミングの前後 3 段目であり、 L レベルの期間であるので影響は小さいと考えられる。

30

しかし先に述べたとおり、 $I N F$ ノードの負荷容量が小さい場合安定性が失われる。

図 5 に示す双方向走査回路において、 $I N F$ ノードに接続されるゲートは $N M O S (T r 1 4)$ 及び $N M O S (T r 2 1)$ の 2 つである。

$I N F$ ノードは、 $N M O S (T r 1 4)$ 及び $N M O S (T r 2 1)$ のゲートオン容量、またはゲートオフ容量を介して、容量カップリングの影響を $B S 1$ ノードまたは $R S 1$ ノードの電位変動時に受ける。

【 0 0 2 4 】

順方向走査時は、 $I N F$ ノードが L レベルフローティング状態になるのは 1 段目書きこみ時、つまり $B S 1$ ノードがブートストラップするタイミング以降であるので、電位が上昇する方向としては、 $B S 1$ ノードの H レベルからしきい値電圧 (V_{th}) 分降下した電位に対してブートストラップ効果により上昇した電位差分と、 $R S 1$ ノードの L レベルに対して H レベルからしきい値電圧 (V_{th}) 分降下した電位を書き込んだ電位差分の影響を受け、電位が下降する方向としては、 $F L M$ 信号が H レベルから L レベルへ変化した分の電位差、 $B S 1$ ノードがブートストラップ効果により上昇した電位から L レベルになったときの電位差分の影響を受ける。つまり上昇する方向への電位変動は小さい。

40

逆方向走査時は電位が上昇する方向としては、 $B S 1$ ノードが L レベルからブートストラップ効果により上昇した電位までの電位差の影響を受け、電位が下降する方向としては、 $F L M$ 信号が H レベルから L レベルへ変化した分の電位差、 $B S 1$ ノードがブートストラップ効果により上昇した分の電位差及び $R S 2$ ノードが H レベルからしきい値電圧 (V_{th}) 分降下した電位を保持していた電位を L レベルとしたときの電位差分の影響が考え

50

られる。

【 0 0 2 5 】

B S 1 ノードが、L レベルからブートストラップ効果により上昇した電位までの電位差分、N M O S (T r 1 4) のゲートオフ容量を介して容量カップリングの影響を受けるため I N F ノードの電位が N M O S (T r 1 4) のしきい値電圧 (V t h) を越える可能性がある。

つまり、ブートストラップするタイミングにおいて N M O S (T r 1 4) がオンになり L レベルを書き込んでしまう可能性がある。また、I N R ノードについてもこの逆のことがいえる。

したがって、順方向走査時には、I N F ノードの負荷容量は小さい方が、I N R ノードの負荷容量は大きいほうが好ましく、逆方向走査時には、I N F ノードの負荷容量は大きいほうが、I N R ノードの負荷容量は小さいほうが好ましいといえる。

そこで、図 1 4 に示すように、N M O S (T r 2 1) 及び N M O S (T r (n - 1) 2) のゲートを F L M 信号が供給される F L M 信号線に接続することで、両トランジスタのゲート容量による I N F ノード及び I N R ノードへの影響をなくし、さらに、I N F ノードにドレイン及びソースを接続し、ゲートを走査方向制御信号 D R R が供給される D R R 線に接続した N M O S (T r f 2) と、I N R ノードにドレイン及びソースを接続し、ゲートを走査方向制御信号 D R F が供給される D R F 線に接続した N M O S (T r r 2) を追加する。

これにより、順方向走査時は、走査方向制御信号 D R R が L レベルであり N M O S (T r f 2) はオフで、I N F ノードに対する負荷容量はゲートオフ容量となり小さく、走査方向制御信号 D R F は H レベルであり N M O S (T r r 2) はオンで、I N R ノードに対する負荷容量はゲートオン容量となり大きくなり、逆方向走査時はその逆となり、高いブートストラップ効率と安定性を得ることができる。

【 0 0 2 6 】

図 3 に示す基本回路において、ブートストラップ効果により B S ノードの電位が上昇すると、R S ノードは B S ノードの電位が上昇するタイミングにおいてはフローティング状態であるので、N M O S (T r 5) のゲートオフ容量の容量カップリングにより、R S ノードの電位が上昇する。

R S ノードに対する負荷容量を加えることでその上昇を抑制することが可能だが、より確実にするため、図 1 5 (a) に示すように、ゲートを B S ノードに接続し、ドレイン (または、ソース) R S ノードに接続し、ソース (または、ドレイン) を V S S の基準電位に接続した N M O S (T r F) を追加することにより、B S ノードの電位が上昇するときには常に R S ノードを V S S の基準電位固定とすることができ、容量カップリングによる影響を抑制することができる。

B S ノードを L レベルとするタイミングと R S ノードを H レベルとするタイミングが重なる場合は、図 1 5 (b) に示すように、N M O S (T r F) のゲートを T F ノードに接続する。また、この手法は、図 1 2 に示す R S 2 ノードに対しても有効である。このときゲートを B S ノードに接続する構成と O U T ノードに接続する構成が考えられる。B S ノードに接続する場合は R S 2 ノードを H レベルとするタイミングと、B S ノードを L レベルとするタイミングが同じになるため、I N 5 端子及び I N 6 端子の接続先を前後の段の O U T ノードではなく、さらにもう一段前及び後の段の O U T ノードに接続する。

図 1 6 は、以上の効果を全て取り入れた構成の双方向走査回路の回路図であり、図 1 7 (a) は、図 1 6 に示す双方向走査回路の順方向時のタイムチャート、図 1 7 (b) は図 1 6 に示す双方向走査回路の逆方向時のタイムチャートである。

【 0 0 2 7 】

以上説明したように、従来の、n M O S 単チャネル回路では、入力その他、セット、リセットといった信号が必要となるが、本実施例では、走査方向制御信号をセット電位やリセット電位として取り込み、同時に方向切り替え機能を持たせることで、順路スイッチが不要となり、素子数を削減することが可能となる。

また、信号経路を2つ設けるのではなく、共有化できるため、信号経路を削減することが可能となる。

さらに、本実施例では、n型あるいはp型の単チャンネル素子で回路を構成することができるため製造プロセスの短縮が可能となり、その上、1つの回路で双方向化が可能となり、さらに、素子数及び信号経路の削減により回路規模の縮小が可能となり、歩留まりを向上させることが可能となる。

なお、前述の説明では、トランジスタとして、MOS (Metal Oxide Semiconductor) 型のTFTを使用した場合について説明したが、一般のMOSFET、あるいは、MIS (Metal Insulator Semiconductor) FET等も使用可能である。

また、前述の説明では、本発明を液晶表示装置に適用した実施例について説明したが、本発明はこれに限定されるものではなく、例えば、有機EL素子などを使用するEL表示装置にも適用可能であることはいうまでもない

以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【図面の簡単な説明】

【0028】

【図1】本発明の実施例のアクティブマトリクス型液晶表示装置の等価回路を示す回路図である。

【図2】本発明の実施例の垂直駆動回路(XYD)または水平駆動回路(YDV)に適用される双方向走査回路の原理を説明するための回路図である。

【図3】本発明の実施例の垂直駆動回路(XYD)または水平駆動回路(YDV)に適用される双方向走査回路の1ライン走査する基本回路を示す回路図である。

【図4(a)】図3に示す基本回路において、走査方向制御信号DRFがHレベル、走査方向制御信号DRRがLレベルの場合のタイムチャートを示す図である。

【図4(b)】図3に示す基本回路において、走査方向制御信号DRFがLレベル、走査方向制御信号DRRがHレベルの場合のタイムチャートを示す図である。

【図5】図3に示す基本回路をn個偶数段に接続して構成した双方向走査回路を示す回路図である。

【図6(a)】図5に示す双方向走査回路の順方向走査のタイムチャートを示す図である。

【図6(b)】図5に示す双方向走査回路の逆方向走査のタイムチャートを示す図である。

【図7】図3に示す基本回路をn個奇数段に接続して構成した双方向走査回路を示す回路図である。

【図8(a)】図7に示す双方向走査回路の順方向走査のタイムチャートを示す図である。

【図8(b)】図7に示す双方向走査回路の逆方向走査のタイムチャートを示す図である。

【図9】図5に示す双方向走査回路をp型の薄膜トランジスタで構成した場合の、順方向走査時のタイムチャートを示す図である。

【図10】図3に示す基本回路の変形例を示す回路図である。

【図11】図3に示す基本回路の変形例を示す回路図である。

【図12】図3に示す基本回路の変形例を示す回路図である。

【図13】図3に示す基本回路の変形例を示す回路図である。

【図14】図5に示す双方向走査回路の変形例を示す回路図である。

【図15(a)】図3に示す基本回路の変形例を示す回路図である。

【図15(b)】図3に示す基本回路の変形例を示す回路図である。

【図16】図10～図15の変形例を全て取り入れた構成の双方向走査回路を示す回路図である。

【図17(a)】図16に示す双方向走査回路の順方向時のタイムチャートである。

【図17(b)】図16に示す双方向走査回路の逆方向時のタイムチャートである。

【図18】双方向表示が可能な液晶表示パネルの一例を示す図である。

【図19(a)】CMOSシフトレジスタの1段の概略構成を示す図である。

【図19(b)】双方化した場合のCMOSシフトレジスタの1段の概略構成を示す図である。

【図20(a)】単チャンネルシフトレジスタの1段の概略構成を示す図である。

【図20(b)】双方化した場合の単チャンネルシフトレジスタの1段の概略構成を示す図である。

【符号の説明】

【0029】

10 順方向垂直走査回路

20 逆方向垂直走査回路

30 液晶表示パネル

X1, X2, . . . , Xn ゲート線

Y1, Y2, . . . , Ym ドレイン線

S1, S2, . . . , Sm, F, R スイッチ素子

XDV 垂直駆動回路

YDV 水平駆動回路

DATA 映像信号線

COM 共通電極

Tnm、Trn, TrA~TrF, TrnA~TrnG, Trnm, Trfn, Trn 薄膜トランジスタ

RS, RS1, RS2, RSn, BS, BS1, BSn, TF, TF1, TFn ノード

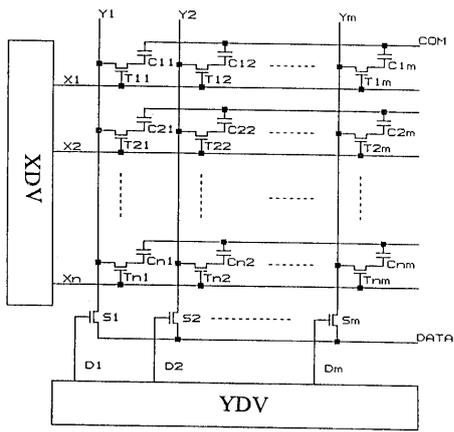
Cnm, Cbs, Cbs1, Cbsn, Cs, Csf, Csr 容量素子

10

20

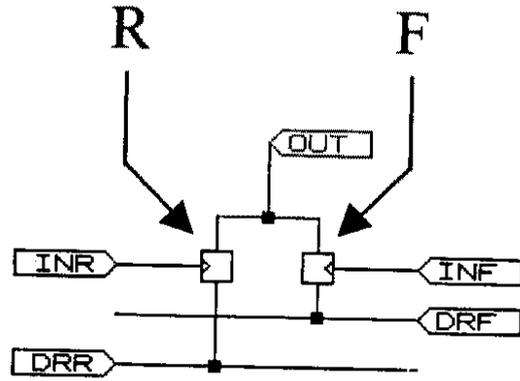
【図1】

図1



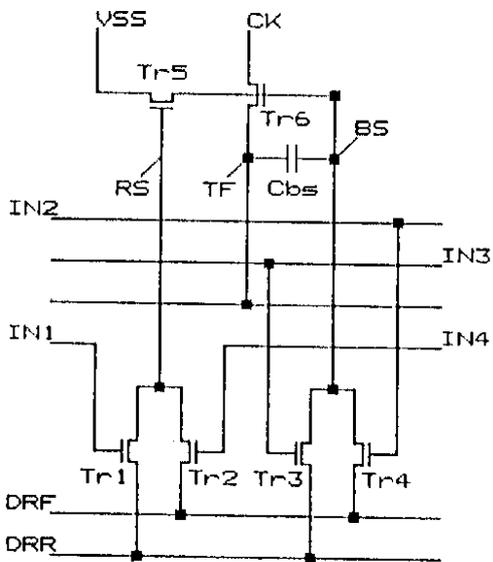
【図2】

図2



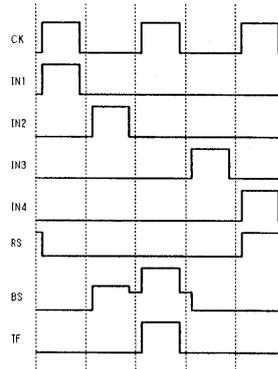
【図3】

図3



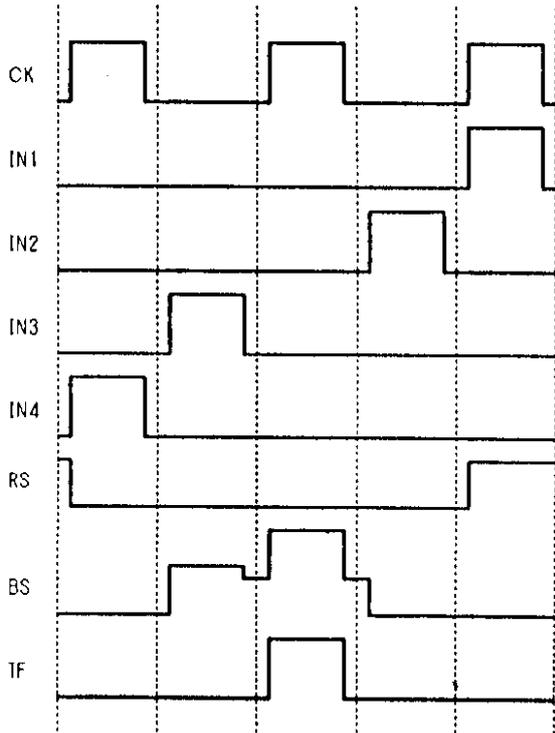
【図4(a)】

図4(a)



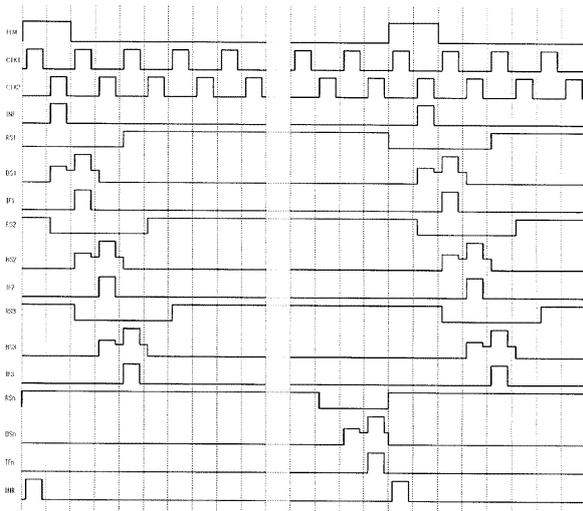
【図4(b)】

図4(b)



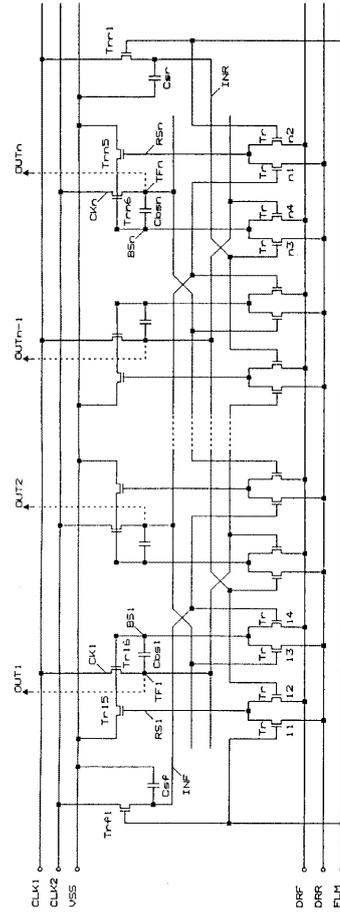
【図6(a)】

図6(a)



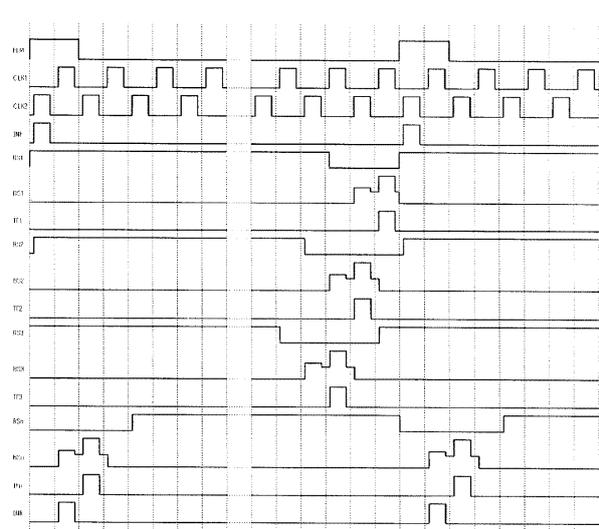
【図5】

図5



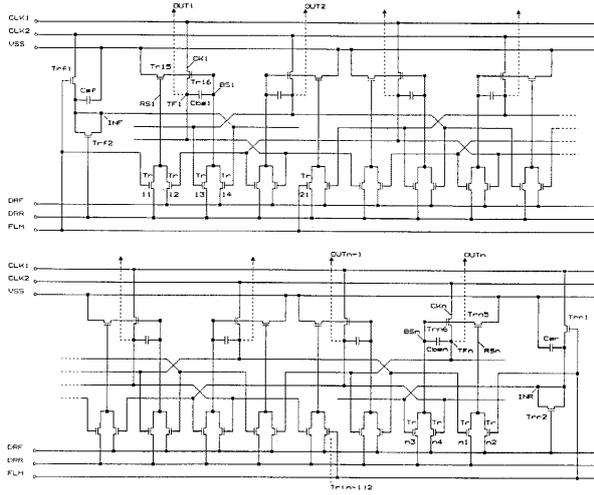
【図6(b)】

図6(b)



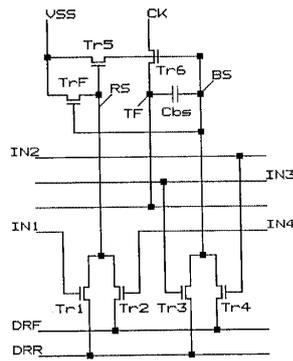
【図14】

図14



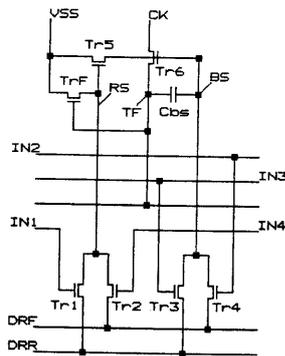
【図15(a)】

図15(a)

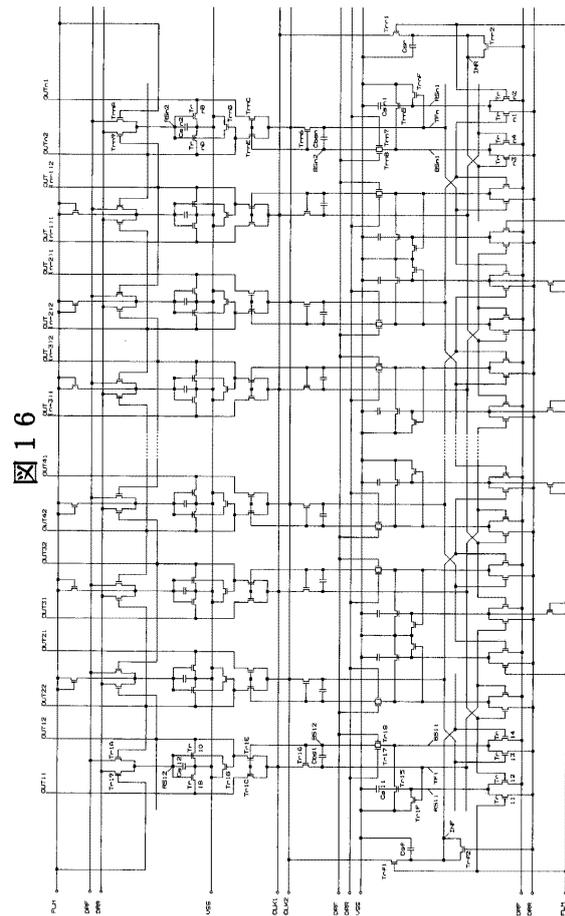


【図15(b)】

図15(b)



【図16】



フロントページの続き

- (72)発明者 榎 正博
千葉県茂原市早野3300番地 株式会社日立ディスプレイズ内
- (72)発明者 佐藤 秀夫
千葉県茂原市早野3300番地 株式会社日立ディスプレイズ内
- (72)発明者 宮沢 敏夫
千葉県茂原市早野3300番地 株式会社日立ディスプレイズ内

審査官 中村 直行

- (56)参考文献 特開2005-202422(JP,A)
特開2005-129211(JP,A)
特開2004-178624(JP,A)
特開平11-176186(JP,A)
特開2006-216093(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/00 - 3/38
G02F 1/133