

Beschreibung**Aufgabenstellung**

[0001] Die Erfindung betrifft einen Datenregenerator nach dem Oberbegriff des Patentanspruchs 1.

[0002] Bei Übertragungssystemen mit hohen Bitraten bestimmt die Entscheidungsschwelle (Abtastschwelle) und der Abtastzeitpunkt eines übertragenen Signals wesentlich die Fehlerrate und damit die maximale Übertragungsreichweite. Die optimale Entscheidungsschwelle, das heißt die Schwelle zur Unterscheidung zwischen den beiden Zuständen des binären Signals, und der optimale Abtastzeitpunkt, das heißt die Phasenlage eines Abtasttaktsignals gegenüber der Bitmitte eines Datensignals, sind von der Übertragungseinrichtung und der Übertragungstrecke abhängig. Während des Betriebes sollen beide ohne Störung der Übertragung nachgeregelt werden.

Stand der Technik

[0003] In der Offenlegungsschrift DE 197 17 643 A1 ist ein Verfahren und eine Anordnung zur Regelung der Entscheidungsschwelle und des Abtastzeitpunktes eines Datenregenerators beschrieben. Dieser weist einen ersten Datenpfad mit einem Phasenkomparator und einen zweiten Datenpfad auf, wobei die Entscheidungsschwellen in beiden Datenpfaden unabhängig voneinander eingestellt werden können. Hierdurch ist bei einem vorgegebenen Abtastzeitpunkt bereits eine Optimierung der Entscheidungsschwelle möglich. Um das gesamte Empfangsauge zu ermitteln, muss jedoch der Abtastzeitpunkt verschoben werden. Dies ist nur gemeinsam für beide Datenpfade möglich, wodurch bei größeren Abweichungen vom idealen Abtastzeitpunkt die Empfangsqualität verschlechtert wird. Bei größeren Phasenabweichungen und nicht idealen Übertragungsbedingungen geht auch leicht der Bezug zur idealen Phasenlage verloren.

[0004] Aus der Offenlegungsschrift DE 197 17 642 A1 ist ein Datenregenerator beschrieben, der nur einen Datenpfad mit einer einstellbaren Entscheidungsschwelle und einem einstellbaren Abtastzeitpunkt aufweist. Der Phasenkomparator ist von der Einstellung des Abtastzeitpunktes unabhängig. Dieser Datenregenerator wird bevorzugt bei Systemen verwendet, die durch fehlerkorrigierenden Codes geschützte Daten übertragen, wodurch die Beeinträchtigung der Signalqualität durch Verändern der Abtastbedingungen von der Fehlerkorrektur behoben oder gemildert wird. Für die Ausmessung des gesamten Empfangsauges und bei transparenter Übertragung ist diese Anordnung aber nicht geeignet.

[0005] Bei einer Optimierung der Abtastung ist außerdem zu beachten, dass sich die Entscheidungsschwelle und der Abtastzeitpunkt gegenseitig beeinflussen.

[0006] Aufgabe der Erfindung ist es, Datenregeneratoren für transparente Übertragungssysteme anzugeben, bei denen die Entscheidungsschwelle und der Abtastzeitpunkt optimal eingestellt werden können.

[0007] Ausgehend vom eingangs beschriebenen Datenregenerator wird die Aufgabe gemäß den kennzeichnenden Merkmalen des Anspruchs 1 gelöst.

[0008] Besonders vorteilhaft bei dem Datenregenerator nach Anspruch 1 ist, dass für die Einstellung der Phase immer von einem annähernd optimalen Bezugspunkt ausgegangen werden kann, der durch den Phasenkomparator vorgegeben ist. Die Entscheidungsschwelle und der Abtastzeitpunkt der Meß-Abtasteinrichtung kann beliebig verändert werden, ohne dass wegen der unveränderten Schwelle der Arbeits-Abtasteinrichtung zu Störungen beim Datenempfang kommt.

[0009] Bei einer vorteilhaften Weiterbildung nach Anspruch 2 ist auch die Entscheidungsschwelle und die Phase des Phasenkomparators optimierbar. Dieser Datenpfad wird dann als Arbeits-Abtasteinrichtung verwendet. Die beiden Abtasteinrichtungen können nun zu Meßzwecken beliebig verändert werden, ohne dass der Empfang gestört wird. So kann bei gleichbleibenden Entscheidungsschwellen das gesamte Empfangsauge durchfahren werden oder bei gleichbleibendem Abtastzeitpunkt können die Entscheidungsschwellen beliebig variiert werden. Die Einflüsse der Entscheidungsschwelle und des Abtastzeitpunktes können unabhängig voneinander ermittelt werden, ohne die Datenübertragung zu stören. Aufgrund der Meßergebnisse kann wiederum eine optimale Abtastphase und ebenso die Entscheidungsschwelle eingestellt werden. Diese Variante ist besonders für eine Soft-Decision-Fehlerkorrektur geeignet, da bei einer mit geringem Aufwand erweiterter Entscheidungslogik nach einer Optimierung der Abtastbedingungen die Bewertung des Empfangssignals mit drei unterschiedlichen Entscheidungsschwellen erfolgen kann.

[0010] Bei einer weiteren insbesondere für extrem hohe Datenraten oder für Meßzwecke besonders geeigneten Variante weist jede Abtast-Einrichtung zwei Datenpfade auf, in denen die Bits des Binärsignals abwechselnd eingeschrieben werden. Hierdurch sind Messungen bei Phasenänderungen bis \pm die halbe Bitbreite vom Soll-Abtastzeitpunkt hinaus möglich und die weitere Verarbeitung der Abtastwerte ist unkritisch.

[0011] Weitere vorteilhafte Weiterbildungen sind in den übrigen abhängigen Ansprüchen angegeben.

Ausführungsbeispiel

[0012] Ausführungsbeispiele der Erfindung werden anhand von Figuren näher erläutert. Es zeigen:

[0013] [Fig. 1](#) einen erfindungsgemäßen Datenregenerator,

[0014] [Fig. 2](#) ein Diagramm zur Optimierung der Entscheiderschwelle,

[0015] [Fig. 3](#) ein Fehlerraten-Diagramm zur Optimierung von Entscheiderschwelle und Taktphase,

[0016] [Fig. 4](#) ein weiteres Fehlerratendiagramm,

[0017] [Fig. 5](#) eine besonders vorteilhafte Variante des Datenregenerators,

[0018] [Fig. 6](#) eine weitere Variante des Datenregenerators mit parallelen Datenpfaden und

[0019] [Fig. 7](#) eine Zeitdiagramm zur Erläuterung der Funktion des Datenregenerators.

[0020] Der in [Fig. 1](#) dargestellte Datenregenerator weist einen Phasenregelkreis PK, TG und zwei Abtast-Einrichtungen E1, TV1, A1 und E2, TV2, A2 auf. Die erste Abtast-Einrichtung enthält eine erste Entscheiderstufe E1, ein erstes einstellbares Verzögerungsglied TV1 und eine erste Abtaststufe A1. Entsprechend enthält die zweite Abtast-Einrichtung eine zweite Entscheiderstufe E2, ein zweites einstellbares Verzögerungsglied TV2 und eine zweite Abtaststufe A2. Die Ausgänge der Abtaststufen A1 und A2 sind an die Eingänge einer Vergleichsstufe V, eines Exklusiv-ODER-Gatters, geführt. Auch dem Dateneingang des Phasenkomparators PK ist eine dritte Entscheiderstufe E3 und erforderlichenfalls ein (gegebenenfalls einstellbares) Verzögerungsglied TV3 vorgeschaltet.

[0021] Den beiden Abtast-Einrichtungen und dem Phasenkomparator wird ein am Dateneingang DI anliegendes binäres Eingangssignal DS zugeführt. Dieses Signal wird jeweils mit einer an den Entscheiderstufen anliegenden Vergleichsspannung, die der Entscheiderschwelle TH1, TH2 bzw. TH3 entspricht, verglichen und in ein möglichst rechteckförmiges Binärsignal umgesetzt. Nach Durchlaufen der Verzögerungsglieder werden die Binärsignale BS1 bzw. BS2 mit einem Taktsignal TS abgetaktet (in die Abtastkippstufen eingeschrieben) und von den Abtastkippstufen A1, A2 als abgetastete Binärsignale AS1 und AS2 zwischengespeichert. Aus dem Eingangssignal DS gewinnt der Taktregenerator PK, TG das Abtast-Taktsignal TS. Die Entscheiderschwellen und die Verzögerungsglieder werden von einer Steuerung ST eingestellt. Diese erhält vom Ausgang der Vergleichsstufe V Vergleichswerte VW, die "Fehlern" ent-

sprechen, und ermittelt aus diesen Vergleichswerten Kriterien zur optimalen Einstellung der Entscheiderschwellen und der Verzögerungsglieder, die die Abtastzeitpunkte ("Abtastphasen") bestimmen. Prinzipiell ist es möglich, die Verzögerungsglieder auch zwischen Taktgenerator und Abtaststufen einzuschalten und so das Taktsignal statt des Eingangssignals zu verzögern. Die Verzögerung der Binärsignale ermöglicht jedoch das Bewerten der Vergleichswerte stets mit dem selben Taktsignal unabhängig vom Abtastzeitpunkt.

[0022] [Fig. 2](#) zeigt ein Zeitdiagramm zur Erläuterung der Funktion. Das binäre Eingangssignal DS wird durch das Verzögerungsglied TV3 um ein halbes Bit verzögert und als Binärsignal BS3 vom Phasenkomparator mit der negativen Flanke des Taktsignals TS ideal in der Mitte abgetastet. Die Binärsignale BS1 und BS2 sind bei optimaler Abtastung ebenfalls ca. um ein halbes Bit verzögert. Bei dem in [Fig. 2](#) dargestellten Beispiel ist die Verzögerung in der Meß-Abtasteinrichtung E2, TV2, A2 jedoch geringer, so dass das zweite Binärsignal BS2 gegenüber dem Taktsignal TS voreilt, wodurch es nicht ideal abgetastet wird und es daher zu mehr Fehlabtastungen ("Fehlern") kommt. Der zulässige Schwankungsbereich des zweiten Binärsignals BS2 (bzw. der Abtastzeitpunkte T_A) von $\pm 1/2$ Bit ist schraffiert dargestellt. Das erste Binärsignal BS1 ist ebenfalls um ein halbes Datenbit verzögert und stimmt mit dem dritten Binärsignal überein. Das in der Mitte ideal abgetastete Binärsignal ist mit AS1 bezeichnet, das abgetastete Binärsignale AS2 ist in [Fig. 2](#) nicht dargestellt.

[0023] Aufgrund von Bauteilelaufzeiten und Eigenheiten der Übertragungseinrichtung wird durch den Phasenkomparator meist keine ideale Abtastung erfolgen. Deshalb ist eine Optimierung der Abtastung durch die erste Abtasteinrichtung, die Arbeits-Abtasteinrichtung E1, TV1, A1 erforderlich. Auf diese Weise wird ein optimal abgetastetes Binärsignal AS1 am Arbeits-Datenausgang DO abgegeben.

[0024] Die Einstellung der Entscheiderschwellen und der Abtastzeitpunkte (genauer der Phase zwischen dem Daten- bzw. Binärsignal und dem Taktsignal) erfolgt durch die entsprechenden Steuersignale TH1, TH2 bzw. PH1 und PH2. In diesem Ausführungsbeispiel kann auch die Entscheiderschwelle des Taktregenerators durch eine veränderbare Entscheiderschwelle TH3 eingestellt werden.

[0025] Der Phasenkomparator kann für viele Anwendungsfälle auch so konzipiert werden, daß das Verzögerungsgliedes TV3 entfallen kann, indem beispielsweise ein invertiertes Taktsignal verwendet wird. Die Abtastphase des Phasenkomparators kann durch ein spezielles Phasen-Einstellsignal PH3 optimiert werden.

[0026] [Fig. 3](#) zeigt ein Abtastdiagramm in Abhängigkeit von der Abtastphase und der Entscheidungsschwelle. Angenommen wird zunächst eine optimale Entscheidungsschwelle TH_0 und Abtastphase φ_0 für die Arbeits-Abtasteinrichtung E1, TV1, A1. In Abhängigkeit von der Abtastphase φ_2 der Meß-Abtasteinrichtung werden zunächst die Fehlerraten, genauer die ungleichen Vergleichswerte, gemessen. Bei größeren Abweichungen der Abtastphase steigt die "Fehlerrate" an. Bei optimaler Referenz-Entscheidungsschwelle $TH1 = TH_0$ und jeweils unterschiedlichen Schwellen $TH2$ wird die Abtastphase φ_2 der Meß-Abtasteinrichtung E2, TV2, A2 wieder variiert, wodurch das dargestellte Diagramm entsteht. Ebenso kann auch bei jeweils konstant gehaltener Abtastphase der Schwellwert variiert werden und anschließend bei einer neuen Messung mit geänderter Abtastphase der Vorgang wiederholt werden. Die eingezeichneten geschlossenen Graphen entsprechen konstanten Fehlerraten P_E und nehmen mit der Abweichung von den Idealwerten nach außen hin zu. Das dargestellte Diagramm zeigt ein unsymmetrisches Verhalten. Bei der Ermittlung der optimalen Abtastphasen φ_0 müssen diese Unsymmetrie und die auftretenden Phasenschwanken des Dateneingangssignals berücksichtigt werden. Entsprechende Diagramme können auch für größere Entscheidungsschwellen $TH1 = TH_G$ oder kleinere Entscheidungsschwellen $TH1 = TH_K$ ermittelt werden. Diese Diagramme weisen jedoch auch eine in Bezug auf die $TH1$ -Entscheidungsschwelle stark unsymmetrische Form auf, so dass aus ihnen ebenfalls die optimale Schwelle ermittelt werden kann.

[0027] Der entsprechende Algorithmus ist aus der Offenlegungsschrift DE 19914793 A1 herleitbar und nicht Teil der Erfindung.

[0028] Die [Fig. 4](#) zeigt eine weitere Darstellung des Zusammenhangs zwischen Schwellen und Fehlerraten. Die Fehlerraten P_E sind (logarithmischer Maßstab) in Abhängigkeit vom Schwellwert $TH2$ dargestellt. Der Schwellwert $TH1$ wird für jede Meßreihe verändert; die Abtastphase bleibt konstant. Im Fall a, gepunktete Funktion, bei dem eine erhebliche Abweichung der Schwelle $TH1 = TH1a$ vom optimalen Wert TH_0 vorliegt, gibt es bei Annäherung der Schwelle $TH2$ an $TH1a$ nur ein schmales Minimum, bei dem die gemessene Fehlerrate (Vergleichswerte) Null ist. Die Fehlerrate verharrt dann bei weiterer Verschiebung der Schwelle $TH2$ in Richtung Sollwert TH_0 aber auf hohem Niveau, weil die Abtasteinrichtung E1, TV1, A1 mit der konstant gehaltenen Schwelle $TH1a$ nun die Fehler produziert, bis die Kurve bei weiter zunehmender Differenz der Entscheidungsschwellen anhand der von der zweiten, der Meß-Abtasteinrichtung E2, TV2, A2 produzierten Fehler wieder ansteigt. Im Fall b, gestrichelte Funktion, bei dem die Referenzschwelle $TH1 = TH1b$ näher am Optimum liegt, ist der waagerechte Funktionsverlauf wesentlich kürzer und

somit eine Extrapolation sicherer. Die durchgezogene Kurve gibt den Verlauf bei einer optimierten Referenz-Entscheidungsschwelle $TH1 = TH_0$ wieder.

[0029] In [Fig. 5](#) ist eine besonders vorteilhafte Variante des Datenregenerators dargestellt, bei der auch die Entscheidungsschwelle und die Abtastphase des Taktregenerators optimal eingestellt werden kann und dieser synchron zu den anderen ein abgetastetes Binärsignal AS3 abgibt und daher als Working(Referenz)-Abtasteinrichtung verwendet wird. Da die Abtastphase und die Abtastschwelle des Taktregenerators nur geringfügig variiert werden muss, ist stets ein guter Ausgangswert für eine Optimierung vorhanden. Die Abtastschwellen und der Abtastzeitpunkte könne nun bei den ersten beiden Abtasteinrichtungen E1, TV1, A1 und E2, TV2, A2 auch gleichzeitig beliebig variiert werden, ohne dass die Datenübertragung gestört wird. Dies ermöglicht auch gleichzeitige Messungen mit unterschiedlichen Schwellwerten $TH1$, $TH2$ oder Abtastphasen. Die entsprechenden Abtastwerte AS1, AS2, AS3 werden einer entsprechenden Auswerteinrichtung EN zugeführt, die zwei Vergleichswerte VW1, VW2 abgibt.

[0030] Ferner können nach Ermittlung der optimalen Entscheidungsschwelle und des optimalen Abtastzeitpunktes des Taktregenerators die Entscheidungsschwellen $TH1$ und $TH2$ der ersten beiden Abtasteinrichtungen größer oder kleiner als die optimale Entscheidungsschwelle $TH3$ eingestellt werden, so dass Aussagen über die Abtastamplituden erhältlich sind, die zur Fehlerkorrektur (Soft-Decision) verwertbar sind.

[0031] [Fig. 6](#) zeigt eine weitere Variante des Datenregenerators, bei der die erste Abtasteinrichtung A1 zwei Datenpfade E1, A11, A12 bzw. E1, A21, A22 aufweist. Die gleich aufgebaute zweite Abtasteinrichtung A2 ist vereinfacht dargestellt. Wie bisher wird das binäre Eingangssignal über Entscheidungsebenen E1 und E2 geführt und nun bitweise abwechselnd mit der negativen und positiven Flanke des Taktsignals abgetastet. Die Taktsignale für die beiden Abtasteinrichtungen sind über die Verzögerungsglieder TV1, TV2 getrennt verstellbar. Der Phasenkomparator kann beliebig ausgeführt werden; er kann entsprechend [Fig. 5](#) auch als weitere Abtasteinrichtung ausgebildet sein. Diese Ausführung mit zwei parallelen Datenpfaden hat neben dem Auftreten von geringeren effektiven Datenraten den Vorteil, dass die zu vergleichenden Datenbits die doppelte Dauer zur Auswertung verfügbar sind und auch bei größeren Phasenverschiebungen zwischen Binärsignal und Taktsignal ausgewertet werden können. Die abgetasteten Binärsignale AS11 bzw. AS21 der ersten Datenpfade und AS12 bzw. AS22 der zweiten Datenpfade beider Abtasteinrichtungen werden über weitere Speicherstufen L11, L12, L31, L32; L21, L22, L41, L42 als gespeicherte Signale AS110, AS210, AS120,

AS220 Vergleichsstufen V1 bzw. V2 zugeführt, die die Vergleichswerte VW11 bzw. VW12 abgeben. Die Steuerung ist im wesentlichen identisch. Statt der Binärsignale werden hier über die Verzögerungsglieder TV1, TV2 die Abtast-Taktsignale TS1 und TS2 unabhängig voneinander verzögert.

[0032] Die Funktion wird anhand des in [Fig. 7](#) dargestellten Zeitdiagrammes erläutert. Die Bits des Eingangssignals sind mit Ziffern gekennzeichnet. In der Arbeits-Abtasteinrichtung werden die ungeradzahigen Bits 1, 3, 5, ... mit der negativen Flanke des Taktsignals TS1 übernommen, die geradzahigen Bits 2, 4, ... mit der positiven Flanke. Das Taktsignal TS2 für die zweite Abtasteinrichtung ist gegenüber dem Taktsignal TS1 um nahezu die Dauer eines halben Datenbits verzögert. Entsprechend sind die Bits von deren abgetasteten Binärsignal AS21 gegenüber AS11 verzögert. Alle abgetasteten Bits werden mit dem Taktsignal TS3 (bzw. dem hierzu invertierten Taktsignal) in die Speicherstufen L11, L12 bzw. L31, L32 übernommen, wobei einmal die negativen und einmal die positiven Flanken wirksam sind. Die gespeicherten Signale AS110 bis AS220 sind dargestellt. Wie aus dem Zeitdiagramm ersichtlich ist, können die Taktsignale TS1 bzw. TS2 bis an die Grenzen der Datenbits verschoben werden, ohne dass es Probleme bei dem Vergleich der abgetasteten Bits gibt. Die abgetasteten Binärsignale AS11, AS12, AS21 und AS22 können sogar gegenüber dem dritten Taktsignal TS3 um ± 1 Bit verschoben sein (was nur für Meßzwecken von Interesse ist). Die Speicher-Kippstufen L11, L12 und L31, L32 liefern Ausgangssignale, die einem ersten Vergleich V1 zugeführt werden; die Speicher-Kippstufen L21, L22 und L41, 42 liefern entsprechende Ausgangssignale der geradzahigen Bits, die einem zweiten Vergleich V2 zugeführt werden. Die Vergleichswerte VW11 und VW12 werden in bekannter Weise durch die Steuerung ST ausgewertet. Die Vergleich V1 und V2 können auch direkt an die Ausgänge der Abtastkippstufen A11, A12 und A21, A22 angeschaltet werden, wenn die abgetasteten Binärsignale zwischengespeichert werden. Dieser Taktregenerator ist für extrem hohe Datenraten geeignet.

[0033] Zur Überprüfung der Funktion und Bewertung der Übertragungsqualität können Verteilungen der Vergleichswerte ermittelt und in einer Anzeigeeinrichtung AN dargestellt werden.

Patentansprüche

1. Datenregenerator mit einem Phasenkomparator (PK) und einem Taktgenerator (TG) zur Rückgewinnung eines Taktsignals (TS) und mit einer Arbeits-Abtasteinrichtung, deren Entscheiderschwelle (TH1) und Abtastzeitpunkt (T_A) von einer Steuerung (ST) eingestellt werden, **dadurch gekennzeichnet,**

dass eine Meß-Abtasteinrichtung (E2, TV2, A2) mit einstellbarem Abtastzeitpunkt und einstellbarer Entscheiderschwelle (TH2) vorgesehen ist, dass eine Vergleicherschaltung (V) an die Arbeits-Abtasteinrichtung (E1, TV1, A1) und die Meß-Abtasteinrichtung (E2, TV2, A2) zum bitweisen Vergleich der abgetasteten Binärsignale (AS1, AS2) angeschaltet ist, daß die Entscheiderschwellen (TH1, TH2) und die Abtastzeitpunkte (T_A) beider Abtasteinrichtungen unabhängig voneinander durch die Steuerung (ST) einstellbar sind, um aufgrund der durch die Vergleicherschaltung (V) gewonnenen Vergleichswerte (VW) die Entscheiderschwelle (TH1) und den Abtastzeitpunkt (T_A) der Arbeits-Abtasteinrichtung (E1, TV1, A1) zu optimieren.

2. Datenregenerator nach Anspruch 1, dadurch gekennzeichnet, dass jede Abtasteinrichtung (E1, TV1, A1; E2, TV2, A2) eine Reihenschaltung einer Entscheiderstufe (E1, E2) mit einstellbarer Entscheiderschwelle (TH1, TH2), eines einstellbaren Verzögerungsgliedes (TV1, TV2) und einer Abtast-Kippstufe (A1, A2) aufweist.

3. Datenregenerator nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der Abtastzeitpunkt und/oder die Entscheiderschwelle (TH3) des Phasenkomparators (PK) einstellbar sind.

4. Datenregenerator nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass der Phasenkomparator (PK) zumindest annähernd dieselbe Datenlaufzeit aufweist wie die Abtasteinrichtungen (E1, TV1, A1; E2, TV2, A2) und als Arbeits-Abtasteinrichtung (A3) verwendet wird, daß die beiden anderen Abtasteinrichtungen (E1, TV1, A1; E2, TV2, A2) als erste und als zweite Meß-Abtasteinrichtung verwendet werden, dass eine Auswerteeinrichtung (EN) vorgesehen ist, der die abgetasteten Binärsignale (AS1, AS2, AS3) von beiden Meß-Abtasteinrichtungen (E1, TV1, A1; E2, TV2, A2) und vom Phasenkomparators (PK) zugeführt werden, wobei eine erste Vergleicherschaltung (V1) an Ausgänge der ersten Meß-Abtasteinrichtung (E1, TV1, A1) und des Phasenkomparators (PK) angeschaltet ist und einen ersten Vergleichswert (VW1) abgibt, eine zweite Vergleicherschaltung (V2) an Ausgänge der zweiten Meß-Abtasteinrichtung (E2, TV2, A2) und des Phasenkomparators (PK) angeschaltet ist und einen zweiten Vergleichswert (VW2) abgibt, und dass der Steuerung (ST) beide Vergleichswerte (VW1, VW2) zugeführt werden.

5. Datenregenerator nach Anspruch 4, dadurch gekennzeichnet, daß jede Meß-Abtasteinrichtung zwei Signalfade (E1, A11, A12, L11, L12; E1, A21, A22, L21, L22; ...) aufweist, in die die Bits eines Binärsignals (BS1;

BS2) abwechselnd eingespeichert werden, und daß die Auswerteeinrichtung (EN) für die einander entsprechende Signalpfade (E1, A11, A12, L11, L12; E2, A31, A32, L31, L32; ...) separate Vergleicherschaltungen (V1, V2) aufweisen.

6. Datenregenerator nach Anspruch 4 oder 5, dadurch gekennzeichnet, dass die Abtasteinrichtungen (E1, TV1, A1; E2, TV2, A2) bei optimierter Abtastung unterschiedliche Entscheidungsschwellen (TH1, TH2) aufweisen, die oberhalb und unterhalb der optimierten Entscheidungsschwelle (TH3) des ebenfalls als Abtasteinrichtung wirkenden Phasenkomparators (PK) liegen und die bitweise abgetasteten Binärsignale (AS1, AS2, AS3) für eine Fehlerkorrektur verwendet werden.

7. Datenregenerator nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß an die Steuerung (ST) eine Anzeigeeinrichtung (AN) zur Sichtbarmachung von gemessenen und/oder auftretenden Vergleichswertverteilungen angeschaltet ist.

Es folgen 6 Blatt Zeichnungen

FIG 1

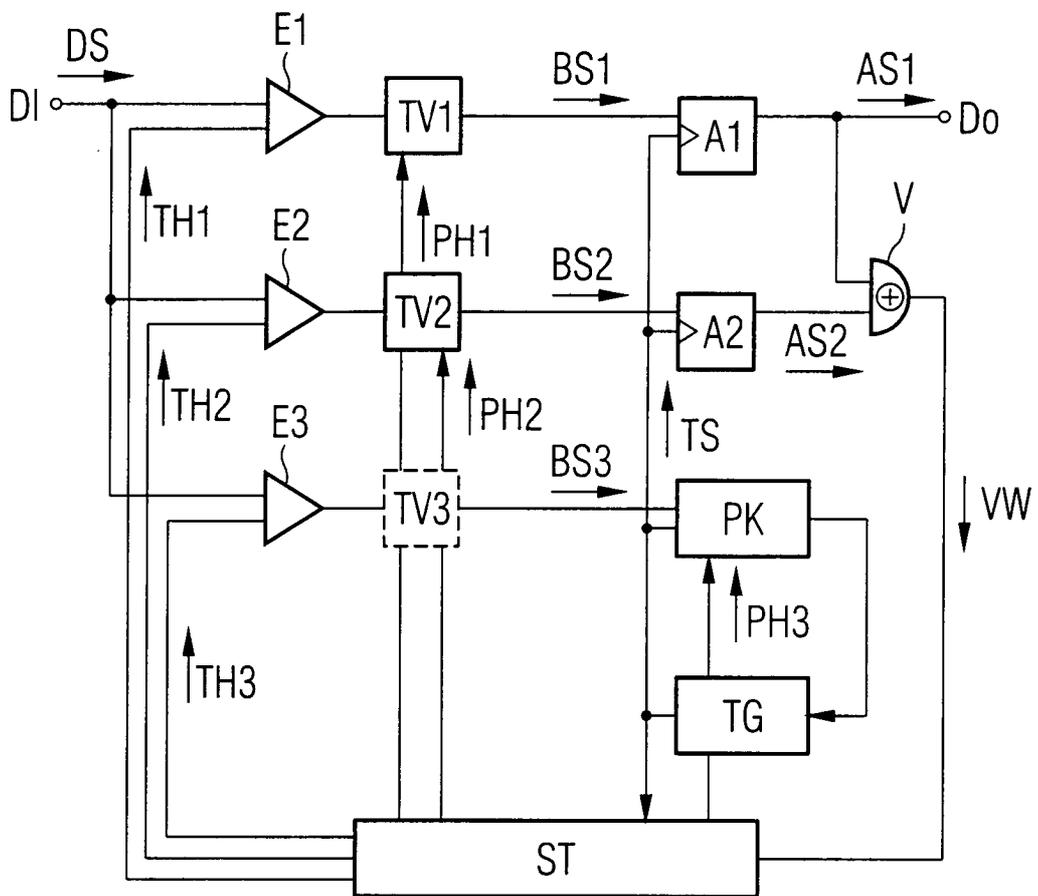


FIG 2

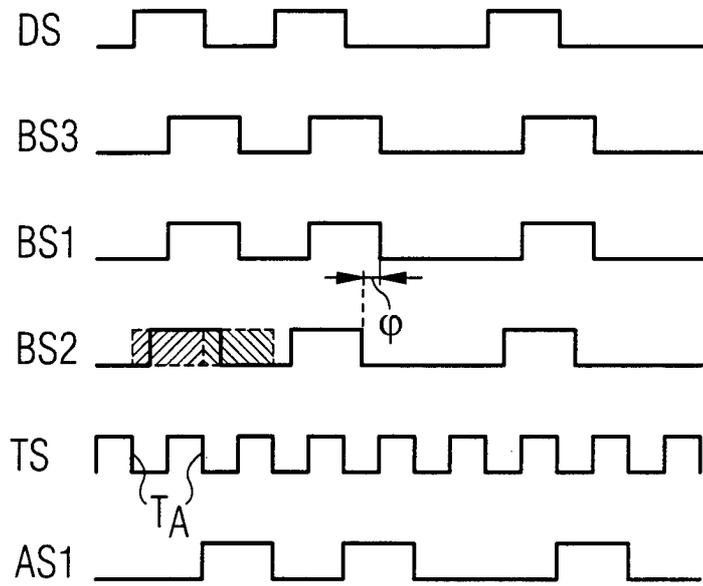


FIG 3

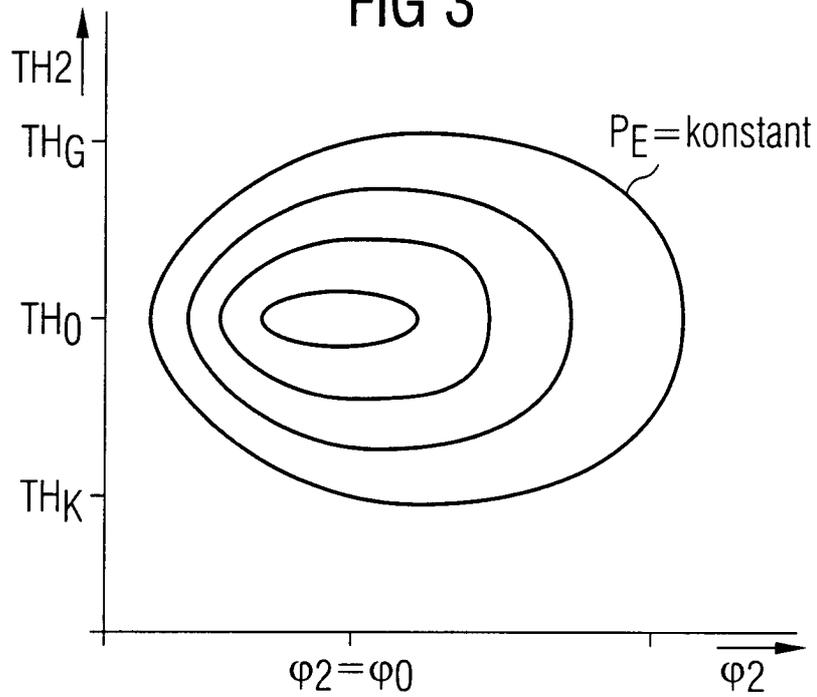


FIG 4

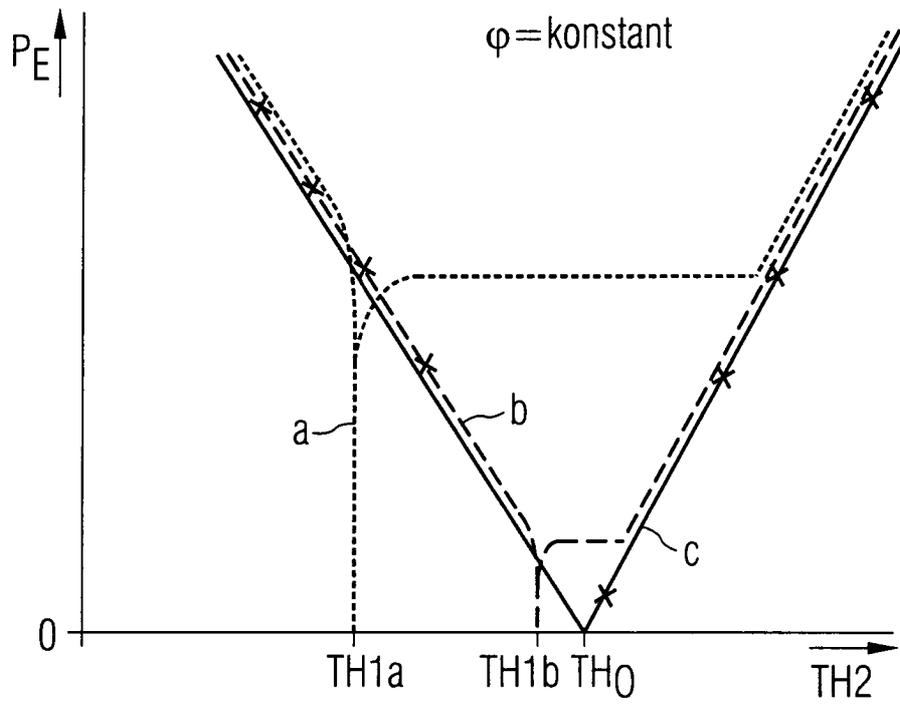


FIG 5

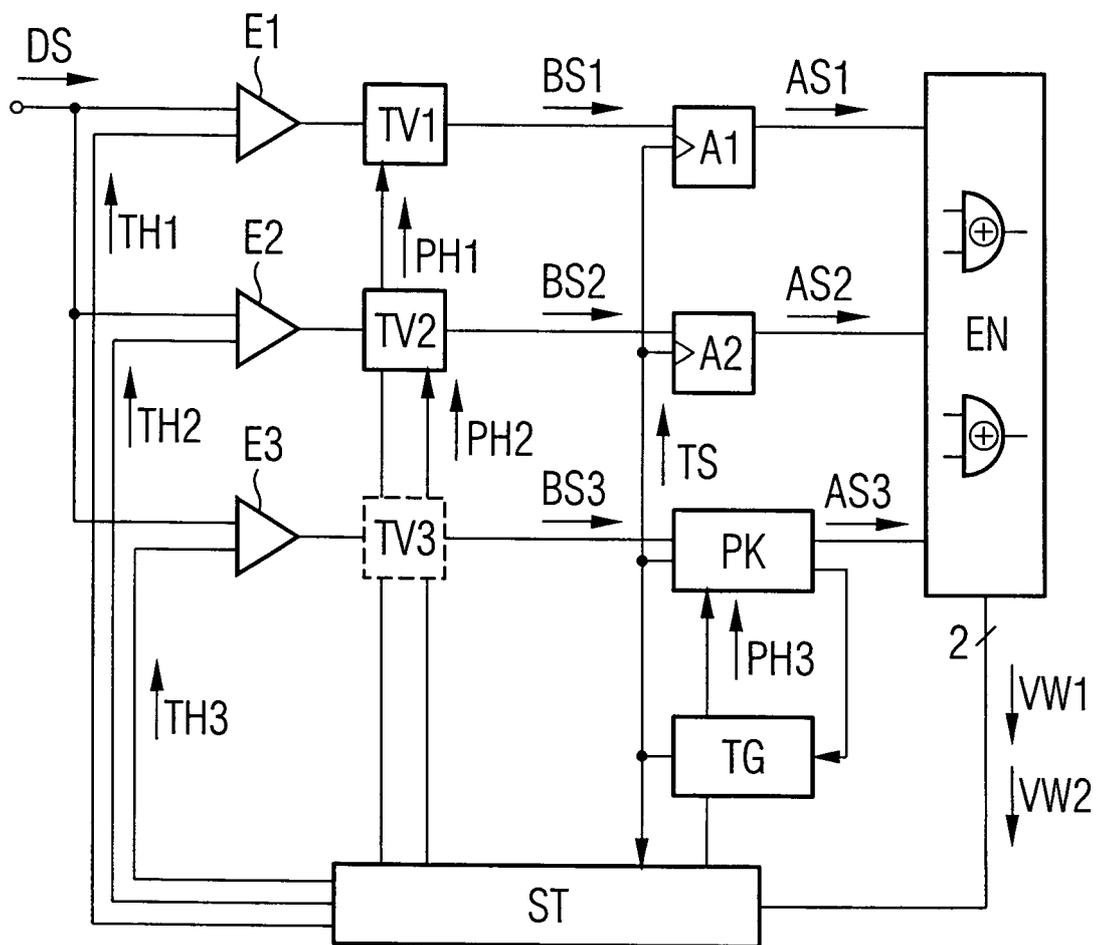


FIG 7

