



(12) 发明专利

(10) 授权公告号 CN 101908543 B

(45) 授权公告日 2016.06.22

(21) 申请号 201010196909.0

CN 1404160 A, 2003.03.19,

(22) 申请日 2010.06.02

CN 1630094 A, 2005.06.22,

(30) 优先权数据

CN 1748320 A, 2006.03.15,

61/183,403 2009.06.02 US

US 4924277 A, 1990.05.08,

12/615,996 2009.11.10 US

审查员 刘婧

(73) 专利权人 台湾积体电路制造股份有限公司
地址 中国台湾新竹市

(72) 发明人 柯志欣 万幸仁

(74) 专利代理机构 北京德恒律师事务所 11306
代理人 陆鑫 高雪琴

(51) Int. Cl.

H01L 27/088(2006.01)

H01L 29/78(2006.01)

H01L 29/06(2006.01)

H01L 21/336(2006.01)

(56) 对比文件

US 5801416 A, 1998.09.01,

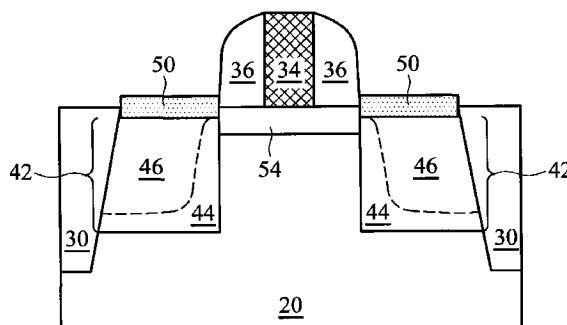
权利要求书2页 说明书6页 附图11页

(54) 发明名称

集成电路结构

(57) 摘要

本发明提供集成电路结构。上述集成电路结构包括一基底及一通道位于该基底之上。该通道包括由 III 族元素和 V 族元素所构成的一第一 III-V 族化合物半导体材料。一栅极结构设置于该通道上。一源极/漏极区域邻接该通道,以及该源极/漏极区域包括一 IV 族区域择自一群组实质上包含硅、锗、及上述的组合。通过再成长硅/锗源极/漏极区域,可将既有的硅化技术用于降低源极/漏极电阻,且改善最终晶体管的驱动电流。缓冲层具有缓和介于晶体管的通道与源极/漏极区域之间的晶格常数转换的效果,因而导致具有降低缺陷密度和降低结漏电流的效果。



1. 一种集成电路结构,包括:
 - 一基底;
 - 一通道位于该基底之上,其中该通道包括由III族元素和V族元素所构成的一第一III-V族化合物半导体材料;
 - 一栅极结构设置于该通道上;以及
 - 一源极/漏极区域邻接该通道,其中该源极/漏极区域包括一IV族区域择自一群组包含硅、锗、及上述的组合,其中该源极/漏极区域还包括一缓冲层位于该通道和该IV族区域之间且直接毗邻该通道和该IV族区域,以及其中该缓冲层包括一第二III-V族化合物半导体材料具有一晶格常数介于该通道的晶格常数与该IV族区域的晶格常数之间。
2. 如权利要求1所述的集成电路结构,其中该源极/漏极区域的底表面低于该通道的底表面。
3. 如权利要求1所述的集成电路结构,还包括一栅极间隙子位于该栅极结构的侧壁上,以及其中该栅极间隙子的外缘垂直对准于该源极/漏极区域的内部侧壁。
4. 如权利要求1所述的集成电路结构,其中该IV族区域是由掺杂一杂质的IV族半导体材料所构成。
5. 如权利要求1所述的集成电路结构,其中该栅极结构包括一栅极电极,以及其中该栅极电极的全部位于该通道之上。
6. 如权利要求1所述的集成电路结构,其中该栅极结构包括一栅极电极,以及其中该栅极电极包括一部分直接位于该通道之上,以及额外的部分位于该通道的对向边。
7. 如权利要求1所述的集成电路结构,其中该栅极结构包括一栅极电极与一下方的半导体层接触,所述半导体层的能隙大于所述通道的能隙。
8. 一种集成电路结构,包括:
 - 一半导体基底;
 - 一通道位于该半导体基底之上,其中该通道包括由III族元素和V族元素所构成的一第一III-V族化合物半导体材料;
 - 一栅极结构设置于该通道上;
 - 一栅极间隙子位于该栅极结构的侧壁上;
 - 一凹入邻接该通道,该凹入具有一底部低于该通道的底部;以及
 - 一源极/漏极区域位于该凹入中,其中该源极/漏极区域包括一IV族区域择自一群组包含硅、锗、及上述的组合,以及其中该源极/漏极区域掺杂一n-型掺杂物或一p-型掺杂物,
 - 一缓冲层包括一第二III-V族化合物半导体材料于该凹入中,其中该缓冲层包括一垂直部分直接位于该通道与该IV族区域之间,以及其中该缓冲层包括一第二III-V族化合物半导体材料具有一晶格常数介于该通道的一第一晶格常数与该IV族区域的一第二晶格常数之间。
9. 如权利要求8所述的集成电路结构,其中该缓冲层具有一梯度组成,具有较靠近该通道的第一部分的晶格常数较接近该第一晶格常数,以及较靠近该IV族区域的第二部分的晶格常数较接近该第二晶格常数。
10. 一种集成电路结构,包括:

一基底；

一鳍式结构位于该基底之上，其中该鳍式结构包括由III族元素和V族元素所构成的一第一III-V族化合物半导体材料；

一栅极结构一部分直接设置于该鳍式结构之上，及一额外部分设置于该鳍式结构的另一端上；以及

一源极/漏极区域邻接该鳍式结构，其中该源极/漏极区域包括一IV族区域择自一群组包含硅、锗、及上述的组合，

该源极/漏极区域还包括位于该鳍式结构以及该IV族区域之间且直接毗邻该鳍式结构以及该IV族区域的一缓冲层，以及该缓冲层包括一第二III-V族化合物半导体材料，该第二III-V族化合物半导体材料具有介于该鳍式结构的晶格常数与该IV族区域的晶格常数之间的一晶格常数。

11. 如权利要求10所述的集成电路结构，其中该鳍式结构包括：

一中央鳍式结构由该第一III-V族化合物半导体材料形成；以及

一半导体层包括一第一部分直接位于该中央鳍式结构上，及一第二部分位于该中央鳍式结构的对向的侧壁上，其中该半导体层的能隙大于该中央鳍式结构的能隙。

集成电路结构

技术领域

[0001] 本发明涉及集成电路结构,特别涉及包含III-V族化合物半导体的晶体管及其制造方法。

背景技术

[0002] 金属-氧化物-半导体(MOS)晶体管的速度与MOS晶体管的驱动电流之间有密切的关联性,而MOS晶体管的驱动电流又与电荷的移动率又有密切的关联性。例如,当电子移动率在通道区域高时,则NMOS晶体管具有高的驱动电流,然而当空穴移动率在通道区域高时,则PMOS晶体管具有高的驱动电流。

[0003] 由III族和V族元素所构成的化合物半导体材料(通称为III-V族化合物半导体)因为具有高电子移动率,因此可做为良好的候选材料,以形成NMOS晶体管。因此,III-V族化合物半导体常被用来形成NMOS晶体管。为了降低制造成本,已发展出使用III-V族化合物半导体材料形成PMOS晶体管的方法。图1显示传统配合使用III-V族化合物半导体的晶体管的示意图。在形成的过程中,多层材料毯覆性地形成于一硅基底1上,其中所述多层材料包括由GaAs形成的缓冲层2、由 $\text{In}_x\text{Al}_{1-x}\text{As}$ (其中x为介于,但不等于0和1)形成的梯度缓冲层3、由 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 形成的底部阻挡层4、由 $\text{In}_{0.7}\text{Al}_{0.3}\text{As}$ 形成的通道5、由 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 形成的顶部阻挡层6、由InP形成的蚀刻终止层7、以及由 $\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$ 形成的接触层8。实施一第一蚀刻步骤以蚀穿该接触层8并停止于该蚀刻终止层7以形成一第一凹入。接着,实施一第二蚀刻步骤以蚀穿该蚀刻终止层7,并蚀刻侵入该顶部阻挡层6的一部分以形成一第二凹入。接着,将一栅极结构(由金属构成)10形成于该第二凹入中。上述工艺所导致的晶体管具有的优点为所导致的量子阱是由底部阻挡层、通道、和顶部阻挡层构成。

[0004] 然而,上述晶体管仍有许多缺点。将高浓度杂质掺杂进入III-V族化合物半导体中是非常困难的。例如,可将Si注入或临场(in-situ)掺杂于GaAs中做为掺杂物,然而硅的最大掺杂浓度仅为介于 $10^{17}/\text{cm}^3$ 和 $10^{18}/\text{cm}^3$ 之间。此外,传导带的低能态密度导致高的源极/漏极电阻,其避免最终晶体管驱动电流的改善。因此,业界急需克服于先前技术中前述缺点的方法和结构。

发明内容

[0005] 为克服现有技术缺陷,本发明的实施例提供一种集成电路结构,包括:一基底;一通道位于该基底之上,其中该通道包括由III族元素和V族元素所构成的一第一III-V族化合物半导体材料;一栅极结构设置于该通道上;以及一源极/漏极区域邻接该通道,其中该源极/漏极区域包括一IV族区域择自一群组实质上包含硅、锗、及上述的组合。

[0006] 本发明的实施例另提供一种集成电路结构,包括:一半导体基底;一通道位于该半导体基底之上,其中该通道包括由III族元素和V族元素所构成的一第一III-V族化合物半导体材料;一栅极结构设置于该通道上;一栅极间隙子位于该栅极结构的侧壁上;一凹入邻接该通道,该凹入具有一底部低于该通道的底部;以及一源极/漏极区域位于该凹入中,其

中该源极/漏极区域包括一IV族区域择自一群组实质上包含硅、锗、及上述的组合,以及其中该源极/漏极区域掺杂一n-型掺杂物或一p-型掺杂物。

[0007] 本发明的实施例又提供一种集成电路结构,包括:一基底;一鳍式结构位于该基底之上,其中该鳍式结构包括由III族元素和V族元素所构成的一第一III-V族化合物半导体材料;一栅极结构一部分直接设置于该鳍式结构之上,及一额外部分设置于该鳍式结构的另一端上;以及一源极/漏极区域邻接该鳍式结构,其中该源极/漏极区域包括一IV族区域择自一群组实质上包含硅、锗、及上述的组合。

[0008] 通过再成长硅/锗源极/漏极区域,可将既有的硅化技术用于降低源极/漏极电阻,且改善最终晶体管的驱动电流。缓冲层具有缓和介于晶体管的通道与源极/漏极区域之间的晶格常数转换的效果,因而导致具有降低缺陷密度和降低结漏电流的效果。

[0009] 为使本发明能更明显易懂,下文特举实施例,并配合所附图式,作详细说明如下。

附图说明

[0010] 图1显示传统晶体管包括III族元素和V族元素所构成的一第一III-V族化合物半导体材料的示意图;

[0011] 图2~图11显示根据本发明的实施例于制造晶体管的工艺中各工艺阶段的剖面示意图;

[0012] 图12~图14显示根据本发明的实施例于制造鳍式场效应晶体管(FinFET)的工艺中各工艺阶段的立体示意图;以及

[0013] 图15~图17显示根据本发明的实施例的鳍式场效应晶体管(FinFET)的剖面示意图。

[0014] 并且,上述附图中的附图标记说明如下:

[0015] 1~硅基底;

[0016] 2~缓冲层;

[0017] 3~梯度缓冲层;

[0018] 4~底部阻挡层;

[0019] 5~通道;

[0020] 6~顶部阻挡层;

[0021] 7~蚀刻终止层;

[0022] 8~接触层;

[0023] 9~源极/漏极;

[0024] 10~栅极结构;

[0025] 20~基底;

[0026] 22~凹入;

[0027] 24~底部阻挡层;

[0028] 26~通道层;

[0029] 28~顶部阻挡层;

[0030] 30~浅沟槽隔离(STI)区;

[0031] 32~栅极介电层;

- [0032] 34~栅极电极;
- [0033] 36~栅极间隙子;
- [0034] 38~凹入;
- [0035] 42~源极/漏极区域;
- [0036] 44~缓冲层;
- [0037] 46~IV族半导体区域;
- [0038] 50~硅化物区域;
- [0039] 52~晶体管;
- [0040] 54~通道层;
- [0041] 60~鳍式结构;
- [0042] 64~半导体层。

具体实施方式

[0043] 以下以各实施例详细说明并伴随着图式说明的范例,做为本发明的参考依据。在图式或说明书描述中,相似或相同的部分皆使用相同的图号。且在图式中,实施例的形状或是厚度可扩大,并以简化或是方便标示。再者,图式中各元件的部分将以分别描述说明之,值得注意的是,图中未绘示或描述的元件,为所属技术领域中具有通常知识者所知的形式,另外,特定的实施例仅为揭示本发明使用的特定方式,其并非用以限定本发明。

[0044] 本发明的实施例提供新颖的晶体管包括由III族和V族元素所构成的化合物半导体材料(通称为III-V族化合物半导体),以及形成所述新颖的晶体管的制造方法。并且已通过图示说明该制造方法的中间阶段的实施例。于本发明各图式的实施例与各种观点中,相似的元件符号是用来表示相似的元件。

[0045] 请参阅图2,提供一基底20。基底20可为一半导体基板,由硅、锗、SiGe、及/或其他半导体材料所构成。绝缘结构例如浅沟槽隔离(STI)区30形成于基底20中。

[0046] 请参阅图3,通过蚀刻部分的基底20以形成一凹入22于相对的两个浅沟槽隔离(STI)区30的侧壁之间。接着,如图4A所示,将复数层材料包括一底部阻挡层24、一通道层26、以及一顶部阻挡层28外延成长于该凹入22中。于一实施例中,所述通道层26具有第一能隙(bandgap),而底部阻挡层24及顶部阻挡层28具有第二能隙大于第一能隙。据此,由底部阻挡层24、通道层26、及顶部阻挡层28构成一量子阱。第二能隙大于第一能隙的范围约为0.1eV,然而更大或更小的能隙差距亦可适用。所述底部阻挡层24、通道层26、及顶部阻挡层28的适合材料可选取通过比较既有具有高载子移动率的半导体材料的能隙,该些半导体材料包括,但非限定于,硅、锗、GaAs、InP、GaN、InGaAs、InAs、InSb、InAlAs、GaSb、AlSb、AlP、GaP、及上述材料的组合。通道层26可通过III族元素和V族元素所构成的一第一III-V族化合物半导体材料而形成。于一比较实施例中,通道层26包括 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$,而底部阻挡层24和顶部阻挡层28包括 $\text{In}_{0.52}\text{Al}_{0.48}\text{As}$ 。于其他实施例中,通道层26包括InGaAs,而底部阻挡层24和顶部阻挡层28包括GaAs。又于其他实施例中,通道层26包括InAs,而底部阻挡层24和顶部阻挡层28包括InAlAs。底部阻挡层24可具有的厚度范围介于约5nm至10000nm,通道层26可具有的厚度范围介于约2nm至50nm,顶部阻挡层28可具有的厚度范围介于约5nm至500nm。然而,应理解的是,在此所提到全部的尺寸仅为举例说明,并且若使用不同的形成技术,亦可随之

改变。

[0047] 选择性地,将额外的缓冲层形成于基底20上,并且位于一覆盖半导体层,例如底部阻挡层24的下方。该缓冲层可具有晶格常数介于基底20的晶格常数与覆盖半导体层的晶格常数之间,使得从底部层至顶部层之间的晶格常数转变较不突然。通过在浅沟槽隔离(STI)区30之间形成底部阻挡层24、通道层26、及顶部阻挡层28,在重新成长层内所产生的缺陷显著地较少。

[0048] 图4B显示另择一的实施例,其中该些层24、26、28是以毯覆层的型式形成于半导体基底20上。

[0049] 图5显示形成栅极结构与栅极间隙子36的剖面示意图。该栅极结构包括栅极介电层32和栅极电极34。栅极介电层32可由常用的介电材料构成,例如氧化硅、氮化硅、氮氧化硅、上述的多层材料、及上述材料的组合。栅极介电层32亦可由高介电常数(high-k)介电材料构成。该high-k介电材料的范例可具有k值大于约4.0、或甚至大于7.0,并且可包括氧化铝、氧化钪、氮氧化钪、硅化钪、硅化锆、氧化钪、氧化铈、氧化钛、氧化钽、及上述材料的组合。栅极电极34可由掺杂多晶硅、金属、金属氮化物、金属硅化物、及类似的材料构成。栅极间隙子36可由氧化硅、氮化硅、及上述材料的组合所构成,并且栅极间隙子36为本技术领域已知的结构,因而在此略去其详细的描述。

[0050] 请参阅图6,形成凹入38。于一比较实施例中,使用一蚀刻步骤,因此凹入38的侧壁垂直对准于栅极间隙子36的外缘。做为另一实施例,在此描述的凹入38的侧壁与栅极间隙子36的外缘垂直对准,本领域技术人员应可了解此限定条件意欲包括工艺变异和工艺最佳化所导致的对不准(misalignment)。凹入38的底表面可低于通道层26的底表面。

[0051] 请参阅图7A,将一IV族半导体材料外延成长于凹入38中,由此形成源极及漏极区域42(此后通称为源极/漏极区域)。于一实施例中,所述源极/漏极区域42可由硅、锗、或硅锗(SiGe)所构成。若最终的晶体管欲成为NMOS晶体管,源极/漏极区域42可掺杂n-型掺杂物,例如磷、砷、锑、及上述掺杂物的组合。若最终的晶体管欲成为PMOS晶体管,源极/漏极区域42可掺杂p-型掺杂物,例如硼、镉、及上述掺杂物的组合。该n-型掺杂物或p-型掺杂物可随着源极/漏极区域42的外延成长工艺中临场(in-situ)掺杂,或者在外延成长源极/漏极区域42之后,才进行注入步骤。该n-型或p-型掺杂物的掺杂浓度范围可介于约 $1 \times 10^{18}/\text{cm}^3$ 至 $1 \times 10^{21}/\text{cm}^3$ 。于此实施例中,源极/漏极区域42亦可称为IV族半导体区域46。

[0052] 图7B显示另择一的实施例,其中外延成长的源极/漏极区域42包括外延成长的III-V族化合物半导体区域44(此后通称为缓冲层),以及IV族半导体区域46于缓冲层44上。缓冲层44可由III-V族化合物半导体所构成,其包括但不限于,GaAs、InP、GaN、InGaAs、InAlAs、GaSb、AlSb、AlAs、AlP、GaP、上述材料的组合、及上述的多层材料。缓冲层44可具有一水平部分于该凹入38的底部上(图6),以及一垂直部分位于该凹入38的侧壁上。于一实施例中,缓冲层44包括一梯度组成,具有较低部分的组成逐渐地变化成所欲的较高部分的组成。再者,该缓冲层44的较低部分可具有晶格常数较接近于该通道层26的晶格常数,而该缓冲层44的较高部分可具有晶格常数较接近于该IV族半导体区域46的晶格常数。缓冲层44与基底20之间晶格常数不匹配,可逐渐地从缓冲层44的底部增加到缓冲层44的顶部。

[0053] 于一比较实施例中,通道层26是由 $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 所构成,而源极/漏极区域42是由锗构成, $\text{In}_{0.7}\text{Ga}_{0.3}\text{As}$ 与锗之间具有晶格常数不匹配性约为百分之四。有鉴于此,缓冲层44可具

有铟的含量低于0.7%。缓冲层44亦可由不均匀组成的多层结构形成,例如 $\text{In}_{0.2}\text{Ga}_{0.8}\text{As}$ 或一梯度层具有铟的百分比由底部朝向顶部逐渐地增加。

[0054] 缓冲层44可被掺杂。若最终的晶体管欲成为NMOS晶体管,则掺杂的杂质包括硅(Si)。相反地,若最终的晶体管欲成为PMOS晶体管,则掺杂的杂质包括锌(Zn)及/或铍(Be)。

[0055] 可观察到的是,在源极/漏极区域42中的硅锗具有较大的晶格不匹配性大于III-V族化合物半导体于通道层26中的晶格不匹配性。所述较大的晶格不匹配性导致高的缺陷密度,并且导致高的结漏电流。通过形成缓冲层44,可降低于通道层26与邻接的源极/漏极区域42之间的晶格不匹配性,导致降低的结漏电流。

[0056] 其次,如图8A和图8B所示,将硅化物区域50(其亦可为,或包括锗硅化物)形成于于源极/漏极区域42上。由于源极/漏极区域42包括硅及/或锗,硅化物的形成方式可通过毯覆性地形成一金属层;施以一退火步骤使得该金属层与底层的硅及/或锗反应;以及移除该金属层的未反应部分。由此,已完成制作晶体管52。

[0057] 请参阅图9,由底部阻挡层24、通道层26、以及顶部阻挡层28所构成的量子阱可由通道层54取代。通道层54可由III-V族化合物半导体材料所构成,例如GaAs、InP、GaN、InGaAs、InAs、InSb、InAlAs、GaSb、AlSb、AlAs、AlP、GaP、及上述材料的组合。

[0058] 图10显示另择一的实施例,其相似于如图8A和图8B所示的实施例,其差异仅在于未形成栅极介电层。栅极电极34直接与顶部阻挡层28接触。于此范例中,在栅极电极34与顶部阻挡层28之间因肖基阻挡(Schottky barrier)所导致的空乏区(未图示)的作用为栅极介电层。

[0059] 图11显示一类似的结构如图9所示,其中并未形成栅极介电层。再次地,于图9至图11中,源极/漏极区域42可包括仅为掺杂的硅/锗/SiGe区域与通道层26(或54)邻接,或者为掺杂的硅/锗/SiGe区域及底层的缓冲层44。

[0060] 在上述段落中所讨论的实施例可应用于鳍式场效应晶体管(fin field effect transistor,简称FinFET)。请参阅图12,形成鳍式结构60、栅极介电层32、栅极电极34、及栅极间隙子36(未图示)。形成鳍式结构60的细节已于本案的共同申请案中公开:美国专利申请案号61/182550,2009年5月29日提申,标题为“Gradient Ternary or Quaternary Multiple-Gate transistor”,在此引为参考资料。鳍式结构60可包括III-V族化合物半导体材料。

[0061] 接着,如图13所示,将鳍式结构60露出的结构移除。被栅极电极34和栅极间隙子36覆盖的鳍式结构60部分可受到保护以免被蚀成凹入。于图14中,以外延地成长源极/漏极区域42,并且以先前段落中所讨论实质上相同的材料形成。同样的,源极/漏极区域42可包括介于IV族半导体区域46之间的缓冲层44,或仅包括IV族半导体区域。

[0062] 图15-图17显示另择一的实施例的剖面示意图,其中该些剖面示意图是源自图14中沿切割线A-A'的垂直切面。于图15中,并未形成栅极介电层。栅极电极34直接接触鳍式结构60。于此范例中,在栅极电极34与顶部阻挡层28之间因肖基阻挡(Schottky barrier)所导致的空乏区(未图示)的作用为栅极介电层。

[0063] 请参阅图16,一量子阱是由鳍式结构60(此后通称为中央鳍)及半导体层64形成,位于鳍式结构60的侧壁上和顶部表面上。半导体层64具有能隙大于鳍式结构60的能隙,例如约大于0.1eV。再者,鳍式结构60及半导体层64的材料已于本案的共同申请案中公开:美

国专利申请案号61/182550,2009年5月29日提申,标题为“Gradient Ternary or Quaternary Multiple-Gate transistor”。

[0064] 图17显示一类似的结构如图15所示,其中并未形成栅极介电层。再次地,于图15至图17中,虽然源极/漏极区域42并未显示于剖面示意图中,其可通过如图14所述结构实质上相同的材料形成。

[0065] 本发明的实施例具有多重优点的技术特征。通过再成长硅/锗源极/漏极区域42,可将既有的硅化技术用于降低源极/漏极电阻,且改善最终晶体管的驱动电流。缓冲层44具有缓和介于晶体管的通道与源极/漏极区域之间的晶格常数转换的效果,因而导致具有降低缺陷密度和降低结漏电流的效果。

[0066] 本发明虽以各种实施例公开如上,然而其并非用以限定本发明的范围,任何本领域技术人员,在不脱离本发明的精神和范围内,当可做些许的更动与润饰。因此,本发明的保护范围当视随附的权利要求所界定的范围为准。

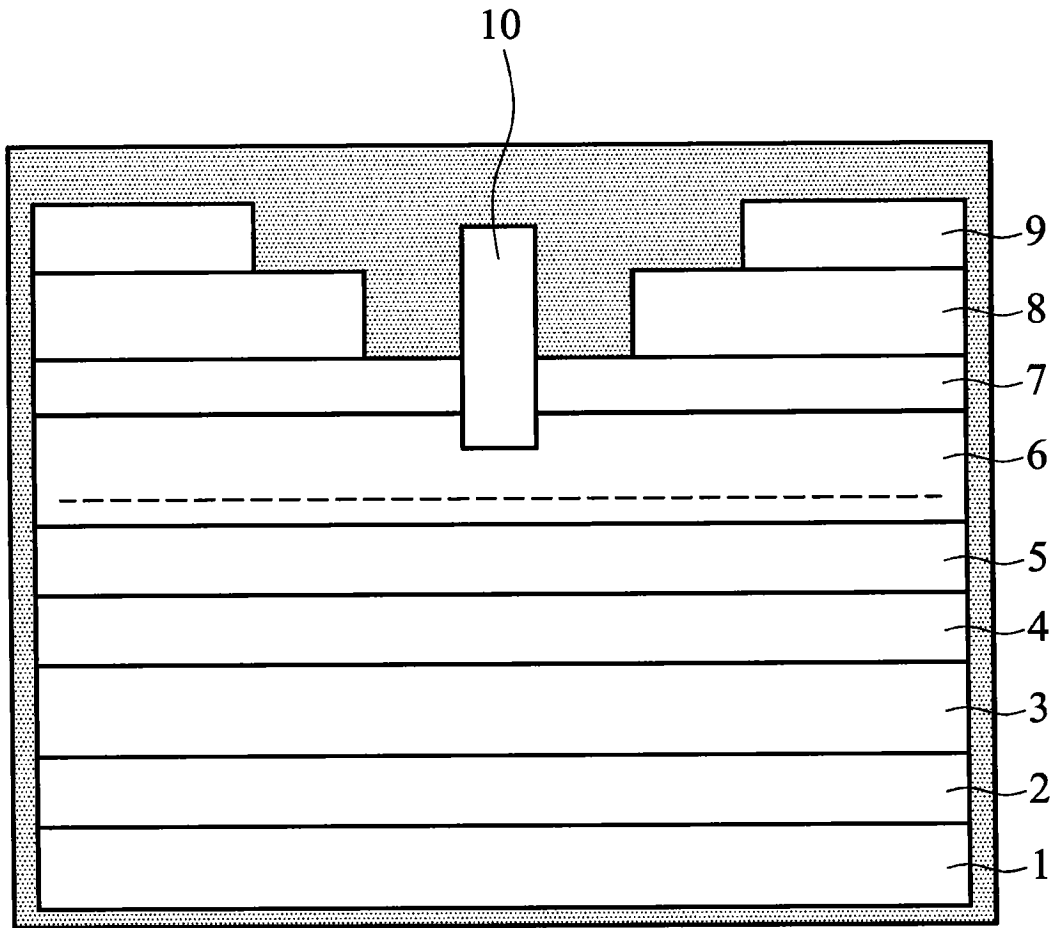


图1

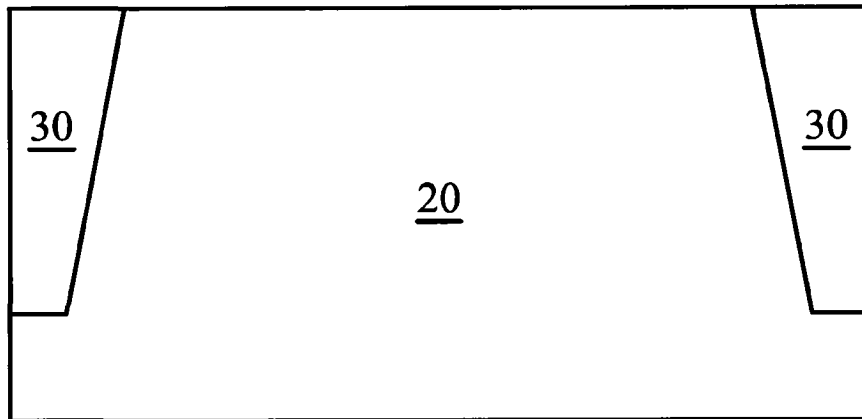


图2

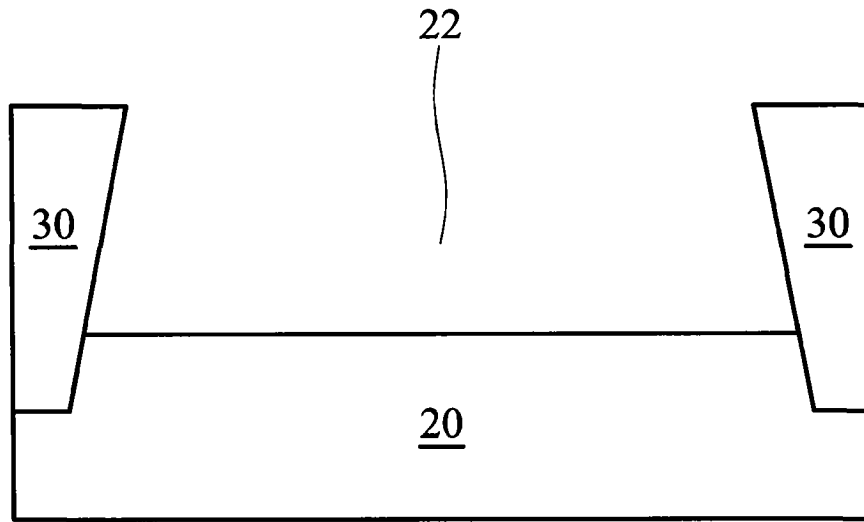


图3

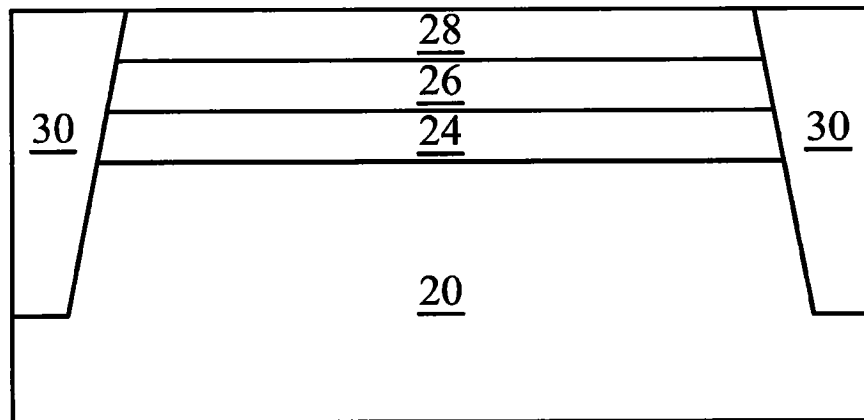


图4A

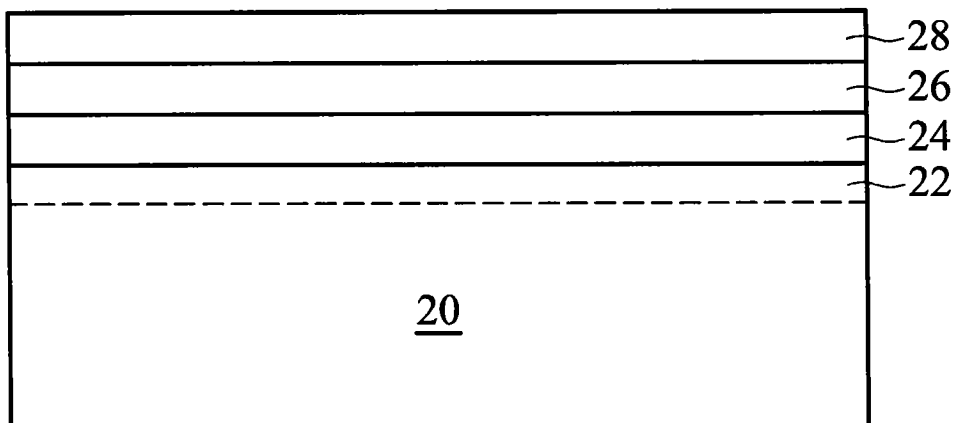


图4B

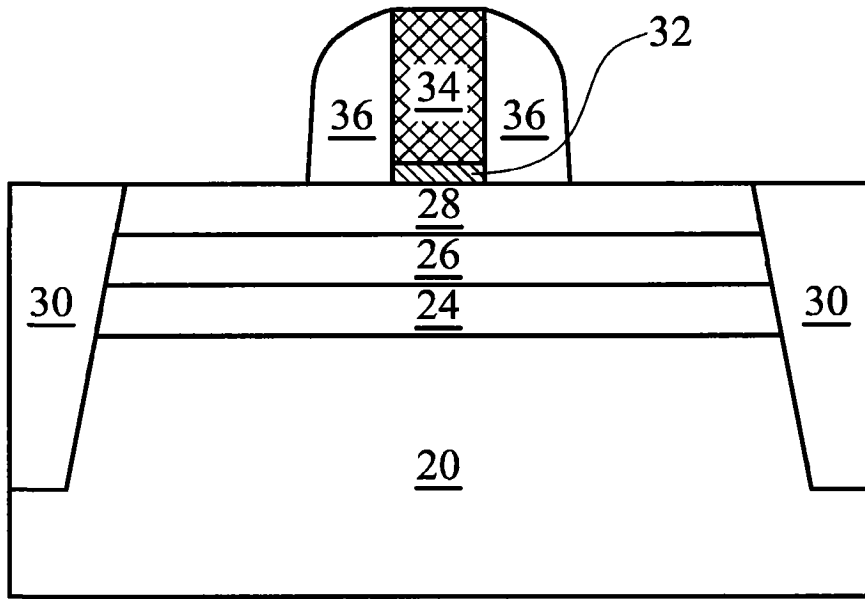


图5

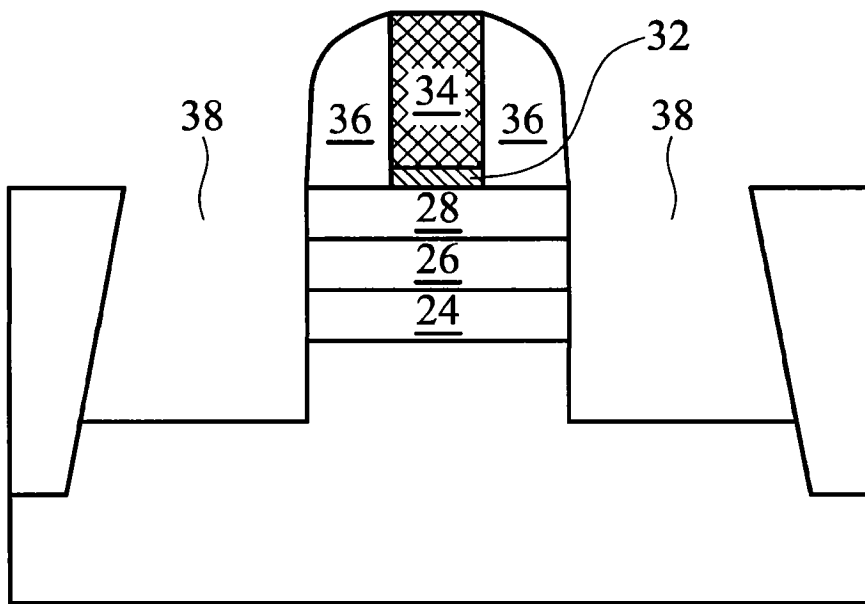


图6

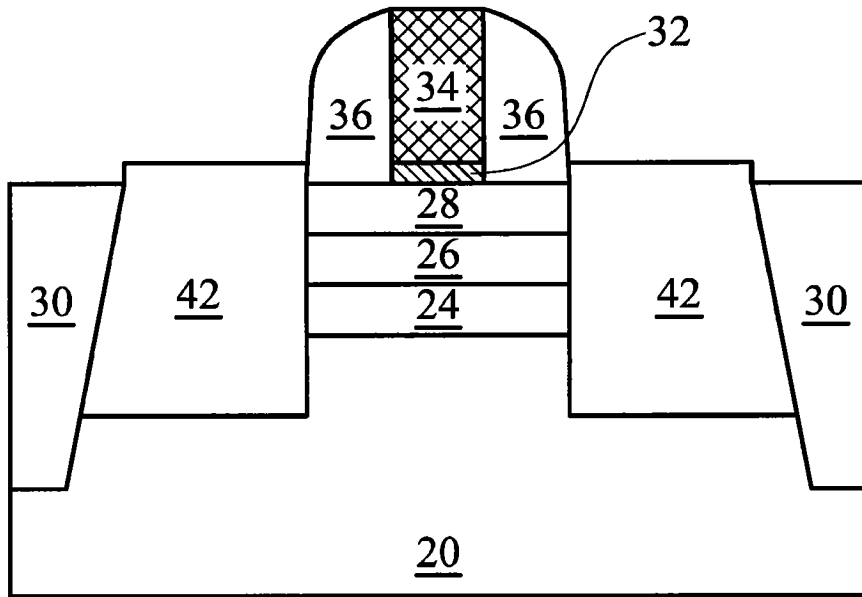


图7A

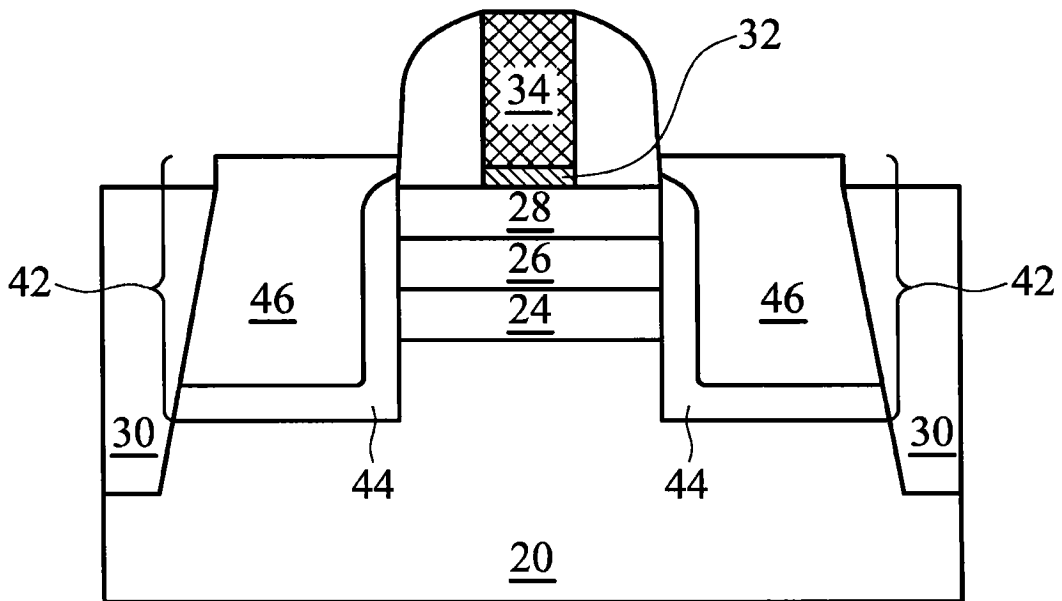


图7B

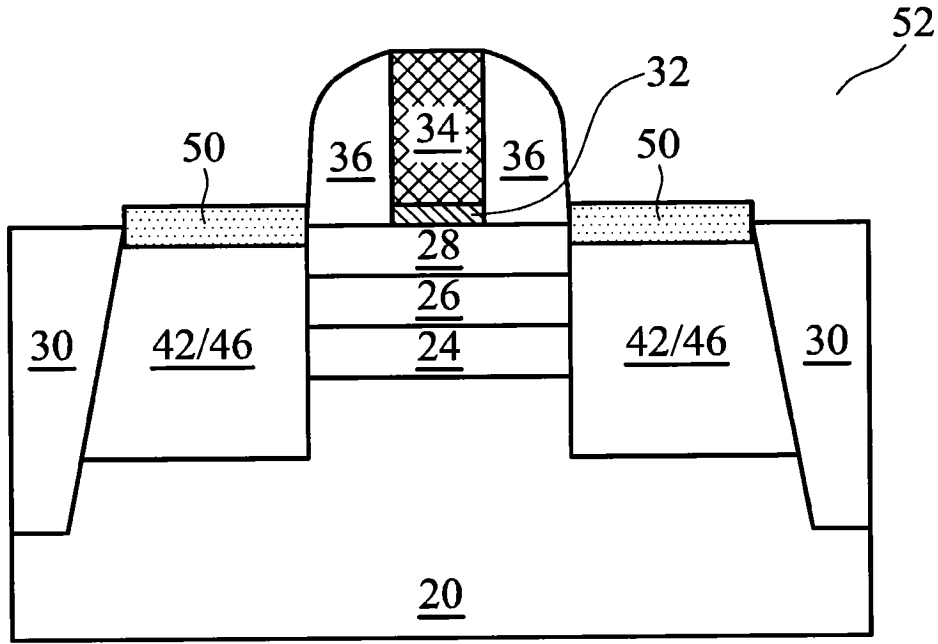


图8A

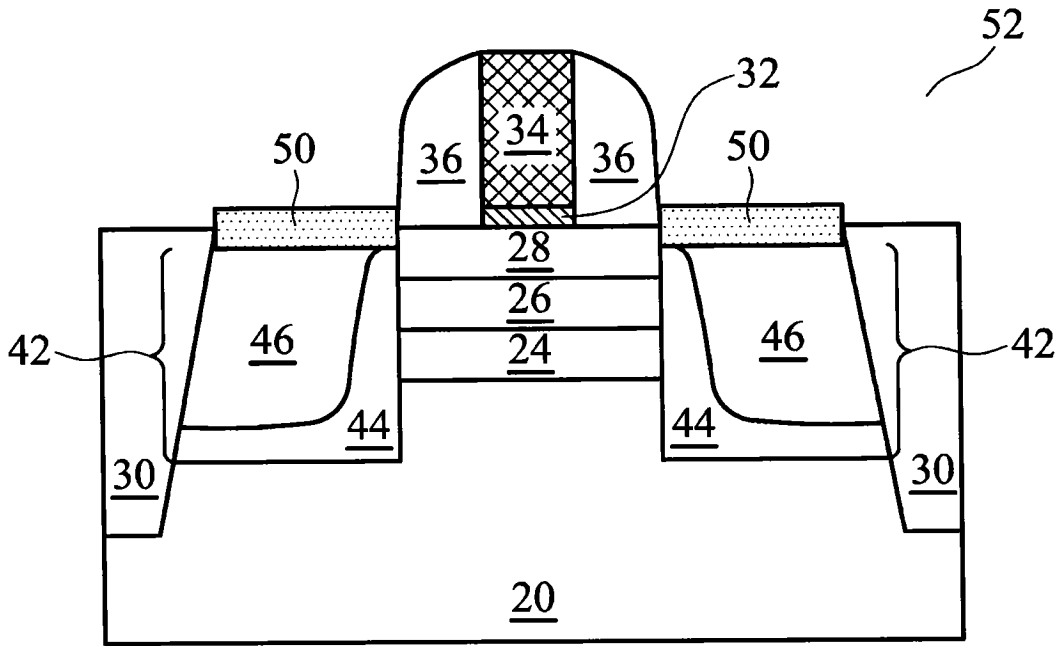


图8B

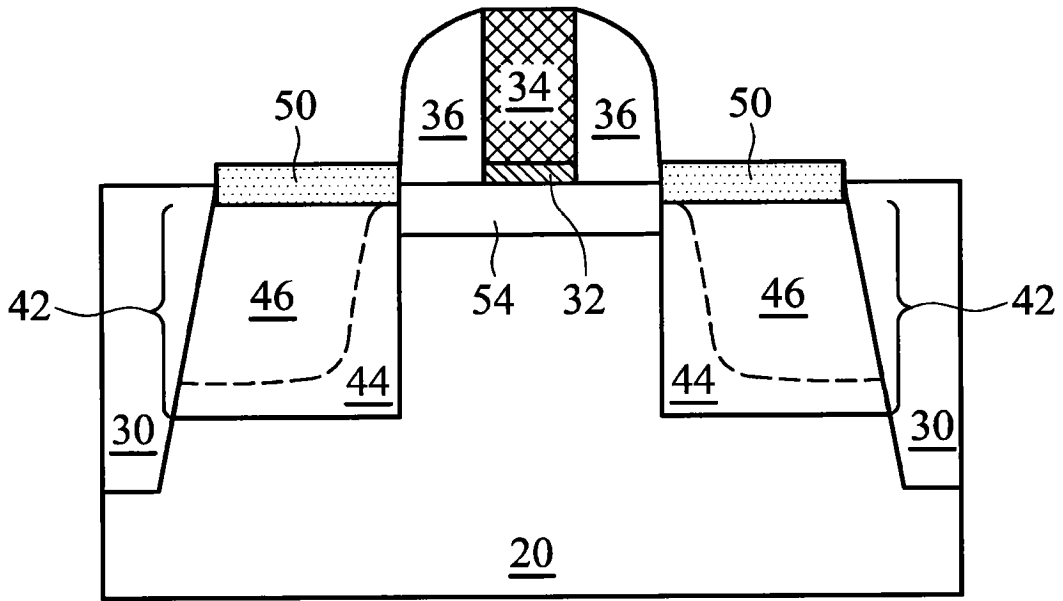


图9

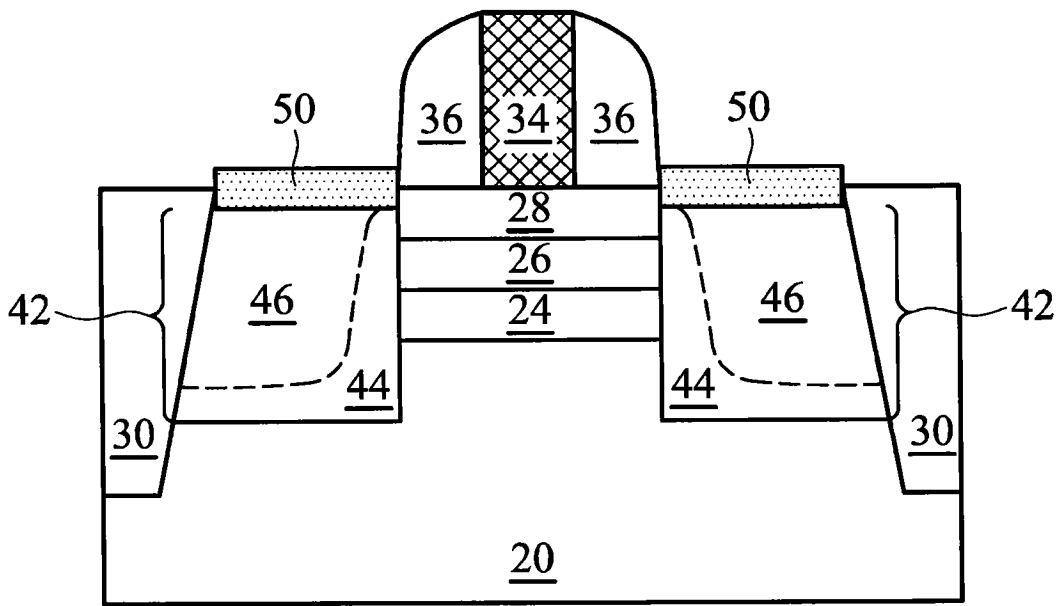


图10

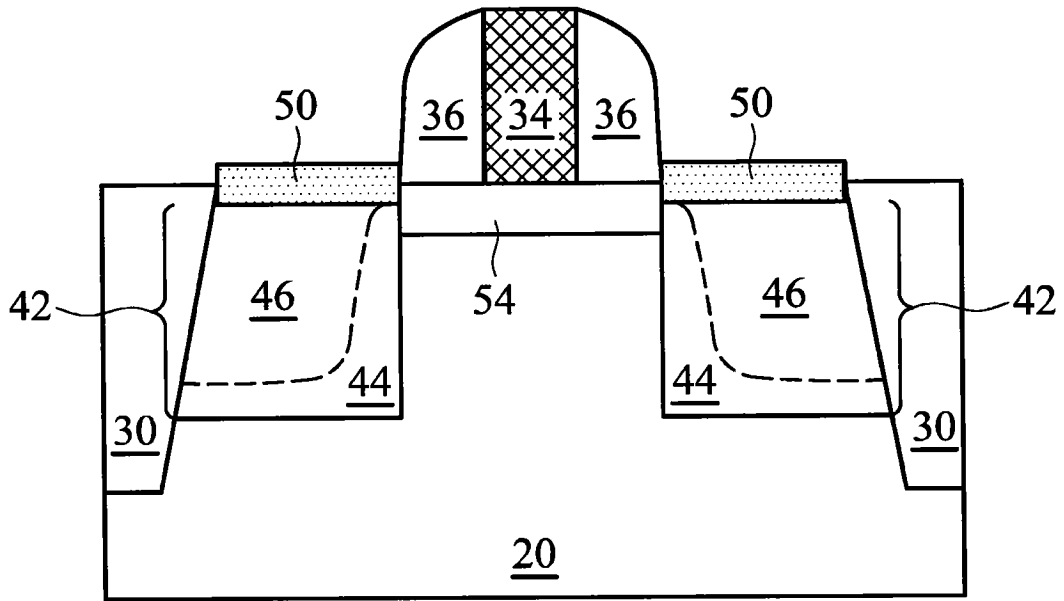


图11

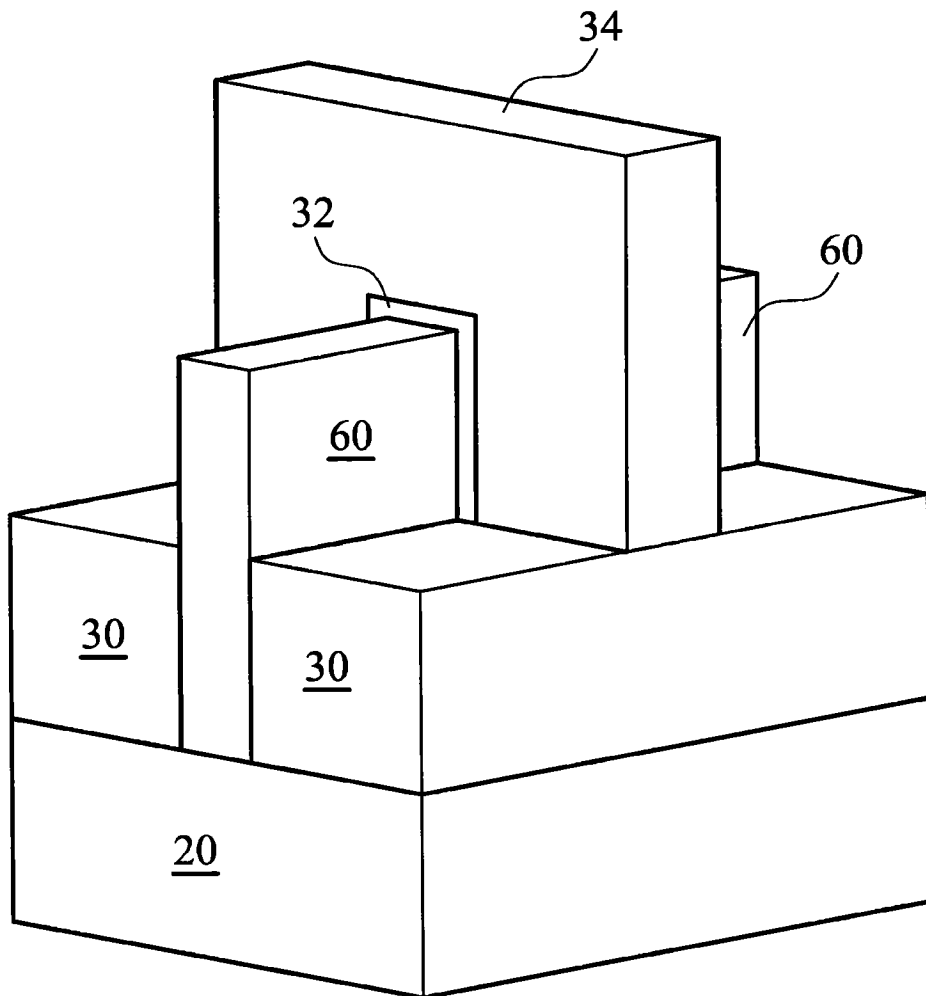


图12

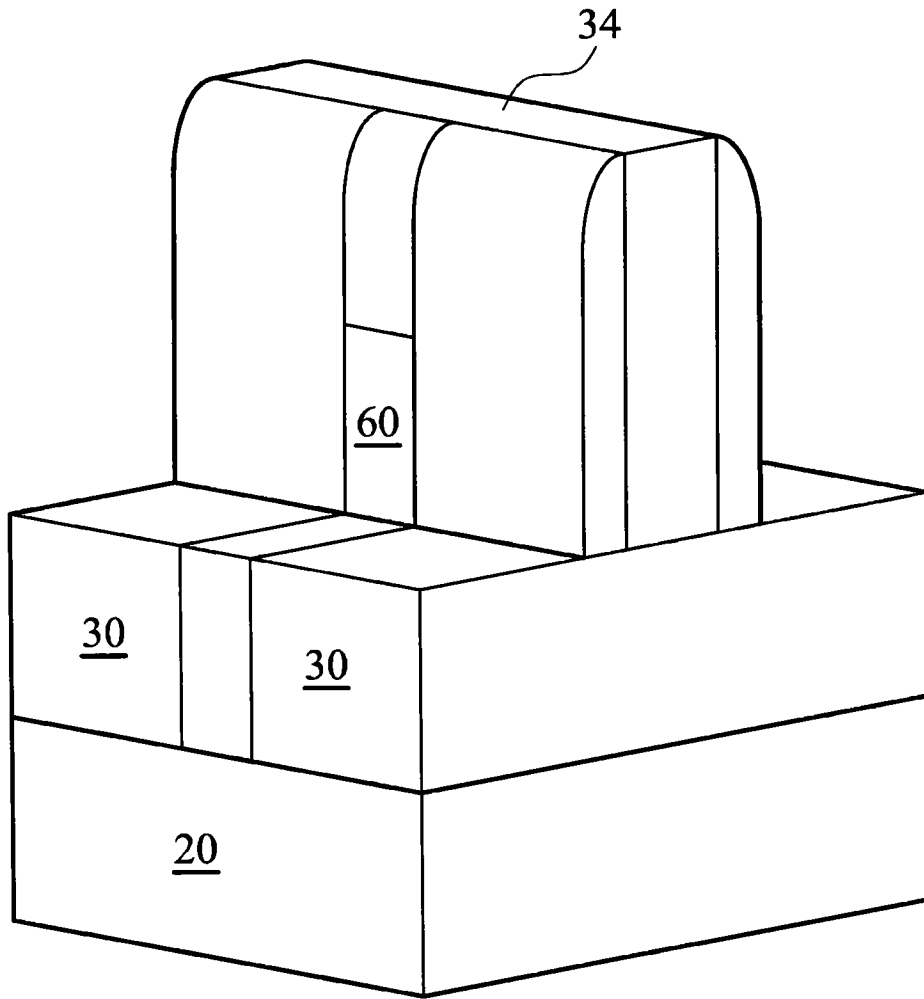


图13

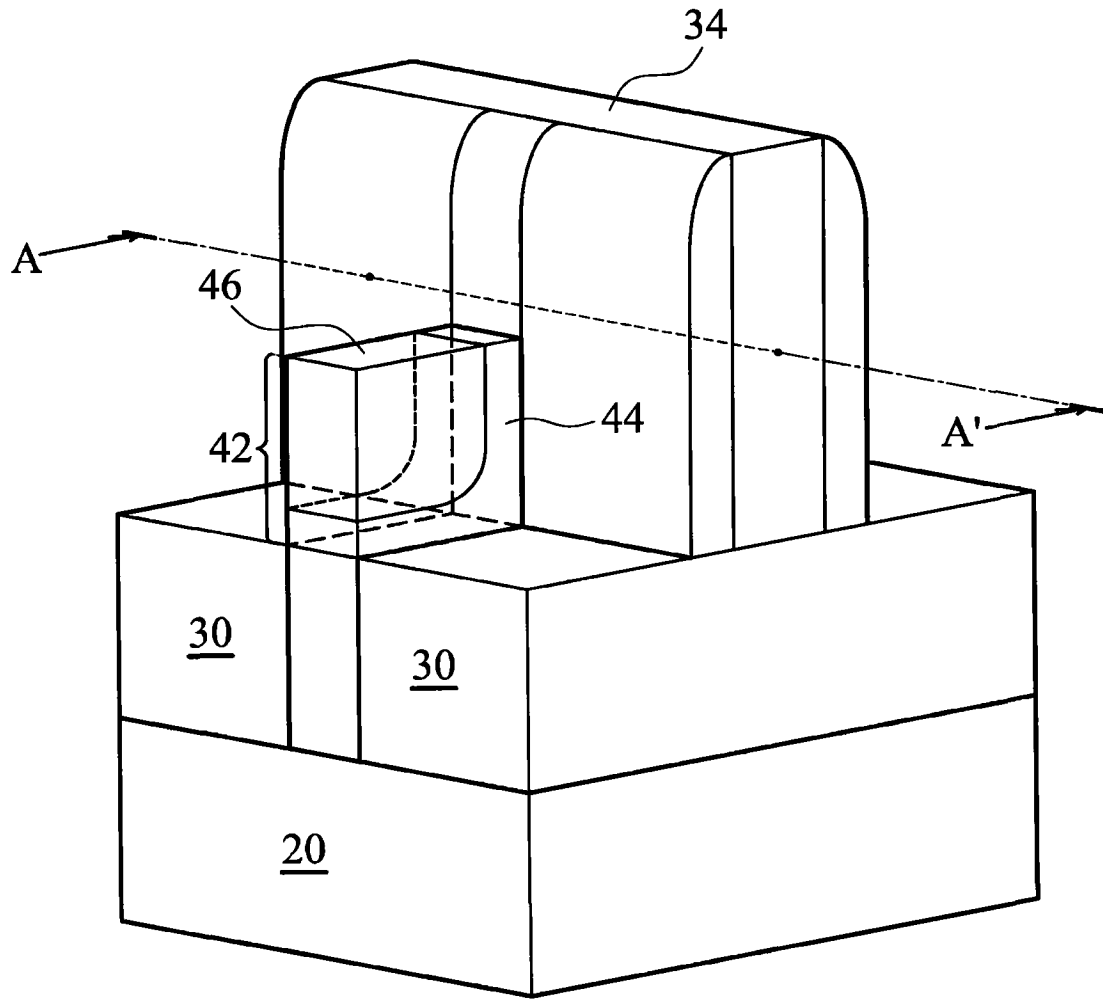


图14

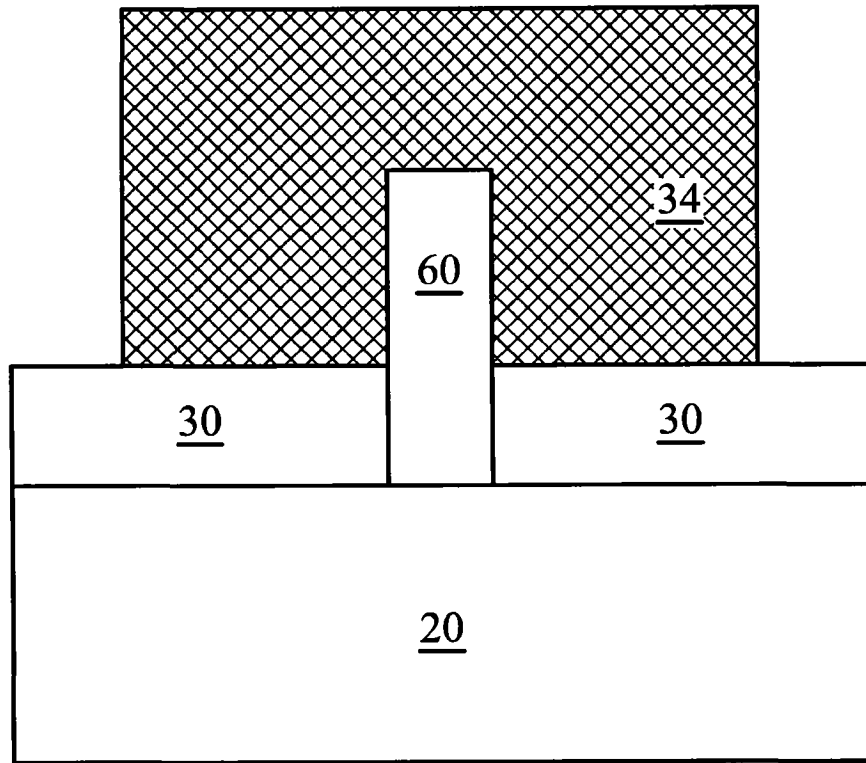


图15

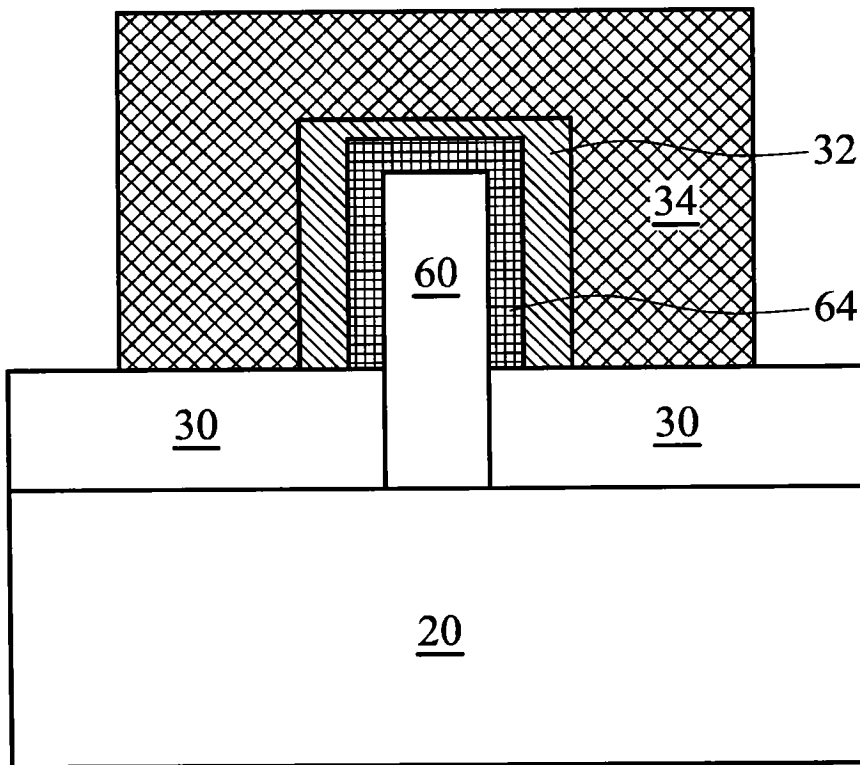


图16

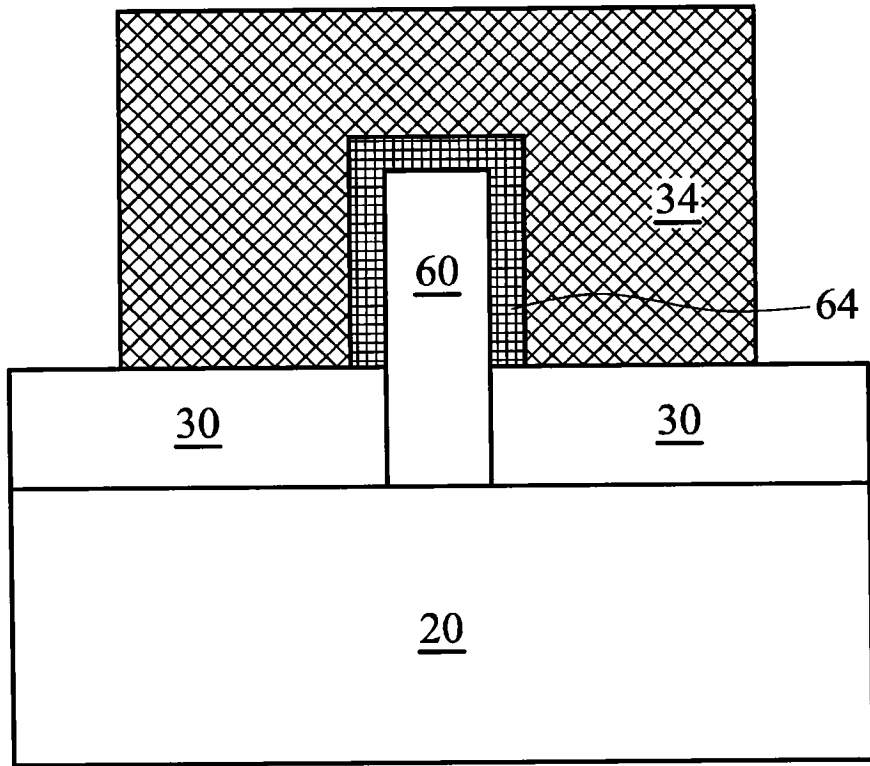


图17