



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년11월15일
(11) 등록번호 10-2730259
(24) 등록일자 2024년11월11일

- (51) 국제특허분류(Int. Cl.)
H10B 43/27 (2023.01) H10B 43/10 (2023.01)
H10B 43/40 (2023.01) H10B 43/50 (2023.01)
- (52) CPC특허분류
H10B 43/27 (2023.02)
H10B 43/10 (2023.02)
- (21) 출원번호 10-2022-7028724
- (22) 출원일자(국제) 2020년04월14일
심사청구일자 2022년08월19일
- (85) 번역문제출일자 2022년08월19일
- (65) 공개번호 10-2022-0129607
- (43) 공개일자 2022년09월23일
- (86) 국제출원번호 PCT/CN2020/084603
- (87) 국제공개번호 WO 2021/207912
국제공개일자 2021년10월21일
- (56) 선행기술조사문헌
CN110494979 A*
CN113707665 A*
US20190157294 A1*
*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
양쯔 메모리 테크놀로지스 씨오., 엘티디.
중국, 후베이, 우한, 이스트 레이크 하이-테크 디벨롭먼트 존, 웨이라이 씨드 로드, 넘버 88
- (72) 발명자
장, 쿤
중국 430223 후베이 우한 동후 뉴 테크놀로지 디벨롭먼트 존 웨이라이 씨드 로드 넘버 88
우, 린쑤
중국 430223 후베이 우한 동후 뉴 테크놀로지 디벨롭먼트 존 웨이라이 씨드 로드 넘버 88
(뒷면에 계속)
- (74) 대리인
양영준, 임규빈, 백만기

전체 청구항 수 : 총 20 항

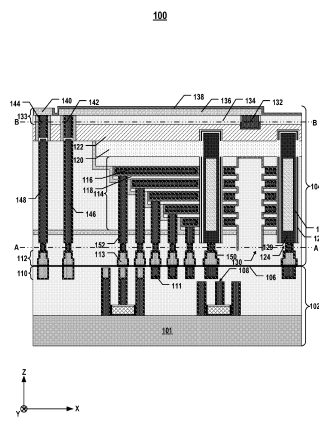
심사관 : 최정민

(54) 발명의 명칭 후면 소스 콘택을 갖는 3차원 메모리 디바이스를 형성하기 위한 방법

(57) 요약

3D 메모리 디바이스들 및 그 형성 방법들의 실시예들이 개시된다. 일 예에서, 3D 메모리 디바이스를 형성하기 위한 방법이 개시된다. 기판의 제1 측면에서 제2 반도체 층 위에 희생 층 그리고 희생 층 상에 유전체 스택이 후속하여 형성된다. 유전체 스택 및 희생 층을 통해 제2 반도체 층 내로 수직으로 연장되는 채널 구조물이 형성된다. 희생 층은 제2 반도체 층과 접촉하는 제1 반도체 층으로 대체된다. 유전체 스택은 메모리 스택으로 대체되어, 채널 구조물이 메모리 스택 및 제1 반도체 층을 통해 제2 반도체 층 내로 수직으로 연장된다. 제2 반도체 층과 접촉하도록 기판의 제1 측면에 대항하는 제2 측면에 소스 콘택이 형성된다.

대표도 - 도1



(52) CPC특허분류

H10B 43/40 (2023.02)

H10B 43/50 (2023.02)

(72) 발명자

저우, 원시

중국 430223 후베이 우한 동후 뉴 테크놀로지 디벨
롭먼트 존 웨이라이 씨드 로드 넘버 88

샤, 즈량

중국 430223 후베이 우한 동후 뉴 테크놀로지 디벨
롭먼트 존 웨이라이 씨드 로드 넘버 88

취, 종량

중국 430223 후베이 우한 동후 뉴 테크놀로지 디벨
롭먼트 존 웨이라이 씨드 로드 넘버 88

명세서

청구범위

청구항 1

3차원(3D) 메모리 디바이스를 형성하기 위한 방법으로서,

기판의 제1 측면에서 제2 반도체 층 위에 희생 층 그리고 상기 희생 층 상에 유전체 스택을 후속하여 형성하는 단계;

상기 유전체 스택 및 상기 희생 층을 통해 상기 제2 반도체 층 내로 수직으로 연장되는 채널 구조물을 형성하는 단계;

상기 희생 층을 상기 제2 반도체 층과 접촉하는 제1 반도체 층으로 대체하는 단계;

상기 유전체 스택을 메모리 스택으로 대체하여, 상기 채널 구조물이 상기 메모리 스택 및 상기 제1 반도체 층을 통해 상기 제2 반도체 층 내로 수직으로 연장되게 하는 단계; 및

상기 제2 반도체 층과 접촉하도록 상기 기판의 제1 측면에 대향하는 제2 측면에 소스 콘택을 형성하는 단계 - 상기 소스 콘택의 부분은 상기 제2 반도체 층 내로 매립되고 상기 제2 반도체 층에 의해 둘러싸이고, 상기 소스 콘택은 상기 제1 반도체 층 및 상기 제2 반도체 층과 전기적으로 접속됨 -

를 포함하는, 방법.

청구항 2

제1항에 있어서, 상기 희생 층을 형성하기 전에, 상기 제1 측면에서 상기 기판의 일부를 N-타입 도펀트로 도핑하여 상기 제2 반도체 층을 형성하는 단계를 추가로 포함하는, 방법.

청구항 3

제1항에 있어서, 상기 희생 층을 상기 제1 반도체 층으로 대체하는 단계는:

상기 유전체 스택을 통해 수직으로 연장되는 개구를 형성하여 상기 희생 층의 일부를 노출시키는 단계;

상기 개구를 통해 상기 희생 층을 에칭하여 캐비티를 형성하는 단계; 및

상기 개구를 통해 상기 캐비티 내에 N-타입 도핑된 폴리실리콘을 퇴적하여 상기 제1 반도체 층을 형성하는 단계를 포함하는, 방법.

청구항 4

제3항에 있어서, 상기 희생 층 및 상기 유전체 스택을 후속하여 형성하는 단계는:

상기 제2 반도체 층 상에 폴리실리콘을 퇴적하여 상기 희생 층을 형성하는 단계; 및

상기 희생 층 상에 스택 유전체 층들과 스택 희생 층들을 교대로 퇴적하여 상기 유전체 스택을 형성하는 단계를 포함하는, 방법.

청구항 5

제4항에 있어서, 상기 유전체 스택을 상기 메모리 스택으로 대체하는 단계는 상기 스택 희생 층들을 상기 개구를 통해 스택 전도성 층들로 대체하는 단계를 포함하는, 방법.

청구항 6

제3항에 있어서, 상기 메모리 스택을 형성한 후에, 상기 개구 내에 하나 이상의 유전체 재료를 퇴적하여 상기 메모리 스택을 통해 수직으로 연장되는 절연 구조물을 형성하는 단계를 추가로 포함하는, 방법.

청구항 7

제6항에 있어서, 상기 소스 콘택은 상기 절연 구조물과 정렬되는, 방법.

청구항 8

제1항에 있어서, 상기 소스 콘택을 형성하기 전에, 상기 제2 측면으로부터 상기 기판을 박형화하여 상기 제2 반도체 층을 노출시키는 단계를 추가로 포함하는, 방법.

청구항 9

제1항에 있어서, 상기 소스 콘택 위에 있고 이에 전기적으로 접속되는 인터커넥트 층을 형성하는 단계를 추가로 포함하는, 방법.

청구항 10

제9항에 있어서, 상기 제2 반도체 층을 관통하며 상기 인터커넥트 층과 접촉하는 콘택을 형성하여, 상기 제1 반도체 층이 상기 제2 반도체 층, 상기 소스 콘택, 및 상기 인터커넥트 층을 통해 상기 콘택에 전기적으로 접속되게 하는 단계를 추가로 포함하는, 방법.

청구항 11

3차원(3D) 메모리 디바이스를 형성하기 위한 방법으로서,

기판의 제1 측면에 메모리 스택을 통해 N-타입 도핑된 반도체 층 내로 수직으로 연장되는 채널 구조물을 형성하는 단계 - 상기 메모리 스택은 인터리빙된 스택 전도성 층들 및 스택 유전체 층들을 포함함 - ;

상기 메모리 스택을 통해 수직으로 연장되는 개구에 절연 구조물을 형성하는 단계; 및

상기 N-타입 도핑된 반도체 층과 접촉하고 상기 절연 구조물과 정렬되도록 상기 기판의 제1 측면에 대향하는 제2 측면에 소스 콘택을 형성하는 단계 - 상기 소스 콘택은 상기 N-타입 도핑된 반도체 층을 관통하는 콘택과 전기적으로 접속됨 -

를 포함하는, 방법.

청구항 12

제11항에 있어서, 상기 채널 구조물을 형성하는 단계는:

상기 제1 측면에서, 상기 기판의 일부를 N-타입 도펀트로 도핑하여 제2 N-타입 도핑된 반도체 층을 형성하는 단계;

상기 제2 N-타입 도핑된 반도체 층 위에 희생 층 그리고 상기 희생 층 상에 유전체 스택을 후속하여 형성하는 단계 - 상기 유전체 스택은 인터리빙된 스택 희생 층들 및 상기 스택 유전체 층들을 포함함 - ;

상기 유전체 스택 및 상기 희생 층을 통해 상기 제2 N-타입 도핑된 반도체 층 내로 수직으로 연장되는 상기 채널 구조물을 형성하는 단계 - 상기 N-타입 도핑된 반도체 층은 상기 제2 N-타입 도핑된 반도체 층을 포함함 - ; 및

상기 희생 층을 상기 개구를 통해 제1 N-타입 도핑된 반도체 층으로 대체하는 단계를 포함하는, 방법.

청구항 13

제12항에 있어서, 상기 채널 구조물을 형성하는 단계는 상기 스택 희생 층들을 상기 스택 전도성 층들로 대체하여 상기 메모리 스택을 형성하는 단계를 추가로 포함하는, 방법.

청구항 14

제13항에 있어서, 상기 절연 구조물을 형성하는 단계는 상기 스택 희생 층들을 상기 스택 전도성 층들로 대체한 후에, 상기 개구를 하나 이상의 유전체 재료로 채우는 단계를 포함하는, 방법.

청구항 15

제12항에 있어서, 상기 소스 콘택을 형성하기 전에, 상기 제2 측면으로부터 상기 기판을 박형화하여 상기 제2

N-타입 도핑된 반도체 층을 노출시키는 단계를 추가로 포함하는, 방법.

청구항 16

3차원(3D) 메모리 디바이스를 형성하기 위한 방법으로서,

제1 기판 상에 주변 회로를 형성하는 단계;

제2 기판 상에 메모리 스택 및 제1 반도체 층을 통해 제2 반도체 층 내로 수직으로 연장되는 채널 구조물을 형성하는 단계;

상기 메모리 스택이 상기 주변 회로 위에 있도록 대면(face-to-face) 방식으로 상기 제1 기판과 상기 제2 기판을 본딩하는 단계;

상기 제2 기판을 박형화하여 상기 제2 반도체 층을 노출시키는 단계; 및

상기 메모리 스택 위에 있고 상기 제2 반도체 층과 접촉하는 소스 콘택을 형성하는 단계 - 상기 소스 콘택의 부분은 상기 제2 반도체 층 내로 매립되고 상기 제2 반도체 층에 의해 둘러싸이고, 상기 소스 콘택은 상기 제1 반도체 층 및 상기 제2 반도체 층과 전기적으로 접속됨 -

를 포함하는, 방법.

청구항 17

제16항에 있어서, 상기 채널 구조물을 형성하는 단계는:

상기 제2 기판의 일부를 N-타입 도펀트로 도핑하여 상기 제2 반도체 층을 형성하는 단계;

상기 제2 반도체 층 위에 희생 층 그리고 상기 희생 층 상에 유전체 스택을 후속하여 형성하는 단계;

상기 유전체 스택 및 상기 희생 층을 통해 상기 제2 반도체 층 내로 수직으로 연장되는 상기 채널 구조물을 형성하는 단계; 및

상기 희생 층을 N-타입 도핑된 반도체 층으로 대체하여 상기 제1 반도체 층을 형성하는 단계를 포함하는, 방법.

청구항 18

제16항에 있어서, 상기 제1 기판과 상기 제2 기판을 본딩하기 전에, 상기 메모리 스택을 통해 수직으로 연장되는 절연 구조물을 형성하는 단계를 추가로 포함하고, 상기 소스 콘택은 상기 절연 구조물과 정렬되는, 방법.

청구항 19

제16항에 있어서, 상기 소스 콘택 위에 있고 이와 접촉하는 인터커넥트 층을 형성하는 단계를 추가로 포함하는, 방법.

청구항 20

제19항에 있어서, 상기 제2 반도체 층을 관통하며 상기 인터커넥트 층과 접촉하는 콘택을 형성하여, 상기 제1 반도체 층이 상기 제2 반도체 층, 상기 소스 콘택, 및 상기 인터커넥트 층을 통해 상기 콘택에 전기적으로 접속되게 하는 단계를 추가로 포함하는, 방법.

청구항 21

삭제

발명의 설명

기술 분야

[0001] 본 개시내용의 실시예들은 3차원(3D) 메모리 디바이스들 및 그 제조 방법들에 관한 것이다.

배경 기술

[0002] 평면 메모리 셀들은 프로세스 기술, 회로 설계, 프로그래밍 알고리즘, 및 제조 프로세스를 개선함으로써 더 작

은 크기들로 스케일링된다. 그러나, 메모리 셀들의 피치 크기들이 하한에 접근함에 따라, 평면 프로세스 및 제조 기법들은 어려워지고 비용이 많이 든다. 결과적으로, 평면 메모리 셀들에 대한 메모리 밀도는 상한에 접근하고 있다.

[0003] 3D 메모리 아키텍처는 평면 메모리 셀들에서의 밀도 제한을 해결할 수 있다. 3D 메모리 아키텍처는 메모리 어레이, 및 메모리 어레이로의 신호들 및 메모리 어레이로부터의 신호들을 제어하기 위한 주변 디바이스들을 포함한다.

발명의 내용

[0004] 3D 메모리 디바이스들 및 그 형성 방법들의 실시예들이 본 명세서에 개시된다.

[0005] 일 예에서, 3D 메모리 디바이스를 형성하기 위한 방법이 개시된다. 기관의 제1 측면에서 제2 반도체 층 위에 희생 층 그리고 희생 층 상에 유전체 스택이 후속하여 형성된다. 유전체 스택 및 희생 층을 통해 제2 반도체 층 내로 수직으로 연장되는 채널 구조물이 형성된다. 희생 층은 제2 반도체 층과 접촉하는 제1 반도체 층으로 대체된다. 유전체 스택은 메모리 스택으로 대체되어, 채널 구조물이 메모리 스택 및 제1 반도체 층을 통해 제2 반도체 층 내로 수직으로 연장된다. 제2 반도체 층과 접촉하도록 기관의 제1 측면에 대향하는 제2 측면에 소스 콘택이 형성된다.

[0006] 다른 예에서, 3D 메모리 디바이스를 형성하기 위한 방법이 개시된다. 기관의 제1 측면에 메모리 스택을 통해 N-타입 도핑된 반도체 층 내로 수직으로 연장되는 채널 구조물이 형성된다. 메모리 스택은 인터리빙된 스택 전도성 층들 및 스택 유전체 층들을 포함한다. 메모리 스택을 통해 수직으로 연장되는 개구에 절연 구조물이 형성된다. N-타입 도핑된 반도체 층과 접촉하고 절연 구조물과 정렬되도록 기관의 제1 측면에 대향하는 제2 측면에 소스 콘택이 형성된다.

[0007] 또 다른 예에서, 3D 메모리 디바이스를 형성하기 위한 방법이 개시된다. 제1 기관 상에 주변 회로가 형성된다. 제2 기관 상에 메모리 스택 및 제1 반도체 층을 통해 제2 반도체 층 내로 수직으로 연장되는 채널 구조물이 형성된다. 제1 기관과 제2 기관은 메모리 스택이 주변 회로 위에 있도록 대면(face-to-face) 방식으로 본딩된다. 제2 기관은 박형화되어 제2 반도체 층을 노출시킨다. 메모리 스택 위에 있고 제2 반도체 층과 접촉하는 소스 콘택이 형성된다.

도면의 간단한 설명

[0008] 여기에 포함되어 본 명세서의 일부를 형성하는 첨부 도면들은 본 개시내용의 실시예들을 예시하며, 추가로, 설명과 함께, 본 개시내용의 원리들을 설명하고 관련 기술분야의 통상의 기술자가 본 개시내용을 만들고 사용할 수 있게 하는 역할을 한다.

도 1은 본 개시내용의 일부 실시예들에 따른, 후면 소스 콘택을 갖는 예시적인 3D 메모리 디바이스의 단면의 측면도를 예시한다.

도 2a는 본 개시내용의 일부 실시예들에 따른, 후면 소스 콘택을 갖는 예시적인 3D 메모리 디바이스의 단면의 평면도를 예시한다.

도 2b는 본 개시내용의 일부 실시예들에 따른, 후면 소스 콘택을 갖는 예시적인 3D 메모리 디바이스의 단면의 다른 평면도를 예시한다.

도 3a 내지 도 3m은 본 개시내용의 일부 실시예들에 따른, 후면 소스 콘택을 갖는 예시적인 3D 메모리 디바이스를 형성하기 위한 제조 프로세스를 예시한다.

도 4a 및 도 4b는 본 개시내용의 일부 실시예들에 따른, 후면 소스 콘택을 갖는 예시적인 3D 메모리 디바이스를 형성하기 위한 방법의 흐름도를 예시한다.

본 개시내용의 실시예들이 첨부 도면들을 참조하여 설명될 것이다.

발명을 실시하기 위한 구체적인 내용

[0009] 구체적인 구성들 및 배열들이 논의되지만, 이는 단지 예시적인 목적으로만 행해진다는 것을 이해해야 한다. 관련 기술분야의 통상의 기술자는 본 개시내용의 사상 및 범위를 벗어나지 않고서 다른 구성들 및 배열들이 사용될 수 있다는 것을 인식할 것이다. 본 개시내용이 또한 다양한 다른 응용들에서 채용될 수 있다는 것이 관련

기술분야의 통상의 기술자에게 명백할 것이다.

- [0010] 본 명세서에서 "하나의 실시예", "실시예", "예시적인 실시예", "일부 실시예들" 등에 대한 언급들은 설명되는 실시예가 특정 특징, 구조, 또는 특성을 포함할 수 있지만, 모든 실시예가 반드시 특정 특징, 구조, 또는 특성을 포함할 필요는 없을 수 있다는 것을 나타낸다는 점에 유의한다. 또한, 이러한 구문들이 반드시 동일한 실시예를 지칭하지는 않는다. 또한, 실시예와 관련하여 특정 특징, 구조 또는 특성이 설명될 때, 명시적인 설명 여부에 관계없이 다른 실시예들과 관련하여 이러한 특징, 구조 또는 특성을 수행하는 것은 관련 기술분야의 통상의 기술자의 지식 내에 있을 것이다.
- [0011] 일반적으로, 용어는 적어도 부분적으로 맥락에서의 이용으로부터 이해될 수 있다. 예를 들어, 맥락에 적어도 부분적으로 의존하여, 본 명세서에서 사용되는 바와 같은 "하나 이상"이라는 용어는 단수의 의미로 임의의 특징, 구조, 또는 특성을 설명하는 데 사용될 수 있거나 복수의 의미로 특징들, 구조들 또는 특성들의 조합들을 설명하는 데 사용될 수 있다. 유사하게, 맥락에 적어도 부분적으로 의존하여, "한", "하나", 또는 "그"와 같은 용어들은 또한 단수 용법을 전달하거나 복수 용법을 전달하는 것으로 이해될 수 있다. 게다가, "~에 기초하여"라는 용어는 반드시 배타적 요인 세트를 전달하고자 의도된 것은 아님을 이해할 수 있고, 대신에, 맥락에 적어도 부분적으로 의존하여, 반드시 명시적으로 설명되지 않은 추가 요인들의 존재를 허용할 수 있다.
- [0012] 본 개시내용에서 "상에(on)" 및 "위에(above)" 및 "위쪽에(over)"의 의미는, "상에"가 어떤 것 "상에 직접"을 의미할 뿐만 아니라 그 사이에 중간 피처 또는 층을 갖는 어떤 것 "상에"의 의미도 포함하고, "위에" 또는 "위쪽에"가 어떤 것 "위에" 또는 "위쪽에"의 의미를 의미할 뿐만 아니라 그 사이에 어떠한 중간 피처 또는 층도 없는 어떤 것 "위에" 또는 "위쪽에"(즉, 어떤 것 상에 직접)의 의미도 포함할 수 있도록 가장 넓은 방식으로 해석되어야 한다는 것이 쉽게 이해되어야 한다.
- [0013] 추가로, "밑", "아래", "하부", "위", "상부" 등과 같은 공간적으로 상대적인 용어들은, 도면들에 예시되는 바와 같은, 하나의 요소 또는 피처와 다른 요소(들) 또는 피처(들)의 관계를 설명하기 위한 설명의 편의를 위해 본 명세서에서 사용될 수 있다. 공간적으로 상대적인 용어들은 도면들에 묘사된 배향 외에도 사용 또는 동작시의 디바이스의 상이한 배향들을 포함하는 것을 의도한다. 장치는 달리 배향될 수 있으며(90도 회전되거나 또는 다른 배향들에 있을 수 있으며), 본 명세서에서 사용된 공간적으로 상대적인 서술자들은 이에 따라 마찬가지로 해석될 수 있다.
- [0014] 본 명세서에서 사용되는 바와 같이, "기판"이라는 용어는 후속 재료 층들이 그 위에 추가되는 재료를 지칭한다. 기판 자체가 패터닝될 수 있다. 기판의 상단에 추가된 재료들은 패터닝될 수 있거나 또는 패터닝되지 않은 채로 유지될 수 있다. 또한, 기판은 실리콘, 게르마늄(germanium), 갈륨 비소(gallium arsenide), 인듐 인화물(indium phosphide) 등과 같은 광범위한 반도체 재료들을 포함할 수 있다. 대안적으로, 기판은 유리, 플라스틱, 또는 사파이어 웨이퍼와 같은 전기 비-전도성 재료로 만들어질 수 있다.
- [0015] 본 명세서에서 사용되는 바와 같이, "층"이라는 용어는 두께를 갖는 영역을 포함하는 재료 부분을 지칭한다. 층은 아래에 놓인 또는 위에 놓인 구조물의 전체에 걸쳐 연장될 수 있거나 아래에 놓인 또는 위에 놓인 구조물의 범위보다 작은 범위를 가질 수 있다. 또한, 층은 연속 구조물의 두께보다 작은 두께를 갖는 균질 또는 비균질 연속 구조물의 영역일 수 있다. 예를 들어, 층은, 연속 구조물의 상단 표면과 하단 표면 사이의 또는 상단 표면과 하단 표면에 있는 임의의 쌍의 수평 평면들 사이에 위치할 수 있다. 층은 수평으로, 수직으로, 및/또는 테이퍼링된 표면을 따라 연장될 수 있다. 기판은 층일 수 있고, 그 안에 하나 이상의 층을 포함할 수 있고, 및/또는 그 상에, 그 위에, 및/또는 그 아래에 하나 이상의 층을 가질 수 있다. 층은 다수의 층을 포함할 수 있다. 예를 들어, 인터커넥트 층은 (인터커넥트 라인들 및/또는 수직 인터커넥트 액세스(vertical interconnect access)(via) 콘택들이 형성되는) 하나 이상의 전도체 및 콘택 층과 하나 이상의 유전체 층을 포함할 수 있다.
- [0016] 본 명세서에서 사용되는 바와 같이, "명목상/명목상으로(nominal/nominally)"라는 용어는, 제품 또는 프로세스의 설계 단계 동안 설정되는, 컴포넌트 또는 프로세스 동작에 대한 특성 또는 파라미터의 원하는 또는 목표 값을 원하는 값 위의 및/또는 아래의 값들의 범위와 함께 지칭한다. 값들의 범위는 제조 프로세스들 또는 허용오차들에서의 약간의 변동들로 인한 것일 수 있다. 본 명세서에서 사용되는 바와 같이, "약(about)"이라는 용어는 대상 반도체 디바이스와 연관된 특정 기술 노드에 기초하여 달라질 수 있는 주어진 수량의 값을 나타낸다. 특정 기술 노드에 기초하여, "약"이라는 용어는, 예를 들어, 값의 10% 내지 30%(예를 들어, 값의 $\pm 10\%$, $\pm 20\%$, 또는 $\pm 30\%$) 내에서 달라지는 주어진 수량의 값을 나타낼 수 있다.
- [0017] 본 명세서에서 사용되는 바와 같이, "3D 메모리 디바이스"라는 용어는, 메모리 스트링들이 기판에 대해 수직 방

향으로 연장되도록, 측방향으로 배향된 기판 상의 메모리 셀 트랜지스터들의 수직으로 배향된 스트링들(NAND 메모리 스트링들과 같이, "메모리 스트링들"이라고 본 명세서에서 지칭됨)을 갖는 반도체 디바이스를 지칭한다. 본 명세서에서 사용되는 바와 같이, "수직/수직으로"라는 용어는 기판의 측방향 표면에 명목상으로 수직인 것을 의미한다.

[0018] 3D NAND 메모리 디바이스들과 같은 일부 3D 메모리 디바이스들에서, 슬릿 구조물들(예를 들어, 게이트 라인 슬릿들(GLS들))은 디바이스들의 전면으로부터, 어레이 공통 소스(ACS)와 같은, 메모리 어레이의 소스에 전기 접속들을 제공하기 위해 사용된다. 그러나, 전면 소스 콘택들은, 그 사이에 스페이서들이 존재하더라도, 소스 콘택들과 워드 라인들 사이에 누설 전류와 기생 커패시턴스 양자 모두를 도입함으로써 3D 메모리 디바이스들의 전기적 성능에 영향을 미칠 수 있다. 스페이서들의 형성은 또한 제조 프로세스를 복잡하게 만든다. 전기적 성능에 영향을 미치는 것 외에도, 슬릿 구조물들은 일반적으로 벽-형상 폴리실리콘 및/또는 금속 충전물들을 포함하며, 이는 국부적인 응력을 도입하여 웨이퍼 휨 또는 뒤틀림을 야기함으로써, 생산 수율을 감소시킬 수 있다.

[0019] 더욱이, 일부 3D NAND 메모리 디바이스들은 채널 구조물들의 하단에 선택적으로 성장되는 반도체 플러그들을 포함한다. 그러나, 3D NAND 메모리 디바이스들의 레벨들의 수가 증가함에 따라, 특히, 멀티-데크 아키텍처의 경우, 하단 반도체 플러그들의 제조에서 오버레이 제어(overlay control), 에피택셜 층 형성, 및 채널 홀들의 하단에서의 메모리 필름과 반도체 채널의 에칭("SONO 펀치(SONO punch)"라고도 알려짐)과 같은 다양한 문제들이 수반되고, 이는 제조 프로세스를 더 복잡하게 하고 수율을 감소시킬 수 있다.

[0020] 본 개시내용에 따른 다양한 실시예들은 후면 소스 콘택들을 갖는 3D 메모리 디바이스들을 제공한다. 소스 콘택들을 전면으로부터 후면으로 이동시킴으로써, 유효 메모리 셀 어레이 면적이 증가될 수 있고 스페이서 형성 프로세스가 스킵될 수 있으므로 메모리 셀 당 비용이 감소될 수 있다. 디바이스 성능은 또한, 예를 들어, 워드 라인들과 소스 콘택들 사이의 누설 전류 및 기생 커패시턴스를 회피함으로써 그리고 (소스 콘택들로서) 전면 슬릿 구조물들에 의해 야기되는 국부적인 응력을 감소시킴으로써 향상될 수 있다. 일부 실시예들에서, 3D 메모리 디바이스들은 채널 구조물들의 하단에 선택적으로 성장되는 반도체 플러그들을 포함하지 않으며, 이는 채널 구조물들의 측벽들을 둘러싸는 반도체 층들(예를 들어, N-웰들)에 의해 대체되어, 소거 동작들을 위한 게이트-유도-드레인-누설(gate-induce-drain-leakage, GIDL)-보조 바디 바이어싱을 가능하게 할 수 있다. 그 결과, 오버레이 제어, 에피택셜 층 형성, 및 SONO 펀치와 같은, 하단 반도체 플러그들과 연관된 다양한 문제들이 회피될 수 있고, 이에 의해 생산 수율을 증가시킬 수 있다.

[0021] 도 1은 본 개시내용의 일부 실시예들에 따른, 후면 소스 콘택을 갖는 예시적인 3D 메모리 디바이스(100)의 단면의 측면도를 예시한다. 일부 실시예들에서, 3D 메모리 디바이스(100)는 제1 반도체 구조물(102) 및 제1 반도체 구조물(102) 위에 적층된 제2 반도체 구조물(104)을 포함하는 본딩된 칩이다. 일부 실시예들에 따르면, 제1 및 제2 반도체 구조물들(102 및 104)은 그 사이의 본딩 계면(106)에서 접합된다. 도 1에 도시된 바와 같이, 제1 반도체 구조물(102)은 실리콘(예를 들어, 단결정질 실리콘, c-Si), 실리콘 게르마늄(SiGe), 갈륨 비소(GaAs), 게르마늄(Ge), 실리콘 온 인슐레이터(silicon on insulator, SOI), 또는 임의의 다른 적절한 재료들을 포함할 수 있는 기판(101)을 포함할 수 있다.

[0022] 3D 메모리 디바이스(100)의 제1 반도체 구조물(102)은 기판(101) 상에 주변 회로들(108)을 포함할 수 있다. 3D 메모리 디바이스(100)에서의 컴포넌트들의 공간적 관계들을 예시하기 위해 x축, y축, 및 z축이 도 1에 포함되어 있다는 점에 유의한다. 기판(101)은 x-y 평면에서 측방향으로 연장되는 2개의 측방향 표면: 웨이퍼의 전면 상의 전방 표면(front surface), 및 웨이퍼의 전면에 대항하는 후면 상의 후방 표면(back surface)을 포함한다. x-방향과 y-방향은 웨이퍼 평면에서의 2개의 직교 방향이다: x-방향은 워드 라인 방향이고, y-방향은 비트 라인 방향이다. z축은 x축과 y축 양자 모두에 수직이다. 본 명세서에서 사용되는 바와 같이, 반도체 디바이스(예를 들어, 3D 메모리 디바이스(100)의 하나의 컴포넌트(예를 들어, 층 또는 디바이스)가 다른 컴포넌트(예를 들어, 층 또는 디바이스) "상에", "위에", 또는 "아래에" 있는지는, 기판이 z-방향에서 반도체 디바이스의 최저 평면에 위치될 때 z-방향(x-y 평면에 수직인 수직 방향)에서 반도체 디바이스의 기판(예를 들어, 기판(101))에 대해 결정된다. 공간적 관계들을 설명하기 위한 동일한 개념이 본 개시내용 전체에 걸쳐 적용된다.

[0023] 일부 실시예들에서, 주변 회로(108)는 3D 메모리 디바이스(100)를 제어 및 감지하도록 구성된다. 주변 회로(108)는 페이지 버퍼, 디코더(예를 들어, 행 디코더 및 열 디코더), 감지 증폭기, 드라이버(예를 들어, 워드 라인 드라이버), 전하 펌프, 전류 또는 전압 기준, 또는 회로의 임의의 능동 또는 수동 컴포넌트들(예를 들어, 트랜지스터들, 다이오드들, 저항기들, 또는 커패시터들)을 포함하지만 이에 제한되지 않는, 3D 메모리 디바이스(100)의 동작을 용이하게 하기 위해 사용되는 임의의 적절한 디지털, 아날로그, 및/또는 혼합 신호 제어 및 감

지 회로들일 수 있다. 주변 회로들(108)은 기판(101) "상"에 형성된 트랜지스터들을 포함할 수 있고, 여기서 트랜지스터들의 전부 또는 일부는 기판(101) 내에(예를 들어, 기판(101)의 상단 표면 아래에) 및/또는 기판(101) 상에 직접 형성된다. 격리 영역들(예를 들어, 얇은 트렌치 격리(shallow trench isolation, STI)들) 및 도핑된 영역들(예를 들어, 트랜지스터들의 소스 영역들 및 드레인 영역들)도 기판(101) 내에 형성될 수 있다. 일부 실시예들에 따르면, 트랜지스터들은 진보된 로직 프로세스들(예를 들어, 90 nm, 65 nm, 45 nm, 32 nm, 28 nm, 20 nm, 16 nm, 14 nm, 10 nm, 7 nm, 5 nm, 3 nm 등의 기술 노드들)을 사용하여 고속이다. 일부 실시예들에서, 주변 회로(108)는 프로세서들 및 PLD(programmable logic device)들과 같은 로직 회로들, 또는 SRAM(static random-access memory)과 같은 메모리 회로들을 포함하는 진보된 로직 프로세스들과 호환가능한 임의의 다른 회로들을 추가로 포함할 수 있다는 것을 이해한다.

[0024] 일부 실시예들에서, 3D 메모리 디바이스(100)의 제1 반도체 구조물(102)은 주변 회로들(108)로 그리고 주변 회로들(108)로부터 전기 신호들을 전송하기 위해 주변 회로들(108) 위에 인터커넥트 층(도시되지 않음)을 추가로 포함한다. 인터커넥트 층은 측방향 인터커넥트 라인들 및 수직 인터커넥트 액세스(VIA) 콘택들을 포함하는 복수의 인터커넥트들(본 명세서에서 "콘택들"이라고도 지칭됨)을 포함할 수 있다. 본 명세서에서 사용되는 바와 같이, "인터커넥트들(interconnects)"이라는 용어는 MEOL(middle-end-of-line) 인터커넥트들 및 BEOL(back-end-of-line) 인터커넥트들과 같은 임의의 적절한 타입들의 인터커넥트들을 광범위하게 포함할 수 있다. 인터커넥트 층은 인터커넥트 라인들 및 VIA 콘택들이 형성될 수 있는 하나 이상의 층간 유전체(ILD) 층("금속간 유전체(intermetal dielectric, IMD) 층"으로도 알려짐)을 추가로 포함할 수 있다. 즉, 인터커넥트 층은 다수의 ILD 층들 내에 인터커넥트 라인들 및 VIA 콘택들을 포함할 수 있다. 인터커넥트 층에서의 인터커넥트 라인들 및 VIA 콘택들은 텅스텐(W), 코발트(Co), 구리(Cu), 알루미늄(Al), 실리사이드들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 전도성 재료들을 포함할 수 있다. 인터커넥트 층에서의 ILD 층들은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물(silicon oxynitride), 낮은 유전 상수(로우-k) 유전체들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 유전체 재료들을 포함할 수 있다.

[0025] 도 1에 도시된 바와 같이, 3D 메모리 디바이스(100)의 제1 반도체 구조물(102)은 본딩 계면(106)에서 그리고 인터커넥트 층 및 주변 회로들(108) 위에 본딩 층(110)을 추가로 포함할 수 있다. 본딩 층(110)은 복수의 본딩 콘택들(111) 및 본딩 콘택들(111)을 전기적으로 격리시키는 유전체들을 포함할 수 있다. 본딩 콘택들(111)은 W, Co, Cu, Al, 실리사이드들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 전도성 재료들을 포함할 수 있다. 본딩 층(110)의 나머지 영역은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 로우-k 유전체들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 유전체들로 형성될 수 있다. 본딩 층(110) 내의 본딩 콘택들(111) 및 주위의 유전체들은 하이브리드 본딩에 사용될 수 있다.

[0026] 유사하게, 도 1에 도시된 바와 같이, 3D 메모리 디바이스(100)의 제2 반도체 구조물(104)은 또한 본딩 계면(106)에서 그리고 제1 반도체 구조물(102)의 본딩 층(110) 위에 본딩 층(112)을 포함할 수 있다. 본딩 층(112)은 복수의 본딩 콘택들(113) 및 본딩 콘택들(113)을 전기적으로 격리시키는 유전체들을 포함할 수 있다. 본딩 콘택들(113)은 W, Co, Cu, Al, 실리사이드들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 전도성 재료들을 포함할 수 있다. 본딩 층(112)의 나머지 영역은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 로우-k 유전체들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 유전체들로 형성될 수 있다. 본딩 층(112) 내의 본딩 콘택들(113) 및 주위의 유전체들은 하이브리드 본딩에 사용될 수 있다. 일부 실시예들에 따르면, 본딩 콘택들(113)은 본딩 계면(106)에서 본딩 콘택들(111)과 접촉한다.

[0027] 아래에 상세히 설명되는 바와 같이, 제2 반도체 구조물(104)은 본딩 계면(106)에서 대면 방식으로 제1 반도체 구조물(102)의 상단에 본딩될 수 있다. 일부 실시예들에서, 본딩 계면(106)은 하이브리드 본딩("금속/유전체 하이브리드 본딩"으로도 알려짐)의 결과로서 본딩 층들(110 및 112) 사이에 배치되며, 이는 직접 본딩 기술(예를 들어, 뿔 또는 접착제들과 같은 중간 층들을 사용하지 않고 표면들 사이에 본딩을 형성함)이고 금속-금속 본딩 및 유전체-유전체 본딩을 동시에 획득할 수 있다. 일부 실시예들에서, 본딩 계면(106)은 본딩 층들(112 및 110)이 만나고 본딩되는 장소이다. 실제로, 본딩 계면(106)은 제1 반도체 구조물(102)의 본딩 층(110)의 상단 표면 및 제2 반도체 구조물(104)의 본딩 층(112)의 하단 표면을 포함하는 특정 두께를 갖는 층일 수 있다.

[0028] 일부 실시예들에서, 3D 메모리 디바이스(100)의 제2 반도체 구조물(104)은 전기 신호들을 전송하기 위해 본딩 층(112) 위에 인터커넥트 층(도시되지 않음)을 추가로 포함한다. 인터커넥트 층은 MEOL 인터커넥트들 및 BEOL 인터커넥트들과 같은 복수의 인터커넥트들을 포함할 수 있다. 인터커넥트 층은 인터커넥트 라인들 및 VIA 콘택들이 형성될 수 있는 하나 이상의 ILD 층을 추가로 포함할 수 있다. 인터커넥트 층에서의 인터커넥트 라인들 및 VIA 콘택들은 W, Co, Cu, Al, 실리사이드들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 전

도성 재료들을 포함할 수 있다. 인터커넥트 층에서의 ILD 층들은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 로우-k 유전체들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 유전체 재료들을 포함할 수 있다.

[0029] 일부 실시예들에서, 3D 메모리 디바이스(100)는 메모리 셀들이 NAND 메모리 스트링들의 어레이의 형태로 제공되는 NAND 플래시 메모리 디바이스이다. 도 1에 도시된 바와 같이, 3D 메모리 디바이스(100)의 제2 반도체 구조물(104)은 NAND 메모리 스트링들의 어레이로서 기능하는 채널 구조물들(124)의 어레이를 포함할 수 있다. 도 1에 도시된 바와 같이, 각각의 채널 구조물(124)은 전도성 층(116)과 유전체 층(118)을 각각 포함하는 복수의 쌍들을 통해 수직으로 연장될 수 있다. 인터리빙된 전도성 층들(116) 및 유전체 층들(118)은 메모리 스택(114)의 일부이다. 메모리 스택(114) 내의 전도성 층들(116)과 유전체 층들(118)의 쌍들의 수(예를 들어, 32, 64, 96, 128, 160, 192, 224, 256, 또는 그 이상)는 3D 메모리 디바이스(100) 내의 메모리 셀들의 수를 결정한다. 일부 실시예들에서, 메모리 스택(114)은, 서로의 위에 적층된 복수의 메모리 테크들(memory decks)을 포함하는 멀티-테크 아키텍처(도시되지 않음)를 가질 수 있다는 것을 이해한다. 각각의 메모리 테크 내의 전도성 층들(116)과 유전체 층들(118)의 쌍들의 수는 동일하거나 상이할 수 있다.

[0030] 메모리 스택(114)은 복수의 인터리빙된 전도성 층들(116) 및 유전체 층들(118)을 포함할 수 있다. 메모리 스택(114) 내의 전도성 층들(116) 및 유전체 층들(118)은 수직 방향으로 교대할 수 있다. 다시 말해서, 메모리 스택(114)의 상단 또는 하단에 있는 것들을 제외하고, 각각의 전도성 층(116)은 양측에서 2개의 유전체 층(118)에 의해 인접될 수 있고, 각각의 유전체 층(118)은 양측에서 2개의 전도성 층(116)에 의해 인접될 수 있다. 전도성 층들(116)은 W, Co, Cu, Al, 폴리실리콘, 도핑된 실리콘, 실리콘사이드들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 전도성 재료들을 포함할 수 있다. 각각의 전도성 층(116)은 접촉층 및 게이트 유전체 층에 의해 둘러싸인 게이트 전극(게이트 라인)을 포함할 수 있다. 전도성 층(116)의 게이트 전극은 워드 라인으로서 측방향으로 연장되어, 메모리 스택(114)의 하나 이상의 계단 구조물에서 끝날 수 있다. 유전체 층들(118)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 유전체 재료들을 포함할 수 있다.

[0031] 도 1에 도시된 바와 같이, 3D 메모리 디바이스(100)의 제2 반도체 구조물(104)은 또한 메모리 스택(114) 위의 제1 반도체 층(120) 및 제1 반도체 층(120) 위에 있고 이와 접촉하는 제2 반도체 층(122)을 포함할 수 있다. 일부 실시예들에서, 제1 및 제2 반도체 층들(120 및 122) 각각은 N-타입 도핑된 반도체 층, 예를 들어, 인(P) 또는 비소(As)와 같은 N-타입 도펀트(들)로 도핑된 실리콘 층이다. 그러한 경우들에서, 제1 및 제2 반도체 층들(120 및 122)은 메모리 스택(114) 위의 N-타입 도핑된 반도체 층(120/122)으로서 집합적으로 보여질 수 있다. 일부 실시예들에서, 제1 및 제2 반도체 층들(120 및 122) 각각은 N-웰을 포함한다. 즉, 제1 및 제2 반도체 층들(120 및 122) 각각은 P 또는 As와 같은 N-타입 도펀트(들)로 도핑된 P-타입 기판 내의 영역일 수 있다. 제1 및 제2 반도체 층들(120 및 122)에서의 도핑 농도들은 동일하거나 상이할 수 있다는 것을 이해한다. 일부 실시예들에 따르면, 제1 반도체 층(120)은 폴리실리콘, 예를 들어, N-타입 도핑된 폴리실리콘을 포함한다. 아래에 상세히 설명되는 바와 같이, 제1 반도체 층(120)은 박막 퇴적 및/또는 에피택셜 성장에 의해 P-타입 실리콘 기판 위에 형성될 수 있다. 대조적으로, 일부 실시예들에 따르면, 제2 반도체 층(122)은 단결정 실리콘, 예를 들어, N-타입 도핑된 단결정 실리콘을 포함한다. 아래에 상세히 설명되는 바와 같이, 제2 반도체 층(122)은 단결정 실리콘을 갖는 P-타입 실리콘 기판 내에 N-타입 도펀트(들)를 주입함으로써 형성될 수 있다. 일부 실시예들에서, x-방향(예를 들어, 워드 라인 방향)에서의 제2 반도체 층(122)의 측방향 치수는 x-방향에서의 제1 반도체 층(120)의 측방향 치수보다 크다.

[0032] 일부 실시예들에서, 각각의 채널 구조물(124)은 (예를 들어, 반도체 채널(128)로서의) 반도체 층 및 (예를 들어, 메모리 필름(126)으로서의) 복합 유전체 층으로 채워진 채널 홀을 포함한다. 일부 실시예들에서, 반도체 채널(128)은 비정질 실리콘, 폴리실리콘, 또는 단결정 실리콘과 같은 실리콘을 포함한다. 일부 실시예들에서, 메모리 필름(126)은 터널링 층, 저장 층("전하 트랩 층"으로도 알려짐), 및 차단 층을 포함하는 복합 층이다. 채널 구조물(124)의 나머지 공간은 실리콘 산화물과 같은 유전체 재료들, 및/또는 에어 갭을 포함하는 캡핑 층으로 부분적으로 또는 완전히 채워질 수 있다. 채널 구조물(124)은 원통 형상(예를 들어, 기둥 형상)을 가질 수 있다. 일부 실시예들에 따르면, 메모리 필름(126)의 캡핑 층, 반도체 채널(128), 터널링 층, 저장 층, 및 차단 층은 기둥의 중심으로부터 외측 표면을 향해 이 순서로 방사상으로 배열된다. 터널링 층은 실리콘 산화물, 실리콘 산질화물, 또는 이들의 임의의 조합을 포함할 수 있다. 저장 층은 실리콘 질화물, 실리콘 산질화물, 실리콘, 또는 이들의 임의의 조합을 포함할 수 있다. 차단 층은 실리콘 산화물, 실리콘 산질화물, 하이-k 유전체들, 또는 이들의 임의의 조합을 포함할 수 있다. 일 예에서, 메모리 필름(126)은 실리콘 산화물/실리

콘 산질화물/실리콘 산화물(ONO)의 복합 층을 포함할 수 있다.

[0033] 일부 실시예들에서, 채널 구조물(124)은 채널 구조물(124)의 하단 부분에(예를 들어, 하부 단부에) 채널 플러그(129)를 추가로 포함한다. 본 명세서에서 사용되는 바와 같이, 기관(101)이 3D 메모리 디바이스(100)의 최하부 평면에 위치될 때, 컴포넌트(예를 들어, 채널 구조물(124))의 "상부 단부"는 z-방향에서 기관(101)으로부터 더 멀리 있는 단부이고, 컴포넌트(예를 들어, 채널 구조물(124))의 "하부 단부"는 z-방향에서 기관(101)에 더 가까운 단부이다. 채널 플러그(129)는 반도체 재료들(예를 들어, 폴리실리콘)을 포함할 수 있다. 일부 실시예들에서, 채널 플러그(129)는 NAND 메모리 스트링의 드레인으로서 기능한다.

[0034] 도 1에 도시된 바와 같이, 각각의 채널 구조물(124)은 메모리 스택(114)의 인터리빙된 전도성 층들(116)과 유전체 층들(118) 및 제1 반도체 층(120), 예를 들어, N-타입 도핑된 폴리실리콘 층을 통해 수직으로 연장될 수 있다. 일부 실시예들에서, 제1 반도체 층(120)은 채널 구조물(124)의 일부를 둘러싸고, 폴리실리콘을 포함하는 반도체 채널(128)과 접촉한다. 즉, 일부 실시예들에 따르면, 메모리 필름(126)은 제1 반도체 층(120)에 인접해 있는 채널 구조물(124)의 일부에서 분리되어, 주위의 제1 반도체 층(120)과 접촉하도록 반도체 채널(128)을 노출시킨다. 그 결과, 반도체 채널(128)을 둘러싸고 이와 접촉하는 제1 반도체 층(120)은 위에 설명된 바와 같이 "하단 반도체 플러그"를 대체하기 위해 채널 구조물(124)의 "측벽 반도체 플러그"로서 작용할 수 있고, 이는 오버레이 제어, 에피택셜 층 형성, 및 SONO 편치와 같은 문제들을 완화시킬 수 있다.

[0035] 일부 실시예들에서, 각각의 채널 구조물(124)은 제2 반도체 층(122), 예를 들어, N-타입 도핑된 단결정 실리콘 층 내로 수직으로 더 연장될 수 있다. 즉, 일부 실시예들에 따르면, 각각의 채널 구조물(124)은 메모리 스택(114)을 통해 N-타입 도핑된 반도체 층(제1 및 제2 반도체 층들(120 및 122)을 포함함) 내로 수직으로 연장된다. 도 1에 도시된 바와 같이, 일부 실시예들에 따르면, 채널 구조물들(124)의 상단 부분(예를 들어, 상부 단부)은 제2 반도체 층(122) 내에 있다. 일부 실시예들에서, 제1 및 제2 반도체 층들(120 및 122) 각각은, P-웰 벌크 소거 동작들과는 대조적으로, 소거 동작들을 위한 GIDL-보조 바디 바이어싱을 가능하게 하기 위해, N-타입 도핑된 반도체 층, 예를 들어, N-웰이다. NAND 메모리 스트링의 소스 선택 게이트 주위의 GIDL은 소거 동작들을 위한 바디 전위(body potential)를 상승시키기 위해 NAND 메모리 스트링에 정공 전류를 생성할 수 있다.

[0036] 도 1에 도시된 바와 같이, 3D 메모리 디바이스(100)의 제2 반도체 구조물(104)은 메모리 스택(114)의 인터리빙된 전도성 층들(116)과 유전체 층들(118)을 통해 각각 수직으로 연장되는 절연 구조물들(130)을 추가로 포함할 수 있다. 일부 실시예들에 따르면, 제1 반도체 층(120)을 통해 더 연장되는 채널 구조물(124)과 상이하게, 절연 구조물들(130)은 제1 반도체 층(120)에서 정지하며, 즉, N-타입 도핑된 반도체 층 내로 수직으로 연장되지 않는다. 즉, 절연 구조물(130)의 상단 표면은 제1 반도체 층(120)의 하단 표면과 동일 평면 상에 있을 수 있다. 각각의 절연 구조물(130)은 또한 채널 구조물들(124)을 복수의 블록들로 분리하기 위해 측방향으로 연장될 수 있다. 즉, 메모리 스택(114)은 절연 구조물들(130)에 의해 복수의 메모리 블록들로 분할될 수 있어, 채널 구조물들(124)의 어레이가 각각의 메모리 블록으로 분리될 수 있다. 일부 실시예들에 따르면, 전면 ACS 콘택들을 포함하는, 위에서 설명한 기존의 3D NAND 메모리 디바이스들에서의 슬릿 구조물들과 상이하게, 절연 구조물(130)은 그 안에 어떠한 콘택도 포함하지 않고(즉, 소스 콘택으로서 기능하지 않음), 따라서 전도성 층들(116)(위드 라인들을 포함함)에 기생 커패시턴스 및 누설 전류를 도입하지 않는다. 일부 실시예들에서, 각각의 절연 구조물(130)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 하나 이상의 유전체 재료로 채워진 개구(예를 들어, 슬릿)를 포함한다. 일 예에서, 각각의 절연 구조물(130)은 실리콘 산화물로 채워질 수 있다.

[0037] 도 1에 도시된 바와 같이, 전면 소스 콘택들 대신에, 3D 메모리 디바이스(100)는 메모리 스택(114) 위에 있고 제2 반도체 층(122), 예를 들어, N-타입 도핑된 반도체 층과 접촉하는 후면 소스 콘택(132)을 포함할 수 있다. 소스 콘택(132) 및 메모리 스택(114)(및 이를 통한 절연 구조물(130))은 반도체 층(122)(박형화된 기관)의 대향 측면들에 배치될 수 있으며, 따라서 "후면" 소스 콘택으로 볼 수 있다. 일부 실시예들에서, 소스 콘택(132)은 제2 반도체 층(122) 내로 더 연장되고 제2 반도체 층(122)을 통해 제1 반도체 층(120) 및 채널 구조물(124)의 반도체 채널(128)에 전기적으로 접속된다. 소스 콘택(132)이 제2 반도체 층(122) 내로 연장되는 깊이는 상이한 예들에서 달라질 수 있다는 것을 이해한다. 제2 반도체 층(122)이 N-웰을 포함하는 일부 실시예들에서, 소스 콘택(132)은 본 명세서에서 "N-웰 픽업(N-well pick up)"으로도 지칭된다. 일부 실시예들에서, 소스 콘택(132)은 절연 구조물(130)과 정렬된다. 소스 콘택(132)은 절연 구조물(130)과 측방향으로 정렬될 수 있으며, 즉, 적어도 하나의 측방향으로 정렬될 수 있다. 일 예에서, 소스 콘택(132) 및 절연 구조물(130)은 y-방향(예를 들어, 비트 라인 방향)으로 정렬될 수 있다. 다른 예에서, 소스 콘택(132) 및 절연 구조물(130)은 x-방향(예를

들어, 워드 라인 방향)으로 정렬될 수 있다. 소스 콘택들(132)은 임의의 적절한 타입들의 콘택들을 포함할 수 있다. 일부 실시예들에서, 소스 콘택들(132)은 VIA 콘택을 포함한다. 일부 실시예들에서, 소스 콘택들(132)은 측방향으로 연장되는 벽-형상 콘택을 포함한다. 소스 콘택(132)은 접착제 층(예를 들어, 티타늄 질화물(TiN))에 의해 둘러싸인 금속 층(예를 들어, W, Co, Cu, 또는 Al) 또는 실리사이드 층과 같은 하나 이상의 전도성 층을 포함할 수 있다.

[0038] 도 1에 도시된 바와 같이, 3D 메모리 디바이스(100)는, 예를 들어, 3D 메모리 디바이스(100)와 외부 회로들 사이에서 전기 신호들을 전달하는, 패드-아웃을 위해 소스 콘택(132) 위에 있고 이와 접촉하는 BEOL 인터커넥트 층(133)을 추가로 포함할 수 있다. 일부 실시예들에서, 인터커넥트 층(133)은 제2 반도체 층(122) 상의 하나 이상의 ILD 층(134) 및 ILD 층들(134) 상의 재분배 층(136)을 포함한다. 일부 실시예들에 따르면, 소스 콘택(132)의 상부 단부는 ILD 층들(134)의 상단 표면 및 재분배 층(136)의 하단 표면과 동일 평면 상에 있고, 소스 콘택(132)은 ILD 층들(134)을 통해 제2 반도체 층(122) 내로 수직으로 연장된다. 인터커넥트 층(133)에서의 ILD 층들(134)은 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 로우-k 유전체들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 유전체 재료들을 포함할 수 있다. 인터커넥트 층(133)에서의 재분배 층(136)은 W, Co, Cu, Al, 실리사이드들, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 전도성 재료들을 포함할 수 있다. 일 예에서, 재분배 층(136)은 Al을 포함한다. 일부 실시예들에서, 인터커넥트 층(133)은 3D 메모리 디바이스(100)의 패시베이션 및 보호를 위한 최외곽 층으로서 패시베이션 층(138)을 추가로 포함한다. 재분배 층(136)의 일부는 콘택 패드들(140)로서 패시베이션 층(138)으로부터 노출될 수 있다. 즉, 3D 메모리 디바이스(100)의 인터커넥트 층(133)은 또한 와이어 본딩 및/또는 인터포저와의 본딩을 위한 콘택 패드들(140)을 포함할 수 있다.

[0039] 일부 실시예들에서, 3D 메모리 디바이스(100)의 제2 반도체 구조물(104)은 제2 반도체 층(122)을 관통하는 콘택들(142 및 144)을 추가로 포함한다. 일부 실시예들에 따르면, 제2 반도체 층(122)은 박형화된 기관, 예를 들어, P-타입 실리콘 기관의 N-웰일 수 있으므로, 콘택들(142 및 144)은 실리콘 관통 콘택(through silicon contact, TSC)들이다. 일부 실시예들에서, 콘택(142)은 재분배 층(136)과 접촉하도록 제2 반도체 층(122) 및 ILD 층들(134)을 통해 연장되어, 제1 반도체 층(120)이 인터커넥트 층(133)의 제2 반도체 층(122), 소스 콘택(132), 및 재분배 층(136)을 통해 콘택(142)에 전기적으로 접속된다. 일부 실시예들에서, 콘택(144)은 콘택 패드(140)와 접촉하도록 제2 반도체 층(122) 및 ILD 층들(134)을 통해 연장된다. 콘택들(142 및 144) 각각은 접착제 층(예를 들어, TiN)에 의해 둘러싸인 금속 층(예를 들어, W, Co, Cu, 또는 Al) 또는 실리사이드 층과 같은 하나 이상의 전도성 층을 포함할 수 있다. 일부 실시예들에서, 적어도 콘택(144)은 콘택(144)을 제2 반도체 층(122)으로부터 전기적으로 절연시키기 위한 스페이서(예를 들어, 유전체 층)를 추가로 포함한다.

[0040] 일부 실시예들에서, 3D 메모리 디바이스(100)는 메모리 스택(114) 외부의 제2 반도체 층(122)(예를 들어, P-타입 실리콘 기관의 N-웰)에 수직으로 각각 연장되는 주변 콘택들(146 및 148)을 추가로 포함한다. 각각의 주변 콘택(146 또는 148)은 메모리 스택(114)의 외부에 있는 주변 영역에서 본딩 층(112)으로부터 제2 반도체 층(122)까지 수직으로 연장되도록 메모리 스택(114)의 깊이보다 더 큰 깊이를 가질 수 있다. 일부 실시예들에서, 제1 반도체 층(120)이 적어도 제2 반도체 층(122), 소스 콘택(132), 인터커넥트 층(133), 콘택(142), 및 주변 콘택(146)을 통해 제1 반도체 구조물(102) 내의 주변 회로(108)에 전기적으로 접속되도록, 주변 콘택(146)은 콘택(142) 아래에 있고 이와 접촉한다. 일부 실시예들에서, 제1 반도체 구조물(102) 내의 주변 회로(108)가 적어도 콘택(144) 및 주변 콘택(148)을 통한 패드-아웃을 위해 콘택 패드(140)에 전기적으로 접속되도록, 주변 콘택(148)은 콘택(144) 아래에 있고 이와 접촉한다. 주변 콘택들(146 및 148) 각각은 접착제 층(예를 들어, TiN)에 의해 둘러싸인 금속 층(예를 들어, W, Co, Cu, 또는 Al) 또는 실리사이드 층과 같은 하나 이상의 전도성 층을 포함할 수 있다.

[0041] 도 1에 도시된 바와 같이, 3D 메모리 디바이스(100)는 또한, 메모리 스택(114) 내의 구조물과 직접 접촉하는, 인터커넥트 구조물의 일부로서 다양한 로컬 콘택들("C1"이라고도 알려짐)을 포함한다. 일부 실시예들에서, 로컬 콘택들은 채널 로컬 콘택들(150)을 포함하며, 채널 로컬 콘택들(150) 각각은 각자의 채널 구조물(124)의 하부 단부 아래에 있고 이와 접촉한다. 각각의 채널 로컬 콘택(150)은 비트 라인 팬-아웃을 위해 비트 라인 콘택(도시되지 않음)에 전기적으로 접속될 수 있다. 일부 실시예들에서, 로컬 콘택들은 워드 라인 로컬 콘택들(152)을 추가로 포함하며, 워드 라인 로컬 콘택들(152) 각각은 워드 라인 팬-아웃을 위해 메모리 스택(114)의 계단 구조물에서 각자의 전도성 층(116)(워드 라인을 포함함) 아래에 있고 이와 접촉한다. 채널 로컬 콘택들(150) 및 워드 라인 로컬 콘택들(152)과 같은 로컬 콘택들은 적어도 본딩 층들(112 및 110)을 통해 제1 반도체 구조물(102)의 주변 회로들(108)에 전기적으로 접속될 수 있다. 채널 로컬 콘택들(150) 및 워드 라인 로컬 콘

택들(152)과 같은 로컬 콘택들 각각은 접착제 층(예를 들어, TiN)에 의해 둘러싸인 금속 층(예를 들어, W, Co, Cu, 또는 Al) 또는 실리사이드 층과 같은 하나 이상의 전도성 층을 포함할 수 있다.

[0042] 도 2a는 본 개시내용의 일부 실시예들에 따른, 후면 소스 콘택을 갖는 예시적인 3D 메모리 디바이스(200)의 단면의 평면도를 예시한다. 일부 실시예들에 따르면, 3D 메모리 디바이스(200)는 도 1의 3D 메모리 디바이스(100)의 일 예일 수 있고, 도 2a는 도 1의 3D 메모리 디바이스(100)의 AA 평면에서의 단면의 평면도를 예시할 수 있다. 즉, 도 2a는 3D 메모리 디바이스(100)의 제2 반도체 구조물(104)의 전면에서의 평면도의 일 예를 도시한다.

[0043] 도 2a에 도시된 바와 같이, 일부 실시예들에 따르면, 3D 메모리 디바이스(200)는 메모리 스택을 x-방향(예를 들어, 워드 라인 방향)으로 2개의 부분: 제1 코어 어레이 영역(206A)과 제2 코어 어레이 영역(206B) - 이들 각각은 (도 1의 채널 구조물들(124)에 대응하는) 채널 구조물들(210)의 어레이를 포함함 - 으로 측방향으로 분리하는 중앙 계단 영역(204)을 포함한다. 계단 영역 및 코어 어레이 영역들의 레이아웃은 도 2a의 예로 제한되지 않고, 메모리 스택의 예지들에 측면 계단 영역들을 갖는 것과 같은 임의의 다른 적합한 레이아웃들을 포함할 수 있다는 것을 이해한다. 일부 실시예들에 따르면, 3D 메모리 디바이스(200)는 y-방향(예를 들어, 비트 라인 방향)으로 평행한 절연 구조물들(208)(도 1의 절연 구조물들(130)에 대응함)을 또한 포함하며, 평행한 절연 구조물들(208) 각각은 코어 어레이 영역들(206A 및 206B) 및 그 안의 채널 구조물들(210)의 어레이들을 블록들(202)로 분리하기 위해 x-방향으로 측방향으로 연장된다. 3D 메모리 디바이스(200)는 블록(202)을 핑거들(fingers)로 더 분리하기 위해 블록(202)에서 y-방향으로 평행한 드레인 선택 게이트 컷들(212)을 추가로 포함할 수 있다. 전면 소스 콘택들이 절연 구조물들(208)의 대응부들(예를 들어, 전면 ACS 콘택들)에 배치되어 있어 특정 채널 구조물들(210)(예를 들어, 영역들(214) 내)의 전면 비트 라인 팬-아웃(front side bit line fan-out)을 중단하는 기존의 3D 메모리 디바이스들과 상이하게, 전면 소스 콘택들이 없는 3D 메모리 디바이스(200)에서, 영역들(214) 내에 있는 것들을 포함하는 채널 구조물(210)은 모두 전면으로부터 팬-아웃되는 대응하는 비트 라인들을 가질 수 있다. 그 결과, 소스 콘택들을 3D 메모리 디바이스(200)의 후면으로 이동시킴으로써 코어 어레이 영역들(206A 및 206B)의 유효 면적이 증가될 수 있다.

[0044] 도 2b는 본 개시내용의 일부 실시예들에 따른, 후면 소스 콘택을 갖는 예시적인 3D 메모리 디바이스의 단면의 다른 평면도를 예시한다. 일부 실시예들에 따르면, 3D 메모리 디바이스(200)는 도 1의 3D 메모리 디바이스(100)의 일 예일 수 있고, 도 2b는 도 1의 3D 메모리 디바이스(100)의 BB 평면에서의 단면의 평면도를 예시한다. 즉, 도 2b는 3D 메모리 디바이스(100)의 제2 반도체 구조물(104)의 후면에서의 평면도의 일 예를 도시한다.

[0045] 도 2b에 도시된 바와 같이, 3D 메모리 디바이스(200)는 메모리 스택을 x-방향(예를 들어, 워드 라인 방향)으로 2개의 부분: 제1 코어 어레이 영역(206A)과 제2 코어 어레이 영역(206B)으로 측방향으로 분리하는 중앙 계단 영역(204)을 포함한다. 계단 영역 및 코어 어레이 영역들의 레이아웃은 도 2b의 예로 제한되지 않고, 메모리 스택의 예지들에 측면 계단 영역들을 갖는 것과 같은 임의의 다른 적합한 레이아웃들을 포함할 수 있다는 것을 이해한다. 일부 실시예들에서, 3D 메모리 디바이스(200)는 코어 어레이 영역들(206A 및 206B)에 후면 소스 콘택들(215)(예를 들어, 도 1의 소스 콘택들(132)에 대응하는, VIA 콘택들의 형태로)을 포함한다. 예를 들어, 소스 콘택들(215)은 코어 어레이 영역(206A 또는 206B)에 균등하게 분포될 수 있다. 3D 메모리 디바이스(200)는 다수의 소스 콘택들(215)을 전기적으로 접속하는 후면 소스 라인들(209)(예를 들어, 도 1의 재분배 층(136)에 대응하는, 소스 라인 메시의 형태로)을 포함할 수 있다. 일부 예들에서, 다수의 소스 VIA 콘택들은 하나 이상의 소스 벽-형상 콘택, 즉, 인터커넥트 라인으로 대체될 수 있다는 것을 이해한다. 일부 실시예들에서, 3D 메모리 디바이스(200)는 패드-아웃을 위한 계단 영역(204) 내의 패드-아웃 콘택들(213)(예를 들어, 도 1의 콘택 패드(140), 콘택(144), 및 주변 콘택(148)에 대응함)을 추가로 포함하고, 계단 영역(204) 및 코어 어레이 영역들(206A 및 206B) 내의 N-웰 픽업 콘택들(211)(예를 들어, 도 1의 콘택(142) 및 주변 콘택(146)에 대응함)을 포함한다. 패드-아웃 콘택들(213) 및 N-웰 픽업 콘택들(211)의 레이아웃은 도 2b의 예로 제한되지 않으며, 전기적 성능의 사양(예를 들어, 전압 및 저항)과 같은 3D 메모리 디바이스의 설계에 따라 임의의 적절한 레이아웃들을 포함할 수 있다는 것을 추가로 이해한다. 일 예에서, 추가적인 패드-아웃 콘택들(213)이 메모리 스택의 외부에 추가될 수 있다.

[0046] 도 3a 내지 도 3m은 본 개시내용의 일부 실시예들에 따른, 후면 소스 콘택을 갖는 예시적인 3D 메모리 디바이스를 형성하기 위한 제조 프로세스를 예시한다. 도 4a 및 도 4b는 본 개시내용의 일부 실시예들에 따른, 후면 소스 콘택을 갖는 예시적인 3D 메모리 디바이스를 형성하기 위한 방법(400)의 흐름도를 예시한다. 도 3a 내지 도 3m, 도 4a, 및 도 4b에 묘사된 3D 메모리 디바이스의 예들은 도 1에 묘사된 3D 메모리 디바이스(100)를 포함한다.

다. 도 3a 내지 도 3m, 도 4a, 및 도 4b가 함께 설명될 것이다. 방법(400)에 도시된 동작들은 총망라한 것이 아니며, 예시된 동작들 중 임의의 동작 전에, 후에, 또는 그 사이에 다른 동작들이 또한 수행될 수 있다는 것을 이해한다. 또한, 동작들 중 일부는 동시에, 또는 도 4a 및 도 4b에 도시된 것과 상이한 순서로 수행될 수 있다.

[0047] 도 4a를 참조하면, 방법(400)은 제1 기판 상에 주변 회로가 형성되는 동작(402)에서 시작한다. 제1 기판은 실리콘 기판일 수 있다. 도 3i에 예시된 바와 같이, 복수의 트랜지스터들이 포토리소그래피, 에칭, 박막 퇴적, 열 성장, 주입, 화학 기계적 연마(chemical mechanical polishing, CMP), 및 임의의 다른 적절한 프로세스들을 포함하지만 이에 제한되지 않는 복수의 프로세스들을 사용하여 실리콘 기판(350) 상에 형성된다. 일부 실시예들에서, 이온 주입 및/또는 열 확산에 의해 실리콘 기판(350) 내에 도핑된 영역들(도시되지 않음)이 형성되며, 이는, 예를 들어, 트랜지스터들의 소스 영역들 및/또는 드레인 영역들로서 기능한다. 일부 실시예들에서, 습식 에칭 및/또는 건식 에칭 및 박막 퇴적에 의해 실리콘 기판(350) 내에 격리 영역들(예를 들어, STI들)이 또한 형성된다. 트랜지스터들은 실리콘 기판(350) 상에 주변 회로들(352)을 형성할 수 있다.

[0048] 도 3i에 예시된 바와 같이, 주변 회로들(352) 위에 본딩 층(348)이 형성된다. 본딩 층(348)은 주변 회로들(352)에 전기적으로 접속된 본딩 콘택들을 포함한다. 본딩 층(348)을 형성하기 위해, 화학 기상 퇴적(CVD), 물리 기상 퇴적(PVD), 원자층 퇴적(ALD), 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 프로세스를 사용하여 ILD 층이 퇴적되고, 습식 에칭 및/또는 건식 에칭, 예를 들어, RIE에 이어서 ALD, CVD, PVD, 임의의 다른 적절한 프로세스들, 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 프로세스를 사용하여 ILD 층을 통해 본딩 콘택들이 형성된다.

[0049] 도 4a에 예시된 바와 같이, 방법(400)은 동작(404)으로 진행하며, 여기서 제2 기판의 일부가 N-타입 도펀트로 도핑되어 제2 반도체 층을 형성한다. 제2 기판은 P-타입 실리콘 기판일 수 있다. 일부 실시예들에서, 제2 기판의 제1 측면(예를 들어, 반도체 디바이스들이 형성되는 전면)이 도핑되어 N-웰을 형성한다. 도 3a에 예시된 바와 같이, N-타입 도핑된 반도체 층(304)이 실리콘 기판(302) 상에 형성된다. N-타입 도핑된 반도체 층(304)은 P-타입 실리콘 기판(302)에 N-웰을 포함할 수 있고 단결정 실리콘을 포함할 수 있다. N-타입 도핑된 반도체 층(304)은 이온 주입 및/또는 열 확산을 사용하여 P-타입 실리콘 기판(302) 내에 P 또는 As와 같은 N-타입 도펀트(들)를 도핑함으로써 형성될 수 있다.

[0050] 도 4a에 예시된 바와 같이, 방법(400)은 동작(406)으로 진행하며, 여기서 제2 반도체 층 위에 희생 층 그리고 희생 층 상에 유전체 스택이 후속하여 형성된다. 유전체 스택은 인터리빙된 스택 희생 층들 및 스택 유전체 층들을 포함할 수 있다. 일부 실시예들에서, 희생 층 및 유전체 스택을 후속하여 형성하기 위해, 제2 반도체 층 상에 폴리실리콘을 퇴적하여 희생 층을 형성하고, 희생 층 상에 스택 유전체 층들과 스택 희생 층들을 교대로 퇴적하여 유전체 스택을 형성한다.

[0051] 도 3a에 예시된 바와 같이, 희생 층(306)이 N-타입 도핑된 반도체 층(304) 상에 형성된다. 희생 층(306)은 CVD, PVD, ALD, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 하나 이상의 박막 퇴적 프로세스를 사용하여 나중에 선택적으로 제거될 수 있는 폴리실리콘 또는 임의의 다른 적합한 희생 재료(예를 들어, 탄소)를 퇴적함으로써 형성될 수 있다. 일부 실시예들에서, N-타입 도핑된 반도체 층(304)의 형성 전에 실리콘 기판(302) 상에 실리콘 산화물과 같은 유전체 재료들이 퇴적하거나, 또는 열 산화에 의해 희생 층(306)과 N-타입 도핑된 반도체 층(304) 사이에 패드 산화물 층(305)이 형성된다.

[0052] 도 3a에 예시된 바와 같이, 제1 유전체 층(본 명세서에서 "스택 희생 층"(312)으로 지칭됨) 및 제2 유전체 층(본 명세서에서 "스택 유전체 층들"(310)로 지칭됨, 본 명세서에서 함께 "유전체 층 쌍들"로 지칭됨)의 복수의 쌍들을 포함하는 유전체 스택(308)이 희생 층(306) 상에 형성된다. 일부 실시예들에 따르면, 유전체 스택(308)은 인터리빙된 스택 희생 층들(312) 및 스택 유전체 층들(310)을 포함한다. 스택 유전체 층들(310)과 스택 희생 층들(312)이 실리콘 기판(302) 위의 희생 층(306) 상에 교대로 퇴적되어 유전체 스택(308)을 형성할 수 있다. 일부 실시예들에서, 각각의 스택 유전체 층(310)은 실리콘 산화물의 층을 포함하고, 각각의 스택 희생 층(312)은 실리콘 질화물의 층을 포함한다. 유전체 스택(308)은 CVD, PVD, ALD, 또는 이들의 임의의 조합을 포함하지만 이에 제한되지 않는 하나 이상의 박막 퇴적 프로세스에 의해 형성될 수 있다. 도 3a에 예시된 바와 같이, 계단 구조물이 유전체 스택(308)의 에지 상에 형성될 수 있다. 계단 구조물은 실리콘 기판(302)을 향해 유전체 스택(308)의 유전체 층 쌍들에 복수의 소위 "트림-에칭(trim-etch)" 사이클들을 수행함으로써 형성될 수 있다. 유전체 스택(308)의 유전체 층 쌍들에 적용되는 반복된 트림-에칭 사이클들로 인해, 도 3a에 도시된 바와 같이, 유전체 스택(308)은 하나 이상의 경사진 에지 및 하단 유전체 층 쌍보다 짧은 상단 유전체 층 쌍을 가

질 수 있다.

- [0053] 도 4a에 예시된 바와 같이, 방법(400)은 동작(408)으로 진행하며, 여기서 유전체 스택 및 희생 층을 통해 제2 반도체 층 내로 수직으로 연장되는 채널 구조물이 형성된다. 일부 실시예들에서, 채널 구조물을 형성하기 위해, 유전체 스택 및 희생 층을 통해 제2 반도체 층 내로 수직으로 연장되는 채널 홀이 형성되고, 채널 홀의 측벽 위에 메모리 필름 및 반도체 채널이 후속하여 형성되고, 반도체 채널 위에 이와 접촉하여 채널 플러그가 형성된다.
- [0054] 도 3a에 예시된 바와 같이, 채널 홀은 유전체 스택(308) 및 희생 층(306)을 통해 N-타입 도핑된 반도체 층(304) 내로 수직으로 연장되는 개구이다. 일부 실시예들에서, 각각의 개구가 나중의 프로세스에서 개별 채널 구조물(314)을 성장시키기 위한 위치가 되도록 복수의 개구들이 형성된다. 일부 실시예들에서, 채널 구조물(314)의 채널 홀을 형성하기 위한 제조 프로세스들은 습식 에칭 및/또는 건식 에칭, 예컨대 DRIE(deep-ion reactive etching)를 포함한다. 일부 실시예들에서, 채널 구조물(314)의 채널 홀은 N-타입 도핑된 반도체 층(304)의 상단 부분을 통해 더 연장된다. 유전체 스택(308) 및 희생 층(306)을 통한 에칭 프로세스는 N-타입 도핑된 반도체 층(304)의 일부를 계속 에칭할 수 있다. 일부 실시예들에서, 유전체 스택(308) 및 희생 층(306)을 통한 에칭 후에 N-타입 도핑된 반도체 층(304)의 일부를 에칭하기 위해 별도의 에칭 프로세스가 사용된다.
- [0055] 도 3a에 예시된 바와 같이, 메모리 필름(316)(차단 층, 저장 층, 및 터널링 층을 포함함) 및 반도체 채널(318)이 채널 홀의 측벽들 및 하단 표면을 따라 이 순서로 후속하여 형성된다. 일부 실시예들에서, 채널 홀의 측벽들 및 하단 표면을 따라 메모리 필름(316)이 먼저 퇴적되고, 이어서 메모리 필름(316) 위에 반도체 채널(318)이 퇴적된다. 메모리 필름(316)을 형성하기 위해, 차단 층, 저장 층, 및 터널링 층이 ALD, CVD, PVD, 임의의 다른 적절한 프로세스들, 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 프로세스를 사용하여 이 순서로 후속하여 퇴적될 수 있다. 이어서, 반도체 채널(318)은 ALD, CVD, PVD, 임의의 다른 적절한 프로세스들, 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 프로세스를 사용하여 메모리 필름(316)의 터널링 층 위에 폴리실리콘과 같은 반도체 재료를 퇴적함으로써 형성될 수 있다. 일부 실시예들에서, 메모리 필름(316) 및 반도체 채널(318)을 형성하기 위해 제1 실리콘 산화물 층, 실리콘 질화물 층, 제2 실리콘 산화물 층, 및 폴리실리콘 층("SONO" 구조물)이 후속하여 퇴적된다.
- [0056] 도 3a에 예시된 바와 같이, 채널 홀을 (예를 들어, 에어 갭이 있거나 없이) 완전히 또는 부분적으로 채우기 위해 채널 홀 내에 그리고 반도체 채널(318) 위에 캡핑 층이 형성된다. 캡핑 층은 ALD, CVD, PVD, 임의의 다른 적절한 프로세스들, 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 프로세스를 사용하여 실리콘 산화물과 같은 유전체 재료를 퇴적함으로써 형성될 수 있다. 이어서, 채널 플러그가 채널 홀의 상단 부분 내에 형성될 수 있다. 일부 실시예들에서, 유전체 스택(308)의 상단 표면 상에 있는 메모리 필름(316), 반도체 채널(318), 및 캡핑 층의 부분들은 CMP, 습식 에칭, 및/또는 건식 에칭에 의해 제거되고 평탄화된다. 이어서, 채널 홀의 상단 부분 내의 캡핑 층 및 반도체 채널(318)의 부분들을 습식 에칭 및/또는 건식 에칭함으로써 채널 홀의 상단 부분에 리세스(recess)가 형성될 수 있다. 이어서, 채널 플러그는 CVD, PVD, ALD, 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 프로세스에 의해 리세스 내에 폴리실리콘과 같은 반도체 재료들을 퇴적함으로써 형성될 수 있다. 이에 의해 채널 구조물(314)이 유전체 스택(308) 및 희생 층(306)을 통해 N-타입 도핑된 반도체 층(304) 내로 형성된다.
- [0057] 도 4a에 예시된 바와 같이, 방법(400)은 동작(410)으로 진행하며, 여기서 희생 층이 N-타입 도핑된 반도체 층으로 대체되어 제1 반도체 층을 형성한다. 일부 실시예들에서, 희생 층을 제1 반도체 층으로 대체하기 위해, 유전체 스택을 통해 수직으로 연장되는 개구가 형성되어 희생 층의 일부를 노출시키고, 희생 층은 개구를 통해 에칭되어 캐비티를 형성하고, N-타입 도핑된 폴리실리콘이 개구를 통해 캐비티 내로 퇴적되어 제1 반도체 층을 형성한다.
- [0058] 도 3a에 예시된 바와 같이, 슬릿(320)은 유전체 스택(308)을 통해 수직으로 연장되고 희생 층(306)의 일부를 노출시키는 개구이다. 일부 실시예들에서, 슬릿(320)을 형성하기 위한 제조 프로세스들은 습식 에칭 및/또는 건식 에칭, 예컨대 DRIE를 포함한다. 일부 실시예들에서, 슬릿(320)은 희생 층(306)의 상단 부분 내로 더 연장된다. 유전체 스택(308)을 통한 에칭 프로세스는 희생 층(306)의 상단 표면에서 정지하지 않을 수 있고, 희생 층(306)의 일부를 계속 에칭할 수 있다.
- [0059] 도 3b에 예시된 바와 같이, 희생 층(306)(도 3a에 도시됨)은 캐비티(322)를 형성하기 위해 습식 에칭 및/또는 건식 에칭에 의해 제거된다. 일부 실시예들에서, 희생 층(306)은, 희생 층(306)과 N-타입 도핑된 반도체 층(304) 사이의 패드 산화물 층(305)에 의해 정지될 수 있는 수산화 테트라메틸암모늄(tetramethylammonium

hydroxide, TMAH) 에칭제를 슬릿(320)을 통해 도포함으로써 에칭될 수 있는 폴리실리콘을 포함한다. 즉, 일부 실시예들에 따르면, 희생 층(306)의 제거는 N-타입 도핑된 반도체 층(304)에 영향을 미치지 않는다. 일부 실시예들에서, 희생 층(306)의 제거 전에, 슬릿(320)의 측벽을 따라 스페이서(324)가 형성된다. 스페이서(324)는 CVD, PVD, ALD, 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 프로세스를 사용하여 슬릿(320) 내로 실리콘 질화물, 실리콘 산화물, 및 실리콘 질화물과 같은 유전체 재료들을 퇴적함으로써 형성될 수 있다.

[0060] 도 3c에 예시된 바와 같이, 캐비티(322)에 노출된 채널 구조물(314)의 메모리 필름(316)의 일부가 제거되어 캐비티(322)에 인접해 있는 채널 구조물(314)의 반도체 채널(318)의 일부를 노출시킨다. 일부 실시예들에서, 차단 층(예를 들어, 실리콘 산화물을 포함함), 저장 층(예를 들어, 실리콘 질화물을 포함함), 및 터널링 층(예를 들어, 실리콘 산화물을 포함함)의 부분들은 슬릿(320) 및 캐비티(322)를 통해 에칭제들, 예를 들어, 실리콘 질화물을 에칭하기 위한 인산 및 실리콘 산화물을 에칭하기 위한 불산을 도포함으로써 에칭된다. 에칭은 채널 구조물(314)의 반도체 채널(318)에 의해 정지될 수 있다. 유전체 재료를 포함하는 스페이서(324)(도 3b에 도시됨)는 또한 메모리 필름(316)의 에칭으로부터 유전체 스택(308)을 보호할 수 있고, 메모리 필름(316)의 일부를 제거하는 것과 동일한 단계에서 에칭제들에 의해 제거될 수 있다. 유사하게, N-타입 도핑된 반도체 층(304) 상의 패드 산화물 층(305)(도 3b에 도시됨)은 메모리 필름(316)의 일부를 제거하는 것과 동일한 단계에 의해 또한 제거될 수 있다.

[0061] 도 3d에 예시된 바와 같이, N-타입 도핑된 반도체 층(326)은 N-타입 도핑된 반도체 층(304) 위에 이와 접촉하여 형성된다. 일부 실시예들에서, N-타입 도핑된 반도체 층(326)은 CVD, PVD, ALD, 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 프로세스를 사용하여 슬릿(320)을 통해 캐비티(322)(도 3c에 도시됨) 내에 폴리실리콘을 퇴적함으로써 형성된다. 일부 실시예들에서, 반도체 채널(318)(폴리실리콘을 포함함)의 노출된 부분으로부터 에피택셜 성장된 폴리실리콘으로 캐비티(322)를 선택적으로 채우는 것에 의해 N-타입 도핑된 반도체 층(326)이 형성된다. N-타입 도핑된 반도체 층(326)을 에피택셜 성장시키기 위한 제조 프로세스들은, 캐비티(322)를 사전-세정한 다음에, 예를 들어, VPE(vapor-phase epitaxy), LPE(liquid-phase epitaxy), MPE(molecular-beam epitaxy), 또는 이들의 임의의 조합들이 뒤따르는 것을 포함할 수 있다. 일부 실시예들에서, N-타입 도핑된 반도체 층(326)으로서 N-타입 도핑된 폴리실리콘 층을 형성하기 위해 폴리실리콘을 퇴적 또는 에피택셜 성장시킬 때 P 또는 As와 같은 N-타입 도펀트들의 인-시튜 도핑(in-situ doping)이 수행된다. N-타입 도핑된 반도체 층(326)은 채널 구조물(314)의 반도체 채널(318)의 노출된 부분과 접촉하도록 캐비티(322)를 채울 수 있다.

[0062] 도 4a에 예시된 바와 같이, 방법(400)은 동작(412)으로 진행하며, 여기서 유전체 스택이, 예를 들어, 소위 "게이트 대체" 프로세스를 사용하여 메모리 스택으로 대체되어, 채널 구조물이 메모리 스택 및 제1 반도체 층을 통해 제2 반도체 층 내로 수직으로 연장된다. 일부 실시예들에서, 유전체 스택을 메모리 스택으로 대체하기 위해, 스택 희생 층들은 개구를 통해 스택 전도성 층들로 대체된다. 일부 실시예들에서, 메모리 스택은 인터리브된 스택 전도성 층들 및 스택 유전체 층들을 포함한다.

[0063] 도 3e에 예시된 바와 같이, 스택 희생 층들(312)(도 3a에 도시됨)은 스택 전도성 층들(328)로 대체되고, 이에 의해 인터리브된 스택 전도성 층들(328) 및 스택 유전체 층들(310)을 포함하는 메모리 스택(330)이 형성되어, 유전체 스택(308)(도 3a에 도시됨)을 대체한다. 일부 실시예들에서, 슬릿(320)을 통해 스택 희생 층들(312)을 제거함으로써 측방향 리세스들(도시되지 않음)이 먼저 형성된다. 일부 실시예들에서, 스택 희생 층들(312)은 슬릿(320)을 통해 에칭제들을 도포함으로써 제거되어, 스택 유전체 층들(310) 사이에 인터리브된 측방향 리세스들을 생성한다. 에칭제들은 스택 유전체 층들(310)에 대해 선택적으로 스택 희생 층들(312)을 에칭하는 임의의 적합한 에칭제들을 포함할 수 있다. 도 3e에 예시된 바와 같이, 스택 전도성 층들(328)(게이트 전극들 및 접촉 제 층들을 포함함)은 슬릿(320)을 통해 측방향 리세스들 내로 퇴적된다. 일부 실시예들에서, 스택 전도성 층들(328)이 게이트 유전체 층 상에 퇴적되도록, 게이트 유전체 층(332)이 스택 전도성 층들(328) 이전에 측방향 리세스들 내에 퇴적된다. 금속 층들과 같은 스택 전도성 층들(328)은 ALD, CVD, PVD, 임의의 다른 적절한 프로세스들, 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 프로세스를 사용하여 퇴적될 수 있다. 일부 실시예들에서, 하이-k 유전체 층과 같은 게이트 유전체 층(332)이 또한 슬릿(320)의 하단에 측벽을 따라 형성된다.

[0064] 도 4b에 예시된 바와 같이, 방법(400)은 동작(414)으로 진행하며, 여기서 메모리 스택을 통해 수직으로 연장되는 절연 구조물이 형성된다. 일부 실시예들에서, 절연 구조물을 형성하기 위해, 메모리 스택을 형성한 후에, 하나 이상의 유전체 재료가 개구 내에 퇴적되어 개구를 채운다. 도 3f에 예시된 바와 같이, 메모리 스택(330)을 통해 수직으로 연장되는 절연 구조물(336)이 형성되며, 이 절연 구조물은 N-타입 도핑된 반도체 층(326)의

상단 표면에서 정지한다. 절연 구조물(336)은 ALD, CVD, PVD, 임의의 다른 적절한 프로세스들, 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 프로세스를 사용하여 슬릿(320)을 (에어 갭이 있거나 없이) 완전히 또는 부분적으로 채우기 위해 슬릿(320) 내에 실리콘 산화물과 같은 하나 이상의 유전체 재료를 퇴적함으로써 형성될 수 있다. 일부 실시예들에서, 절연 구조물(336)은 게이트 유전체 층(332)(예를 들어, 하이-k 유전체들을 포함함) 및 유전체 캡핑 층(334)(예를 들어, 실리콘 산화물을 포함함)을 포함한다.

[0065] 도 3g에 예시된 바와 같이, 절연 구조물(336)의 형성 후에, 채널 로컬 콘택들(344)과 워드 라인 로컬 콘택들(342)을 포함하는 로컬 콘택들, 및 주변 콘택들(338 및 340)이 형성된다. 로컬 유전체 층은, 메모리 스택(330)의 상단에, CVD, PVD, ALD, 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 프로세스를 사용하여, 실리콘 산화물 또는 실리콘 질화물과 같은 유전체 재료들을 퇴적함으로써 메모리 스택(330) 상에 형성될 수 있다. 채널 로컬 콘택들(344), 워드 라인 로컬 콘택들(342), 및 주변 콘택들(338 및 340)은 습식 에칭 및/또는 건식 에칭, 예를 들어, RIE를 사용하여 로컬 유전체 층(및 임의의 다른 ILD 층들)을 통해 콘택 개구들을 에칭하고, 이어서 ALD, CVD, PVD, 임의의 다른 적절한 프로세스들, 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 프로세스를 사용하여 콘택 개구들을 전도성 재료들로 채우는 것에 의해 형성될 수 있다.

[0066] 도 3h에 예시된 바와 같이, 채널 로컬 콘택들(344), 워드 라인 로컬 콘택들(342), 및 주변 콘택들(338 및 340) 위에 본딩 층(346)이 형성된다. 본딩 층(346)은 채널 로컬 콘택들(344), 워드 라인 로컬 콘택들(342), 및 주변 콘택들(338 및 340)에 전기적으로 접속된 본딩 콘택들을 포함한다. 본딩 층(346)을 형성하기 위해, CVD, PVD, ALD, 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 프로세스를 사용하여 ILD 층이 퇴적되고, 습식 에칭 및/또는 건식 에칭, 예를 들어, RIE에 이어서 ALD, CVD, PVD, 임의의 다른 적절한 프로세스들, 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 프로세스를 사용하여 ILD 층을 통해 본딩 콘택들이 형성된다.

[0067] 도 4b에 예시된 바와 같이, 방법(400)은 동작(416)으로 진행하며, 여기서 제1 기관과 제2 기관은 메모리 스택이 주변 회로 위에 있도록 대면 방식으로 본딩된다. 본딩은 하이브리드 본딩일 수 있다. 도 3i에 예시된 바와 같이, 실리콘 기관(302) 및 그 위에 형성된 컴포넌트들(예를 들어, 메모리 스택(330) 및 그를 통해 형성된 채널 구조물들(314))은 거꾸로 뒤집혀 있다. 일부 실시예들에 따르면, 아래로 향하는 본딩 층(346)은 위로 향하는 본딩 층(348)과, 즉, 대면 방식으로 본딩되어, 실리콘 기관들(302 및 350) 사이에 본딩 계면(354)을 형성한다. 일부 실시예들에서, 본딩 전에 본딩 표면들에 처리 프로세스, 예를 들어, 플라즈마 처리, 습식 처리, 및/또는 열 처리가 적용된다. 본딩 후에, 본딩 층(346) 내의 본딩 콘택들과 본딩 층(348) 내의 본딩 콘택들은 정렬되어 서로 접촉하므로, 그를 통해 형성된 메모리 스택(330) 및 채널 구조물들(314)이 주변 회로들(352)에 전기적으로 접속될 수 있고 주변 회로들(352) 위에 있다.

[0068] 도 4b에 예시된 바와 같이, 방법(400)은 동작(418)으로 진행하며, 여기서 제2 기관은 박형화되어 제2 반도체 층을 노출시킨다. 박형화는 제2 기관의 제1 측면에 대향하는 제2 측면(예를 들어, 후면)으로부터 수행된다. 도 3j에 예시된 바와 같이, 실리콘 기관(302)(도 3i에 도시됨)은 후면으로부터 박형화되어 N-타입 도핑된 반도체 층(304)을 노출시킨다. 실리콘 기관(302)은 CMP, 그라인딩, 건식 에칭, 및/또는 습식 에칭을 사용하여 박형화될 수 있다. 일부 실시예들에서, CMP 프로세스는 N-타입 도핑된 반도체 층(304)의 상단 표면에 도달할 때까지 실리콘 기관(302)을 박형화하기 위해 수행된다.

[0069] 도 4b에 예시된 바와 같이, 방법(400)은 동작(420)으로 진행하며, 여기서 메모리 스택 위에 있고 제2 반도체 층과 접촉하는 소스 콘택이 형성된다. 일부 실시예들에서, 소스 콘택은 제2 기관(예를 들어, 박형화 후의 제2 반도체 층)의 제1 측면에 대향하는 제2 측면(예를 들어, 후면)에 형성된다. 일부 실시예들에서, 소스 콘택은 절연 구조물과 정렬된다.

[0070] 도 3k에 예시된 바와 같이, 하나 이상의 ILD 층(356)이 N-타입 도핑된 반도체 층(304) 상에 형성된다. ILD 층들(356)은 ALD, CVD, PVD, 임의의 다른 적절한 프로세스들, 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 프로세스를 사용하여 N-타입 도핑된 반도체 층(304)의 상단 표면 상에 유전체 재료들을 퇴적함으로써 형성될 수 있다. 도 3k에 예시된 바와 같이, 소스 콘택 개구(358)는 ILD 층들(356)을 통해 N-타입 도핑된 반도체 층(304) 내로 형성된다. 일부 실시예들에서, 소스 콘택 개구(358)는 습식 에칭 및/또는 건식 에칭, 예컨대 RIE를 사용하여 형성된다. 일부 실시예들에서, 소스 콘택 개구(358)는 N-타입 도핑된 반도체 층(304)의 상단 부분 내로 더 연장된다. ILD 층들(356)을 통한 에칭 프로세스는 N-타입 도핑된 반도체 층(304)의 일부를 계속 에칭할 수 있다. 일부 실시예들에서, ILD 층들(356)을 통한 에칭 후에 N-타입 도핑된 반도체 층(304)의 일부를 에칭하기 위해 별도의 에칭 프로세스가 사용된다. 일부 실시예들에서, 소스 콘택 개구(358)는 N-타입 도핑된 반도체 층(304)의 대향 측면들에서 절연 구조물(336)과 정렬되도록 리소그래피를 사용하여 패터닝된다.

- [0071] 도 31에 예시된 바와 같이, 소스 콘택(364)은 N-타입 도핑된 반도체 층(304)의 후면에서 소스 콘택 개구(358) (도 3k에 도시됨)에 형성된다. 일부 실시예들에 따르면, 소스 콘택(364)은 메모리 스택(330) 위에 있고 N-타입 도핑된 반도체 층(304)과 접촉한다. 일부 실시예들에서, 소스 콘택 개구(358)를 접착제 층(예를 들어, TiN) 및 전도체 층(예를 들어, W)으로 채우기 위해, ALD, CVD, PVD, 임의의 다른 적절한 프로세스들, 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 프로세스를 사용하여 소스 콘택 개구(358) 내에 하나 이상의 전도성 재료가 퇴적된다. 이어서, CMP와 같은 평탄화 프로세스가 소스 콘택(364)의 상단 표면이 ILD 층들(356)의 상단 표면과 동일 평면 상에 있도록 과잉 전도성 재료들을 제거하기 위해 수행될 수 있다. 일부 실시예들에서, 소스 콘택 개구(358)가 절연 구조물(336)과 정렬됨에 따라, 후면 소스 콘택(364)도 역시 절연 구조물(336)과 정렬된다.
- [0072] 도 4b에 예시된 바와 같이, 방법(400)은 동작(422)으로 진행하며, 여기서 소스 콘택 위에 있고 이와 접촉하는 인터커넥트 층이 형성된다. 도 3m에 예시된 바와 같이, 소스 콘택(364) 위에 있고 이와 접촉하는 재분배 층(370)이 형성된다. 일부 실시예들에서, 재분배 층(370)은 ALD, CVD, PVD, 임의의 다른 적절한 프로세스들, 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 프로세스를 사용하여 N-타입 도핑된 반도체 층(304) 및 소스 콘택(364)의 상단 표면들 상에 Al과 같은 전도성 재료를 퇴적함으로써 형성된다. 도 3m에 예시된 바와 같이, 패시베이션 층(372)이 재분배 층(370) 상에 형성된다. 일부 실시예들에서, 패시베이션 층(372)은 ALD, CVD, PVD, 임의의 다른 적절한 프로세스들, 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 프로세스를 사용하여 실리콘 질화물과 같은 유전체 재료를 퇴적함으로써 형성된다. 일부 실시예들에 따르면, ILD 층들(356), 재분배 층(370), 및 패시베이션 층(372)을 포함하는 인터커넥트 층(376)이 이에 의해 형성된다.
- [0073] 도 4b에 예시된 바와 같이, 방법(400)은 동작(424)으로 진행하며, 여기서 제2 반도체 층을 관통하며 인터커넥트 층과 접촉하는 콘택이 형성되어, 제1 반도체 층이 제2 반도체 층, 소스 콘택, 및 인터커넥트 층을 통해 콘택에 전기적으로 접속된다. 도 3k에 예시된 바와 같이, ILD 층들(356) 및 N-타입 도핑된 반도체 층(304)을 통해 각각 연장되는 콘택 개구들(360, 361)이 형성된다. 콘택 개구들(360 및 361) 및 소스 콘택 개구(358)는 에칭 프로세스들의 수를 감소시키기 위해 동일한 에칭 프로세스를 사용하여 형성될 수 있다. 일부 실시예들에서, 콘택 개구들(360 및 361)은 ILD 층들(356) 및 N-타입 도핑된 반도체 층(304)을 통해 습식 에칭 및/또는 건식 에칭, 예컨대 RIE를 사용하여 형성된다. 일부 실시예들에서, 콘택 개구들(360 및 361)은 각각 주변 콘택들(338 및 340)과 정렬되도록 리소그래피를 사용하여 패터닝된다. 콘택 개구들(360 및 361)의 에칭은 주변 콘택들(338 및 340)을 노출시키기 위해 주변 콘택들(338 및 340)의 상부 단부들에서 정지될 수 있다. 도 3k에 예시된 바와 같이, 스페이서(362)는 ALD, CVD, PVD, 임의의 다른 적절한 프로세스들, 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 프로세스를 사용하여 N-타입 도핑된 반도체 층(304)을 전기적으로 격리하기 위해 콘택 개구들(360 및 361)의 측벽들을 따라 형성된다.
- [0074] 도 31에 예시된 바와 같이, 콘택들(366 및 368)은 N-타입 도핑된 반도체 층(304)의 후면에서 콘택 개구들(360 및 361)(도 3k에 도시됨)에 각각 형성된다. 일부 실시예들에 따르면, 콘택들(366 및 368)은 ILD 층들(356) 및 N-타입 도핑된 반도체 층(304)을 통해 수직으로 연장된다. 콘택들(366 및 368)과 소스 콘택(364)은 퇴적 프로세스들의 수를 감소시키기 위해 동일한 퇴적 프로세스를 사용하여 형성될 수 있다. 일부 실시예들에서, 콘택 개구들(360 및 361)을 접착제 층(예를 들어, TiN) 및 전도체 층(예를 들어, W)으로 채우기 위해, ALD, CVD, PVD, 임의의 다른 적절한 프로세스들, 또는 이들의 임의의 조합과 같은 하나 이상의 박막 퇴적 프로세스를 사용하여 콘택 개구들(360 및 361) 내에 하나 이상의 전도성 재료가 퇴적된다. 이어서, CMP와 같은 평탄화 프로세스가 콘택들(366 및 368)의 상단 표면들이 ILD 층들(356)의 상단 표면과 동일 평면 상에 있도록 과잉 전도성 재료들을 제거하기 위해 수행될 수 있다. 일부 실시예들에서, 콘택 개구들(360 및 361)이 각각 주변 콘택들(338 및 340)과 정렬됨에 따라, 콘택들(366 및 368)은 또한 각각 주변 콘택들(338 및 340) 위에 있고 이와 접촉한다.
- [0075] 도 3m에 예시된 바와 같이, 콘택(366) 위에 있고 이와 접촉하는 재분배 층(370)이 또한 형성된다. 그 결과, N-타입 도핑된 반도체 층(326)은 N-타입 도핑된 반도체 층(304), 소스 콘택(364), 인터커넥트 층(376)의 재분배 층(370), 및 콘택(366)을 통해 주변 콘택(338)에 전기적으로 접속될 수 있다. 일부 실시예들에서, N-타입 도핑된 반도체 층들(326 및 304)은 소스 콘택(364), 인터커넥트 층(376), 콘택(366), 주변 콘택(338) 및 본딩 층들(346 및 348)을 통해 주변 회로들(352)에 전기적으로 접속된다.
- [0076] 도 3m에 예시된 바와 같이, 콘택(368) 위에 있고 이와 접촉하는 콘택 패드(374)가 형성된다. 일부 실시예들에서, 콘택(368)을 덮는 패시베이션 층(372)의 일부가 습식 에칭 및 건식 에칭에 의해 제거되어 아래의 재분배 층(370)의 일부를 노출시켜서 콘택 패드(374)를 형성한다. 그 결과, 패드-아웃을 위한 콘택 패드(374)는 콘택

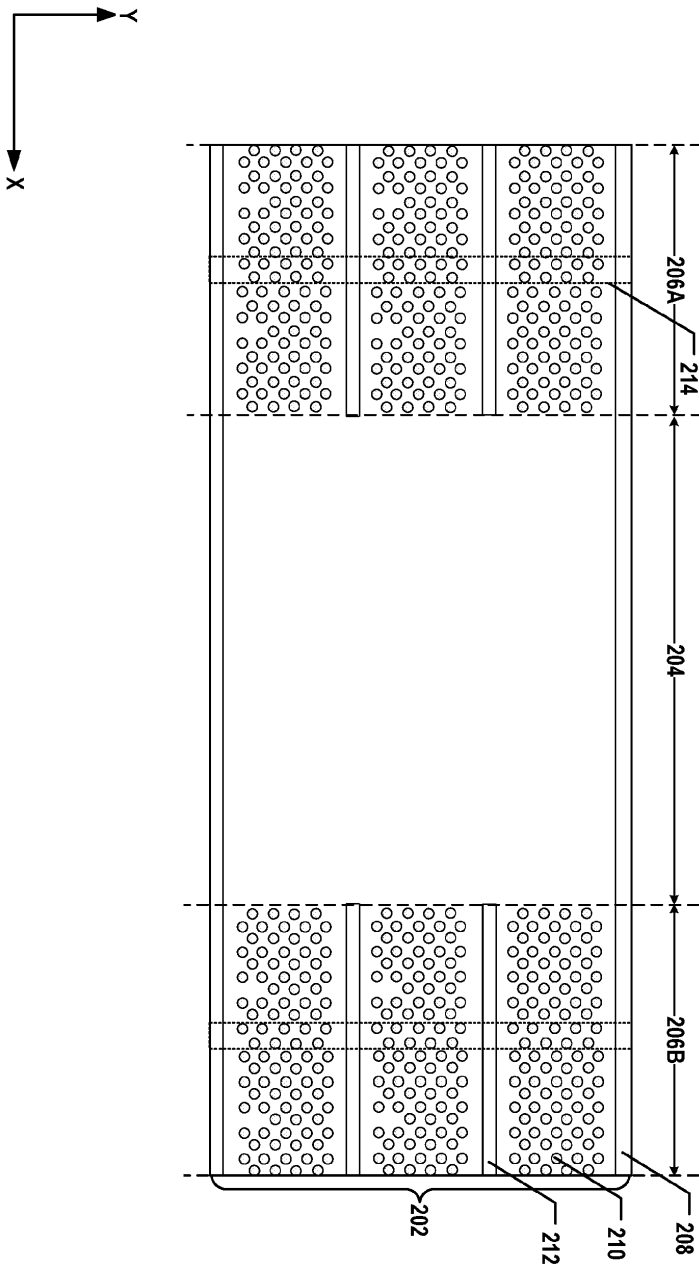
(368), 주변 콘택(340), 및 본딩 층들(346 및 348)을 통해 주변 회로들(352)에 전기적으로 접속될 수 있다.

- [0077] 본 개시내용의 일 양태에 따르면, 3D 메모리 디바이스를 형성하기 위한 방법이 개시된다. 기판의 제1 측면에서 제2 반도체 층 위에 희생 층 그리고 희생 층 상에 유전체 스택이 후속하여 형성된다. 유전체 스택 및 희생 층을 통해 제2 반도체 층 내로 수직으로 연장되는 채널 구조물이 형성된다. 희생 층은 제2 반도체 층과 접촉하는 제1 반도체 층으로 대체된다. 유전체 스택은 메모리 스택으로 대체되어, 채널 구조물이 메모리 스택 및 제1 반도체 층을 통해 제2 반도체 층 내로 수직으로 연장된다. 제2 반도체 층과 접촉하도록 기판의 제1 측면에 대향하는 제2 측면에 소스 콘택이 형성된다.
- [0078] 일부 실시예들에서, 희생 층을 형성하기 전에, 기판의 일부가 제1 측면에서 N-타입 도펀트로 도핑되어 제2 반도체 층을 형성한다.
- [0079] 일부 실시예들에서, 희생 층을 제1 반도체 층으로 대체하기 위해, 유전체 스택을 통해 수직으로 연장되는 개구가 형성되어 희생 층의 일부를 노출시키고, 희생 층은 개구를 통해 에칭되어 캐비티를 형성하고, N-타입 도핑된 폴리실리콘이 개구를 통해 캐비티 내로 퇴적되어 제1 반도체 층을 형성한다.
- [0080] 일부 실시예들에서, 희생 층 및 유전체 스택을 후속하여 형성하기 위해, 제2 반도체 층 상에 폴리실리콘을 퇴적하여 희생 층을 형성하고, 희생 층 상에 스택 유전체 층들과 스택 희생 층들을 교대로 퇴적하여 유전체 스택을 형성한다.
- [0081] 일부 실시예들에서, 유전체 스택을 메모리 스택으로 대체하기 위해, 스택 희생 층들은 개구를 통해 스택 전도성 층들로 대체된다.
- [0082] 일부 실시예들에서, 메모리 스택을 형성한 후에, 하나 이상의 유전체 재료가 개구 내에 퇴적되어 메모리 스택을 통해 수직으로 연장되는 절연 구조물을 형성한다.
- [0083] 일부 실시예들에서, 소스 콘택은 절연 구조물과 정렬된다.
- [0084] 일부 실시예들에서, 소스 콘택을 형성하기 전에, 기판은 제2 측면으로부터 박형화되어 제2 반도체 층을 노출시킨다.
- [0085] 일부 실시예들에서, 소스 콘택 위에 있고 이에 전기적으로 접속되는 인터커넥트 층이 형성된다.
- [0086] 일부 실시예들에서, 제2 반도체 층을 관통하며 인터커넥트 층과 접촉하는 콘택이 형성되어, 제1 반도체 층이 제2 반도체 층, 소스 콘택, 및 인터커넥트 층을 통해 콘택에 전기적으로 접속된다.
- [0087] 본 개시내용의 다른 양태에 따르면, 3D 메모리 디바이스를 형성하기 위한 방법이 개시된다. 기판의 제1 측면에 메모리 스택을 통해 N-타입 도핑된 반도체 층 내로 수직으로 연장되는 채널 구조물이 형성된다. 메모리 스택은 인터리빙된 스택 전도성 층들 및 스택 유전체 층들을 포함한다. 메모리 스택을 통해 수직으로 연장되는 개구에 절연 구조물이 형성된다. N-타입 도핑된 반도체 층과 접촉하고 절연 구조물과 정렬되도록 기판의 제1 측면에 대향하는 제2 측면에 소스 콘택이 형성된다.
- [0088] 일부 실시예들에서, 채널 구조물을 형성하기 위해, 기판의 일부가 제1 측면에서 N-타입 도펀트로 도핑되어 제2 N-타입 도핑된 반도체 층을 형성하고, 제2 N-타입 도핑된 반도체 층 위에 희생 층 그리고 희생 층 상에 유전체 스택이 후속하여 형성되고, 유전체 층은 인터리빙된 스택 희생 층들 및 스택 유전체 층들을 포함하고, 유전체 스택 및 희생 층을 통해 제2 N-타입 도핑된 반도체 층 내로 수직으로 연장되는 채널 구조물이 형성되고, 희생 층은 개구를 통해 제1 N-타입 도핑된 반도체 층으로 대체된다.
- [0089] 일부 실시예들에서, 채널 구조물을 형성하기 위해, 스택 희생 층들은 스택 전도성 층들로 대체되어 메모리 스택을 형성한다.
- [0090] 일부 실시예들에서, 절연 구조물을 형성하기 위해, 스택 희생 층들을 스택 전도성 층들로 대체한 후에, 개구가 하나 이상의 유전체 재료로 채워진다.
- [0091] 일부 실시예들에서, 소스 콘택을 형성하기 전에, 기판은 제2 측면으로부터 박형화되어 제2 N-타입 도핑된 반도체 층을 노출시킨다.
- [0092] 본 개시내용의 또 다른 양태에 따르면, 3D 메모리 디바이스를 형성하기 위한 방법이 개시된다. 제1 기판 상에 주변 회로가 형성된다. 제2 기판 상에 메모리 스택 및 제1 반도체 층을 통해 제2 반도체 층 내로 수직으로 연장되는 채널 구조물이 형성된다. 제1 기판과 제2 기판은 메모리 스택이 주변 회로 위에 있도록 대면(face-to-

face) 방식으로 분당된다. 제2 기관은 박형화되어 제2 반도체 층을 노출시킨다. 메모리 스택 위에 있고 제2 반도체 층과 접촉하는 소스 콘택이 형성된다.

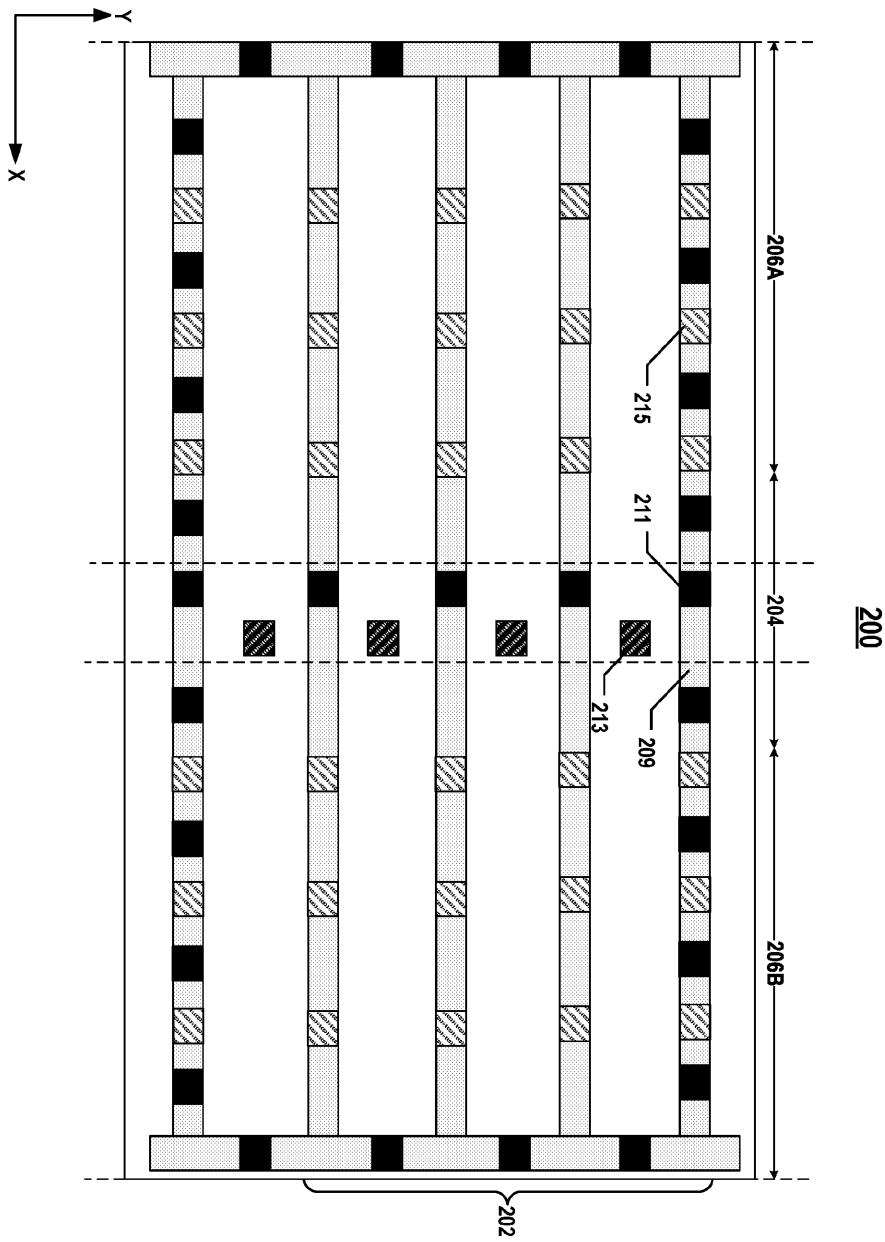
- [0093] 일부 실시예들에서, 채널 구조물을 형성하기 위해, 제2 기관의 일부가 N-타입 도펀트로 도핑되어 제2 반도체 층을 형성하고, 제2 반도체 층 위에 희생 층 그리고 희생 층 상에 유전체 스택이 후속하여 형성되고, 유전체 스택 및 희생 층을 통해 제2 반도체 층 내로 수직으로 연장되는 채널 구조물이 형성되고, 희생 층은 개구를 통해 N-타입 도핑된 반도체 층으로 대체되어 제1 반도체 층을 형성한다.
- [0094] 일부 실시예들에서, 채널 구조물을 추가로 형성하기 위해, 유전체 스택은 메모리 스택으로 대체된다.
- [0095] 일부 실시예들에서, 제1 기관과 제2 기관을 분당하기 전에, 메모리 스택을 통해 수직으로 연장되는 절연 구조물이 형성된다. 일부 실시예들에 따르면, 소스 콘택은 절연 구조물과 정렬된다.
- [0096] 일부 실시예들에서, 소스 콘택 위에 있고 이와 접촉하는 인터커넥트 층이 형성된다.
- [0097] 일부 실시예들에서, 제2 반도체 층을 관통하며 인터커넥트 층과 접촉하는 콘택이 형성되어, 제1 반도체 층이 제2 반도체 층, 소스 콘택, 및 인터커넥트 층을 통해 콘택에 전기적으로 접속된다.
- [0098] 특정 실시예들의 진술한 설명은, 다른 사람들이 본 기술 분야 내의 지식을 적용함으로써, 본 개시내용의 일반적인 개념으로부터 벗어나지 않고, 과도한 실험 없이, 이러한 특정 실시예들을 다양한 응용들에 대해 용이하게 수정 및/또는 적응할 수 있도록 본 개시내용의 일반적인 성질을 드러낼 것이다. 따라서, 본 명세서에 제시된 교시 및 지침을 기초로, 이러한 적응들 및 수정들은 개시된 실시예들의 등가물들의 의미 및 범위 내에 있는 것으로 의도된다. 본 명세서의 용어 또는 어법이 교시 및 지침의 관점에서 숙련된 기술자에 의해 해석되도록, 본 명세서의 어법 또는 용어는 제한이 아니라 설명의 목적을 위한 것임을 이해해야 한다.
- [0099] 본 개시내용의 실시예들은 특정 기능들 및 이들의 관계들의 구현을 예시하는 기능적 빌딩 블록들의 도움으로 위에서 설명되었다. 이러한 기능적 빌딩 블록들의 경계들은 본 명세서에서 설명의 편의상 임의로 정의되었다. 특정 기능들 및 이들의 관계들이 적절히 수행되는 한, 대안적인 경계들이 정의될 수 있다.
- [0100] 발명의 내용 및 요약서 섹션들은 발명자(들)에 의해 고려되는 바와 같은 본 개시내용의 하나 이상의(그러나 전부는 아님) 예시적인 실시예를 설명할 수 있고, 따라서 본 개시내용 및 첨부된 청구항들을 어떤 방식으로든 제한하는 것으로 의도되지 않는다.
- [0101] 본 개시내용의 범주 및 범위는 위에서 설명한 예시적인 실시예들 중 임의의 것에 의해 제한되지 않아야 하며, 다음의 청구항들 및 그의 등가물들에 따라서만 정의되어야 한다.

도면2a

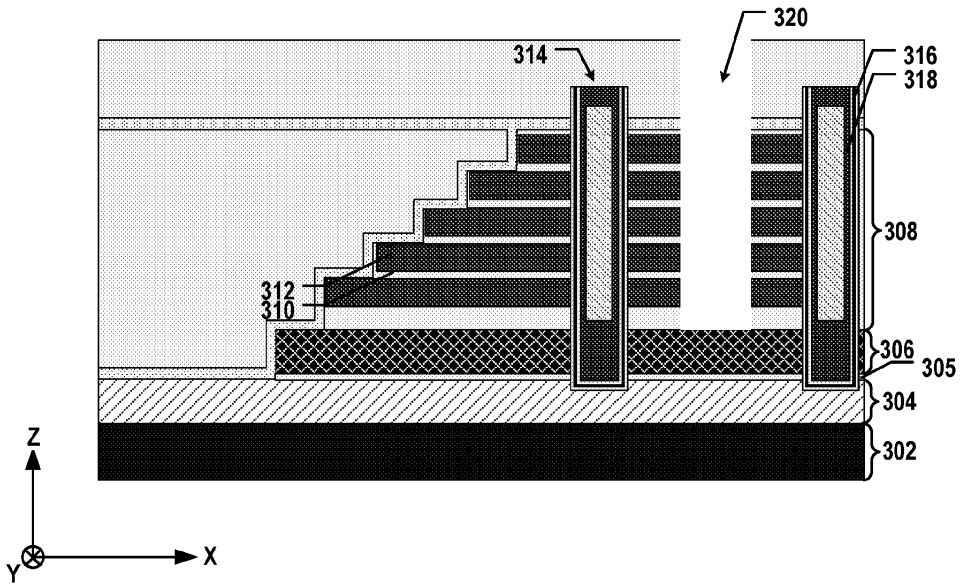


200

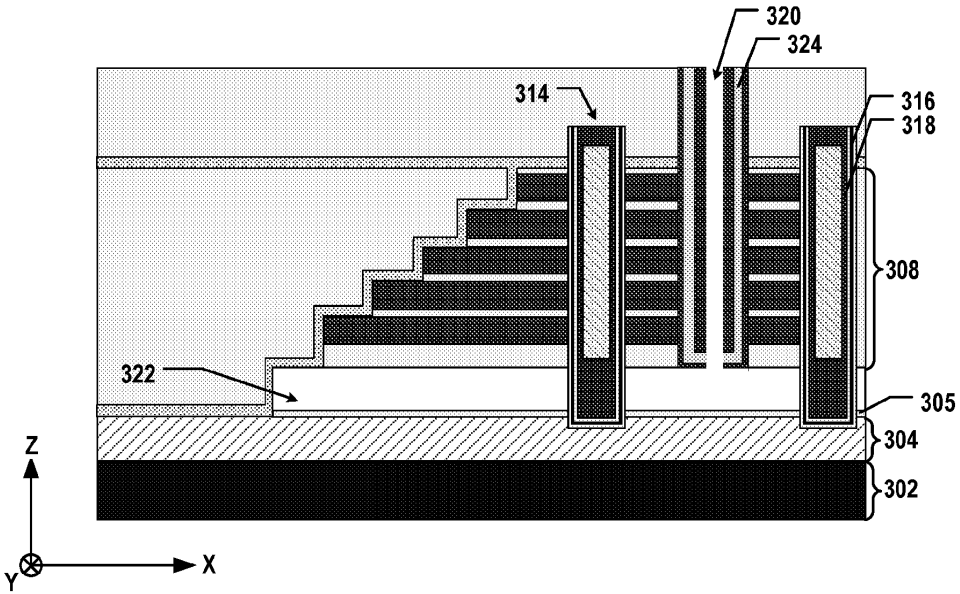
도면2b



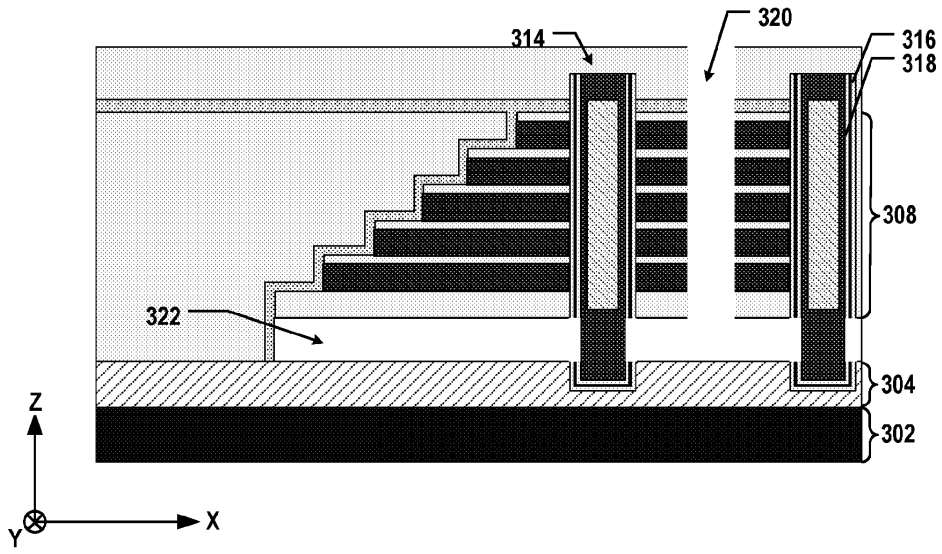
도면3a



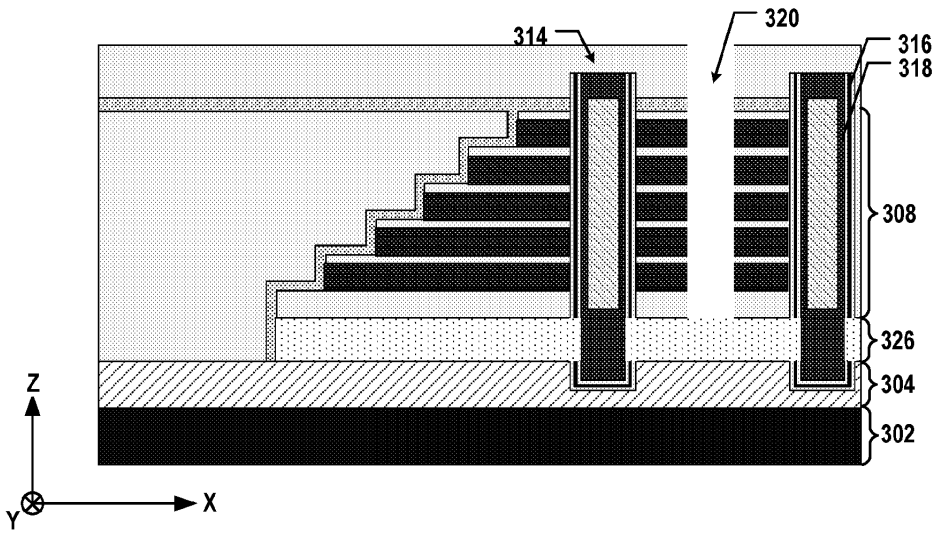
도면3b



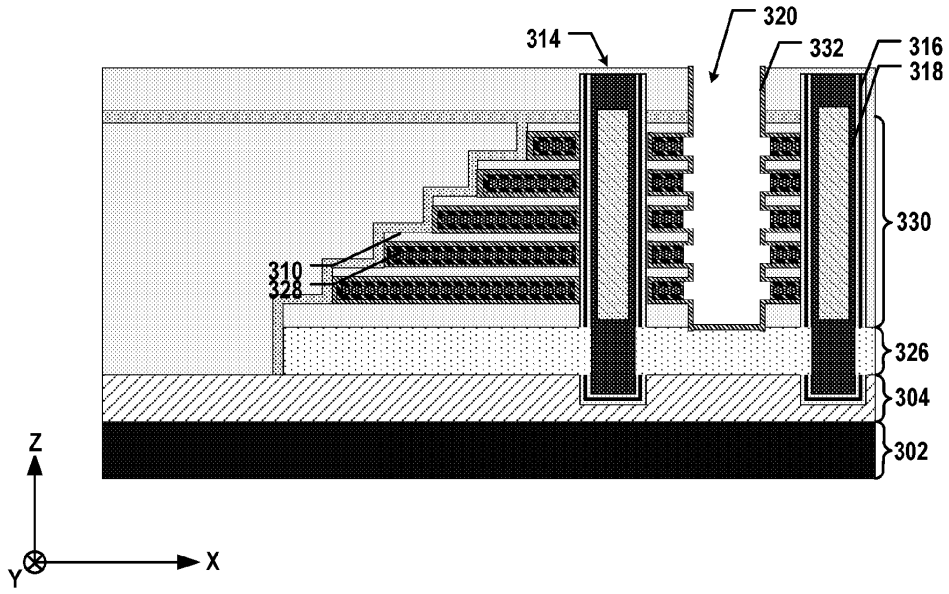
도면3c



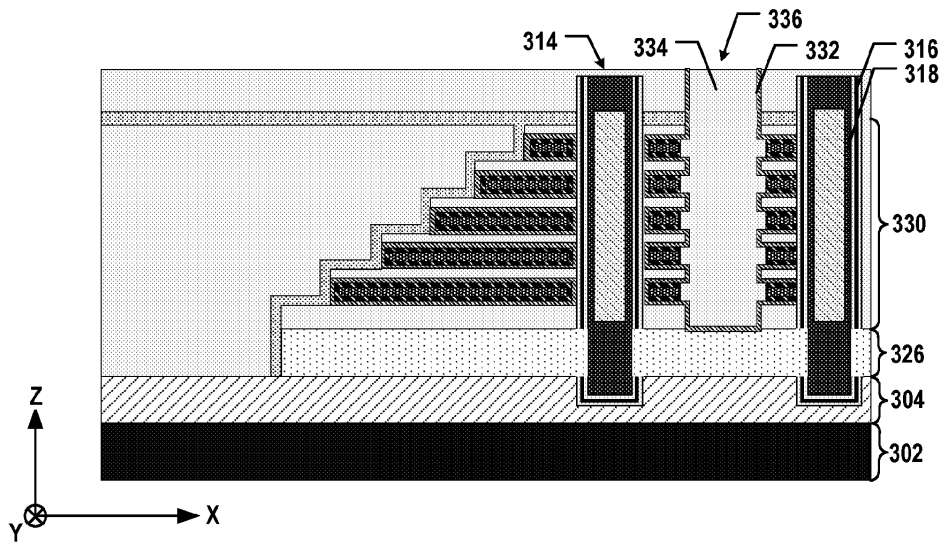
도면3d



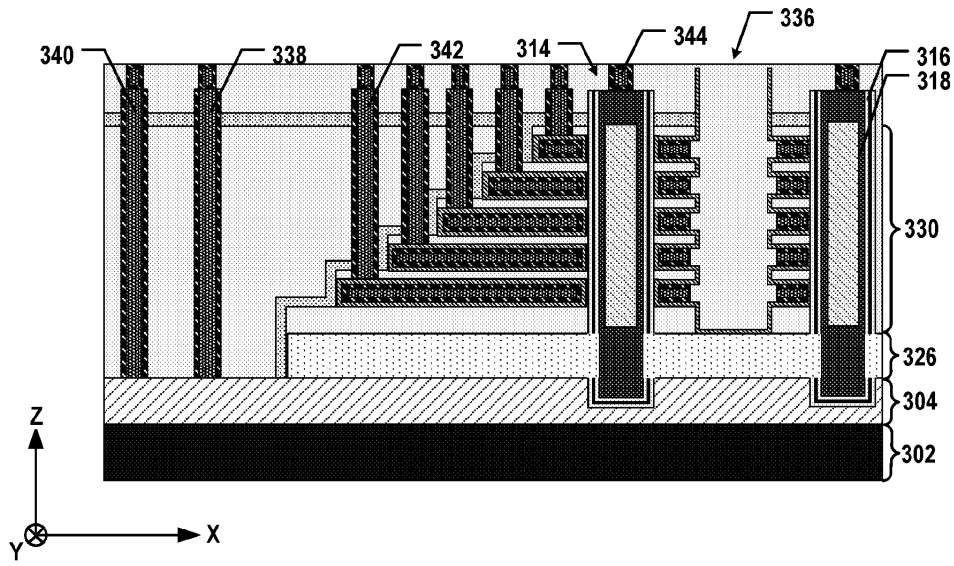
도면3e



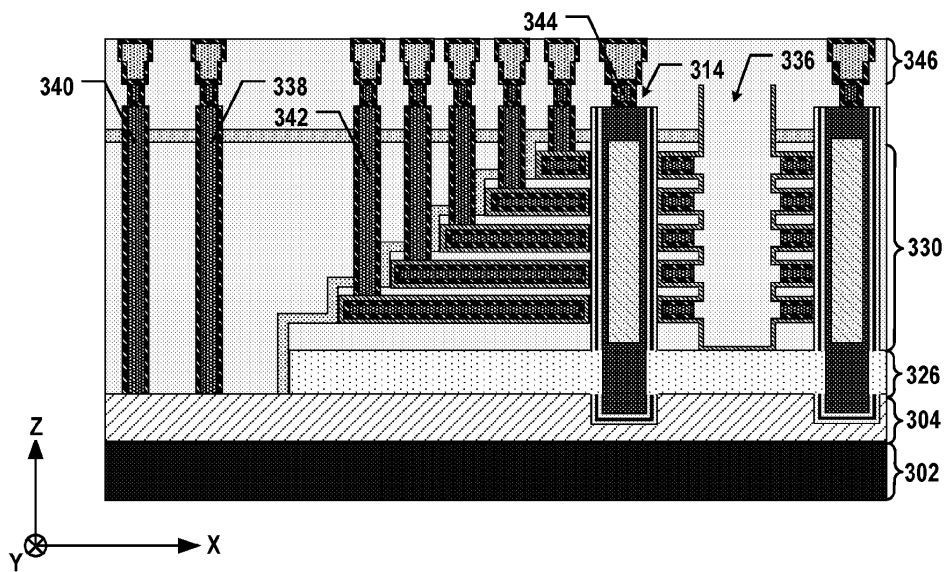
도면3f



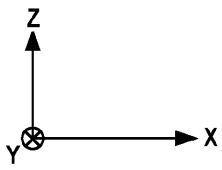
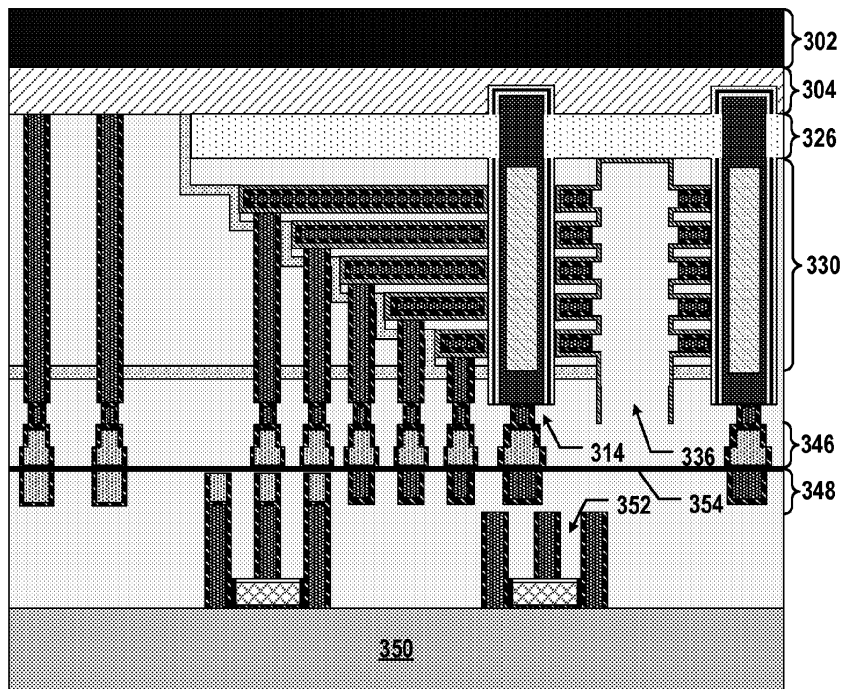
도면3g



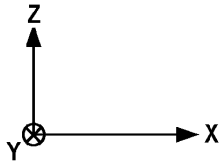
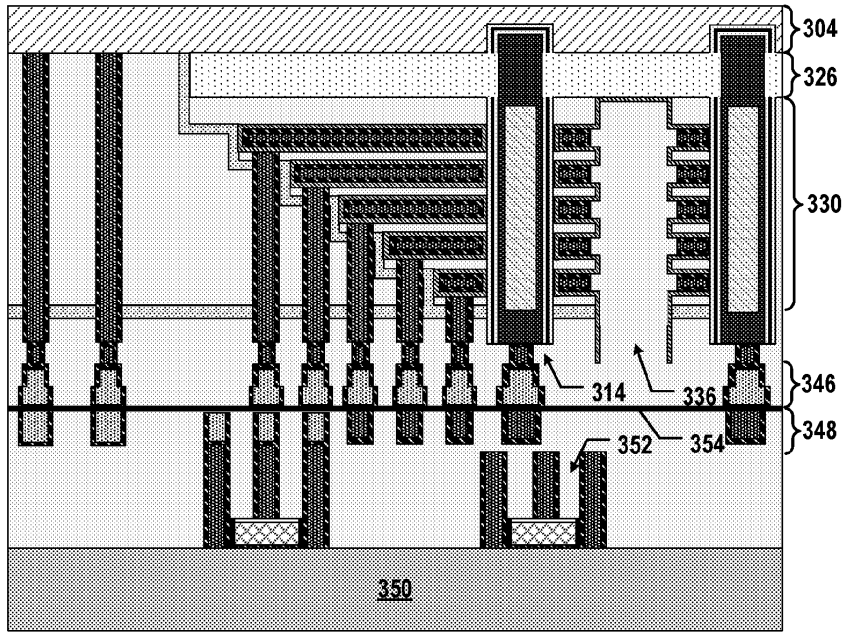
도면3h



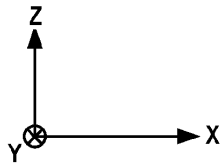
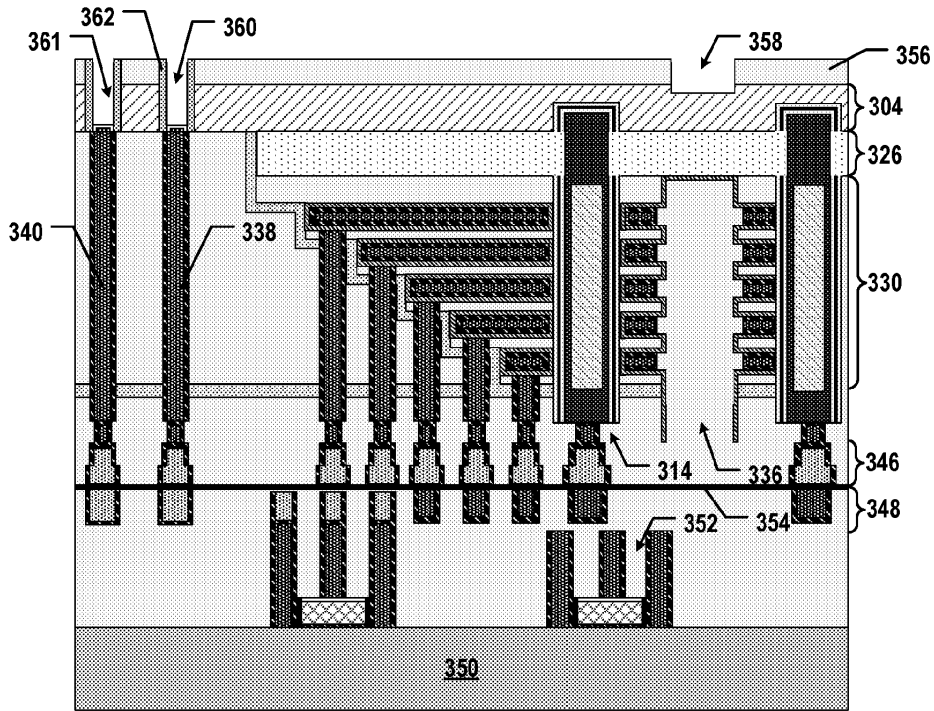
도면3i



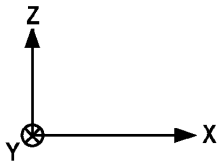
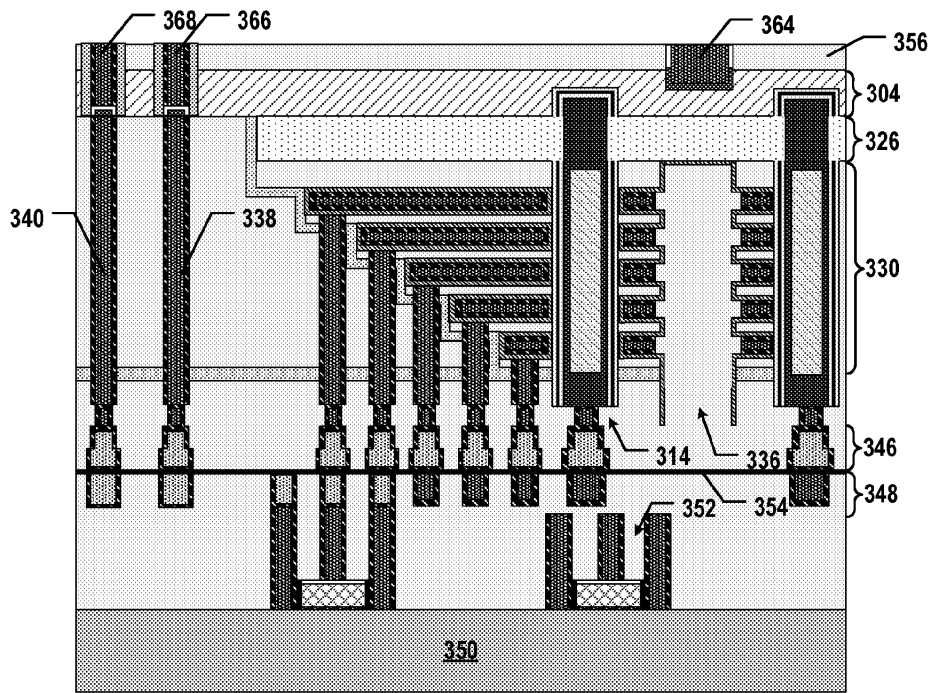
도면3j



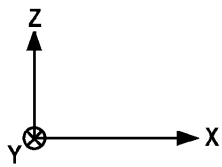
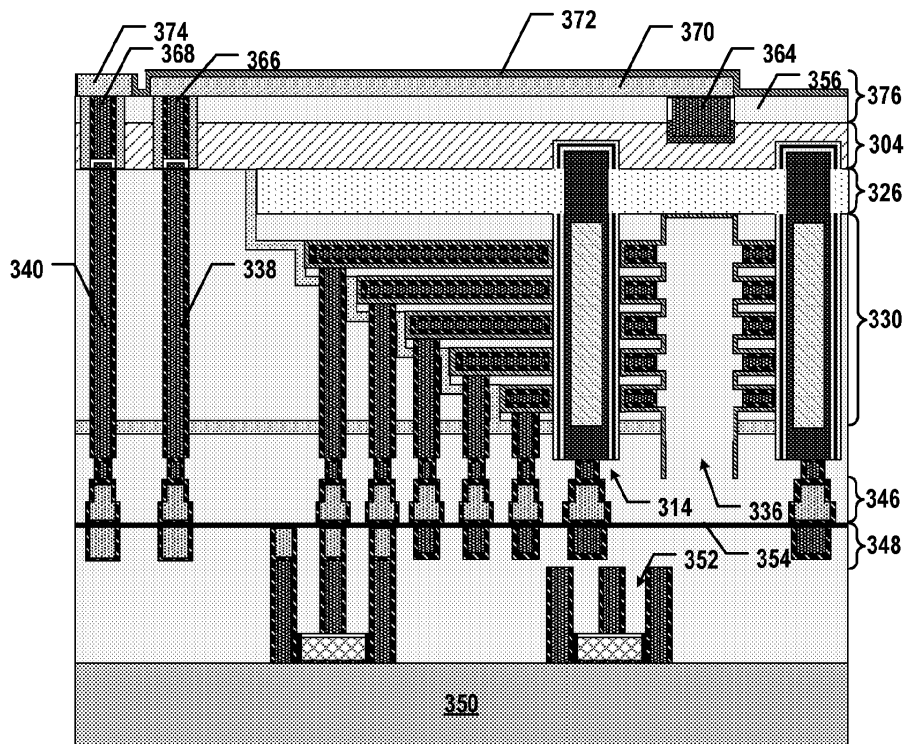
도면3k



도면31

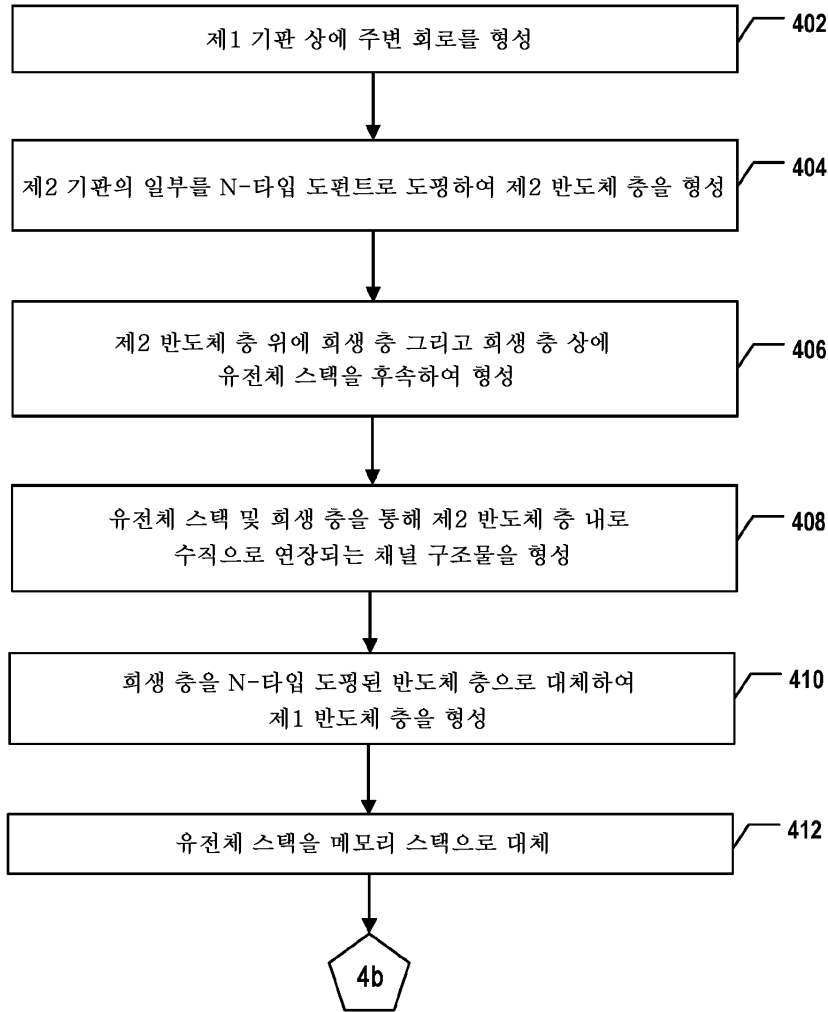


도면 3m



도면4a

400



도면4b

